



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월14일
(11) 등록번호 10-1374113
(24) 등록일자 2014년03월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0053257

(22) 출원일자 2010년06월07일

심사청구일자 2011년11월07일

(65) 공개번호 10-2011-0133715

(43) 공개일자 2011년12월14일

(56) 선행기술조사문헌

KR1020040024915 A*

KR1020080001062 A*

KR1020100008635 A*

US05307085 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

서해림

경북 칠곡군 석적읍 석적로 955-19, 107동 706호
(우방신천지아파트)

신천기

경북 칠곡군 석적읍 석적로 955-19, 101동 2005호
(우방신천지아파트)

채지은

경상북도 구미시 진평동 1037-21번지

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 8 항

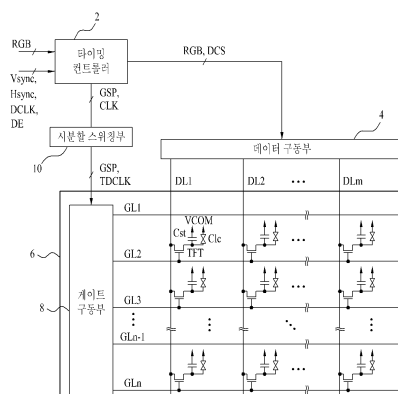
심사관 : 김태연

(54) 발명의 명칭 액정 표시장치 및 그 구동방법

(57) 요약

본 발명은 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법에 관한 것으로, 게이트 라인과 데이터 라인에 의해 정의된 다수의 화소영역을 구비한 액정 패널과; 다수의 데이터 제어신호와, 다수의 클럭 펄스, 및 스타트 펄스를 출력하는 타이밍 컨트롤러와; 상기 다수의 클럭 펄스를 시분할 해서 출력하는 시분할 스위칭부와; 상기 다수의 데이터 제어신호에 따라 상기 데이터 라인을 구동하는 데이터 구동부; 및 상기 스타트 펄스와, 상기 시분할된 다수의 클럭 펄스에 따라 순차적으로 스캔 펄스를 출력하는 다수의 스테이지를 구비한 게이트 구동부를 구비하고; 상기 다수의 스테이지는 상기 시분할된 다수의 클럭 펄스를 다수의 블록으로 구분해서 공급받고; 상기 다수의 블록 각각에 공급된 상기 시분할된 다수의 클럭 펄스는 서로 다른 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

게이트 라인과 데이터 라인에 의해 정의된 다수의 화소영역을 구비한 액정 패널과;

다수의 데이터 제어신호와, 다수의 클럭 펄스, 및 스타트 펄스를 출력하는 타이밍 컨트롤러와;

상기 다수의 클럭 펄스를 시분할하여 다수의 시분할 클럭 펄스를 출력하고, 상기 각 클럭 펄스로부터 적어도 2 개씩의 시분할 클럭 펄스를 출력하는 시분할 스위칭부와;

상기 다수의 데이터 제어신호에 따라 상기 데이터 라인을 구동하는 데이터 구동부; 및

상기 스타트 펄스와, 상기 다수의 시분할 클럭 펄스에 따라 순차적으로 스캔 펄스를 출력하는 다수의 스테이지를 구비한 게이트 구동부를 구비하고;

상기 다수의 스테이지는 상기 다수의 시분할 클럭 펄스를 다수의 블록으로 구분해서 공급받고;

상기 다수의 블록 각각에 공급된 상기 다수의 시분할 클럭 펄스는 서로 다르고;

상기 시분할 스위칭부는 상기 다수의 클럭 펄스 각각을 $1/n$ 프레임($n \geq 2$, n 은 자연수)기간씩 시분할해서, 상기 다수의 클럭 펄스 각각이 n 개씩 시분할 되도록 하고;

상기 다수의 시분할 클럭 펄스 각각은 $1/n$ 프레임 기간 동안 하이 레벨과 로우 레벨이 교대로 반복되면서 출력되고, $(n-1)/n$ 프레임 기간 동안 상기 로우 레벨로 출력되는 것을 특징으로 하는 액정 표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 다수의 스테이지는 동일한 수의 스테이지를 포함하는 n 개의 블록으로 구분되며;

상기 n 개의 블록은 상기 다수의 시분할 클럭 펄스를 상기 $1/n$ 프레임 기간씩 순차적으로 공급받는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 다수의 스테이지 각각은

세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 다수의 시분할 클럭 펄스의 전송라인들 중 어느 하나와 스테이지의 출력단자를 서로 접속시키는 풀-업 스위칭 소자를 구비한 것을 특징으로 하는 액정 표시장치.

청구항 5

제 1 항에 있어서,

상기 게이트 구동부는

상기 액정 패널에 내장되는 것을 특징으로 하는 액정 표시장치.

청구항 6

제 1 항에 있어서,

상기 시분할 스위칭부는

상기 타이밍 컨트롤러에 내장되는 것을 특징으로 하는 액정 표시장치.

청구항 7

다수의 스테이지를 구비해서 순차적으로 스캔 펄스를 출력하는 게이트 구동부를 구비한 액정 표시장치에 있어서,

타이밍 컨트롤러가 다수의 클럭 펄스와, 스타트 펄스를 출력하는 단계;

시분할 스위칭부가 상기 다수의 클럭 펄스를 시분할하여 다수의 시분할 클럭 펄스를 출력하고, 상기 각 클럭 펄스로부터 적어도 2개씩의 시분할 클럭 펄스를 출력하는 단계;

상기 다수의 스테이지가 상기 다수의 시분할 클럭 펄스와, 상기 스타트 펄스에 따라 상기 스캔 펄스를 출력하는 단계를 포함하고;

상기 다수의 스테이지는 상기 다수의 시분할 클럭 펄스를 다수의 블록으로 구분해서 공급받고;

상기 다수의 블록 각각에 공급된 상기 다수의 시분할 클럭 펄스는 서로 다르고;

상기 다수의 클럭 펄스를 시분할하여 출력하는 단계는 시분할 스위칭부가 타이밍 컨트롤러로부터 제공된 상기 다수의 클럭 펄스 각각을 $1/n$ 프레임($n \geq 2$, n 은 자연수)기간씩 시분할함으로써, 상기 다수의 클럭 펄스 각각을 n 개씩 시분할하여 출력하는 단계이고;

상기 다수의 시분할 클럭 펄스 각각은 $1/n$ 프레임 기간 동안 하이 레벨과 로우 레벨이 교대로 반복되면서 출력되고, $(n-1)/n$ 프레임 기간 동안 상기 로우 레벨로 출력되는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 다수의 스테이지는

상기 다수의 스테이지는 동일한 수의 스테이지를 포함하는 n 개의 블록으로 구분되며,

상기 n 개의 블록은 상기 다수의 시분할 클럭 펄스를 상기 $1/n$ 프레임 기간씩 순차적으로 공급받는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 다수의 스테이지 각각은

세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 다수의 시분할 클럭 펄스의 전송라인들 중 어느 하나와 스테이지의 출력단자를 서로 접속시키는 풀-업 스위칭 소자를 구비한 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로 특히, 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 디스플레이 소자 중, 우수한 화질과, 경량, 박형, 저전력의 특징으로 인하여, 모바일(Mobile)기기용 디스플레이 장치로 액정 표시장치(Liquid Crystal Display)가 가장 많이 사용되고 있다.

[0003] 한편, 게이트 구동회로를 패널에 내장해서 부피와 무게를 감소시키고 제조 비용을 낮출 수 있는 GIP(Gate In Panel)형 액정 표시장치가 소개되었다.

[0004] GIP형 액정 표시장치에서 게이트 구동회로는 비정질 실리콘(a-Si)으로 만든 박막 트랜지스터(Thin Film Transistor; 이하, 'TFT')를 이용하여 액정패널의 비표시 영역에 내장된다. 이러한 게이트 구동회로는 다수의 게이트 라인에 스캔 펄스를 순차적으로 공급하는 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 타이밍 컨트롤러로부터 클럭 펄스를 제공받아서 스캔 펄스를 출력하는 출력 버퍼부와, 출력 버퍼부의 출력을 제어하는 출력 제어부를 구비한다.

수학식 1

$$P=IV=CV^2f$$

[0006] 이때, 출력 버퍼부를 구성하는 TFT는 게이트 구동회로에서 소비전력이 가장 크다. 구체적으로, 수학식 1을 참조하면 소비전력(P)는 전류(I)와 전압(V)과, 정전용량(C), 및 주파수(f)에 비례한다. 이때, 출력 버퍼부는 구동 주파수가 가장 빠른 클럭 펄스를 제공받는다. 또한, 출력 버퍼부를 구성하는 TFT는 게이트 구동회로에서 크기가 가장 크며, 이에 따라 TFT에서 게이트 전극과 클럭 펄스를 입력받는 드레인 전극 사이에 발생하는 기생 커패시터의 정전용량(C)도 가장 크다. 따라서, 출력 버퍼부를 구성하는 TFT는 구동 주파수(f)가 가장 빠르고 기생 커패시터의 정전용량(C)이 가장 크므로 게이트 구동회로에서 소비전력이 가장 크다.

[0007] 한편, 게이트 구동 집적회로를 사용하는 표시장치도 GIP형 액정 표시장치와 마찬가지로 출력 버퍼부를 구비한다. 게이트 구동 집적회로에서 출력 버퍼부는 폴리 실리콘 TFT로 구성되며, 폴리 실리콘 TFT는 비정질 실리콘 TFT보다 기생 커패시터의 정전용량(C)이 적다.

[0008] 따라서, GIP형 액정 표시장치는 비정질 실리콘 TFT로 구성된 출력 버퍼부로 인해, 게이트 구동 집적회로를 사용하는 표시장치보다 기생 커패시터의 정전용량(C)이 커지고, 결과적으로 소비전력이 커지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0010] 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치는, 게이트 라인과 데이터 라인에 의해 정의된 다수의 화소영역을 구비한 액정 패널과; 다수의 데이터 제어신호와, 다수의 클럭 펄스, 및 스타트 펄스를 출력하는 타이밍 컨트롤러와; 상기 다수의 클럭 펄스를 시분할 해서 출력하는 시분할 스위칭부와; 상기 다수의 데이터 제어신호에 따라 상기 데이터 라인을 구동하는 데이터 구동부; 및 상기 스타트 펄스와, 상기 시분할된 다수의 클럭 펄스에 따라 순차적으로 스캔 펄스를 출력하는 다수의 스테이지를 구비한 게이트 구동부를 구비하고; 상기 다수의 스테이지는 상기 시분할된 다수의 클럭 펄스를 다수의 블록으로 구분해서 공급받고; 상기 다수의 블록 각각에 공급된 상기 시분할된 다수의 클럭 펄스는 서로 다른 것을 특징으로 한다.

[0011] 상기 시분할 스위칭부는 상기 다수의 클럭 펄스 각각을 1/n 프레임($n \geq 2$, n은 자연수)기간씩 시분할해서, 상기 다수의 클럭 펄스 각각이 n개씩 시분할 되도록 함을 특징으로 한다.

[0012] 상기 다수의 스테이지는 동일한 수의 스테이지를 포함하는 n 개의 블록으로 구분되며; 상기 n 개의 블록은 상기 시분할된 다수의 클럭 펄스를 상기 1/n 프레임 기간씩 순차적으로 공급받는 것을 특징으로 한다.

[0013] 상기 다수의 스테이지 각각은 세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 시분할된 다수의 클럭 펄스의 전송라인들 중 어느 하나와 스테이지의 출력단자를 서로 접속시키는 풀-업 스위칭 소자를 구비한 것을 특징으로 한다.

[0014] 상기 게이트 구동부는 상기 액정 패널에 내장되는 것을 특징으로 한다.

- [0015] 상기 시분할 스위칭부는 상기 타이밍 컨트롤러에 내장되는 것을 특징으로 한다.
- [0016] 또한, 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 다수의 스테이지를 구비해서 순차적으로 스캔 펄스를 출력하는 게이트 구동부를 구비한 액정 표시장치에 있어서, 다수의 클럭 펄스와, 스타트 펄스를 출력하는 단계; 상기 다수의 클럭 펄스를 시분할하여 출력하는 단계; 상기 다수의 스테이지가 상기 시분할된 다수의 클럭펄스와, 상기 스타트 펄스에 따라 상기 스캔 펄스를 출력하는 단계를 포함하고; 상기 다수의 스테이지는 상기 시분할된 다수의 클럭 펄스를 다수의 블록으로 구분해서 공급받고; 상기 다수의 블록 각각에 공급된 상기 시분할된 다수의 클럭 펄스는 서로 다른 것을 특징으로 한다.
- [0017] 상기 다수의 클럭 펄스를 시분할하여 출력하는 단계는 상기 다수의 클럭 펄스 각각을 $1/n$ 프레임($n \geq 2$, n 은 자연수)기간씩 시분할함으로써, 상기 다수의 클럭 펄스 각각을 n 개씩 시분할하여 출력하는 것을 특징으로 한다.
- [0018] 상기 다수의 스테이지는 상기 다수의 스테이지는 동일한 수의 스테이지를 포함하는 n 개의 블록으로 구분되며, 상기 n 개의 블록은 상기 시분할된 다수의 클럭 펄스를 상기 $1/n$ 프레임 기간씩 순차적으로 공급받는 것을 특징으로 한다.
- [0019] 상기 다수의 스테이지 각각은 세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 시분할된 다수의 클럭 펄스의 전송라인들 중 어느 하나와 스테이지의 출력단자를 서로 접속시키는 풀-업 스위칭 소자를 구비한 것을 특징으로 한다.

발명의 효과

- [0020] 본 발명에 따른 액정 표시장치 및 그 구동방법은 클럭 펄스 각각을 p 개씩 시분할하여 게이트 구동부의 스테이지들에 공급한다. 스테이지들은 시분할 클럭펄스가 클럭 펄스로부터 p 개씩 시분할된 것에 대응하여 p 개의 블록으로 구분되고, p 개의 블록 각각이 서로 다른 시분할 클럭펄스를 제공받는다. 이에 따라, 시분할 클럭 펄스가 각 스테이지의 풀-업 스위칭 소자에 공급되는 각 전송라인의 로드는 클럭펄스가 시분할되지 않고 풀-업 스위칭 소자에 공급될 때보다 $1/p$ 로 줄어든다. 그러면, 풀-업 스위칭 소자에서 발생하는 기생 커패시터의 정전용량이 $1/p$ 로 줄어들게 되어 게이트 구동부의 소비전력을 $1/p$ 로 줄일 수 있다.
- [0021] 또한, 풀-업 스위칭 소자에서 발생하는 기생 커패시터의 정전용량이 $1/p$ 로 줄어들게 되면 시정수(RC)에 따라 스캔 펄스의 상승시간을 줄여서 화질이 향상될 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도.
 도 2는 도 1에 도시된 시분할 스위칭부의 구성도.
 도 3은 도 2에 도시된 시분할 스위칭부의 동작 파형도.
 도 4는 도 1에 도시된 게이트 구동부의 구성도.
 도 5는 도 4에 도시된 제 1 스테이지의 구성도.
 도 6은 도 5에 도시된 제 1 스테이지의 동작 파형도.
 도 7은 도 1에 도시된 시분할 스위칭부의 구성도.
 도 8은 도 7에 도시된 시분할 스위칭부의 동작 파형도.
 도 9는 도 1에 도시된 시분할 스위칭부의 구성도.
 도 10은 본 발명의 다른 실시예에 따른 게이트 구동부의 구성도.
 도 11은 본 발명의 또 다른 실시예에 따른 시분할 스위칭부의 동작 파형도.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시 예에 따른 액정 표시장치 및 그 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0024] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.

- [0025] 도 1에 도시된 액정 표시장치는 액정 패널(6)과, 타이밍 컨트롤러(2)와, 데이터 구동부(4)와, 시분할 스위칭부(10)와, 게이트 구동부(8)를 구비한다. 그리고 게이트 구동부(8)는 액정 패널(6)에 내장된다.
- [0026] 액정 패널(6)은 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)을 구비한다. 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)은 각 화소영역을 정의한다. 각 화소영역은 박막 트랜지스터(Thin Film Transistor; 이하 TFT)와, TFT와 접속된 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(C1c)는 TFT와 접속된 화소전극과, 화소전극과 함께 액정에 전계를 인가하는 공통전극을 구비한다. TFT는 각 게이트 라인(GLi, i=1~n)에서 공급되는 스캔 펄스에 응답하여 각 데이터 라인(DLj, j=1~m)으로부터의 영상신호를 화소전극에 공급한다. 액정 커패시터(C1c)는 화소전극에 공급된 영상신호와 공통전극에 공급된 공통전압(VCOM)의 차전압을 충전하고, 그 차전압에 따라 액정 분자들의 배열을 가변시켜 광 투과율을 조절함으로써 계조를 구현한다. 스토리지 커패시터(Cst)는 액정 커패시터(C1c)와 병렬로 접속되어 액정 커패시터(C1c)에 충전된 전압이 다음 영상신호가 공급될 때까지 유지되게 한다.
- [0027] 타이밍 컨트롤러(2)는 데이터 구동부(4), 및 게이트 구동부(8)의 구동타이밍을 제어한다. 구체적으로, 타이밍 컨트롤러(2)는 외부로부터 입력되는 동기신호 즉, 수평 동기신호(HSync), 수직 동기신호(VSync), 도트 클럭(DCLK), 데이터 인에이블 신호(DE)를 이용하여 다수의 게이트 제어신호 및 다수의 데이터 제어신호(DCS)를 생성하여 출력한다.
- [0028] 다수의 게이트 제어신호는 클럭 펄스(CLK)와 게이트 구동부(8)의 구동 시작을 지시하는 게이트 스타트 펄스(GSP)를 구비한다. 클럭 펄스(CLK)는 서로 다른 위상을 갖는 제 1 및 제 2 클럭 펄스(CLK1, CLK2)를 구비한다. 한편, 본 발명의 실시 예에서 클럭 펄스(CLK)는 서로 다른 위상을 갖는 2종의 클럭 펄스(CLK)를 구비하지만, 클럭 펄스(CLK)는 2 개 이상이면 몇 개라도 사용할 수 있다.
- [0029] 다수의 데이터 제어신호(DCS)는 데이터 구동부의 출력기간을 제어하는 소스 출력 인에이블(SOE; Source Output Enable), 데이터 샘플링의 시작을 지시하는 소스 스타트 펄스(SSP; Source Start Pulse), 데이터의 샘플링 타이밍을 제어하는 소스 쉬프트 클럭(SSC; Source Shift Clock), 데이터의 전압 극성을 제어하는 극성 제어 신호 등을 포함한다. 타이밍 컨트롤러(2)는 이러한 데이터 제어신호(DCS)를 데이터 구동부(4)에 공급한다. 또한, 타이밍 컨트롤러(2)는 영상 데이터(RGB)를 액정 패널(6) 구동에 맞게 정렬하여 데이터 구동부(4)에 공급한다.
- [0030] 데이터 구동부(4)는 타이밍 컨트롤러(2)의 데이터 제어신호(DCS)에 따라 타이밍 컨트롤러(2)로부터 입력되는 영상 데이터(RGB)를 기준 감마 전압을 이용하여 영상신호로 변환하고 변환된 영상신호를 데이터 라인(DL1 ~ DLm)으로 공급한다. 구체적으로, 데이터 구동부(4)는 1 수평 기간에서 타이밍 컨트롤러(2)로부터의 소스 스타트 펄스를 소스 쉬프트 클럭에 따라 쉬프트 시키면서 순차적인 샘플링 신호를 생성한다. 그리고 데이터 구동부(4)는 샘플링 신호에 응답하여 타이밍 컨트롤러(2)로부터 입력되는 영상 데이터(RGB)를 순차적으로 래치한다. 데이터 구동부(4)는 일 수평 기간에서 순차적으로 래치된 한 가로 라인분의 영상 데이터를 다음 수평기간에서 병렬로 래치하여 영상신호로 변환하고, 이를 데이터 라인(DL1 ~ DLm)으로 공급한다.
- [0031] 시분할 스위칭부(10)는 타이밍 컨트롤러(2)로부터 제공된 클럭 펄스(CLK)를 시분할 해서 시분할 클럭 펄스(TDCLK)를 생성하고, 이를 게이트 구동부(8)에 공급한다. 구체적으로, 클럭 펄스(CLK) 각각은 시분할 스위칭부(10)에서 1/2 프레임, 1/3 프레임, 1/4 프레임 등의 기간씩 시분할 된다. 이에 따라, 클럭 펄스(CLK) 각각은 2개, 3개, 4개 등으로 시분할된 시분할 클럭 펄스(TDCLK)가 된다. 예를 들어, 클럭 펄스(CLK) 각각이 1/2 프레임 기간씩 시분할 될 경우, 제 1 클럭 펄스(CLK1)는 2개로 시분할되어 제 1 및 제 2 시분할 클럭펄스(CLK1a, CLK1b)가 된다. 그리고 제 2 클럭 펄스(CLK2)도 2개로 시분할되어 제 3 및 제 4 시분할 클럭펄스(CLK2a, CLK2b)가 된다.
- [0032] 게이트 구동부(8)는 시분할 스위칭부(10)로부터 제공된 시분할 클럭 펄스(TDCLK) 및 게이트 스타트 펄스(GSP)를 이용하여 다수의 게이트 라인(GL1 ~ GLn)에 스캔 펄스를 순차적으로 공급한다.
- [0033] 한편, 도 1에서는 시분할 스위칭부(10)가 타이밍 컨트롤러(2)와 별도로 외장 된 것으로 설명하였지만, 시분할 스위칭부(10)는 타이밍 컨트롤러(2)에 내장될 수도 있다.
- [0034] 도 2는 도 1에 도시된 시분할 스위칭부의 구성도이다. 그리고 도 3은 도 2에 도시된 시분할 스위칭부의 동작 파형도이다.
- [0035] 한편, 전술한 바와 같이 클럭 펄스(CLK) 각각은 시분할 스위칭부(10)에서 1/2 프레임, 1/3 프레임, 1/4 프레임 등의 기간씩 시분할 되지만, 도 2 및 도 3에서는 클럭 펄스(CLK) 각각이 1/2 프레임 기간씩 시분할 되는 것을

예를 들어 설명하기로 한다.

- [0036] 도 2를 참조하면, 시분할 스위칭부(10)는 타이밍 컨트롤러(2)로부터 제 1 클럭 펄스(CLK1)를 제공받고, 이를 1/2 프레임 기간씩 시분할하여 출력하는 제 1 스위칭부(12)와, 타이밍 컨트롤러(2)로부터 제 2 클럭 펄스(CLK2)를 제공받고, 이를 1/2 프레임 기간씩 시분할하여 출력하는 제 2 스위칭부(14)를 구비한다.
- [0037] 제 1 스위칭부(12)는 외부로부터 제공된 제 1 선택신호(S1)에 따라 턴-온 또는 턴-오프 되고, 턴-온시 제 1 클럭 펄스(CLK1)를 출력하는 제 1 TFT(T1)와, 외부로부터의 제 2 선택신호(S2)에 따라 턴-온 또는 턴-오프 되고, 턴-온시 제 1 클럭 펄스(CLK1)를 출력하는 제 2 TFT(T2)를 구비한다. 즉, 제 1 스위칭부(12)는 제 1 및 제 2 선택신호(S1, S2)에 따라 제 1 클럭 펄스(CLK1)를 제 1 및 제 2 시분할 클럭 펄스(CLK1a, CLK1b)로 분할한다.
- [0038] 제 2 스위칭부(14)는 외부로부터 제공된 제 1 선택신호(S1)에 따라 턴-온 또는 턴-오프 되고, 턴 온시 제 2 클럭 펄스(CLK2)를 출력하는 제 3 TFT(T3)와, 외부로부터의 제 2 선택신호(S2)에 따라 턴-온 또는 턴-오프 되고, 턴 온시 제 2 클럭 펄스(CLK2)를 출력하는 제 4 TFT(T4)를 구비한다. 즉, 제 2 스위칭부(14)는 제 1 및 제 2 선택신호(S1, S2)에 따라 제 2 클럭 펄스(CLK2)를 제 3 및 제 4 시분할 클럭 펄스(CLK2a, CLK2b)로 분할한다.
- [0039] 이러한 시분할 스위칭부(10)의 동작을 구체적으로 설명하면 다음과 같다.
- [0040] 도 3을 참조하면, 제 1 및 제 2 클럭 펄스(CLK1, CLK2)는 서로 일 수평기간 지연되고 순환하며 출력된다. 그리고 제 1 및 제 2 선택신호(S1, S2)는 매 프레임마다 번갈아 가며 1/2 프레임 기간 동안 하이 상태(인에이블 상태)가 된다. 즉, 제 1 선택신호(S1)가 프레임 시작 시점부터 1/2 프레임 기간 동안 하이 상태가 되고, 이어서 제 2 선택신호(S2)가 나머지 1/2 프레임 기간 동안 하이 상태가 된다.
- [0041] 이에 따라, 제 1 스위칭부(12)는 프레임 시작 시점부터 1/2 프레임 기간 동안 제 1 시분할 클럭 펄스(CLK1a)를 출력하고, 이어서 나머지 1/2 프레임 기간 동안 제 2 시분할 클럭 펄스(CLK1b)를 출력한다. 또한, 제 2 스위칭부(14)는 프레임 시작 시점부터 1/2 프레임 기간 동안 제 3 시분할 클럭 펄스(CLK2a)를 출력하고, 이어서 나머지 1/2 프레임 기간 동안 제 4 시분할 클럭 펄스(CLK2b)를 출력한다.
- [0042] 이와 같이, 시분할 스위칭부(10)는 제 1 클럭펄스(CLK1)를 1/2 프레임 기간씩 시분할해서 제 1 및 제 2 시분할 클럭 펄스(CLK1a, CLK1b)를 생성 및 출력하고, 제 2 클럭펄스(CLK2)를 1/2 프레임 기간씩 시분할해서 제 3 및 제 4 시분할 클럭 펄스(CLK2a, CLK2b)를 생성 및 출력한다.
- [0043] 도 4는 도 1에 도시된 게이트 구동부의 구성도이다.
- [0044] 도 4를 참조하면, 게이트 구동부(8)는 다수의 게이트 라인(GL1 ~ GLn)에 스캔 펄스(Vout1 ~ Voutn)를 순차적으로 공급하는 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 시분할 스위칭부(10)로부터 제공되는 시분할 클럭 펄스(TDCLK)와, 타이밍 컨트롤러(2)로부터 제공되는 게이트 스타트 펄스(GSP)에 응답하여 스캔 펄스(Vout1 ~ Voutn)를 순차적으로 출력하는 제 1 내지 제 n 스테이지(ST1 ~ STn)를 구비한다. 이때, 각 스테이지들(ST1 ~ STn)은 매 프레임에 한번씩 스캔 펄스(Vout1 ~ Voutn)를 출력하고, 제 1 스테이지(ST1)부터 제 n 스테이지(STn)까지 차례로 스캔 펄스(Vout1 ~ Voutn)를 출력한다.
- [0045] 한편, 제 1 내지 제 n 스테이지(ST1 ~ STn)는 시분할 클럭펄스(TDCLK)가 클럭 펄스(CLK)로부터 2개씩 시분할된 것에 대응하여 서로 다른 시분할 클럭펄스(TDCLK)를 제공받는 적어도 2개의 블록으로 구분된다. 구체적으로, 게이트 구동부(8)는 각 클럭 펄스(CLK1, CLK2)가 2개씩 시분할된 제 1 내지 제 4 시분할 클럭펄스(CLK1a, CLK1b, CLK2a, CLK2b)를 공급받는다. 이에 따라, 제 1 내지 제 n 스테이지(ST1 ~ STn)는 2개의 블록, 즉, 제 1 및 제 3 시분할 클럭 펄스(CLK1a, CLK2a)를 제공받는 제 1 블록(16)과, 제 2 및 제 4 시분할 클럭 펄스(CLK1b, CLK2b)를 제공받는 제 2 블록(18)으로 구분된다. 여기서, 제 1 및 제 2 블록(16, 18)에 포함되는 스테이지의 개수는 같다. 이에 따라, 제 1 블록(16)은 제 1 내지 제 n/2 스테이지(ST1 ~ STn/2)를 포함하고, 제 2 블록(18)은 제 n/2 + 1 내지 제 n 스테이지(ST n/2 + 1 ~ STn)를 포함한다. 즉, 제 1 내지 제 n/2 스테이지(ST1 ~ STn/2)는 제 1 및 제 3 시분할 클럭 펄스(CLK1a, CLK2a)를 제공받고, 제 n/2 + 1 내지 제 n 스테이지(ST n/2 + 1 ~ STn)는 제 2 및 제 4 시분할 클럭 펄스(CLK1b, CLK2b)를 제공받는다.
- [0046] 이와 같이, 본 발명의 실시 예에 따른 액정 표시장치 및 그 구동방법은 클럭 펄스(CLK) 각각을 2개씩 시분할하여 게이트 구동부(8)의 스테이지들(ST1 ~ STn)에 공급한다. 스테이지들(ST1 ~ STn)은 시분할 클럭펄스(TDCLK)가 클럭 펄스(CLK)로부터 2개씩 시분할된 것에 대응하여 2개의 블록(16, 18)으로 구분되고, 2개의 블록(16, 18) 각각이 서로 다른 시분할 클럭펄스를 제공받는다. 시분할 클럭 펄스(TDCLK)가 스테이지들(ST1 ~ STn)에 공급되는 각 전송라인의 로드는 클럭펄스(CLK)가 시분할되지 않고 스테이지들(ST1 ~ STn)에 공급될 때보다 1/2로 줄어

든다. 시분할 클럭 펄스(TDCLK)가 스테이지들에 공급되는 각 전송라인의 로드가 1/2로 줄어들면, 시분할 클럭 펄스(TDCLK)를 공급받아서 스캔 펄스를 출력하는 각 스테이지(ST1 ~ STn)에 구비된 출력 버퍼부의 소비전력이 줄어들고, 게이트 구동부(8)의 소비전력을 줄일 수 있다.

- [0047] 이러한 게이트 구동부(8)의 동작을 구체적으로 설명하면 다음과 같다.
- [0048] 제 1 내지 제 n 스테이지(ST1 ~ STn)는 고전위 전압(VDD)과, 저전위 전압(VSS)과, 서로 180도 위상 반전된 형태를 갖는 제 1 및 제 2 교류 전압(VDD_O, VDD_E)을 인가 받는다. 여기서, 고전위 전압(VDD) 및 저전위 전압(VSS)은 직류 전압으로 고전위 전압(VDD)은 저전위 전압(VSS)보다 상대적으로 높은 전위를 갖는다. 예를 들어, 고전위 전압(VDD)은 정극성을 나타내고, 저전위 전압(VSS)은 부극성을 나타낼 수 있다. 한편, 저전위 전압(VSS)은 접지전압이 될 수 있다.
- [0049] 제 1 내지 제 n 스테이지(ST1 ~ STn) 각각은 이전단 스테이지의 스캔 펄스를 공급받아서 하이 상태의 스캔 펄스를 출력하는데 이용하고, 다음단 스테이지의 스캔 펄스를 공급받아서 로우 상태(디세이블 상태)의 스캔 펄스를 출력하는데 이용한다. 단, 제 1 스테이지(ST1)는 이전단 스테이지가 존재하지 않으므로, 타이밍 컨트롤러로부터 게이트 스타트 펄스(GSP)를 제공받는다. 또한, 제 n 스테이지(STn)는 더미 스테이지(미도시)로부터 제공된 신호에 응답하여 로우 상태의 스캔 펄스를 출력한다.
- [0050] 이하, 각 스테이지(ST1 ~ STn)가 스캔펄스를 출력하는 동작에 대해 제 1 스테이지를 예를 들어 설명하기로 한다.
- [0051] 도 5는 도 4에 도시된 제 1 스테이지의 구성도이다. 그리고 도 6은 도 5에 도시된 제 1 스테이지의 동작 파형도이다.
- [0052] 도 5를 참조하면, 제 1 스테이지(ST1)는 출력 제어부(OC)와, 출력 버퍼부를 구비한다. 출력 버퍼부는 풀-업 TFT(Tup)와, 풀-다운 TFT(Td1, Td2)를 포함한다.
- [0053] 출력 제어부(OC)는 게이트 스타트 펄스(GSP)와, 제 2 스테이지(ST2)로부터의 제 2 스캔 펄스(Vout2), 및 서로 180도 위상 반전된 형태를 갖는 제 1 및 제 2 교류 전압(VDD_O, VDD_E)에 따라 제 1 내지 제 3 노드(Q, QB_odd, QB_even)의 논리상태를 제어한다. 이를 위해, 출력 제어부(OC)는 제 5 내지 제 14 TFT(T5 ~ T14)를 구비한다.
- [0054] 제 5 TFT(T5)는 게이트 스타트 펄스(GSP)에 따라 턴-온 또는 턴-오프되며, 턴-온시 고전위 전압(VDD)라인과 제 1 노드(Q)를 서로 연결한다.
- [0055] 제 6 TFT(T6)는 제 2 스테이지로(ST2)부터 공급되는 스캔펄스(Vout2)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 노드(Q)와 저전위 전압(VSS)라인을 서로 연결한다.
- [0056] 제 7 TFT(T7)는 제 2 노드(QB_odd)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 노드(Q)와 저전위 전압(VSS)라인을 서로 연결한다.
- [0057] 제 8 TFT(T8)는 제 1 교류 전압(VDD_O)라인으로부터 제공되는 제 1 교류전압(VDD_O)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 교류전압(VDD_O)라인과 제 2 노드(QB_odd)를 서로 연결한다.
- [0058] 제 9 TFT(T9)는 제 1 노드(Q)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 2 노드(QB_odd)와 저전위 전압(VSS)라인을 서로 연결한다.
- [0059] 제 10 TFT(T10)는 게이트 스타트 펄스(GSP)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 2 노드(QB_odd)와 저전위 전압(VSS)라인을 서로 연결한다.
- [0060] 제 11 TFT(T11)는 제 3 노드(QB_even)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 노드(Q)와 저전위 전압(VSS)라인을 서로 연결한다.
- [0061] 제 12 TFT(T12)는 제 2 교류 전압(VDD_even)라인으로부터 제공되는 제 2 교류 전압(VDD_even)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 2 교류 전압(VDD_even)라인과 제 3 노드(QB_even)를 서로 연결한다.
- [0062] 제 13 TFT(T13)는 제 1 노드(Q)의 논리상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 3 노드(QB_even)와 저전위전원(VSS)라인을 서로 연결한다.
- [0063] 제 14 TFT(T14)는 게이트 스타트 펄스(GSP)에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 3 노드(QB_even)와 저

전위 전압(VSS)라인을 서로 연결한다.

- [0064] 출력 버퍼부(Tup, Td1, Td2)는 제 1 내지 제 3 노드(Q, QB_odd, QB_even)의 논리 상태에 따라 제 1 스캔 펄스(Vout1)를 출력한다.
- [0065] 구체적으로, 풀-업 TFT(Tup)는 게이트 전극이 제 1 노드(Q)와 접속되고, 드레인 전극에 제 1 시분할 클럭 펄스(CLK1a)가 공급되고, 소스 전극이 출력 단자와 연결된다. 이러한, 풀-업 TFT(Tup)는 제 1 노드(Q)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 시분할 클럭 펄스(CLK1a)를 제 1 스캔 펄스(Vout1)로 출력한다.
- [0066] 제 1 풀-다운 TFT(Td1)는 게이트 전극이 제 2 노드(QB_odd)에 접속되고, 소스 전극에 저전위 전압(VSS)이 공급되고, 드레인 전극이 출력 단자와 연결된다. 이러한 제 1 풀-다운 TFT(Td1)는 제 2 노드(QB_odd)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)을 제 1 스캔 펄스(Vout1)로 출력한다.
- [0067] 제 2 풀-다운 TFT(Td2)는 게이트 전극이 제 3 노드(QB_even)에 접속되고, 소스 전극에 저전위 전압(VSS)이 공급되고, 드레인 전극이 출력 단자와 연결된다. 이러한 제 2 풀-다운 TFT(Td2)는 제 3 노드(QB_even)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)을 제 1 스캔 펄스(Vout1)로 출력한다.
- [0068] 한편, TFT가 턴-온시 신호가 전달되는 방향은 소스 전극에서 드레인 전극, 또는 그 반대인 드레인에서 소스 전극이 될 수 있다.
- [0069] 이러한, 제 1 스테이지(ST1)의 동작순서는 다음과 같다.
- [0070] 도 6을 참조하면, 제 1 스테이지(ST1)는 세트 기간(K1)에 하이 상태의 게이트 스타트 펄스(GSP)가 제 5 TFT(T5)의 게이트 전극에 공급된다. 그러면, 제 5 TFT(T5)가 턴-온되고, 제 5 TFT(T5)를 통해 고전위 전압(VDD)이 제 1 노드(Q)와, 제 9 TFT(T9)에 공급된다. 이에 따라, 제 1 노드(Q)는 하이 상태로 프리-차지된다. 그리고 제 9 TFT(T9)가 턴-온 되어 저전위 전압(VSS)이 제 2 노드(QB_odd)에 공급되어, 제 2 노드(QB_odd)가 로우 상태가 된다.
- [0071] 이어서, 제 1 스테이지(ST1)는 세트 기간(K1) 다음의 출력 기간(K2)에 하이 상태의 제 1 시분할 클럭 펄스(CLK1a)가 풀-업 TFT(Tup)의 드레인 전극에 공급된다. 이에 따라, 풀-업 TFT(Tup)의 게이트 전극과 드레인 전극 간의 기생 커패시터(Cgd)에 의한 커플링 현상에 의해 프리-차지된 제 1 노드(Q)의 전압이 부트스트랩핑(Bootstrapping)된다. 이에 따라, 풀-업 TFT(Tup)가 완전한 턴-온 상태가 되고, 턴-온된 풀-업 TFT(Tup)를 통해 하이 상태의 제 1 시분할 클럭 펄스(CLK1a)가 제 1 스캔 펄스(Vout1)로서 출력단자에 공급된다. 그리고 제 2 노드(QB_odd)는 로우 상태를 유지한다.
- [0072] 이어서, 제 1 스테이지(ST1)는 출력 기간(K2) 다음의 리셋 기간(K3)에 하이 상태의 제 2 스캔펄스(Vout2)가 제 6 TFT(T6)의 게이트 전극에 공급된다. 그러면, 제 6 TFT(T6)가 턴-온되고, 제 6 TFT(T6)를 통해 저전위 전압(VSS)이 제 1 노드(Q)에 공급되어서 풀-업 TFT(Tup)와, 제 9 TFT(T9)가 턴-오프 된다. 그러면, 제 8 TFT(T8)를 통해 제 1 교류전압(VDD_0)이 제 2 노드(QB_odd)에 공급되어, 제 2 노드(QB_odd)가 하이 상태가 되고, 제 1 풀-다운 TFT(Td1)는 턴-온되어 저전위 전압(VSS)이 제 1 스캔 펄스(Vout1)로서 출력단자에 공급된다.
- [0073] 한편, 상기와 같이 동작하는 각 스테이지(ST1 ~ STn)에서 풀-업 TFT(Tup)는 소비전력이 가장 크다. 구체적으로, 풀-업 TFT(Tup)는 구동 주파수가 가장 빠른 시분할 클럭 펄스(TDCLK)를 제공받는다. 또한, 풀-업 TFT(Tup)는 각 스테이지(ST1 ~ STn)에서 크기가 가장 크며, 이에 따라 풀-업 TFT(Tup)에서 발생하는 기생 커패시터(Cgd)의 정전용량(C)도 가장 크다. 따라서, 풀-업 TFT(Tup)는 구동 주파수(f)가 가장 빠르고 기생 커패시터의 정전용량(C)이 가장 크므로 게이트 구동부(8)에서 소비전력이 가장 크다.(수학식 1 참고)
- [0074] 이때, 전술한 바와 같이, 시분할 클럭 펄스(TDCLK)는 스테이지(ST1 ~ STn)들에 제 1 및 제 2 블록(16, 18)으로 나누어서 공급된다. 이에 따라, 시분할 클럭 펄스(TDCLK)가 각 스테이지(ST1 ~ STn)의 풀-업 TFT(Tup)에 공급되는 각 전송라인의 로드는 클럭펄스(CLK)가 시분할되지 않고 풀-업 TFT(Tup)에 공급될 때보다 1/2로 줄어든다. 그러면, 풀-업 TFT(Tup)에서 발생하는 기생 커패시터(Cgd)의 정전용량(C)이 1/2로 줄어들게 되어 게이트 구동부(8)의 소비전력이 1/2로 줄어든다.
- [0075] 한편, 도 2 및 도 3에서는 시분할 스위칭부(10)에서 클럭 펄스(CLK1, CLK2) 각각이 1/2 프레임 기간씩 시분할되는 것을 예를 들어 설명하였지만, 도 7 및 도 8에 도시된 바와 같이, 시분할 스위칭부(10)에서 클럭 펄스(CLK1, CLK2) 각각이 1/4 프레임 기간씩 시분할 될 수 있다. 이에 따라, 시분할 클럭펄스(TDCLK) 각각은 클럭 펄스(CLK)로부터 4개씩 분할되어 생성된다. 그러면, 도 9에 도시된 바와 같이, 게이트 구동부(8)의 제 1 내지 제 n 스테이지(ST1 ~ STn)는 시분할 클럭펄스(TDCLK)가 클럭 펄스(CLK)로부터 4개씩 시분할된 것에 대응하여 서

로 다른 시분할 클럭 펄스(TDCLK)를 제공받는 적어도 4개의 블록(20, 22, 24, 26)으로 구분된다. 이에 따라, 시분할 클럭 펄스(TDCLK)가 각 스테이지(ST1 ~ STn)의 풀업 TFT(Tup)에 공급되는 각 전송라인의 로드는 클럭 펄스(CLK)가 시분할되지 않고 풀업 TFT(Tup)에 공급될 때보다 1/4로 줄어든다. 그러면, 풀업 TFT(Tup)에서 발생하는 기생 커패시터(Cgd)의 정전용량(C)이 1/4로 줄어들게 되어 게이트 구동부(8)의 소비전력을 1/4로 줄일 수 있다.

[0076] 한편, 도 4에서는 각 스테이지(ST1 ~ STn)가 제 1 및 제 2 블록(16, 18)으로 구분되고, 게이트 스타트 펄스(GSP)가 제 1 블록(16)의 첫번째 스테이지인 제 1 스테이지(ST1)에만 공급되는 것으로 설명하였다. 하지만, 도 10에 도시된 바와 같이, 제 1 블록(16)의 첫번째 스테이지인 제 1 스테이지(ST1)에는 제 1 게이트 스타트 펄스(GSP1)가 공급되고, 제 2 블록(18)의 첫번째 스테이지인 제 n/2 + 1 스테이지(STn/2 + 1)에는 제 2 게이트 스타트 펄스(GSP2)가 공급될 수 있다. 즉, 각 스테이지(ST1 ~ STn)가 서로 다른 시분할 클럭펄스(TDCLK)를 제공받는 p 개(p는 자연수)의 블록으로 구분되면, p개의 블록 각각의 첫번째 스테이지들에 서로 다른 게이트 스타트 펄스가 공급될 수 있다. 이에 따라, p개의 블록 각각은 서로 다른 게이트 스타트 펄스에 의해 동작이 시작된다.

[0077] 한편, 도 3에서는 시분할 스위칭부(10)에서 클럭 펄스(CLK) 각각을 1/2 프레임 기간씩 시분할하였지만, 시분할 스위칭부(10)에서 클럭 펄스(CLK) 각각을 시분할하는 방법은 어떤 방법이라도 가능하다. 예를 들어, 도 11에도 시된 바와 같이, 시분할 스위칭부(10)에서 제 1 클럭 펄스(CLK1)는 4 수평 기간마다 한번씩 하이 상태가 되고 서로 2 수평 기간씩 지연된 위상차를 가지도록 시분할된 제 1 및 제 2 시분할 클럭 펄스(CLK1a, CLK1b)가 될 수 있다. 그리고 제 2 클럭 펄스(CLK2)도 4 수평 기간마다 한번씩 하이 상태가 되고 서로 2 수평 기간씩 지연된 위상차를 가지도록 시분할된 제 3 및 제 4 시분할 클럭 펄스(CLK2a, CLK2b)가 될 수 있다.

[0078] 이와 같이, 본 발명의 실시 예에 따른 액정 표시장치는 클럭 펄스(CLK) 각각을 p개씩 시분할하여 게이트 구동부(8)의 스테이지들(ST1 ~ STn)에 공급한다. 스테이지들(ST1 ~ STn)은 시분할 클럭펄스(TDCLK)가 클럭 펄스(CLK)로부터 p개씩 시분할된 것에 대응하여 p개의 블록으로 구분되고, p개의 블록 각각이 서로 다른 시분할 클럭펄스(TDCLK)를 제공받는다. 이에 따라, 시분할 클럭 펄스(TDCLK)가 각 스테이지(ST1 ~ STn)의 풀-업 TFT(Tup)에 공급되는 각 전송라인의 로드는 클럭펄스(CLK)가 시분할되지 않고 풀-업 TFT(Tup)에 공급될 때보다 1/p로 줄어든다. 그러면, 풀-업 TFT(Tup)에서 발생하는 기생 커패시터(Cgd)의 정전용량(C)이 1/p로 줄어들게 되어 게이트 구동부(8)의 소비전력을 1/p로 줄일 수 있다.

[0079] 또한, 풀-업 TFT(Tup)에서 발생하는 기생 커패시터(Cgd)의 정전용량(C)이 $1/p$ 로 줄어들게 되어 시정수(RC)에 따라 스캔 펄스(Vout1 ~ Voutn)의 상승시간을 줄여서 화질이 향상될 수 있다.

[0080] 한편, 본 발명에서 시분할 스위칭부(10)는 클럭 펄스(CLK)를 시분할해서 게이트 구동부(8)의 쉬프트 레지스터에 공급하는 것과 아울러, 데이터 구동부(4)에 공급되는 소스 쉬프트 클럭을 시분할하여 출력할 수 있다. 구체적으로, 시분할 스위칭부(10)는 타이밍 컨트롤러(2)로부터 제공된 소스 쉬프트 클럭을 시분할하여 데이터 구동부(4)에 공급한다. 그러면 데이터 구동부(4)에 구비된 쉬프트 레지스터는 다수의 블록으로 구분되고, 구분된 블록 각각이 서로 다른 시분할 소스 쉬프트 클럭을 공급받는다. 이에 따라, 소스 쉬프트 클럭이 데이터 구동부(4)의 쉬프트 레지스터에 공급되는 라인의 로드가 줄어들고, 데이터 구동부(4)의 소비전력을 줄일 수 있다.

[0081] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

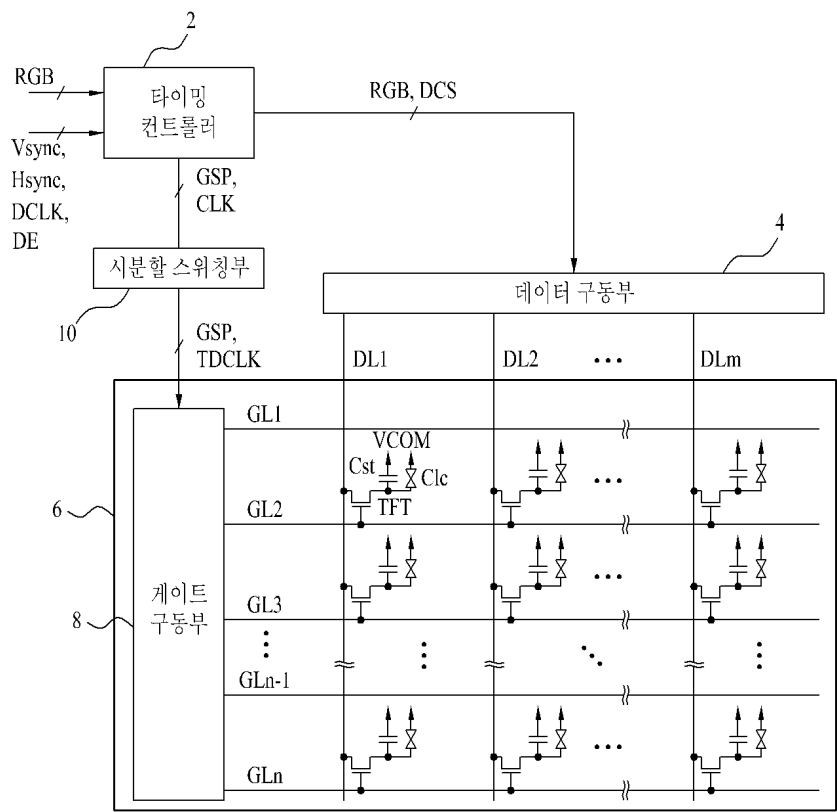
부호의 설명

[0082] 2: 타이밍 컨트롤러 6: 액정 패널

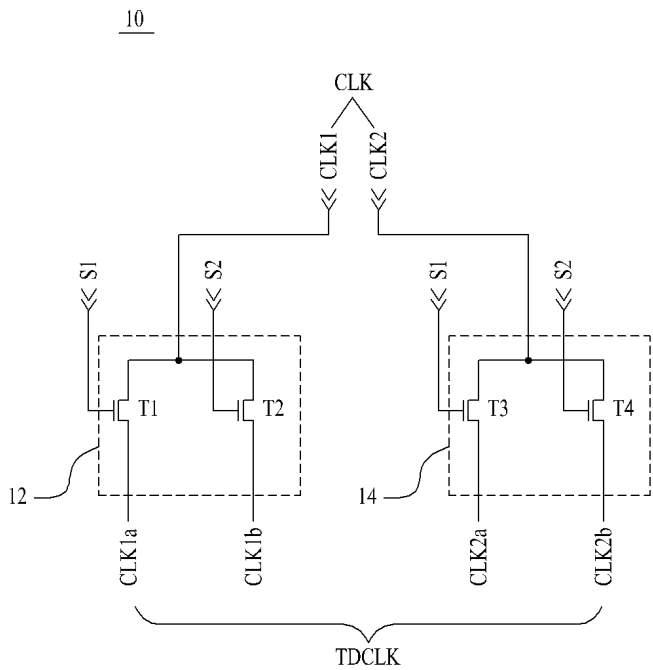
 8: 게이트 구동부 10: 시분할 스위칭부

도면

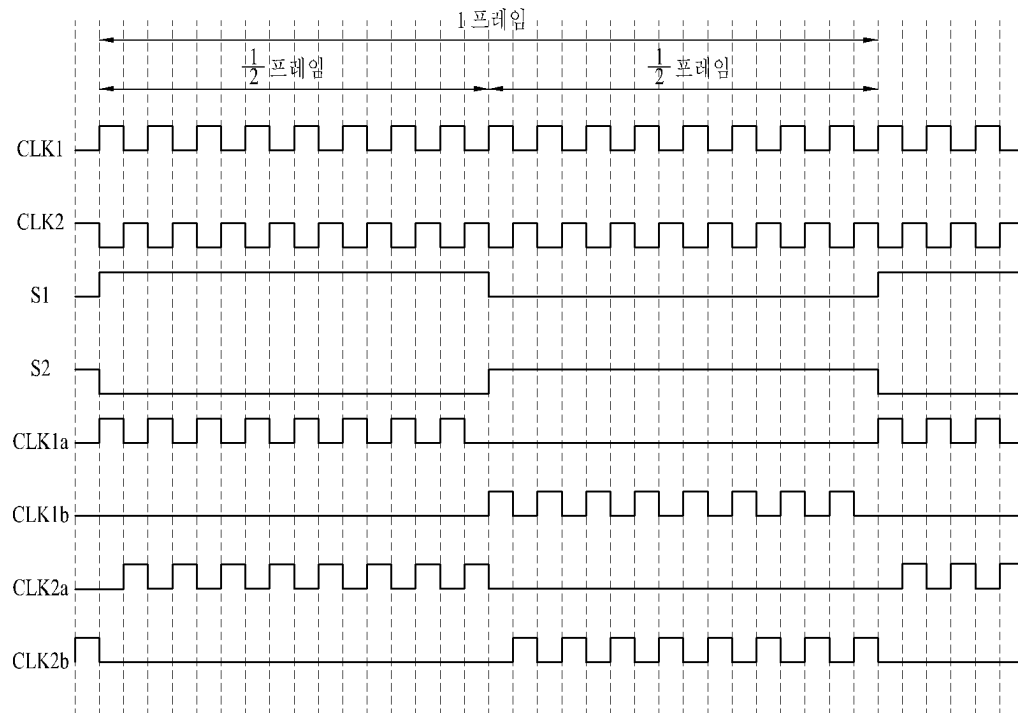
도면1



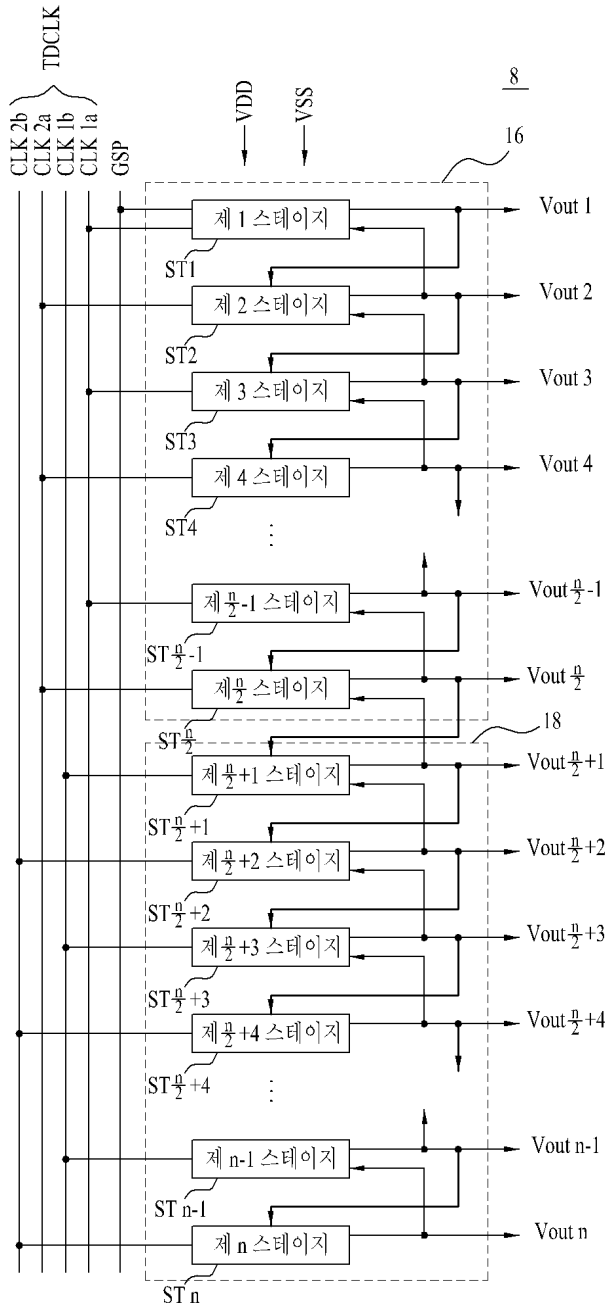
도면2



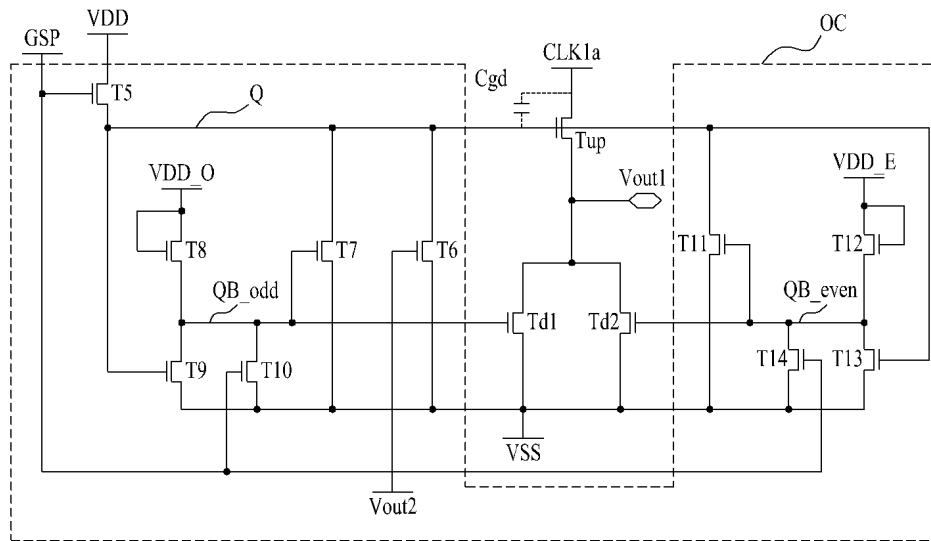
도면3



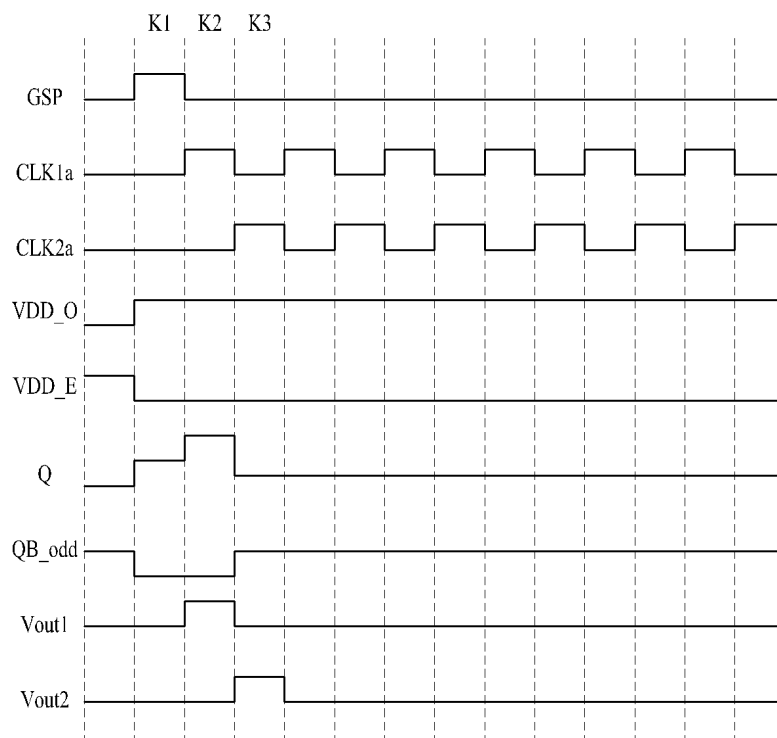
도면4



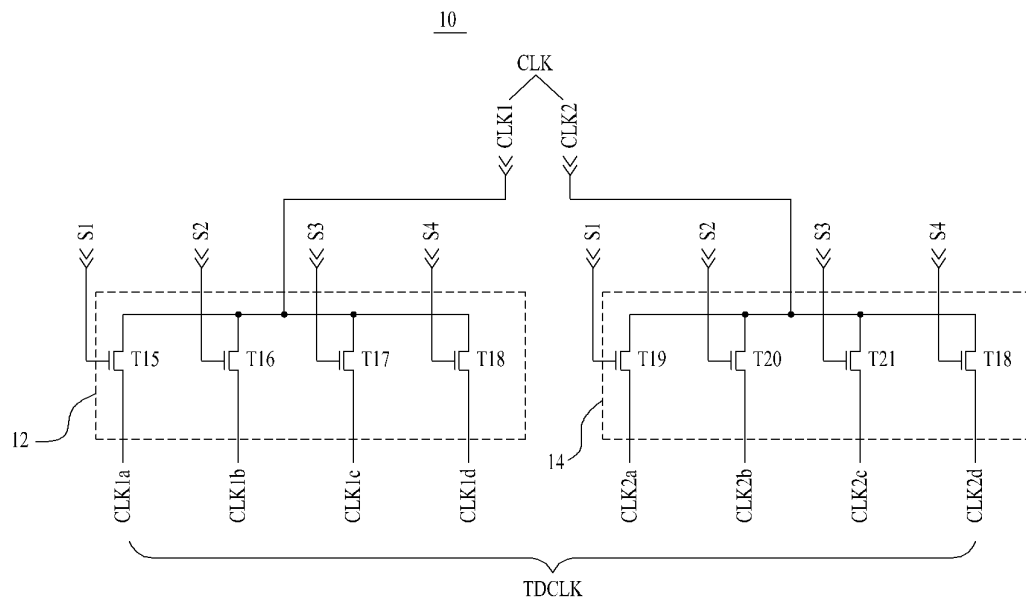
도면5



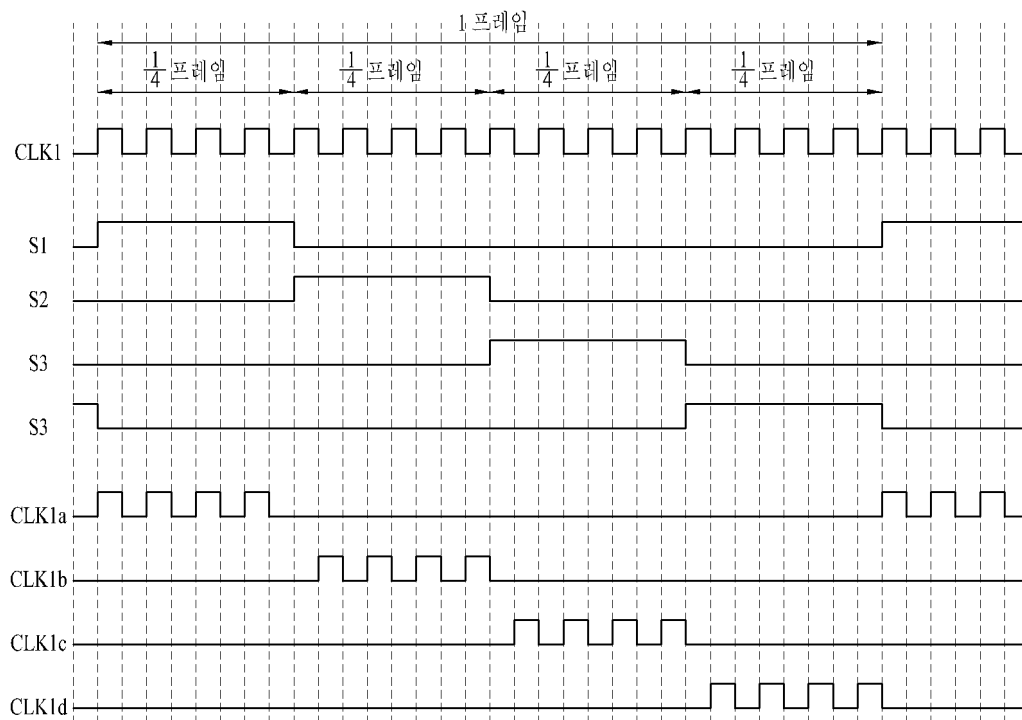
도면6



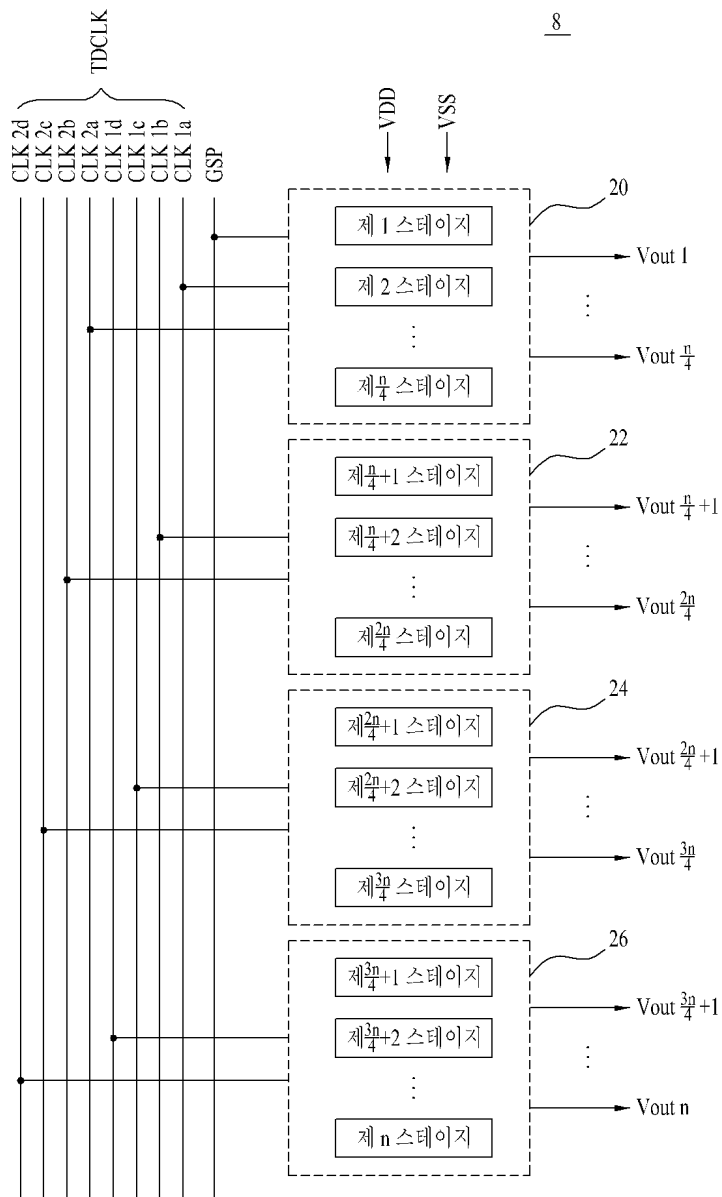
도면7



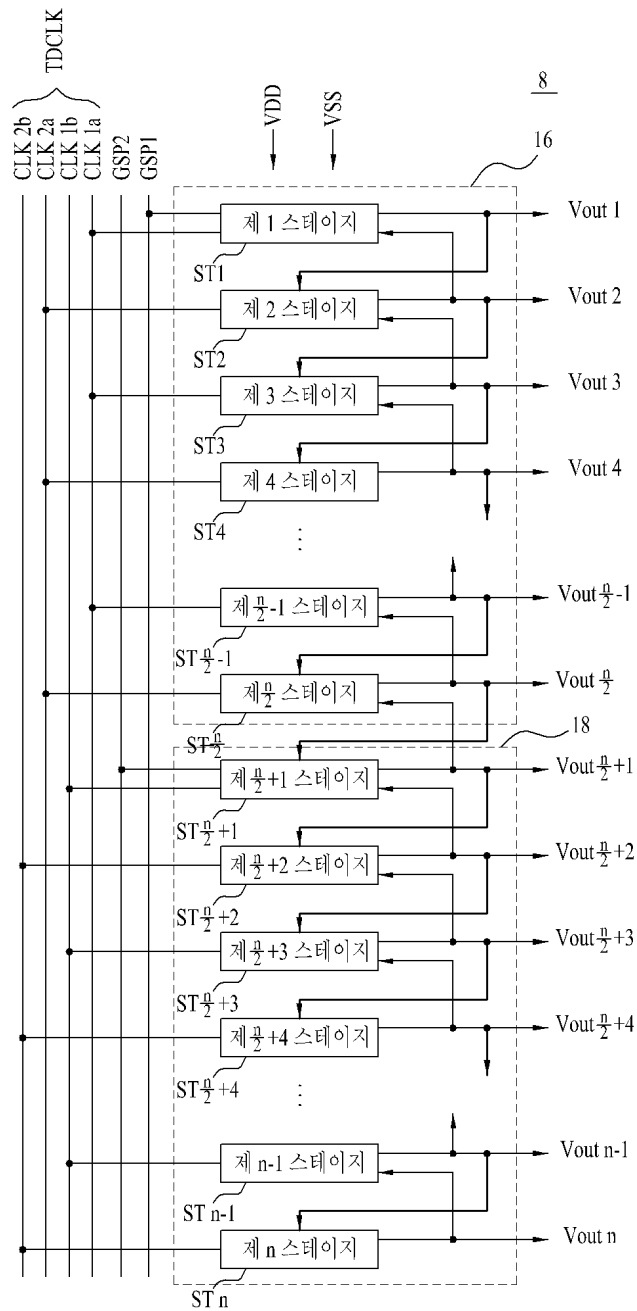
도면8



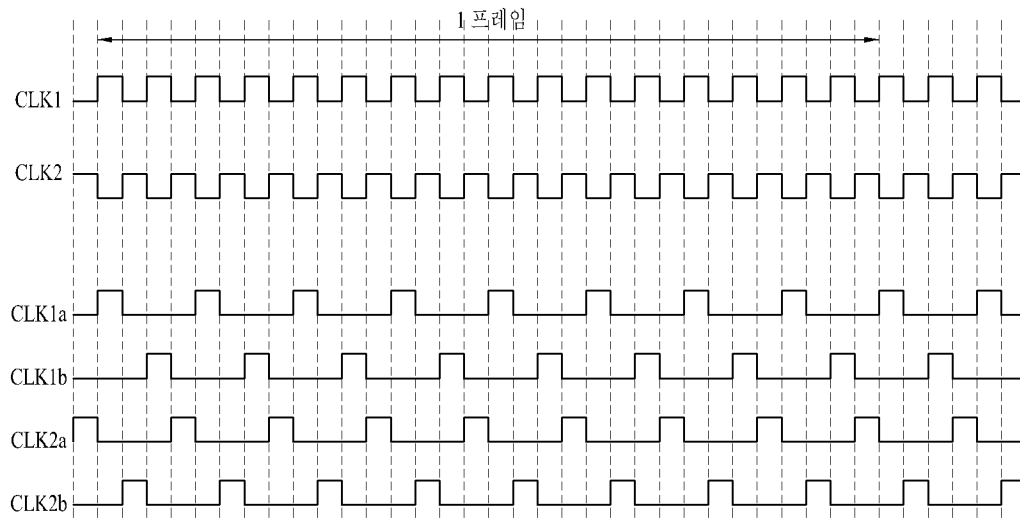
도면9



도면10



도면11



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101374113B1	公开(公告)日	2014-03-14
申请号	KR1020100053257	申请日	2010-06-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO HYE RIM 서혜림 SHIN CHEON KEE 신천기 CHAE JI EUN 채지은		
发明人	서혜림 신천기 채지은		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/08 G09G3/3677		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020110133715A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置及其驱动方法，可以减少栅极驱动电路的功率消耗，具有多个由所述栅极线和数据线限定的像素区域的液晶面板；一种定时控制器，用于输出多个数据控制信号，多个时钟脉冲和起始脉冲；一种时分切换单元，用于对多个时钟脉冲进行时分输出；一种数据驱动器，用于根据多个数据控制信号驱动数据线；并且，具有起始脉冲和多个级的栅极驱动器根据多个时分时钟脉冲顺序输出扫描脉冲；多级被提供有分成多个块的多个时分时钟脉冲；提供给多个块中的每个块的多个时分时钟脉冲彼此不同。

