(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월02일
(11) 등록번호 10-2118096
(24) 등록일자 2020년05월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
(21) 출원번호 10-2013-0152504
(22) 출원일자 2013년12월09일
심사청구일자 2018년11월28일
(65) 공개번호 10-2015-0066894
(43) 공개일자 2015년06월17일
(56) 선행기술조사문헌
KR1020080041526 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이지혜
경기도 파주시 월롱면 엘씨디로 201, A동 1205호 (LG디스플레이 정다운마을)
정호영
경기도 고양시 덕양구 백양로 8, 1711동 1802호 (화정동, 옥빛마을17단지아파트)
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 9 항 심사관 : 추장희

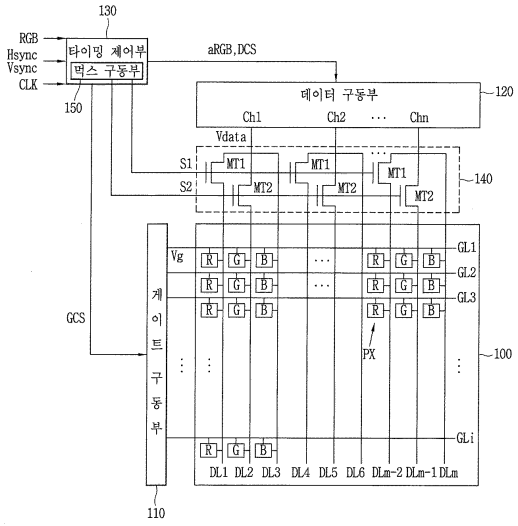
(54) 발명의 명칭 **액정표시장치**

(57) 요 약

본 발명은 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 이웃한 화소간 데이터 구동부의 채널을 먹스부를 통해 공유하여 채널수를 줄인 구조에서 먹스부에 포함되는 트랜지스터 개수를 저감하여 면적 활용도를 최대화한 액정표시장치에 관한 것이다.

본 발명의 실시예에 따르면, 둘 이상의 데이터 배선이 하나의 채널을 공유하는 구조를 적용하면서도 액정표시장치에서 스위칭 소자의 개수를 저감하여 비표시영역에서 스위칭 회로가 형성되는 공간을 더 확보할 수 있어 네로우 베젤 구조를 구현하기 용이하다는 효과가 있다.

대 표 도 - 도3



(72) 발명자

이영장

서울특별시 구로구 새말로 31, 109동 1002호 (구로동, 롯데아파트)

이복영

경기도 파주시 문산읍 당동1로 11, 605동 503호 (자연앤꿈에그린6단지아파트)

(56) 선행기술조사문헌

KR1020110101908 A

KR1020120065171 A

US20100164913 A1

KR1020030039972 A

*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

복수의 게이트 배선과, 복수의 제1 내지 제3 데이터 배선이 교차 형성되고, 교차지점에 복수의 화소가 정의된 액정패널;

상기 복수의 게이트 배선에 게이트 구동신호를 순차적으로 출력하는 게이트 구동부;

상기 게이트 구동신호에 동기 하여, 상기 복수의 제1 내지 제3 데이터 배선에 1/3 수평기간씩 데이터 신호를 순차적으로 출력하며, 상기 복수의 제1 내지 제3 데이터 배선의 수의 1/3 개의 채널을 구비하는 데이터 구동부;

제1 및 제2 선택신호에 따라 상기 데이터 구동부의 각 채널에 대해 상기 제1 및 제2 데이터 배선을 교변으로 연결하는 제1 및 제2 스위칭 트랜지스터를 복수개 구비하는 스위칭 회로부; 및

상기 게이트 및 데이터 구동부와, 상기 스위칭 회로부를 제어하며, 상기 제1 및 제2 선택신호를 출력하는 먹스 구동부를 구비하는 타이밍 제어부를 포함하고,

상기 채널은, 상기 제3 데이터 배선과 직접 연결되는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 제어부는,

1 수평기간 중, 초기 1/3 수평기간 동안 상기 제1 선택신호를 고전위로 출력하여 상기 제1 스위칭 트랜지스터를 턴-온하여 상기 각 채널과 상기 제1 데이터 배선을 연결하고,

다음 1/3 수평기간 동안 상기 제2 선택신호를 고전위로 출력하여 상기 제2 스위칭 트랜지스터를 턴-온하여 상기 각 채널과 상기 제2 데이터 배선을 연결하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 먹스 구동부는, 2 × 1 멀티플렉서인 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 스위칭 회로부는,

나머지 1/3 수평기간 동안에는 상기 제1 및 제2 선택신호를 저전위로 출력하여 상기 제1 및 제2 스위칭 트랜지스터를 턴-오프 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 및 제2 스위칭 트랜지스터는,

상기 각 채널과 연결되는 드레인 전극을 공유하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항 및 제 5 항 중, 선택되는 어느 하나의 항에 있어서,

상기 제1 및 제2 스위칭 트랜지스터는,

상기 액정패널상의 박막트랜지스터 형태로 구비되는 액정표시장치.

청구항 7

복수의 게이트 배선과, 복수의 제1 및 제2 데이터 배선이 교차 형성되고, 교차지점에 복수의 화소가 정의된 액정패널;

상기 복수의 게이트 배선에 게이트 구동신호를 순차적으로 출력하는 게이트 구동부;

상기 게이트 구동신호에 동기 하여, 상기 복수의 제1 및 제2 데이터 배선에 1/2 수평기간씩 데이터 신호를 순차적으로 출력하며, 상기 복수의 제1 및 제2 데이터 배선의 수의 1/2 개의 채널을 구비하는 데이터 구동부;

선택신호에 따라 상기 데이터 구동부의 각 채널에 대해 상기 제1 데이터 배선을 교번으로 연결하는 스위칭 트랜지스터를 복수개 구비하는 스위칭 회로부; 및

상기 게이트 및 데이터 구동부와, 상기 스위칭 회로부를 제어하며, 상기 선택신호를 출력하는 타이밍 제어부를 포함하고,

상기 채널은 상기 제2 데이터배선과 직접 연결되는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 타이밍 제어부는,

1 수평기간 중, 초기 1/2 수평기간 동안 상기 선택신호를 고전위로 출력하여 상기 스위칭 트랜지스터를 턴-온하여 상기 각 채널과 상기 제1 데이터 배선을 연결하며,

다음 1/2 수평기간 동안 상기 선택신호를 저전위로 출력하여 상기 스위칭 트랜지스터를 턴-오프 하는 액정표시장치.

청구항 9

삭제

청구항 10

제 7 항에 있어서,

상기 스위칭 트랜지스터는,

상기 액정패널상의 박막트랜지스터 형태로 구비되는 액정표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 이웃한 화소간 데이터 구동부의 채널을 먹스부를 통해 공유하여 채널수를 줄인 구조에서 먹스부에 포함되는 트랜지스터 개수를 저감하여 면적 활용도를 최대화한 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 휴대폰(Mobile Phone), 노트북컴퓨터와 같은 각종 포터블 장치(potable device) 및, HDTV 등의 고해상도, 고품질의 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 이용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시패널(Plasma Display Panel; PDP), 전계발광 표시장치(Field Emission Display; FED) 및 유기발광 표시장치(Organic Light Emitting Diodes; OLED) 등이 있다. 이중, 액정표시장치(LCD)는 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 현재 가장 널리 연구되고 있다.

[0003] 액정표시장치는 액정패널 상에 복수의 게이트 배선 및 이와 교차하는 복수의 데이터배선이 형성되고, 그 교차지

점에 스위칭 소자인 박막트랜지스터를 포함하는 복수의 화소들이 형성되어, 각 화소들에 인가되는 데이터신호에 따른 액정의 광 투과율 변화에 따라 영상의 계조를 표시하는 구조이다.

[0004] 따라서, 각 화소마다 적어도 하나의 게이트 배선 및 데이터 배선이 연결되어야 하며, 동일 수평선상에 배치되는 화소들에는 각각 하나의 데이터 배선이 할당되고, 각 데이터배선은 데이터 신호를 공급하는 데이터 구동부의 하나의 채널과 일대일로 연결되어야 한다.

[0005] 한편, 액정표시장치의 대면적 및 고해상도 추세에 따라 데이터 배선의 개수가 점차 증가하게 되고, 이에 대응하여 데이터 구동부의 채널의 개수가 증가하며, 배선구조가 복잡하게 구성됨에 따라 데이터 구동부의 제조비용이 상승되는 문제점이 있었다.

[0006] 이를 개선하기 위해, 하나의 채널을 둘 이상의 데이터 배선이 공유함으로서 데이터 구동부의 채널수를 공유하는 구조가 제안되었다.

[0007] 도 1은 종래 채널공유 구조가 적용된 액정표시장치의 일부를 나타내는 도면이다. 이하의 도면에서는 하나의 채널당 3개의 데이터 배선을 연결하는 3 ×1 멀티플렉서(multiplexer)가 적용된 구조를 예시하고 있다.

[0008] 도시된 바와 같이, 종래의 채널공유 구조 액정표시장치는, 액정패널(10)상에 복수의 화소(PX)가 형성되는 표시영역과, 데이터 구동부(미도시)사이의 비표시영역상에 이웃한 세 화소(R,G,B)와 연결되는 데이터 배선(DLm-2, DLm-1, DLm)을 각각 하나의 채널(CHn)에 연결하는 복수의 스위칭 소자(MT1 ~ MT3)를 포함하는 스위칭 회로(50)가 형성된다.

[0009] 상기 스위칭 회로(50)는 타이밍 제어부 또는 데이터 구동부(미도시)에 내장된 멀티플렉서의 제어신호(S1 ~ S3)에 따라, 도 2에 도시된 신호파형과 같이, 게이트 구동신호(Vg)가 인가되는 1수평기간(1H)을 3 구간으로 분할하여 스위칭 소자(MT1 ~ MT3)를 시분할방식으로 구동함으로서 R,G,B 화소의 데이터 신호(Vdata)를 각각 인가하도록 함으로서 종래 대비 데이터 구동부의 채널(Chn) 갯수를 1/3로 저감할 수 있는 잇점이 있다.

[0010] 상기 시분할방식은 1 수평기간을 1/3로 분할하여, 먼저 제1 스위칭 소자(MT1)을 도통하여 데이터 배선(DL1, DLm-2)을 통해 R 화소를 충전하고, 다음으로 제2 스위칭 소자(MT2)을 도통하여 데이터 배선(DL2, DLm-1)을 통해 G 화소를 충전하는 방식이다.

[0011] 그러나, 상기의 스위칭 회로(50)구조에서는 하나의 데이터 배선(DLm-2, DLm-1, DLm)마다 각각 하나의 스위칭 소자(MT1, MT2, MT3)가 연결되어야 하며, 고해상도 액정표시장치일수록 화소간 도트 피치가 작아짐에 따라, 한정된 비표시영역상에 스위칭 소자(MT1, MT2, MT3)를 배치하는 데 어려움이 있다. 또한, 비표시영역의 폭을 최소화하는 네로우 베젤(narrow bezel) 액정표시장치를 구현하는 데 불리하게 작용하게 된다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 채널 공유 구조의 액정표시장치에 포함되는 스위칭 회로에 포함되는 스위칭 소자의 개수를 저감하여 비표시영역상의 스위칭 소자를 위한 공간을 확보하고, 네로우 베젤 적용이 용이한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0013] 전술한 목적을 달성하기 위해, 본 발명의 제1 실시예에 따른 액정표시장치는, 복수의 게이트 배선과, 복수의 제1 내지 제3 데이터 배선이 교차형성되고, 교차지점에 복수의 화소가 정의된 액정패널; 상기 게이트 배선에 게이트 구동신호를 순차적으로 출력하는 게이트 구동부; 상기 게이트 구동신호에 동기하여, 상기 제1 내지 제3 데이터 배선에 1/3 수평기간씩 데이터 신호를 순차적으로 출력하는 데이터 구동부; 상기 제1 및 제2 데이터 배선과 상기 데이터 구동부의 채널을 교번하여 전기적으로 연결하는 스위칭 회로부; 및 상기 게이트 및 데이터 구동부와, 상기 스위칭 회로부를 제어하는 타이밍 제어부를 포함하고, 상기 채널은, 상기 제3 데이터 배선과 직접 연결된다.

[0014] 또한, 전술한 목적을 달성하기 위해, 본 발명의 제2 실시예에 따른 액정표시장치는, 복수의 게이트 배선과, 복수의 제1 및 제2 데이터 배선이 교차형성되고, 교차지점에 복수의 화소가 정의된 액정패널; 상기 게이트 배선에 게이트 구동신호를 순차적으로 출력하는 게이트 구동부; 상기 게이트 구동신호에 동기하여, 상기 제1 및 제2 데이터 배선에 1/2 수평기간씩 데이터 신호를 순차적으로 출력하는 데이터 구동부; 상기 제1 데이터 배선과 상기

데이터 구동부의 채널을 교번하여 전기적으로 연결하는 스위칭 회로부; 및 상기 게이트 및 데이터 구동부와, 상기 스위칭 회로부를 제어하는 타이밍 제어부를 포함하고, 상기 채널은 상기 제2 데이터배선과 직접 연결된다.

발명의 효과

[0015] 본 발명의 실시예에 따른 액정표시장치는 둘 이상의 데이터 배선이 하나의 채널을 공유하는 구조를 적용하면서도 액정표시장치에서 스위칭 소자의 개수를 저감하여 비표시영역에서 스위칭 회로가 형성되는 공간을 더 확보할 수 있어 네로우 베젤 구조를 구현하기 용이하다는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 종래 채널공유 구조가 적용된 액정표시장치의 일부를 나타내는 도면이다.

도 2는 도 1의 액정표시장치의 구동시 출력되는 신호파형을 나타낸 도면이다.

도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.

도 4 내지 도 5는 본 발명의 실시예에 따른 액정표시장치의 영상에 따른 하나의 신호파형을 예시한 도면이다.

도 6은 종래 및 본 발명에 따른 액정표시장치의 스위칭 회로부의 구조로 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명하면 다음과 같다.

[0018] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 전체 구조를 나타내는 도면이다.

[0019] 도 3을 참조하면, 본 발명의 액정표시장치는 복수의 게이트 배선(GL1 ~ GLi)과, 복수의 제1 내지 제3 데이터 배선(DL1 ~ DLm)이 교차형성되고, 교차지점에 복수의 화소(PX)가 정의된 액정패널(100)과, 상기 게이트 배선(GL1 ~ GLi)에 게이트 구동신호(Vg)를 순차적으로 출력하는 게이트 구동부(110)와, 상기 게이트 구동신호(Vg)에 동기하여, 상기 제1 내지 제3 데이터 배선(DL1 ~ DLm)에 1/3 수평기간(1/3H)씩 데이터 신호(Vdata)를 순차적으로 출력하는 데이터 구동부(120)와, 상기 제1 및 제2 데이터 배선(DLm-2, DLm-1)과 상기 데이터 구동부(120)의 채널을 교번하여 전기적으로 연결하는 스위칭 회로부(140)와, 상기 게이트 및 데이터 구동부(110, 120)와, 상기 스위칭 회로부(140)를 제어하는 타이밍 제어부(130)를 포함하고, 상기 채널(Ch1 ~ Chn)은, 상기 제3 데이터 배선(DLm)과 항상 전기적으로 연결된다.

[0020] 액정패널(100)은 글라스 또는 플라스틱을 이용한 기판 상에 다수의 게이트배선(GL1 ~ GLi)과 다수의 데이터배선(DL1 ~ DLm)이 매트릭스 형태로 교차되고, 그 교차지점에 다수의 화소(PX)를 정의한다. 화소(PX)들은 매트릭스 형태로 배치되고, 각각 R,G,B 삼원색에 대응하는 3개의 서브화소(R,G,B)를 포함한다. 각 서브화소(R,G,B)에는 적어도 하나의 박막트랜지스터와 액정캐패시터(미도시)가 구성되어 있다.

[0021] 전술한 박막트랜지스터의 게이트전극은 게이트 라인(GL1 ~ GLi)에 연결되고, 드레인전극은 데이터 라인(DL1 ~ DLm)에 연결되며, 그리고 소스전극은 공통전극과 대향하는 화소전극과 연결되어 하나의 화소를 정의한다. 이러한 박막 트랜지스터 액티브층을 이루는 물질로는 비정질 실리콘(a-si silicon)이 널리 이용되고 있으나, 박막트랜지스터의 특성을 고려하여 폴리 실리콘(poly silicon) 또는 옥사이드 반도체(oxide semiconductor)가 이용될 수도 있다.

[0022] 게이트 구동부(110)는 타이밍 제어부(130)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트배선(GL1 ~ GLi)을 통해 수평기간(1H)마다 순차적으로 게이트 구동신호(Vg)를 출력한다. 이에 따라, 각 게이트배선(GL1 ~ GLi)에 연결된 박막트랜지스터는 1 수평기간씩 턴-온(turn-on)하며, 이와 동기하여 데이터 구동부(120)는 아날로그 파형의 데이터신호(Vdata)를 데이터배선(DL1 ~ DLm)을 통해 출력하여 박막트랜지스터에 접속된 화소(PX)들에 인가되도록 한다.

[0023] 여기서, 게이트 구동부(110)에 제공하는 게이트 제어신호(GCS)로는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블(Gate Output Enable, GOE)등이 있다.

[0024] 전술한 게이트 스타트 펄스(GSP)는 첫번째 게이트배선(GL1)에 게이트 구동신호를 출력하는 시기를 결정하는 신호로서 게이트 구동부(110)의 쉬프트 레지스터(미도시)에 인가된다. 게이트 쉬프트 클럭(GSC)는 각 쉬프트 레지스터에 공통으로 인가되는 클록신호로서, 이에 동기하여 차기 쉬프트 레지스터가 활성화 된다. 또한, 게이트 출

력 인에이블 신호(GOE)는 쉬프트 레지스터의 출력을 제어하는 신호이다.

[0025] 데이터 구동부(120)는 타이밍 제어부(130)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 정렬된 디지털형태의 영상신호(aRGB)를 기준전압에 따라 아날로그 형태의 데이터신호(Vdata)으로 변환한다. 전술한 데이터신호(Vdata)은 하나의 수평선씩 래치되고, 하나의 수평기간(1H)동안 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)에 입력된다.

[0026] 상기 데이터 제어신호(DCS)로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC) 및 소스 출력 인에이블(Source Output Enable, SOE) 등이 있다.

[0027] 소스 스타트 펄스(SSP)는 데이터 구동부(120)의 영상 데이터의 샘플링 시작 타이밍을 결정하는 신호이다. 소스 쉬프트 클록(SSC)은 데이터 구동부(120)에서 데이터 샘플링 동작을 제어하는 클록신호이다. 또한, 소스 출력 인에이블 신호(SOE)는 데이터 구동부(120)의 출력을 제어하는 신호이다.

[0028] 특히, 데이터 구동부(120)는 채널(Chn)의 수가 데이터 배선(DL1 ~ DLm)의 1/2 또는 1/3 개로 구성되며, 스위칭 회로부(140)을 통해 모든 데이터 배선(DL1 ~ DLm)과 연결된다. 도면에서는 하나의 채널(Chn)에 3개의 데이터 배선(DLm-2, DLm-1, DLm)이 서로 연결되는 구조를 예시하고 있다.

[0029] 이러한 데이터 구동부(120)는 1 수평기간(1H) 동안 하나의 게이트 라인(GLi)에 고전위의 게이트 구동신호(Vg)가 인가될 때, 1/3 수평기간(1/3H)씩 해당 수평선에 위치한 R,G,B 서브화소(R,G,B)들에 대한 아날로그 파형의 데이터 신호(Vdata)를 출력한다.

[0030] 타이밍 제어부(130)는 외부시스템(미도시)으로부터 전송되는 디지털 형태의 영상신호(RGB)와, 수평동기신호(Hsync), 수직동기신호(Vsync), 데이터 인에이블 클록신호(CLK)등의 타이밍 신호를 인가받아, 게이트 구동부(110), 데이터 구동부(120) 및 스위칭 회로부(140)의 제어신호들을 생성한다.

[0031] 그리고, 본 발명의 실시예에 따른 타이밍 제어부(130)는 통상의 인터페이스 방식을 통해 영상신호(RGB)를 입력받게 되며, 입력된 영상신호(RGB)를 데이터 구동부(120)가 처리가능한 형태로 정렬(aRGB)하여 출력하게 된다.

[0032] 스위칭 회로부(140)는 선택신호(S1, S2)에 따라 데이터 구동부(120)의 하나의 채널(Chn)에 대해 액정패널(100) 상의 세 데이터 배선(DLm-2, DLm-1, DLm)을 교번으로 연결하는 복수의 제1 및 제2 스위칭 트랜지스터(MT1, MT2)를 포함한다. 여기서, 제1 스위칭 트랜지스터(MT1)들은 R 서브화소(R)와 연결된 데이터배선(DL1, DL4, DLm-2)들과 연결되며, 제2 스위칭 트랜지스터(MT2)들은 G 서브화소(G)와 연결된 데이터배선(DL2, DL5, DLm-1)들과 연결된다. 따라서, B 서브화소(B)와 연결된 데이터배선(DL3, DL6, DLm)들은 스위칭 트랜지스터 없이 데이터 구동부(120)의 각 채널(Ch1 ~ Chn)과 직접 연결된다.

[0033] 여기서, 제1 스위칭 및 제2 스위칭 트랜지스터(MT1, MT2)와 연결되는 데이터 배선과의 연결구조는 고정적인 것이 아닌, 데이터 신호(Vdata)의 출력순서에 의해 결정되는 것으로, R,G,B 서브화소(R,G,B) 중, 마지막에 충전되는 화소에는 스위칭 트랜지스터가 연결되지 않게 된다. 일 예로서, 각 수평라인마다 B->G->R 의 순서로 화소가 충전된다고 가정하면, 제1 스위칭 트랜지스터(MT1)은 제3, 제6 및 제m 데이터 배선(DL3, DL6, DLm)과 연결되고, 제2 스위칭 트랜지스터(MT2)는 제2, 제4, 제m-1 데이터 배선(DL2, DL4, DLm-1)과 연결되게 된다.

[0034] 또한, 선택신호(S1, S2)는 각각 제1 및 제2 스위칭 트랜지스터(MT1, MT2)에 서로 다른 타이밍으로 인가되어 제1 및 제2 스위칭 트랜지스터(MT1, MT2)를 1 수평기간 내에서 교번으로 동작하도록 제어한다.

[0035] 상기 선택신호(S1, S2)는 타이밍 제어부(130) 또는 데이터 구동부(120)에 내장되거나, 또는 별도의 IC로 구비되는 먹스 구동부(150)에 의해 생성되며, 도면에서는 먹스 타이밍 제어부(130)에 내장된 일 예를 나타내고 있다.

[0036] 먹스 구동부(150)는 각 화소의 충전 타이밍에 따라 선택신호(S1, S2)를 교번으로 출력하여 채널(Ch1 ~ Chn)과 데이터 배선(DL1 ~ DLm)을 순차적으로 연결하는 역할을 하는 것으로, 2 × 1 멀티플렉서(multiplexer)를 포함할 수 있다.

[0037] 이러한 먹스 구동부(150)는 1 수평기간(1H) 중, 초기 1/3 수평기간(1/3H)동안 제1 선택신호(S1)를 고전위로 출력하여 제1 스위칭 트랜지스터(MT1)를 턴-온하여 각 채널(Ch1 ~ Chn)과 제1, 제4 및 제m-2 데이터 배선(DL1, DL4, DLm-2)를 연결함으로서 R 서브화소(R)가 충전되도록 하고, 다음 1/3 수평기간(1/3H)동안 제1 선택신호(S1)는 저전위, 제2 선택신호(S2)는 고전위로 출력하여 제1 스위칭 트랜지스터(MT1)를 턴-오프시켜 각 채널(Ch1 ~ Chn)과 제1, 제4 및 제m-2 데이터 배선(DL2, DL5, DLm-1)를 연결함으로서 데이터 신호(Vdata)가 G 서브화소(G)가 충전되도록 제어한다.

[0038] 이때, 제3, 제6 및 제m 데이터 배선(DL3, DL6, DLm)는 각 채널(Ch1 ~ Chn)에 항상 연결되어 있는 구조이므로, B 서브화소(B)에 대하여 의도하지 않은 데이터 신호(Vdata)가 동시에 충전되나, 두 기간을 합친 2/3 수평기간(2/3H)은 각 서브화소(R,G,B)의 액정의 응답속도에 따른 계조변화가 시청자에게 인지되기에는 짧은 시간이므로, 화질에는 영향을 주지 않게 된다.

[0039] 이후 나머지 1/3 수평기간(1/3H)동안에는 제1 및 제2 선택신호(S1, S2)를 저전위로 출력하여 제1 및 제2 스위칭 트랜지스터(MT1, MT2)를 모두 턴-오프시키면, 각 채널(Ch1 ~ Chn)은 제3, 제6 및 제m 데이터 배선(DL3, DL6, DLm)와 항상 연결되어 있는 상태이므로 B 서브화소(B)에 데이터 신호(Vdata)가 충전되게 된다.

[0040] 상기의 구조에 따라, 본 발명의 액정표시장치는 종래 대비 스위칭 트랜지스터(MT1, MT2)의 개수를 저감할 수 있으며, 이에 따라 스위칭 회로부(140)의 구조가 단순해지고, 제한된 영역내에 각 트랜지스터의 면적을 보다 많이 확보할 수 있다.

[0041] 한편, 상기의 제1 실시예에서는 하나의 채널에 대하여 세 개의 데이터 배선을 공유하는 구조로써 본 발명의 기술적 특징을 설명하였으나, 하나의 채널에 대하여 두 개의 데이터 배선을 공유하는 구조의 액정표시장치에도 본 발명의 특징적 구성을 적용할 수 있다.

[0042] 이러한 본 발명의 제2 실시예에 따른 액정표시장치는, 복수의 게이트 배선과, 복수의 제1 및 제2 데이터 배선이 교차형성되고, 교차지점에 복수의 화소가 정의된 액정패널과, 상기 게이트 배선에 게이트 구동신호를 순차적으로 출력하는 게이트 구동부와, 상기 게이트 구동신호에 동기하여, 상기 제1 및 제2 데이터 배선에 1/2 수평기간씩 데이터 신호를 순차적으로 출력하는 데이터 구동부와, 상기 제1 데이터 배선과 상기 데이터 구동부의 채널을 교번하여 전기적으로 연결하는 스위칭 회로부와, 상기 게이트 및 데이터 구동부와, 상기 스위칭 회로부를 제어하는 타이밍 제어부를 포함한다. 여기서, 상기 채널은 상기 제2 데이터배선과 항상 전기적으로 연결된다.

[0043] 즉, 이웃한 두 데이터 배선 중, 하나의 데이터 배선과 채널 사이에만 스위칭 트랜지스터를 구비하고, 다른 데이터 배선은 해당 채널과 직접 연결하며 1 수평기간 중, 초기 1/2 수평기간(1/2)동안에는 기수번째 데이터배선과 채널을 연결하여 화소를 충전하고, 다음 1/2 수평기간(1/2)동안에는 우수번째 데이터배선과 채널을 연결하여 화소를 충전하는 형태로 구성된다.

[0044] 이러한 제2 실시예에서는 하나의 채널당 하나의 스위칭 트랜지스터만이 요구되며, 따라서 멀티플렉서를 포함하는 먹스구동부가 생략되고, 타이밍 제어부가 해당 타이밍에 스위칭 트랜지스터를 턴-온 또는 턴-오프하는 하나의 선택신호만 더 추가로 생성 및 출력하는 형태로 구성될 수 있다.

[0045] 이하, 본 발명의 액정표시장치의 구동시 출력되는 신호파형을 참조하여 본 발명의 액정표시장치의 구동방법을 설명한다.

[0046] 도 4 내지 도 5는 본 발명의 실시예에 따른 액정표시장치의 영상에 따른 하나의 신호파형을 예시한 도면이다. 이하의 설명에서는 R,G,B 서브화소 중, R, G, 서브화소와 연결된 데이터배선에 스위칭 트랜지스터가 구비되는 구조의 액정표시장치를 기준으로 설명한다.

[0047] 도 4를 참조하면, 1 수평기간(1H)이 6㎲ 일 때, 각 서브화소(R,G,B)에 표시하는 화상의 계조가 화이트(White) 즉, 모든 서브화소의 계조가 255 gray로 동일한 경우의 신호파형의 예로서, 먼저 고전위의 게이트 구동신호(Vg)가 인가되고, 이에 대응하여 먼저 제1 스위칭 트랜지스터가 약 1/3수평기간(1/3H)동안 턴-온되어 2㎲동안 R 서브화소(R)에 데이터 신호(Vdata)가 출력된다. 여기서, 각 서브화소에 실제 충전되는 전압은 데이터 신호(Vdata)에서 RC 딜레이가 고려된 형태이다. 이때, B 서브화소(B)에도 동일 전압이 충전되게 된다.

[0048] 이어서, 제1 스위칭 트랜지스터가 턴-오프되고, 제2 스위칭 트랜지스터가 턴-온되어 2㎲동안 G 서브화소(G)에 데이터 신호(Vdata)가 충전되며, B 서브화소(B)에 충전된 전압은 G 서브화소(G)에 충전되는 전압의 전위로 변화하게 된다. 다음으로, 제1 및 제2 스위칭 트랜지스터가 모두 턴-오프되고, 2㎲동안 B 서브화소(B)에 대한 데이터 전압(Vdata)이 인가된다. 이때, 제1 및 제2 스위칭 트랜지스터의 턴-오프에 따라, R, G 화소(R, G)의 전위는 변동되지 않으며, B 서브화소(B)의 전위만이 변동되게 된다. 특히, 화이트 영상에 대한 계조의 경우, R,G,B 서브화소(R,G,B) 모두 동일 계조를 표시하게 되며, 이미 B 서브화소(B)는 G 서브화소(G)의 데이터 신호(Vdata)에 대응하는 전압이 충전되어 있으므로, 전위변동이 거의 발생하지 않게 된다.

[0049] 도 5는 R,G 서브화소가 동일 계조이고, B가 다른 계조의 영상을 표시하는 경우의 신호파형의 예를 나타낸 것으로서, R,G 서브화소(R,G)가 255 gray, B 화소(B)가 0 gray 일 때(a)와, R,G 서브화소(R,G)가 0 gray, B 서브화소(B)가 255 gray 일 때(b)의 신호파형을 나타내고 있다.

[0050] 먼저 R,G 서브화소(R,G)가 255 gray, B 화소(B)가 0 gray 인 경우(a), 제1 및 제2 스위칭 트랜지스터가 교번으로 턴-온되어 데이터 신호(Vdata)에 의해 R,G 서브화소(R,B)를 순차적으로 255 gray로 충전하게 되며, 이와 동시에 B 서브화소(B)에도 동일 전압이 충전되게 된다. 따라서, B 서브화소(B)도 255 gray로 충전되나, 제1 및 제2 스위칭 트랜지스터가 모두 턴-오프되고 0 gray의 데이터 신호(Vdata)가 출력되면, 2㎲동안 B 서브화소(B)의 전압은 의도한 전위로 낮아지게 된다. 통상적으로 액정의 응답속도는 수 ms단위로서 B 서브화소(B)의 전위가 바뀌더라도 화질에 영향을 주지 않고 원하는 계조를 표시할 수 있다.

[0051] 또한, 먼저 R,G 서브화소(R,G)가 0 gray, B 서브화소(B)가 255 gray 인 경우(b)에도 상기의 예와 동일하게 R,G 서브화소(R,B)가 0 gray로 충전하게 되며, 이와 동시에 B 서브화소(B)에도 동일 전압이 충전되게 되나, 2㎲동안 B 서브화소(B)의 전압은 의도한 255 gray 로 화질에 무관하게 충전되게 된다.

[0052] 도시되어 있지는 않지만, R,B 서브화소(R,B)가 동일 계조이고, G 서브화소(G)가 다른 계조로 충전된다 하더라도 상기의 예와 같이 각 서브화소(R,G,B)는 다른 서브화소들에 충전되는 데이터신호(Vdata)에 의해 서로 영향을 받지 않게 된다.

[0053] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 스위칭 회로의 구조를 설명한다.

[0054] 도 6은 종래 및 본 발명에 따른 액정표시장치의 스위칭 회로부의 구조로 비교한 도면이다.

[0055] 도 6을 참조하면, 먼저 종래기술에 따른 액정표시장치(a)에서는 하나의 화소(PX)가 세 개의 서브화소(R,G,B)로 구성되며, R,G,B 각 서브화소(R,G,B)는 각각 데이터 배선(DLm-2, DLm-1, DLm)과 연결되어 있고, 스위칭 회로부는, 데이터 신호(Vdata)가 출력되는 하나의 채널(Ch)에 연결되는 3 개의 스위칭 트랜지스터(MT1, MT2, MT3)를 포함한다.

[0056] 제1 스위칭 트랜지스터(MT1)는, 게이트 전극(11)이 제1 선택신호(S1)가 인가되는 배선(12)과 연결되어 있고, 드레인 및 소스 전극(14,15)이 각각 채널(Ch) 및 R 서브화소(R)와 연결된 데이터배선(DLm-2)과 연결되어 있다.

[0057] 제2 스위칭 트랜지스터(MT2)는, 게이트 전극(21)이 제2 선택신호(S2)가 인가되는 배선(22)과 연결되어 있고, 드레인 및 소스 전극(24, 25)이 각각 채널(Ch) 및 G 서브화소(G)와 연결된 데이터배선(DLm-1)과 연결되어 있다.

[0058] 제3 스위칭 트랜지스터(MT3)는, 게이트 전극(31)이 제3 선택신호(S3)가 인가되는 배선(32)과 연결되어 있고, 드레인 및 소스 전극(24, 35)이 각각 채널(Ch) 및 B 서브화소(B)와 연결된 데이터배선(DLm)과 연결되어 있다.

[0059] 여기서, 제2 스위칭 트랜지스터(MT2)의 드레인 전극(24) 및 제3 스위칭 트랜지스터(MT3)의 드레인 전극(24)은 동일전극이며, 두 박막트랜지스터가 하나의 전극을 공유하여 그 폭을 줄이는 구조이다. 그러나, 하나의 전극을 공유한다 하더라도 스위칭 트랜지스터들(MT1 ~ MT3)의 전체 폭을 줄이는 데는 한계가 있다.

[0060] 이와 대비하여, 본 발명의 제1 실시예에 따른 따른 액정표시장치(b)에서는 R,G,B 각 서브화소(R,G,B)는 각각 데이터 배선(DLm-2, DLm-1, DLm)과 연결되어 있고, 스위칭 회로부는, 데이터 신호(Vdata)가 출력되는 하나의 채널(Ch)에 연결되는 2 개의 스위칭 트랜지스터(MT1, MT2)를 포함한다.

[0061] 제1 스위칭 트랜지스터(MT1)는, 게이트 전극(111)이 제1 선택신호(S1)가 인가되는 배선(112)과 연결되어 있고, 소스 및 드레인 전극(114, 115)이 각각 R 서브화소(R)와 연결된 데이터배선(DLm-2) 및 채널(Ch)과 연결되어 있다.

[0062] 제2 스위칭 트랜지스터(MT2)는, 게이트 전극(121)이 제2 선택신호(S2)가 인가되는 배선(122)과 연결되어 있고, 드레인 및 소스 전극(115, 125)이 각각 채널(Ch) 및 G 서브화소(G)와 연결된 데이터배선(DLm-1)과 연결되어 있다. 여기서, 제1 스위칭 트랜지스터(MT1)의 드레인 전극(115) 및 제2 스위칭 트랜지스터(MT2)의 드레인 전극(115)은 동일전극이며, 두 박막트랜지스터가 하나의 전극을 공유하여 그 폭을 줄이는 구조가 적용된다.

[0063] 특히, 본 발명의 실시예에서는 B 서브화소(B)와 연결된 데이터배선(DLm)이 채널(Ch)가 직접 연결되며, 종래 대비 하나의 스위칭 트랜지스터(MT3)가 생략됨에 따라 그 만큼의 공간(blank)이 확보된다. 따라서, 전체 스위칭회로부의 폭이 1/3 이상 저감되며, 따라서 빈 공간(blank)만큼 화소(PX)의 폭을 자유롭게 설정할 수 있다. 일 예로서, 스위칭 박막트랜지스터의 특성을 개선하기 위해 반도체층(미도시)의 길이를 줄이고 폭을 더 확보하는 형태로 구성할 수도 있다.

[0064] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와

특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

[0065]

100 : 액정패널 110 : 게이트 구동부

120 : 데이터 구동부 130 : 타이밍 제어부

140 : 스위칭 회로부 150 : 먹스 구동부

PX : 화소 R,G,B : 서브화소

GL1 ~ GLi : 게이트배선 DL1 ~ DLm : 데이터 배선

Ch1 ~ Chn : 채널 MT1, MT2 : 스위칭 트랜지스터

S1, S2 : 선택신호 RGB, aRGB : 영상데이터

Hsync : 수평동기신호 Vsync : 수직동기신호

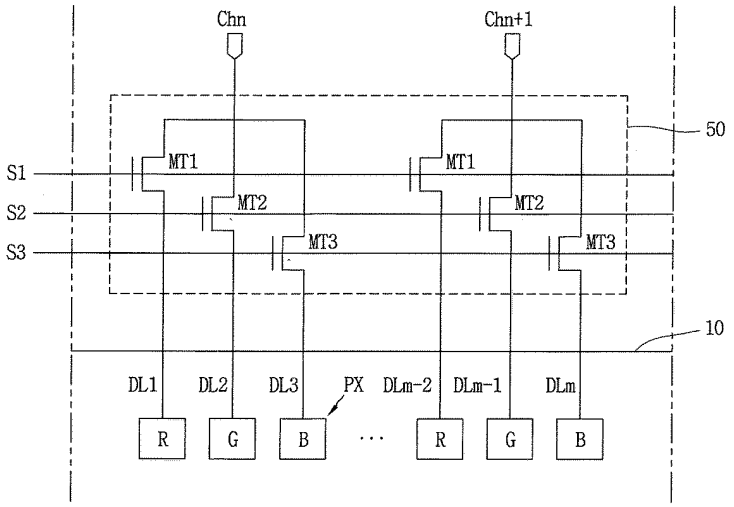
CLK : 클록신호 Vg : 게이트 구동신호

Vdata : 데이터 신호 GCS : 게이트 제어신호

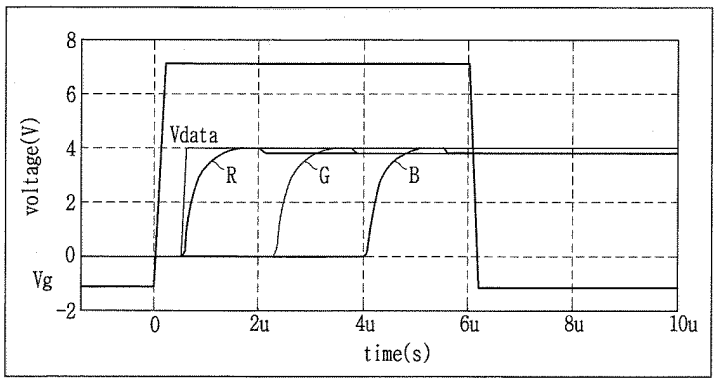
DCS : 데이터제어신호

도면

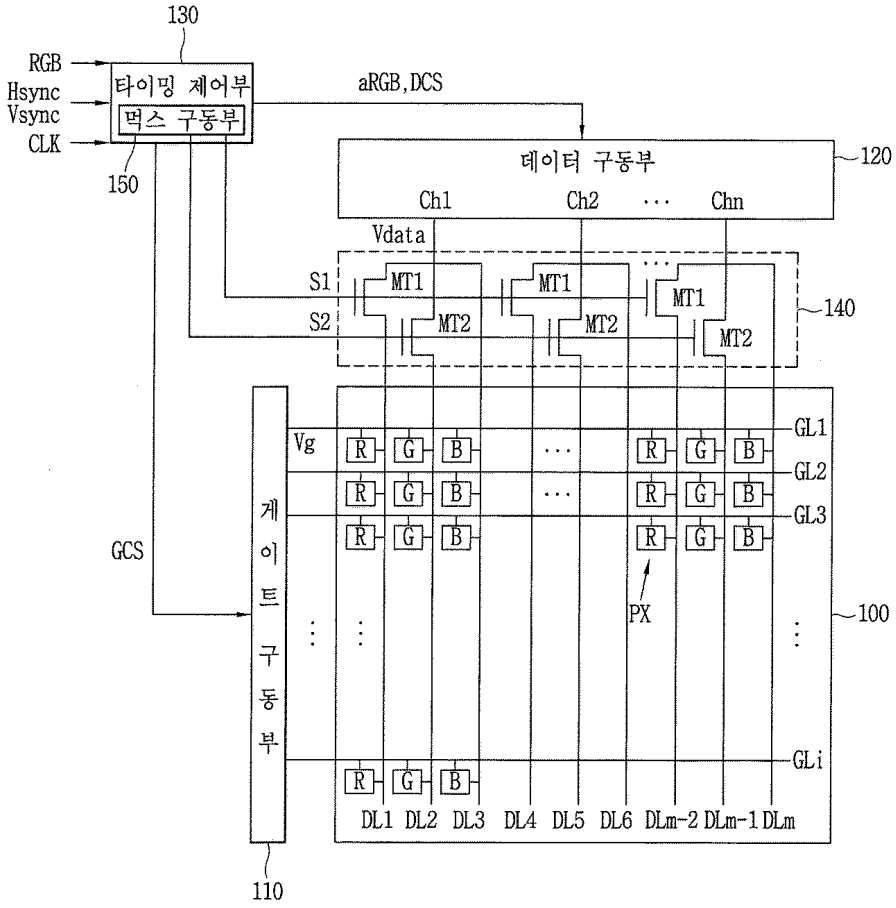
도면1



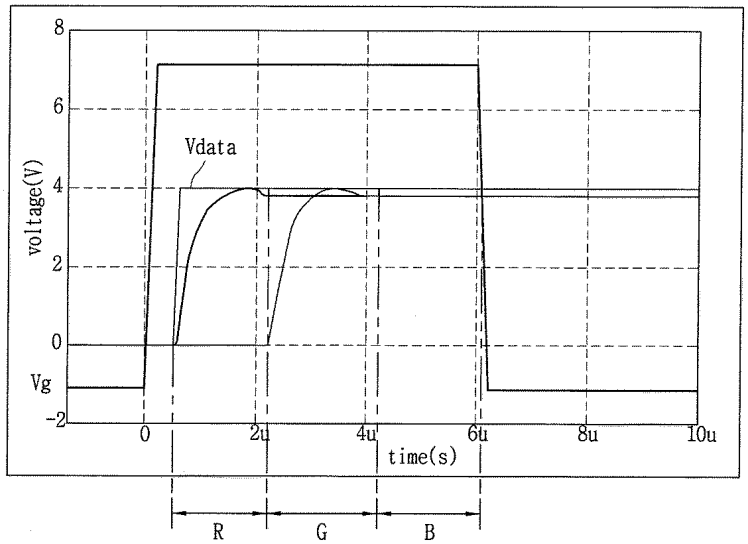
도면2



도면3

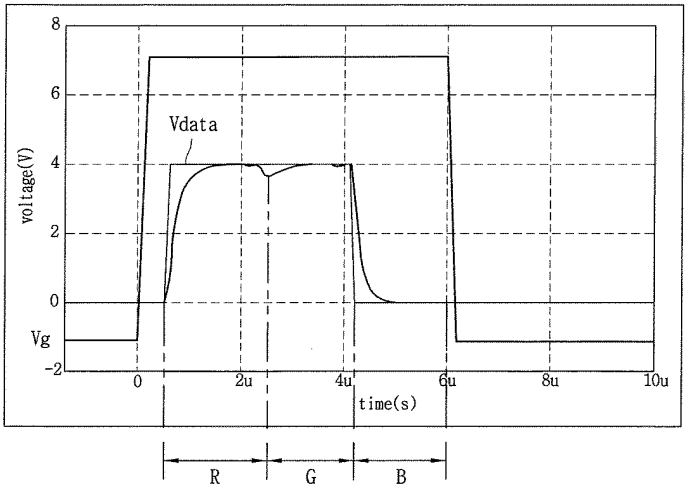

130
RGB
Hsync
Vsync
CLK
타이밍 제어부
먹스 구동부
150
aRGB,DCS
데이터 구동부
120
Ch1
Ch2
Chn
Vdata
S1
S2
MT1
MT2
140
Vg
GL1
GL2
GL3
GLi
R
G
B
PX
100
GCS
게이트 구동부
110
DL1 DL2 DL3 DL4 DL5 DL6 DLm-2 DLm-1 DLm

도면4

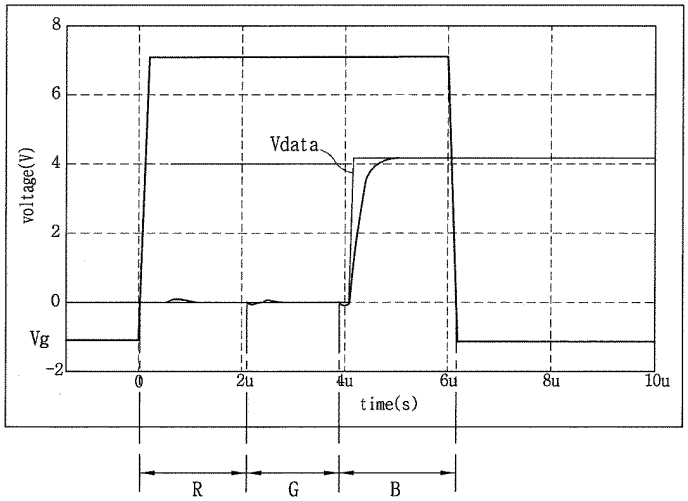

8
6
4
2
0
-2
Vg
Vdata
voltage(V)
0
2u
4u
6u
8u
10u
time(s)
R
G
B

도면5

(a)

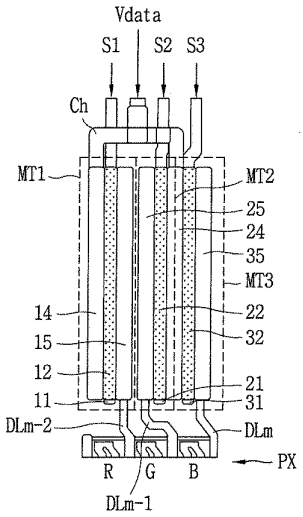

8
6
4
2
0
Vg
-2
voltage(V)
Vdata
0
2u
4u
6u
8u
10u
time(s)
R
G
B

(b)

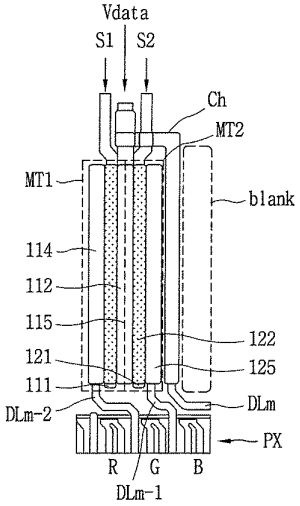

8
6
4
2
0
Vg
-2
voltage(V)
Vdata
0
2u
4u
6u
8u
10u
time(s)
R
G
B

도면6

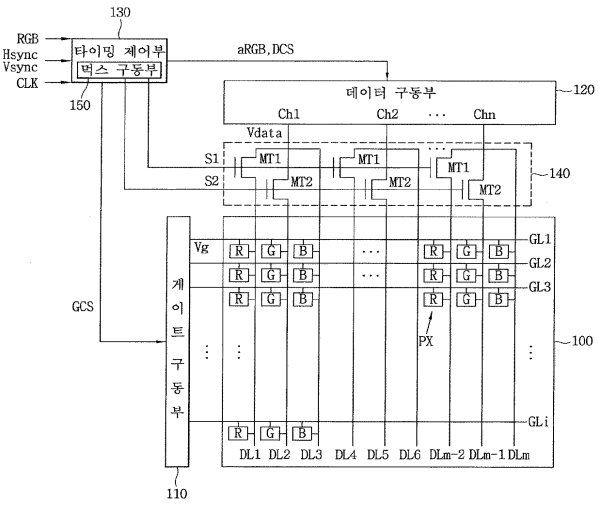
(a)


Vdata
S1
S2
S3
Ch
MT1
MT2
25
24
35
MT3
14
22
15
32
12
21
11
31
DLm-2
DLm
PX
R
G
B
DLm-1

(b)


Vdata
S1
S2
Ch
MT2
MT1
blank
114
112
115
122
121
125
111
DLm-2
DLm
PX
R
G
B
DLm-1

专利名称(译)	液晶显示装置		
公开(公告)号	KR102118096B1	公开(公告)日	2020-06-02
申请号	KR1020130152504	申请日	2013-12-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이지혜 정호영 이영장 이복영		
发明人	이지혜 정호영 이영장 이복영		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3607 G09G3/3688 G09G2310/0297 G09G2310/06 H01L27/124 H01L27/1259		
审查员(译)	酋长姬		
其他公开文献	KR1020150066894A		
外部链接	Espacenet		

摘要(译)

显示装置包括:显示面板,其包括:栅极线和数据线;栅极线和数据线相交;以及在栅极线和数据线的交点处限定的像素;栅极驱动器,其将栅极驱动信号顺序输出至栅极 线,数据驱动器以将数据信号顺序输出到通道,开关控制器以将通道之一与两个或多个数据线电连接,该开关控制器包括用于每个通道的开关,其中两个或多个 数据线相邻,一个直接连接到通道,另一个通过开关连接到通道,一个定时控制器向开关提供选择信号,该选择信号控制两条或更多条数据线中另一条之间的连接 和频道。