



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월06일
(11) 등록번호 10-2062801
(24) 등록일자 2019년12월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/1343 (2013.01)
G02F 1/134363 (2013.01)
(21) 출원번호 10-2015-0010199
(22) 출원일자 2015년01월21일
심사청구일자 2019년05월31일
(65) 공개번호 10-2016-0090195
(43) 공개일자 2016년07월29일
(56) 선행기술조사문헌
KR1020130103206 A*
KR1020090050865 A
KR1020070079217 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
채수진
경기도 파주시 월롱면 엘씨디로 201, 104동 1322호 (LG디스플레이 정다운마을)
(74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 13 항

심사관 : 한상일

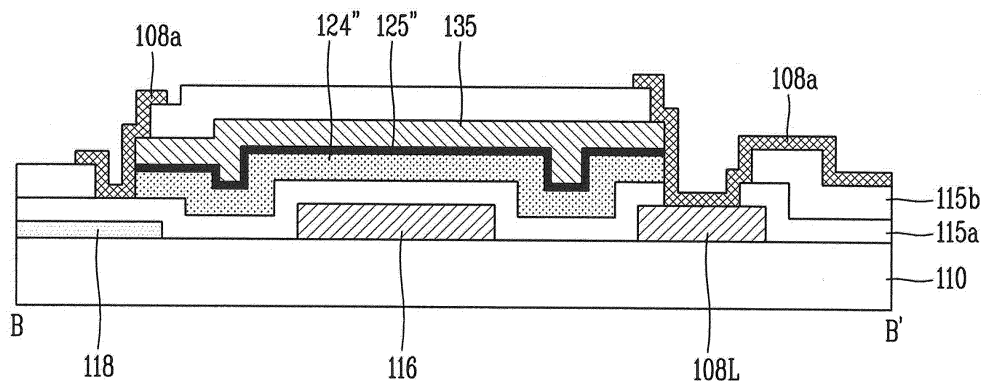
(54) 발명의 명칭 프린지-필드형 액정표시장치 및 그 제조방법

(57) 요약

본 발명의 프린지-필드형(Fringe Field Switching; FFS) 액정표시장치 및 그 제조방법은 데이터 배선을 이용하여 상하로 이웃하는 화소간 공통전극을 연결시킴으로써 투과율의 변동 없이 공통전압의 리플(ripple)을 개선하는 것을 특징으로 한다.

이에 따라 수평 크로스토크(crosstalk)의 개선으로 화상품질이 향상되는 효과를 제공한다.

대표도 - 도4



(52) CPC특허분류

G02F 1/13439 (2013.01)

G02F 1/136286 (2013.01)

G02F 2001/134372 (2013.01)

명세서

청구범위

청구항 1

기관 위의 게이트라인과 공통라인 및 화소전극;
 상기 게이트라인과 공통라인 및 화소전극 위의 게이트절연층;
 상기 게이트절연층 위의 데이터라인과 연결라인;
 상기 데이터라인과 연결라인 위의 보호층; 및
 상기 보호층 위의 다수의 슬릿을 가진 공통전극을 포함하며,
 상기 연결라인은 상기 데이터라인과 평행하고,
 상기 공통라인은 상기 게이트라인과 평행하며,
 상기 공통전극은 상기 보호층의 컨택홀과 상기 게이트절연층의 컨택홀을 통해 상기 연결라인 및 상기 공통라인과 직접 접촉하는 액정표시장치.

청구항 2

제1항에 있어서,
 상기 공통라인은 상기 게이트라인과 동일한 물질로 이루어진 액정표시장치.

청구항 3

제1항에 있어서,
 상기 연결라인은 상기 데이터라인과 동일한 물질로 이루어진 액정표시장치.

청구항 4

제1항에 있어서,
 상기 연결라인의 저항은 상기 공통전극의 저항보다 작은 액정표시장치.

청구항 5

제4항에 있어서,
 상기 연결라인은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금으로 이루어진 군으로부터 선택된 하나 이상의 물질로 이루어지고,
 상기 공통전극은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)로 이루어진 군으로부터 선택된 하나 이상의 물질로 이루어진 액정표시장치.

청구항 6

기관;
 상기 기관 상에 있는 다수의 게이트라인, 다수의 데이터라인 및 다수의 공통라인;
 상기 게이트라인과 상기 데이터라인 상에 있는 보호층;
 상기 보호층을 사이에 두고 서로 다른 층에 위치하는 다수의 공통전극과 다수의 화소전극;
 서로 이웃하는 상기 공통전극들을 연결하는 연결라인을 포함하고,

상기 공통라인은 상기 공통전극과 연결되며,
상기 연결라인은 상기 데이터라인과 평행하고,
상기 공통라인은 상기 게이트라인과 평행한 액정표시장치.

청구항 7

제6항에 있어서,
상기 공통라인은 상기 게이트라인과 동일한 물질로 이루어진 액정표시장치.

청구항 8

제6항에 있어서,
상기 연결라인은 상기 데이터라인과 동일한 물질로 이루어진 액정표시장치.

청구항 9

제6항에 있어서,
상기 연결라인의 저항은 상기 공통전극의 저항보다 작은 액정표시장치.

청구항 10

제9항에 있어서,
상기 연결라인은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금으로 이루어진 군으로부터 선택된 하나 이상의 물질로 이루어지고,
상기 공통전극은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)로 이루어진 군으로부터 선택된 하나 이상의 물질로 이루어진 액정표시장치.

청구항 11

제6항에 있어서,
상기 공통전극과 상기 화소전극은 화소 영역에 있는 액정표시장치.

청구항 12

제6항에 있어서,
상기 공통전극들은 서로 이격되어 있고,
상기 연결라인은 상기 데이터라인과 평행한 방향의 상기 공통전극들을 서로 연결하는 액정표시장치.

청구항 13

제6항에 있어서,
상기 공통전극들은 서로 이격되어 있고,
상기 공통라인은 서로 이웃하는 상기 공통전극들을 연결하되,
상기 게이트라인과 평행한 방향의 상기 공통전극들을 서로 연결하는 액정표시장치.

발명의 설명

기술 분야

본 발명은 프린지-필드형 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 고해상도와 고투과율을 동시에 구현할 수 있는 프린지-필드형 액정표시장치 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- [0003] 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- [0004] 이하, 도면을 참조하여 일반적인 액정표시장치에 대해서 상세히 설명한다.
- [0005] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도이다.
- [0006] 도 1을 참조하면, 일반적인 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.
- [0007] 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- [0008] 어레이 기판(10)은 종횡으로 배열되어 다수의 화소영역(P)을 정의하는 다수의 게이트라인(16)과 데이터라인(17), 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT)(T) 및 화소영역(P)에 형성된 화소전극(18)으로 이루어져 있다.
- [0009] 이와 같이 구성된 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정패널을 구성하며, 컬러필터 기판(5)과 어레이 기판(10)의 합착은 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착 키(미도시)를 통해 이루어진다.
- [0010] 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN) 방식이 있다.
- [0011] 트위스티드 네마틱 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.
- [0012] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 인-플레인 스위칭(In Plane Switching; IPS) 방식의 액정표시장치가 있다.
- [0013] 인-플레인 스위칭 방식 중 프린지-필드형(Fringe Field Switching; FFS) 액정표시장치는 기존의 트위스티드 네마틱 방식에 비해 시야각과 투과율이 향상된 장점을 가지고 있다.
- [0014] 다만, 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크공정(즉, 포토리소그래피(photolithography)공정)을 필요로 하므로 생산성 면에서 마스크 수를 줄이는 방법이 요구되고 있다.
- [0015] 이는 공통전극과 화소전극 사이에 상하 전계를 형성하기 위해 보호층을 사이에 두고 서로 다른 층에 공통전극과 화소전극을 형성하여야 하며, 이에 따라 트위스티드 네마틱 방식의 액정표시장치에 비해 적어도 2개 이상의 마스크공정이 더 필요하게 된다.
- [0016] 한편, 프린지-필드형 액정표시장치는 공통전극이 하부 어레이 기판에 화소 단위로 형성됨에 따라 어레이 기판에 화소간 공통전압을 전달하기 위한 공통라인 및 연결라인이 필요하다.
- [0017] 일반적으로 공통라인은 게이트 배선으로 형성되어 좌우로 이웃하는 화소간 공통전압을 전달한다. 또한, 연결라인은 공통전극과 동일한 ITO(Indium Tin Oxide)로 형성되어 상하로 이웃하는 화소간 공통전압을 전달한다.
- [0018] 이 경우 연결라인의 저항에 의해 게이트나 데이터 전압이 바뀔 때마다 공통전압이 흔들리는데, 이를 공통전압의 리플(ripple) 현상이라 한다.
- [0019] 특히, 일 예로 1920x1920과 같은 해상도를 가진 스퀘어(square) 모델의 경우 수직방향의 저항이 커지면서 공통

전압의 리플이 증가한다. 이로 인해 수평 크로스토크(crosstalk)와 같은 화상 불량 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0020] 본 발명은 상기한 문제를 해결하기 위한 것으로, 수직방향의 저항을 감소시켜 공통전압의 리플(ripple)을 감소시키도록 한 프린지-필드형 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.
- [0021] 본 발명의 다른 목적은 6번의 마스크공정으로 어레이 기판을 제작하도록 한 프린지-필드형 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0022] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

- [0023] 상기한 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치는 기판 위의 게이트전극과 공통라인 및 화소전극, 게이트절연층 위의 액티브층과 소오스/드레인전극 및 연결라인, 보호층 위의 다수의 슬릿을 가진 공통전극을 포함하여 구성될 수 있으며, 이때 공통전극은 공통라인과 전기적으로 접속하는 동시에, 연결라인을 통해 상하로 이웃하는 화소간 공통전극이 서로 연결될 수 있다.
- [0024] 이때, 연결라인은 소오스전극 및 드레인전극과 동일한 저저항 도전물질로 이루어질 수 있다.
- [0025] 이때, 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치는 보호층 위에 배치되며, 드레인전극과 화소전극을 전기적으로 접속시키는 연결전극을 추가로 포함할 수 있다.
- [0026] 이때, 연결전극은 드레인전극의 상부 표면뿐만 아니라 측면에서도 접촉(접속)이 이루어질 수 있다.
- [0027] 연결라인은 그 일측이 하측 화소의 공통전극 및 공통라인과 연결되는 동시에 다른 일측이 상측 화소의 공통전극과 연결될 수 있다.
- [0028] 공통전극은 연결라인의 상부 표면뿐만 아니라 측면에서도 접촉(접속)이 이루어질 수 있다.
- [0029] 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치의 제조방법은 화소전극이 형성된 기판 위에 게이트전극과 공통라인을 형성하는 단계, 게이트절연층 위에 액티브층과 소오스/드레인전극 및 연결라인을 형성하는 단계, 보호층 위에 공통라인과 전기적으로 접속하는 동시에, 연결라인을 통해 상하로 이웃하는 화소간 공통전극을 서로 연결시키는 공통전극을 형성하는 단계를 포함하여 구성될 수 있다.
- [0030] 이때, 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치의 제조방법은 보호층 위에 제 3 컨택홀을 통해 화소전극과 드레인전극을 연결시키는 연결전극을 형성하는 단계를 추가로 포함할 수 있다.

발명의 효과

- [0031] 상술한 바와 같이, 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치 및 그 제조방법은 데이터 배선을 이용하여 상하로 이웃하는 화소간 공통전극을 연결시킴으로써 투과율의 변동 없이 공통전압의 리플을 개선할 수 있다. 이에 따라 수평 크로스토크(crosstalk)의 개선으로 화상품질이 향상되는 효과를 제공한다.
- [0032] 또한, 본 발명의 일 실시예에 따른 프린지-필드형 액정표시장치 및 그 제조방법은 마스크 수를 감소시켜 제조공정을 단순화하는 동시에 제조비용을 절감시키는 효과를 제공한다.

도면의 간단한 설명

- [0033] 도 1은 일반적인 액정표시장치의 구조를 개략적으로 보여주는 분해사시도.
- 도 2는 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기판 일부를 개략적으로 보여주는 평면도.
- 도 3은 도 2에 도시된 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기판에 있어, A-A'선에 따라 절단한 단면을 개략적으로 보여주는 도면.
- 도 4는 도 2에 도시된 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기판에 있어, B-B'선에

따라 절단한 단면을 개략적으로 보여주는 도면.

도 5는 시간에 따른 공통전압의 변화를 예로 들어 보여주는 그래프.

도 6a 내지 도 6f는 도 2에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 평면도.

도 7a 내지 도 7f는 도 3에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

도 8a 내지 도 8f는 도 4에 도시된 어레이 기관의 제조공정을 순차적으로 보여주는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부한 도면을 참조하여 본 발명에 따른 프린지-필드형 액정표시장치 및 그 제조방법의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0035] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0036] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0037] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다.
- [0038] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0039] 도 2는 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기관 일부를 개략적으로 보여주는 평면도이다.
- [0040] 이때, 도 2는 화소전극과 공통전극 사이에 형성되는 프린지-필드가 슬릿을 관통하여 화소영역 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지-필드형 액정표시장치의 어레이 기관 일부를 보여주고 있다.
- [0041] 프린지-필드형 액정표시장치는 액정분자가 수평으로 배향되어 있는 상태에서 하부에 화소전극이 형성되는 한편 상부에 슬릿을 가진 공통전극이 형성됨에 따라 전계가 수평 및 수직 방향으로 발생하여 액정분자가 트위스트(twist)와 틸트(tilt)되어 구동되어 진다. 다만, 본 발명이 전술한 구조에 한정되는 것은 아니다.
- [0042] 이때, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도 2에는 하나의 화소를 나타내고 있다.
- [0043] 그리고, 도 3은 도 2에 도시된 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기관에 있어, A-A'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0044] 도 4는 도 2에 도시된 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 어레이 기관에 있어, B-B'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.
- [0045] 도 2 내지 도 4에 도시된 바와 같이, 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 어레이 기관(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다.

- [0046] 또한, 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 화소영역 내에는 프린지-필드를 발생시켜 액정분자를 구동시키는 화소전극(118)과 다수의 슬릿(108s)을 가진 공통전극(108)이 형성되어 있다.
- [0047] 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 연결전극(130)을 통해 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성되어 있다.
- [0048] 즉, 연결전극(130)은 게이트절연층(115a)과 보호층(115b)에 형성된 제 1 콘택홀(140a)과 제 3 콘택홀(140c)을 통해 화소전극(118)과 드레인전극(123)을 전기적으로 접속시킨다.
- [0049] 이때, 본 발명의 실시예에 따른 연결전극(130)은 드레인전극(123)의 상부 표면뿐만 아니라 드레인전극(123)의 측면에서도 접촉(접속)이 이루어짐에 따라 접촉 저항이 낮아지는 효과를 가진다. 이는 제 1 콘택홀(140a) 위에 드레인전극(123)의 일 측면을 노출시키도록 제 3 콘택홀(140c)을 형성하기 때문이다.
- [0050] 본 발명의 실시예에 따른 드레인전극(123)은 하부의 제 1 콘택홀(140a) 측면과 저스트(just)하게 패터닝된 경우를 예로 들고 있으나, 이는 설명의 편의를 위한 것이며, 드레인전극(123)은 그 일부가 제 1 콘택홀(140a) 내에 형성될 수 있다.
- [0051] 또한, 박막 트랜지스터는 게이트전극(121)과 소오스/드레인전극(122, 123) 사이의 절연을 위한 게이트절연층(115a) 및 게이트전극(121)에 공급되는 게이트 전압에 의해 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브층(124)을 포함한다.
- [0052] 이때, 액티브층(124)으로 비정질 실리콘(amorphous silicon) 박막을 이용할 수 있으며, 이 경우 액티브층(124)의 소오스/드레인영역은 오믹-컨택층(ohmic contact layer)(125)을 통해 소오스/드레인전극(122, 123)과 오믹-컨택을 형성하게 된다.
- [0053] 다만, 본 발명이 이에 한정되는 것은 아니며, 비정질 실리콘 박막 이외에 비정질 실리콘을 결정화한 다결정 실리콘(polycrystalline silicon) 박막, 또는 유기물(organic) 반도체나 산화물(oxide) 반도체 등을 이용할 수도 있다.
- [0054] 이때, 데이터라인(117) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(124') 및 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성되어 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 액티브층(124)과 데이터 배선(즉, 소오스전극(122)과 드레인전극(123) 및 데이터라인(117))을 서로 다른 마스크공정을 이용하여 형성하는 경우 데이터라인(117)은 게이트절연층(115a) 바로 위에 형성될 수 있다.
- [0055] 전술한 바와 같이 화소영역 내에는 프린지-필드를 발생시키기 위해 공통전극(108)과 화소전극(118)이 형성되어 있는데, 이때 사각형 형태의 공통전극(108)은 화소전극(118)과 함께 프린지-필드를 발생시키기 위해 공통전극(108) 내에 다수의 슬릿(108s)을 포함하고 있다. 다만, 본 발명이 이러한 공통전극(108)과 화소전극(118)의 구조에 한정되는 것은 아니며, 본 발명은 하부에 공통전극이 형성되고 상부에 다수의 슬릿을 가진 화소전극이 형성되는 경우에도 적용 가능하다.
- [0056] 이때, 공통전극(108)은 제 1 공통전극(108a)과 제 2 공통전극(108b)으로 이루어진다.
- [0057] 제 1 공통전극(108a)은 화소영역 가장자리에 위치하여 상하좌우 사각형 형태의 프레임을 구성할 수 있다. 제 2 공통전극(108b)은 화소영역 내에 슬릿(108s)을 사이에 두고 핑거(finger) 형태를 가질 수 있다.
- [0058] 또한, 제 2 공통전극(108b)은 공통전극(108)의 중앙을 중심으로 서로 대칭이 되도록 기울어지게 구성될 수 있으며, 이 경우 2-도메인(domain) 구조를 형성할 수 있다.
- [0059] 이와 같이 구성된 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 공통전극(108)이 하부 어레이 기판(110)에 화소 단위로 형성됨에 따라 화소간 공통전압을 전달하기 위한 공통라인(108L) 및 연결라인(135)을 구비하는 것을 특징으로 한다.
- [0060] 공통라인(108L)은 게이트 배선(즉, 게이트전극(121)과 게이트라인(116))과 동일한 도전물질로 이루어질 수 있다. 공통라인(108L)은 게이트라인(116)과 평행한 방향으로 형성되어 좌우로 이웃하는 화소간 공통전압을 전달할 수 있다.
- [0061] 연결라인(135)은 데이터 배선과 동일한 도전물질로 이루어질 수 있다. 연결라인(135)은 게이트라인(116)을 가로

지르는 방향으로 형성되어 상하로 이웃하는 화소간 공통전압을 전달할 수 있다.

- [0062] 이러한 연결라인(135)은 그 일측이 제 2 컨택홀(140b)과 제 5 컨택홀(140e)을 통해 하측의 제 1 공통전극(108a) 및 공통라인(108L)과 연결되는 동시에 다른 일측이 제 4 컨택홀(140d)을 통해 상측의 제 1 공통전극(108a)과 연결된다.
- [0063] 연결라인(135) 하부에는 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 연결라인(135)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(124") 및 제 2 n+ 비정질 실리콘 박막패턴(125")이 형성되어 있다. 다만, 전술한 바와 같이 본 발명이 이에 한정되는 것은 아니다.
- [0064] 이때, 본 발명의 실시예의 경우에는 제 1 공통전극(108a)이 연결라인(135)의 상부 표면뿐만 아니라 연결라인(135)의 측면에서도 접촉(접속)이 이루어짐에 따라 접촉 저항이 낮아지는 효과를 가진다. 이는 연결라인(135)의 일 측면을 노출시키도록 제 4 컨택홀(140d)과 제 5 컨택홀(140e)을 형성하기 때문이다.
- [0065] 본 발명의 실시예에 따른 연결라인(135) 역시 하부의 제 2 컨택홀(140b) 측면과 저스트(just)하게 패터닝된 경우를 예로 들고 있으나, 이는 설명의 편의를 위한 것이며, 연결라인(135)은 그 일부가 제 2 컨택홀(140b) 내에 형성될 수 있다.
- [0066] 이와 같이 본 발명의 실시예에 따른 연결라인(135)은 저저항의 데이터 배선으로 형성됨에 따라 투과율의 변동 없이 공통전극(108)의 전체 저항을 감소시킬 수 있다. 따라서, 공통전압의 리플을 개선할 수 있으며, 수평 크로스토크의 개선으로 화상품질이 향상되는 효과를 제공한다.
- [0067] 도 5는 시간에 따른 공통전압의 변화를 예로 들어 보여주는 그래프이다.
- [0068] 이때, 도 5는 공통전압을 약 5.25V로 설정하였을 때의 시간에 따른 공통전압의 변화를 보여주는데, 1920x1920의 해상도를 가진 26.5인치의 스퀘어 모델을 예로 시뮬레이션(simulation)한 결과를 보여주고 있다.
- [0069] 이때, 비교예는 연결라인을 IT0로 구성한 경우를 나타내며, 실시예는 연결라인을 구리(Cu)로 구성한 경우를 예로 들어 나타내고 있다.
- [0070] IT0의 비저항은 $248 \times 10^{-6} [\Omega \text{m}]$ 으로 $2.47 \times 10^{-6} [\Omega \text{m}]$ 의 비저항을 가진 Cu의 100배정도 큰 것을 알 수 있다.
- [0071] 이 경우 수직방향으로 하나의 화소에 대한 공통전극의 저항은 비교예의 경우 약 1346 Ω 인데 비해 실시예의 경우 약 959 Ω 으로 약 29% 감소한 것을 알 수 있다.
- [0072] 또한, 수직방향으로 하나의 라인에 대한 공통전극의 저항은 비교예의 경우 약 2585 Ω 인데 비해 실시예의 경우 약 1840 Ω 으로 약 29% 감소한 것을 알 수 있다.
- [0073] 따라서, 도 5를 참조하면, 공통전압의 리플은 비교예의 경우 약 22mV로 측정되는데 비해 실시예의 경우 약 19mV로 측정되어 약 14% 개선된 것을 알 수 있다.
- [0074] 이와 같이 본 발명의 실시예의 경우에는 수직방향으로 공통전극의 연결 구조를 변경함으로써 투과율 변동 없이 공통전압의 리플을 감소시킬 수 있다.
- [0075] 참고로, 공통전압의 리플은 공통라인인과 게이트 배선 및 데이터 배선 사이에는 기생 커패시턴스가 존재하고, 전압이 바뀔 때 커플링(coupling)이 발생한다. 이때, 공통전극의 저항 및 기생 커패시턴스의 크기에 따라 공통전압의 리플 크기가 비례하여 커진다.
- [0076] 특히, 스퀘어 모델의 경우 수직 해상도가 증가하면서 수직방향의 공통전극의 저항이 증가하고, 이로 인해 액정 패널의 중앙 영역의 공통전압의 리플이 발생한다.
- [0077] 이와 같이 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 고해상도와 고투과율의 장점은 그대로 유지하며, 데이터 배선을 이용하여 상하로 이웃하는 화소간 공통전극을 연결시킴으로써 투과율의 변동 없이 공통전압의 리플을 개선하는 것을 특징으로 한다.
- [0078] 이때, 개선 구조에서는 IT0의 공통전극과 Cu의 연결라인 사이를 접속시키기 위해 보호층 내에 제 4 컨택홀 및 제 5 컨택홀을 형성한다. 제 4 컨택홀을 형성하기 위해 공통전극의 디자인이 빗살 형태에서 통 형태로 변경될 수 있다. 다만, 이 부분은 블랙매트릭스로 가려지는 부분이어서 디자인 변경에 따른 투과율 변동은 없다.
- [0079] 또한, 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 어레이 기판을 제조하는데 필요한 마스크 수는 감소하게 되어 제조공정이 단순화되는 동시에 제조비용이 절감된다.

- [0080] 또한, 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 측면 콘택을 이용하여 연결라인을 공통전극과 콘택시킴으로써 공통전극의 저항을 더욱 감소시킬 수 있다.
- [0081] 이하, 본 발명의 실시예에 따른 프린지-필드형 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0082] 도 6a 내지 도 6f는 도 2에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 평면도이다.
- [0083] 그리고, 도 7a 내지 도 7f는 도 3에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도이다.
- [0084] 도 8a 내지 도 8f는 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 보여주는 단면도이다.
- [0085] 도 6a와 도 7a 및 도 8a를 참조하면, 유리wa와 같은 투명한 절연물질로 이루어진 어레이 기판(110)에 화소전극(118)을 형성한다.
- [0086] 화소전극(118)은 제 1 도전막을 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0087] 제 1 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전성 금속물질로 형성할 수 있다.
- [0088] 화소전극(118)은 사각형 형태로 형성할 수 있다.
- [0089] 다음으로, 도 6b와 도 7b 및 도 8b를 참조하면, 화소전극(118)이 형성된 어레이 기판(110)에 게이트전극(121)과 게이트라인(116) 및 공통라인(108L)을 형성한다.
- [0090] 게이트전극(121)과 게이트라인(116) 및 공통라인(108L)은 제 2 도전막을 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0091] 이때, 제 2 도전막은 게이트 배선 및 공통라인(108L)을 형성하기 위해 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 제 2 도전막은 전술한 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0092] 공통라인(108L)은 게이트라인(116)과 평행한 방향으로 형성되어 좌우로 이웃하는 화소간 공통전압을 전달할 수 있다.
- [0093] 이때, 본 실시예에서는 화소전극(118)을 형성한 후에 게이트 배선 및 공통라인(108L)을 형성한 경우를 예로 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 게이트 배선 및 공통라인(108L)을 형성한 후에 화소전극(118)을 형성할 수도 있으며, 화소전극(118)과 게이트 배선 및 공통라인(108L)을 한번의 마스크공정으로 형성할 수도 있다.
- [0094] 다음으로, 도 6c와 도 7c 및 도 8c를 참조하면, 게이트전극(121)과 게이트라인(116) 및 공통라인(108L)이 형성된 어레이 기판(110) 전면에 게이트절연층(115a)을 형성한다.
- [0095] 이후, 포토리소그래피공정(제 3 마스크공정)을 통해 게이트절연층(115a)을 선택적으로 제거함으로써 화소전극(118)의 일부를 노출시키는 제 1 콘택홀(140a)을 형성한다.
- [0096] 또한, 제 3 마스크공정을 통해 게이트절연층(115a)을 선택적으로 제거함으로써 공통라인(108L)의 일부를 노출시키는 제 2 콘택홀(140b)을 형성한다.
- [0097] 다음으로, 도 6d와 도 7d 및 도 8d를 참조하면, 게이트절연층(115a)이 형성된 어레이 기판(110) 전면에 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 3 도전막을 형성한다.
- [0098] 이때, 제 3 도전막은 소오스전극과 드레인전극 및 데이터라인을 구성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다. 또한, 제 3 도전막은 전술한 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0099] 이후, 포토리소그래피 공정(제 4 마스크공정)을 통해 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 3 도전막을 선택적으로 제거함으로써 게이트전극(121) 위에 비정질 실리콘 박막으로 이루어진 액티브층(124)을 형성한다.
- [0100] 이와 동시에 제 4 마스크공정을 통해 액티브층(124) 상부에 제 3 도전막으로 이루어진 소오스전극(122)과 드레인

인전극(123)을 형성한다. 이때, 전술한 바와 같이 드레인전극(123)은 하부의 제 1 컨택홀(140a) 측면과 저스트(just)하게 패터닝 되거나, 그 일부가 제 1 컨택홀(140a) 내에 형성될 수 있다.

- [0101] 또한, 제 4 마스크공정을 통해 어레이 기판(110)의 데이터라인 영역에 제 3 도전막으로 이루어진 데이터라인(117)을 형성한다.
- [0102] 또한, 제 4 마스크공정을 통해 제 3 도전막으로 이루어진 연결라인(135)을 형성한다.
- [0103] 연결라인(135)은 게이트라인(116)을 가로지르는 방향으로 형성된다. 이때, 연결라인(135)은 하부의 제 2 컨택홀(140b) 측면과 저스트(just)하게 패터닝 되거나, 그 일부가 제 2 컨택홀(140b) 내에 형성될 수 있다.
- [0104] 이때, 액티브층(124) 상부에는 n+ 비정질 실리콘 박막으로 이루어지며, 액티브층(124)의 소오스/드레인영역과 소오스/드레인전극(122, 123) 사이를 오믹-컨택시키는 오믹-컨택층(125)이 형성된다.
- [0105] 또한, 데이터라인(117) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(124') 및 제 1 n+ 비정질 실리콘 박막패턴(125')이 형성된다. 다만, 본 발명이 이에 한정되는 것은 아니며, 액티브층(124)과 데이터 배선을 서로 다른 마스크공정을 이용하여 형성하는 경우 데이터라인(117)은 게이트절연층(115a) 바로 위에 형성될 수 있다.
- [0106] 또한, 연결라인(135) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어지며, 연결라인(135)과 실질적으로 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(124'') 및 제 2 n+ 비정질 실리콘 박막패턴(125'')이 형성되어 있다. 다만, 전술한 바와 같이 본 발명이 이에 한정되는 것은 아니다.
- [0107] 이때, 본 발명의 실시예에 따른 제 4 마스크공정은 하프-톤 마스크를 이용할 수 있다. 다만, 전술한 바와 같이 본 발명이 이에 한정되는 것은 아니다.
- [0108] 다음으로, 도 6e와 도 7e 및 도 8e를 참조하면, 액티브층(124), 소오스/드레인전극(122, 123), 데이터라인(117) 및 연결라인(135)이 형성된 어레이 기판(110) 전면에 보호층(115b)을 형성한다.
- [0109] 이때, 보호층(115b)은 실리콘질화막 또는 실리콘산화막과 같은 무기절연막으로 이루어질 수 있다.
- [0110] 또한, 보호층(115b)은 포토 아크릴과 같은 낮은 유전율을 가진 유기 절연물질을 이용하여 형성할 수 있다.
- [0111] 이후, 포토리소그래피공정(제 5 마스크공정)을 통해 보호층(115b)을 선택적으로 제거하여 드레인전극(123) 및 화소전극(118)의 일부를 노출시키는 제 3 컨택홀(140c)을 형성한다. 이때, 제 3 컨택홀(140c)은 제 1 컨택홀(140a) 위에 드레인전극(123)의 상부 표면뿐만 아니라 일 측면도 노출시키도록 형성될 수 있다.
- [0112] 또한, 제 5 마스크공정을 통해 보호층(115b)을 선택적으로 제거하여 연결라인(135)의 일측을 노출시키는 제 4 컨택홀(140d) 및 다른 일측을 노출시키는 제 5 컨택홀(140e)을 형성한다. 이때, 제 4 컨택홀(140d)은 연결라인(135)의 상부 표면뿐만 아니라 일 측면도 노출시키도록 형성될 수 있다. 또한, 제 5 컨택홀(140e)은 제 2 컨택홀(140b) 위에 연결라인(135)의 상부 표면뿐만 아니라 다른 일 측면도 노출시키도록 형성될 수 있다.
- [0113] 다음으로, 도 6f와 도 7f 및 도 8f를 참조하면, 어레이 기판(110) 전면에 제 4 도전막을 증착한 후, 포토리소그래피공정(제 6 마스크공정)을 이용하여 선택적으로 패터닝함으로써 제 4 도전막으로 이루어지며, 공통라인(108L)과 전기적으로 접속하는 공통전극(108)을 형성한다.
- [0114] 이와 동시에 제 6 마스크공정을 통해 제 4 도전막으로 이루어진 연결전극(130)을 형성한다. 이때, 연결전극(130)은 제 1 컨택홀(140a)과 제 3 컨택홀(140c)을 통해 화소전극(118)과 드레인전극(123)을 전기적으로 접속시킨다.
- [0115] 이때, 제 4 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전성 금속물질로 이루어질 수 있다.
- [0116] 사각형 형태의 공통전극(108)은 화소전극(118)과 함께 프린지-필드를 발생시키기 위해 공통전극(108) 내에 다수의 슬릿(108s)을 포함할 수 있다.
- [0117] 전술한 바와 같이 공통전극(108)은 제 1 공통전극(108a)과 제 2 공통전극(108b)으로 이루어진다.
- [0118] 제 1 공통전극(108a)은 화소영역 가장자리에 위치하여 상하좌우 사각형 형태의 프레임을 구성할 수 있다. 제 2 공통전극(108b)은 화소영역 내에 슬릿(108s)을 사이에 두고 핑거(finger) 형태를 가질 수 있다.
- [0119] 또한, 제 2 공통전극(108b)은 공통전극(108)의 중앙을 중심으로 서로 대칭이 되도록 기울어지게 구성될 수 있으

며, 이 경우 2-도메인(domain) 구조를 형성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0120] 연결라인(135)은 그 일측이 제 2 컨택홀(140b)과 제 5 컨택홀(140e)을 통해 하측의 제 1 공통전극(108a) 및 공통라인(108L)과 연결되는 동시에 다른 일측이 제 4 컨택홀(140d)을 통해 상측의 제 1 공통전극(108a)과 연결된다.

[0121] 이때, 본 발명의 실시예의 경우에는 제 1 공통전극(108a)이 연결라인(135)의 상부 표면뿐만 아니라 연결라인(135)의 측면에서도 접촉(접속)이 이루어짐에 따라 접촉 저항이 낮아지는 효과를 가진다.

[0122] 또한, 본 발명의 실시예에 따른 연결전극(130)은 드레인전극(123)의 상부 표면뿐만 아니라 드레인전극(123)의 측면에서도 접촉(접속)이 이루어짐에 따라 접촉 저항이 낮아지는 효과를 가진다.

[0123] 이와 같이 구성된 본 발명의 실시예에 따른 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러 필터 기판과 대향하여 합착되게 되는데, 이때 컬러필터 기판에는 적, 녹 및 청색의 컬러를 구현하기 위한 컬러 필터가 형성되어 있다.

[0124] 이때, 컬러필터 기판과 어레이 기판의 합착은 컬러필터 기판 또는 어레이 기판에 형성된 합착 키(align key)를 통해 이루어진다.

[0125] 본 발명의 실시예에 따른 프린지-필드형 액정표시장치는 액티브층으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 액티브층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터 및 산화물을 이용한 산화물 박막 트랜지스터에도 적용된다.

[0126] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 일 예로 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

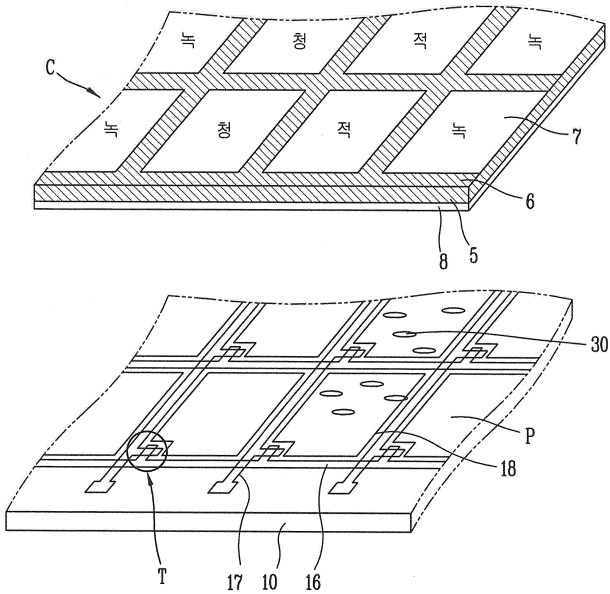
[0127] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

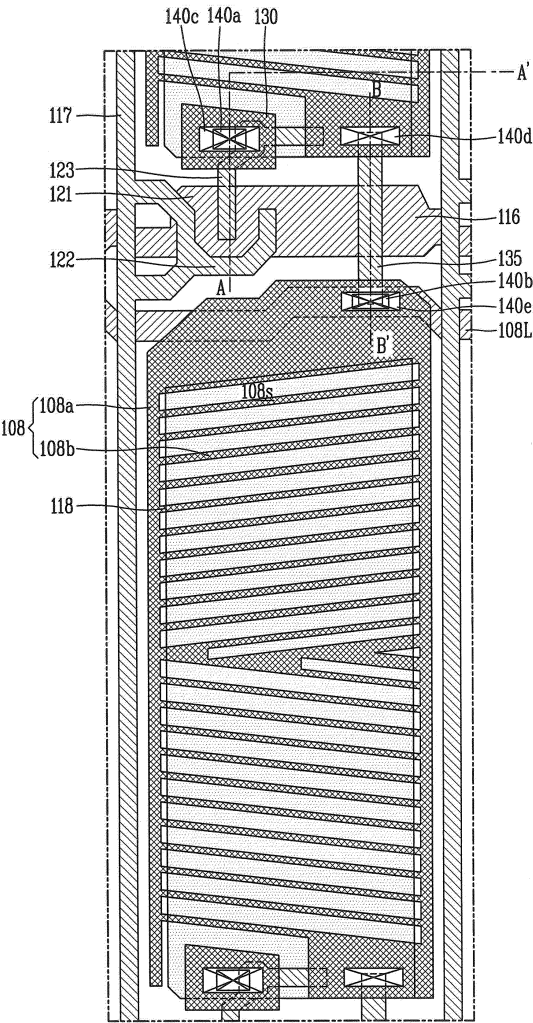
[0128]	108 : 공통전극	108s : 슬릿
	118 : 화소전극	121 : 게이트전극
	122 : 소오스전극	123 : 드레인전극
	124 : 액티브층	130 : 연결전극
	135 : 연결라인	

도면

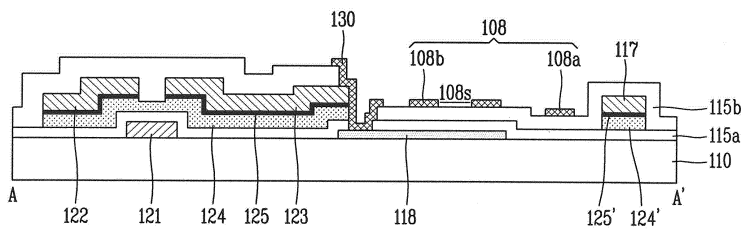
도면1



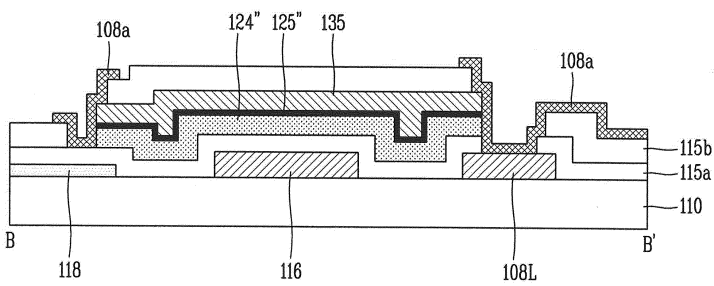
도면2



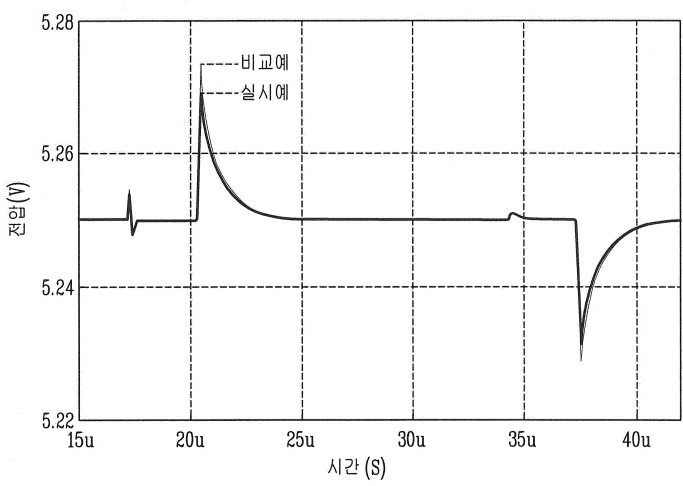
도면3



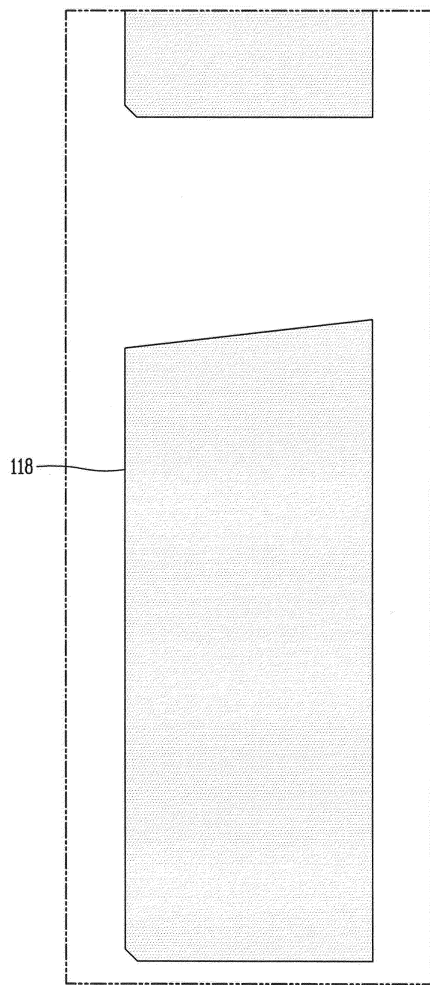
도면4



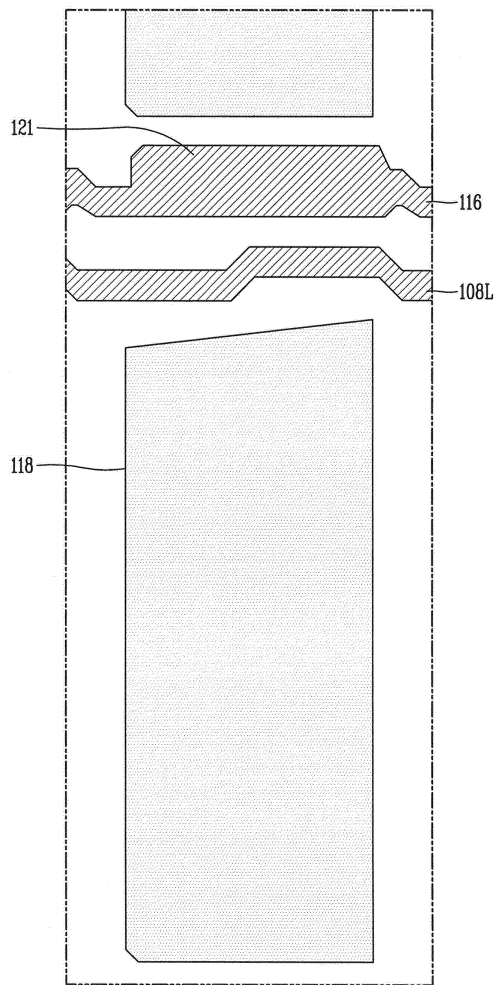
도면5



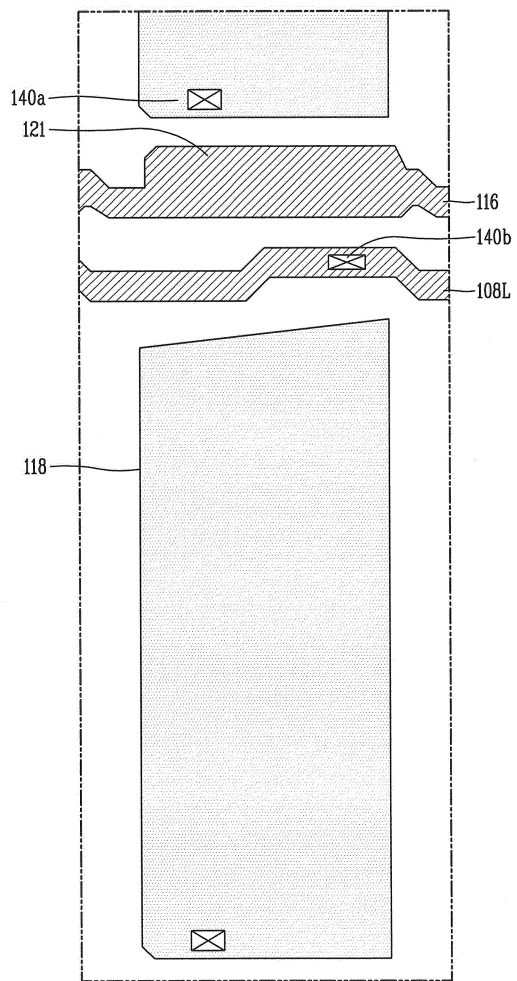
도면6a



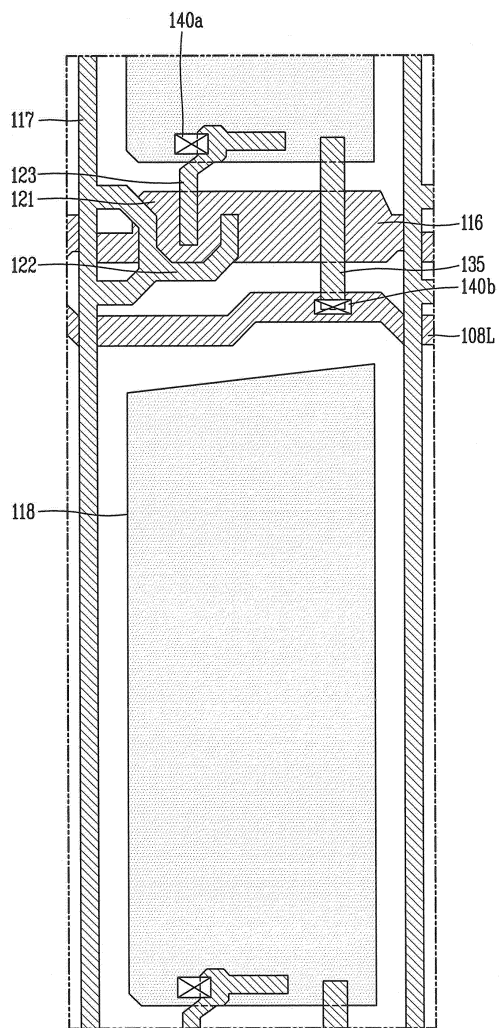
도면6b



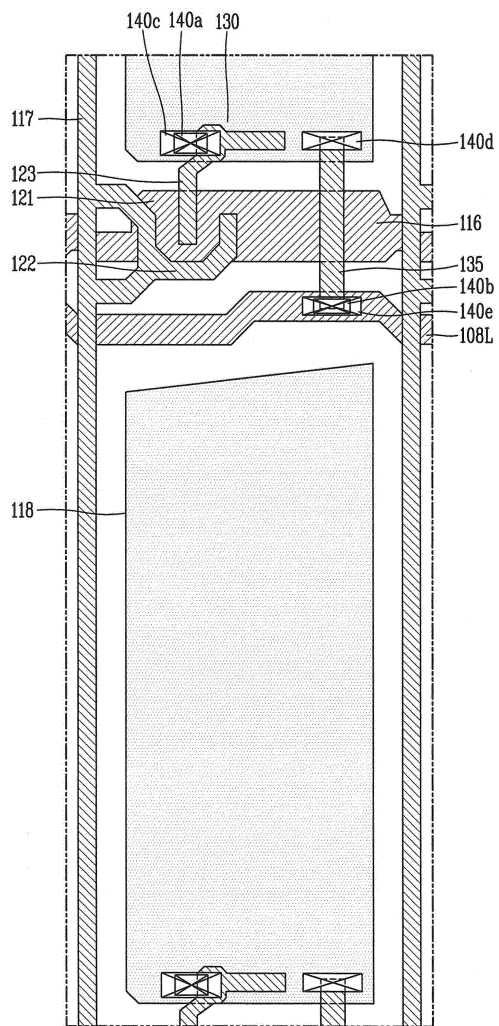
도면6c



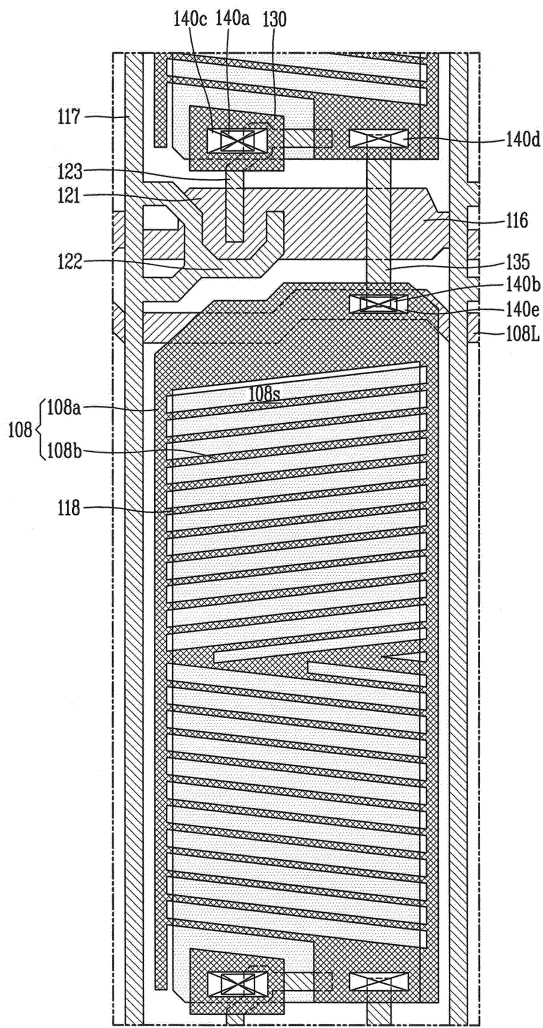
도면6d



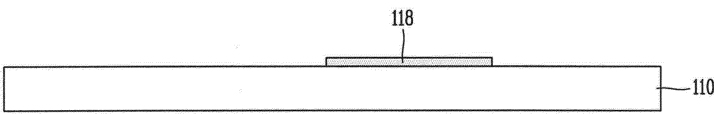
도면6e



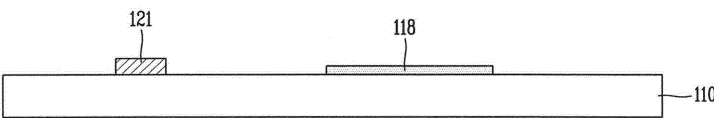
도면6f



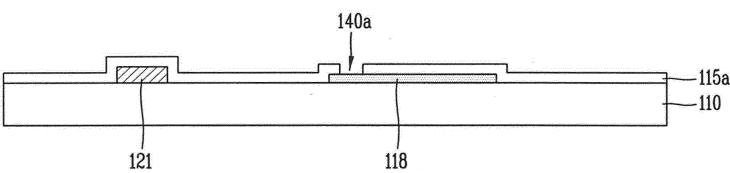
도면7a



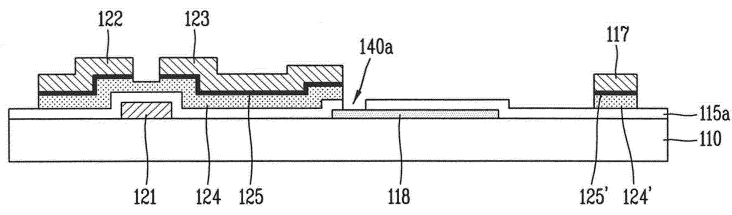
도면7b



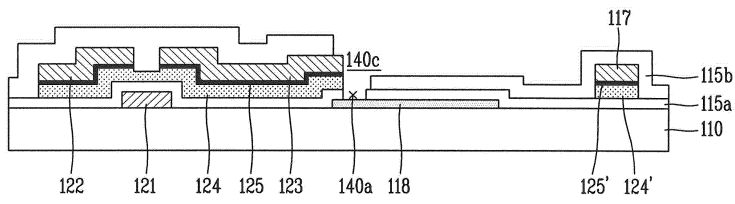
도면7c



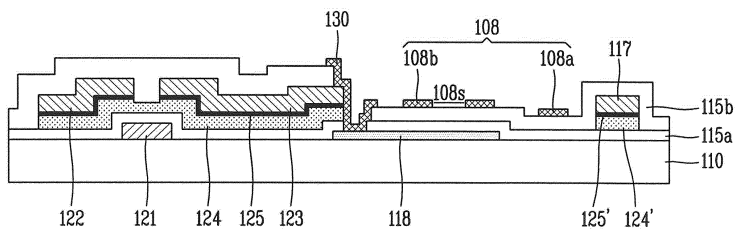
도면7d



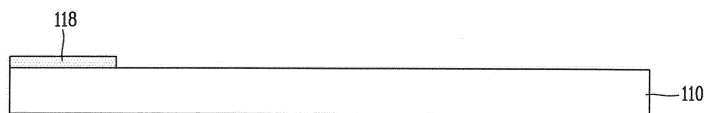
도면7e



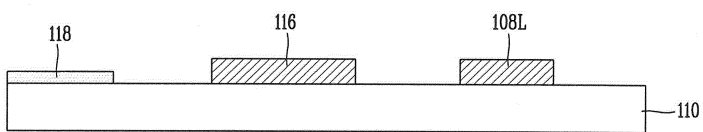
도면7f



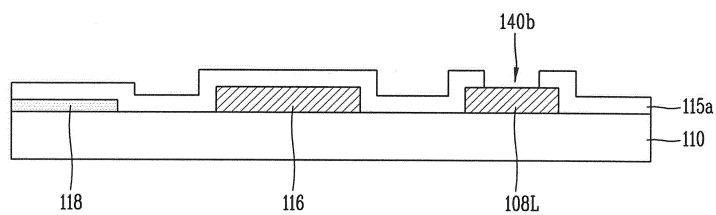
도면8a



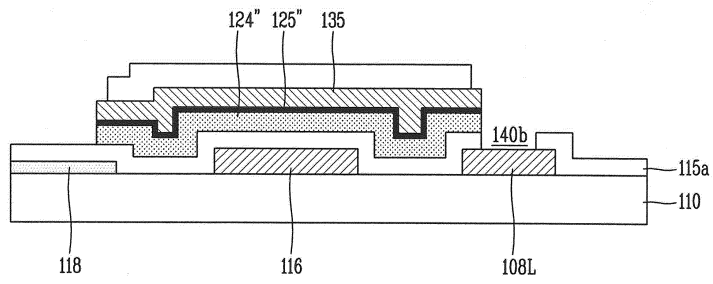
도면8b



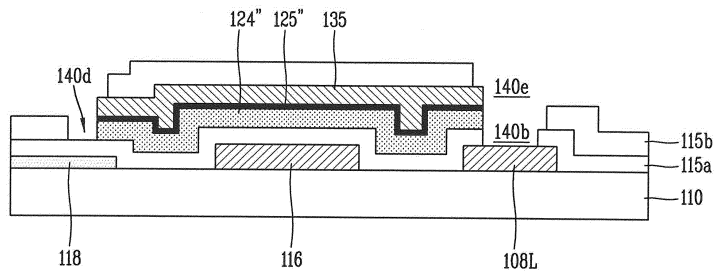
도면8c



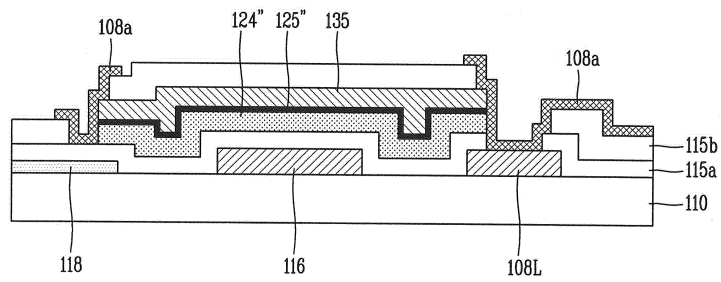
도면8d



도면8e



도면8f



专利名称(译)	边缘场切换液晶显示装置及其制造方法		
公开(公告)号	KR102062801B1	公开(公告)日	2020-01-06
申请号	KR1020150010199	申请日	2015-01-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	채수진		
发明人	채수진		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/1343 G02F1/134363 G02F1/13439 G02F1/136286 G02F2001/134372		
审查员(译)	Hansangil		
其他公开文献	KR1020160090195A		
外部链接	Espacenet		

摘要(译)

边缘场切换 (FFS) 液晶显示装置及其制造方法技术领域本发明涉及边缘场切换 (FFS) 液晶显示装置及其制造方法。 FFS液晶显示装置通过使用数据线在垂直相邻像素之间连接公共电极，以在不改变传输速率的情况下改善公共电压的波动。 因此，通过改善水平串扰来改善图像质量。

