



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0077825
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3614 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0182565
(22) 출원일자 2016년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
정지영
경기도 파주시 시민회관길 13-11 (금촌동, 장안귀
빈아파트) 나동 210호

오대석
경기도 파주시 가온로 67 (목동동, 해솔마을5단지
삼부르네상스아파트) 508동 1502호

김재광
경기도 고양시 일산서구 대산로 183 (주엽동, 문
촌마을6단지아파트) 602동 401호

(74) 대리인
특허법인로알

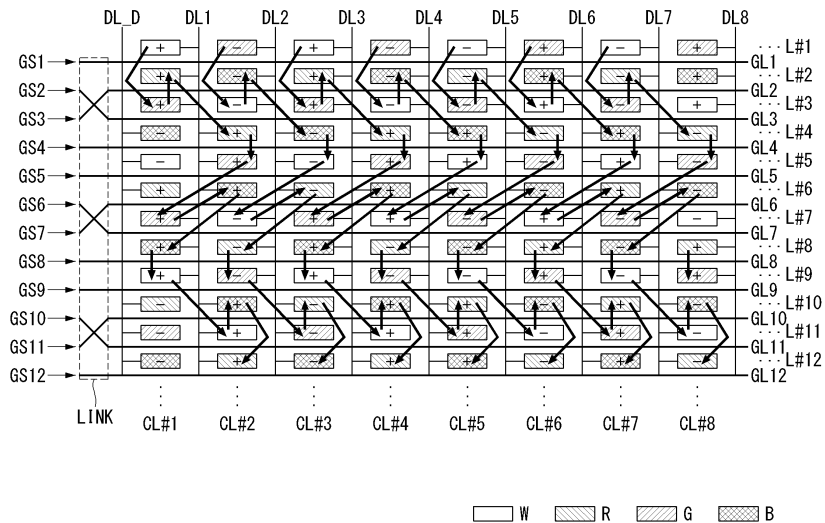
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 액정표시장치는 표시패널, 데이터 구동부, 게이트 구동부를 포함한다. 표시패널은 컬럼라인과 로우라인을 따라 매트릭스 형태로 배열되는 픽셀들, 및 픽셀들에 연결되는 데이터라인 및 게이트라인을 포함한다. 데이터 구동부는 데이터라인에 데이터전압을 공급한다. 게이트 구동부는 게이트라인에 게이트펄스를 공급한다. 게이트라인들 중에서 제i(i는 자연수) 게이트라인은 제i 로우라인에 배열된 픽셀들과 연결된다. 데이터라인들 중에서 제j 데이터라인은 제j(j는 자연수) 컬럼라인에 배치된 픽셀들 중에서 제1 내지 제3 게이트라인들과 각각 연결되는 픽셀들과 연결되고, 제(j+1) 컬럼라인에 배치된 픽셀들 중에서 제4 내지 제6 게이트라인들과 각각 연결되는 픽셀들과 연결된다. 데이터 구동부는 제1 내지 제3 데이터라인들에 한 프레임 기간 동안 동일한 극성의 데이터전압을 공급하며, 제4 데이터라인에 3수평기간 마다 극성이 반전되는 데이터전압을 공급한다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

컬럼라인과 로우라인을 따라 매트릭스 형태로 배열되는 픽셀들, 및 상기 픽셀들에 연결되는 데이터라인 및 게이트라인을 포함하는 표시패널;

상기 데이터라인에 데이터전압을 공급하는 데이터 구동부; 및

상기 게이트라인에 게이트펄스를 공급하는 게이트 구동부를 포함하고,

상기 게이트라인들 중에서 제 i (i 는 자연수) 게이트라인은 제 i 로우라인에 배열된 픽셀들과 연결되고,

상기 데이터라인들 중에서 제 j 데이터라인은

제 j (j 는 자연수) 컬럼라인에 배치된 픽셀들 중에서 제1 내지 제3 게이트라인들과 각각 연결되는 픽셀들과 연결되고,

제 $(j+1)$ 컬럼라인에 배치된 픽셀들 중에서 제4 내지 제6 게이트라인들과 각각 연결되는 픽셀들과 연결되며,

상기 데이터 구동부는

제1 내지 제3 데이터라인들에 한 프레임 기간 동안 동일한 극성의 데이터전압을 공급하며, 제4 데이터라인에 3수평기간 마다 극성이 반전되는 데이터전압을 공급하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동부는 제 i 게이트펄스에 이어서 제 $(i+1)$ 게이트펄스를 순차적으로 출력하되,

제 $(4k-3)$ (k 는 자연수) 게이트펄스를 제 $(4k-3)$ 게이트라인에 공급하며,

제 $(4k-2)$ 게이트펄스를 제 $(4k-1)$ 게이트라인에 공급하고,

제 $(4k-1)$ 게이트펄스를 제 $(4k-2)$ 게이트라인에 공급하고,

제 $4k$ 게이트펄스를 제 $4k$ 게이트라인에 공급하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 j 컬럼라인은, 상기 제 $(4k-3)$ 게이트라인과 연결되는 W 픽셀, 상기 제 $(4k-2)$ 게이트라인과 연결되는 R 픽셀, 상기 제 $(4k-1)$ 게이트라인과 연결되는 G 픽셀, 및 상기 제 $(4k-3)$ 게이트라인과 연결되는 B 픽셀을 포함하고,

상기 제 $(j+1)$ 컬럼라인은, 상기 제 $(4k-3)$ 게이트라인과 연결되는 G 픽셀, 상기 제 $(4k-2)$ 게이트라인과 연결되는 B 픽셀, 상기 제 $(4k-1)$ 게이트라인과 연결되는 W 픽셀, 및 상기 제 $(4k-3)$ 게이트라인과 연결되는 R 픽셀을 포함하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 데이터라인들은 제1 내지 제8 데이터라인을 포함하고,

상기 데이터 구동부는

상기 제1 데이터라인 또는 상기 제2 데이터라인에 정극성의 데이터전압을 공급하는 제1 P버퍼;

상기 제1 데이터라인 또는 상기 제2 데이터라인에 부극성의 데이터전압을 공급하는 제1 N버퍼;
 상기 제3 데이터라인 또는 상기 제7 데이터라인에 정극성의 데이터전압을 공급하는 제2 P버퍼;
 상기 제3 데이터라인 또는 상기 제7 데이터라인에 부극성의 데이터전압을 공급하는 제2 N버퍼;
 상기 제5 데이터라인 또는 상기 제6 데이터라인에 정극성의 데이터전압을 공급하는 제3 P버퍼;
 상기 제5 데이터라인 또는 상기 제6 데이터라인에 부극성의 데이터전압을 공급하는 제3 N버퍼;
 상기 제4 데이터라인 또는 제8 데이터라인에 정극성의 데이터전압을 공급하는 제4 P버퍼; 및
 상기 제4 데이터라인 또는 상기 제8 데이터라인에 부극성의 데이터전압을 공급하는 제4 N버퍼를 포함하는 액정 표시장치.

청구항 5

제 4 항에 있어서,
 상기 제1 내지 제3 P버퍼, 및 상기 제1 내지 제3 N버퍼는 한 프레임 기간마다 데이터전압의 극성을 반전시키고,
 상기 제4 P버퍼 및 상기 제4 N버퍼는 3 수평기간 마다 데이터전압의 극성을 반전시키는 액정표시장치.

청구항 6

제 4 항에 있어서,
 상기 제1 및 제3 데이터라인들은 동일한 극성의 데이터전압을 공급받고, 상기 제5 및 제7 데이터라인들은 상기 제1 및 제3 데이터라인들과 반대 극성의 데이터전압을 공급받는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 소비전력을 줄이면서 화상 품질을 개선할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 픽셀 마다 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성되어 있다. 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0003] 근래에는 R(Red) 픽셀, G(Green) 픽셀, B(Blue) 픽셀 이외에 W(White) 픽셀을 추가한 액정표시장치가 개발되고 있다. 이하에서, 픽셀들이 RGBW 픽셀들로 나뉘어진 표시장치를 "RGBW 타입 표시장치"라 한다. W 픽셀은 픽셀들 각각의 휘도를 높임으로써 백라이트 유닛의 휘도를 낮추어 액정표시장치의 소비전력을 낮출 수 있다.

[0004] 최근에는 대화면, 고해상도 표시장치의 비용을 줄이기 위하여 소스 드라이브 IC를 줄일 수 있는 다양한 방법들이 시도되고 있으나, 극성 분포의 불균형으로 인하여 화질 불량이 발생되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 RGBW 타입의 대화면 표시장치에서 소비전력을 줄이면서 화질을 개선할 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 표시패널, 데이터 구동부, 게이트 구동부를 포함한다. 표시패널은 컬럼라인과 로우라인을 따라 매트릭스 형태로 배열되는 픽셀들, 및 픽셀들에 연결되는 데이터라인 및 게이트라인을 포함한다. 데이터 구동부는 데이터라인에 데이터전압을 공급한다. 게이트 구동부는 게이트라인에 게이트펄스를 공급한다. 게이트라인들 중에서 제 i (i 는 자연수) 게이트라인은 제 i 로우라인에 배열된 픽셀들과 연결된다. 데이터라인들 중에서 제 j 데이터라인은 제 j (j 는 자연수) 컬럼라인에 배치된 픽셀들 중에서 제1 내지 제3 게이트라인들과 각각 연결되는 픽셀들과 연결되고, 제($j+1$) 컬럼라인에 배치된 픽셀들 중에서 제4 내지 제6 게이트라인들과 각각 연결되는 픽셀들과 연결된다. 데이터 구동부는 제1 내지 제3 데이터라인들에 한 프레임 기간 동안 동일한 극성의 데이터전압을 공급하며, 제4 데이터라인에 3수평기간 마다 극성이 반전되는 데이터전압을 공급한다.

발명의 효과

[0007] 본 발명의 액정표시장치는 각각의 로우라인에서 단색을 표시하는 경우에도 데이터전압의 극성 쏠림이 발생하지 않는다. 그 결과 극성 쏠림으로 인해서 발생하는 수평 크로스토크 현상을 개선할 수 있다.

[0008] 그리고 본 발명의 액정표시장치는 컬럼라인에 배치된 픽셀들의 극성 쏠림을 방지할 수 있어서 수직 도리도리 현상을 개선할 수 있다.

[0009] 또한, 본 발명에 의한 액정표시장치는 4개의 데이터라인들 중에서 3개의 데이터라인에 공급되는 데이터전압의 극성은 한 프레임 기간 동안 유지되기 때문에, 출력 버퍼들의 데이터 트랜지션을 줄일 수 있고, 이에 따라서 발열을 개선하고 소비전력을 줄일 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명에 따른 표시장치를 보여주는 도면.
- 도 2는 본 발명에 의한 표시패널의 일부 영역을 나타내는 도면.
- 도 3은 본 발명에 의한 데이터 구동부의 출력버퍼를 나타내는 도면.
- 도 4는 제1 및 제4 데이터라인들에 공급되는 데이터전압의 극성을 나타내는 도면.
- 도 5 및 도 6은 수평 크로스토크를 설명하기 위한 도면.
- 도 7 및 도 8은 수직 도리도리 현상을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0012] 도 1은 본 발명에 의한 액정표시장치를 나타내는 도면이다.

[0013] 도 1을 참조하면, 본 발명의 표시장치는 픽셀 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0014] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 표시패널(100)의 픽셀 어레이는 데이터라인들(DL1~DLn) 과 게이트라인들(G1~Gm)의 교차 구조에 의해 $m \times n$ 개(m, n 은 자연수)의 매트릭스 형태로 배열되는 픽셀들을 포함한다.

[0015] 표시패널(100)의 하부 기관에는 데이터라인들(DL1~DLn), 게이트라인들(G1~Gm), TFT들, TFT에 접속된 픽셀전극(1), 및 픽셀전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 픽셀들 각각은 TFT를 통해 데이터전압을 충전하는 픽셀전극(1)과 공통전압(Vcom)이 인가되는 공통전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조절함으로써 비디오 데이터의 화상을 표시한다.

[0016] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태

로도 구현될 수 있다. 투과형 액정표장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

- [0017] 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104) 및 타이밍 컨트롤러(20)를 포함한다.
- [0018] 데이터 구동부(102)는 타이밍 컨트롤러(20)의 제어 하에 입력 영상 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다.
- [0019] 게이트 구동부(104)는 타이밍 컨트롤러(20)의 제어 하에 게이트펄스를 순차적으로 출력한다. 즉, 게이트 구동부(104)는 제1 게이트펄스에 이어서 제2 게이트펄스를 출력하고, 제2 게이트펄스에 이어서 제3 게이트펄스를 출력한다. 게이트 구동부(104)로부터 출력된 게이트펄스는 픽셀들에 충전될 정극성/부극성 비디오 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 같은 제조 공정에서 픽셀 어레이와 함께 표시패널(100)의 하부 기판에 직접 형성될 수 있다.
- [0020] 타이밍 컨트롤러(20)는 호스트 시스템(24)으로부터 수신된 입력 영상의 RGB 데이터를 RGBW 데이터로 변환하여 데이터 구동부(102)로 전송한다. 타이밍 컨트롤러(20)는 호스트 시스템(24)으로부터 입력 영상 데이터와 동기되는 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 컨트롤러(20)는 입력 영상의 픽셀 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 컨트롤러(20)는 픽셀 어레이의 극성을 제어하기 위한 극성제어신호(POL)를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다.
- [0021] 호스트 시스템(24)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0022] 도 2는 본 발명에 의한 표시패널의 일부 영역을 나타내는 도면이다. 도 2는 제1 내지 제12 로우라인들(L#1~L#12)과 제1 내지 제8 컬럼라인들(CL#1~CL#8)에 속하는 픽셀들을 도시하고 있다.
- [0023] 도 2를 참조하면, 픽셀(P)들은 로우라인들(L#1~L#12)과 컬럼라인들(CL#1~CL#8)을 따라 매트릭스 형태로 배열된다. 이하, 본 명세서에서 픽셀의 위치는 로우라인과 컬럼라인을 좌표축으로 간주하여 설명하기로 한다. 예컨대, 제(x,y) 픽셀은 제x 로우라인과 제y 컬럼라인이 교차하는 위치에 배치되는 픽셀을 지칭한다.
- [0024] 제i(i는 m 이하의 자연수) 게이트라인은 제i 로우라인에 배열된 픽셀들과 연결된다. 예컨대, 제1 게이트라인(GL1)은 제1 로우라인(L#1)에 배열되는 픽셀(P)들과 연결되고, 제2 게이트라인(GL2)은 제2 로우라인(L#2)에 배열되는 픽셀(P)들과 연결된다. 마찬가지로 제12 게이트라인(GL12)은 제12 로우라인(L#12)에 배열되는 픽셀(P)들과 연결된다.
- [0025] 링크부(LINK)는 게이트펄스들(GS1~GS12)을 출력하는 출력단들 중에서 어느 하나의 출력단과 하나의 게이트라인을 연결한다. 링크부(LINK)는 표시패널의 비표시영역에 형성될 수 있다. 링크부(LINK)를 통해서 각각의 게이트라인들(GL1~GL12)이 인가받는 게이트펄스(GS1~GS12)는 다음과 같다.
- [0026] 제(4k-3) 게이트라인은 제(4k-3) 게이트펄스를 공급받는다. 그리고, 제(4k-2) 게이트라인은 제(4k-1) 게이트펄스를 공급받고, 제(4k-1) 게이트라인은 제(4k-2) 게이트펄스를 공급받는다. 그리고 제4k 게이트라인은 제4k 게이트펄스를 공급받는다. 예컨대, 제1 게이트라인(GL1)은 제1 게이트펄스(GS1)를 공급받고, 제2 게이트라인(GL2)은 제3 게이트펄스(GS3)를 공급받고, 제3 게이트라인(GL3)은 제2 게이트펄스(GS2)를 공급받고, 제4 게이트라인(GL4)은 제4 게이트펄스(GS4)를 공급받는다.
- [0027] 이를 위해서, 제2 게이트펄스(GS2)를 출력하는 출력단과 제3 게이트라인(GL3)이 연결되며, 제3 게이트펄스(GS3)를 출력하는 출력단과 제2 게이트라인(GL2)이 연결된다.
- [0028] 게이트 구동부(104)와 게이트라인의 교차 구조에 의해서 제2 로우라인(L#2)과 제3 로우라인(L#3)의 스캔 순서는 뒤바뀐다. 즉, 게이트 구동부(104)는 게이트펄스를 순차적으로 출력할지라도, 제1 로우라인(L#1)에 배치된 픽셀(P)들이 스캔된 이후에, 제3 로우라인(L#3)에 배치된 픽셀(P)들이 스캔되며, 이어서 제2 로우라인(L#2)에 배치된 픽셀(P)들이 스캔된다.
- [0029] 데이터라인들(DL1~DLn) 중에서 제j(j는 n 이하의 자연수) 데이터라인은 제j 컬럼라인에 배치된 픽셀들 중에서 제1 내지 제3 게이트라인들과 각각 연결되는 픽셀들에 연결되고, 제(j+1) 컬럼라인에 배치된 픽셀들 중에서 제4 내지 제6 게이트라인들과 각각 연결되는 픽셀들에 연결된다. 예컨대, 제1 데이터라인(DL1)은 제1 컬럼라인

(CL1)에 배치된 픽셀(P)들 중에서 제1 게이트라인(GL1)과 연결되는 제(1,1) 픽셀, 제2 게이트라인(GL2)과 연결되는 제(2,1) 픽셀, 및 제3 게이트라인(GL3)과 연결되는 제(3,1) 픽셀들과 연결된다. 그리고, 제1 데이터라인(GL1)은 제2 컬럼라인(CL2)에 배치된 픽셀(P)들 중에서 제4 게이트라인(GL4)과 연결되는 제(4,2) 픽셀, 제5 게이트라인(GL5)과 연결되는 제(5,2) 픽셀, 및 제6 게이트라인(GL6)과 연결되는 제(6,2) 픽셀들과 연결된다.

- [0030] 도 3은 데이터 구동부의 일부를 나타내는 도면으로써, 제1 내지 제8 컬럼라인에 배치된 픽셀들에 데이터전압을 공급하는 버퍼들을 도시하고 있다.
- [0031] 도 3을 참조하면, 본 발명에 의한 데이터 구동부(102)는 제1 내지 제4 P버퍼들(P1, P2, P3, P4), 및 제1 내지 제4 N버퍼들(N1, N2, N3, N4)을 포함한다.
- [0032] 제1 P버퍼(P1)는 제1 데이터라인(DL1) 또는 제2 데이터라인(DL2)에 정극성의 데이터전압을 공급한다. 제1 N버퍼(N1)는 제1 데이터라인(DL1) 또는 제2 데이터라인(DL2)에 부극성의 데이터전압을 공급한다.
- [0033] 제2 P버퍼(P2)는 제3 데이터라인(DL3) 또는 제7 데이터라인(DL7)에 정극성의 데이터전압을 공급한다. 제2 N버퍼(N2)는 제3 데이터라인(DL3) 또는 제7 데이터라인(DL7)에 부극성의 데이터전압을 공급한다.
- [0034] 제3 P버퍼(P3)는 제5 데이터라인(DL5) 또는 제6 데이터라인(DL6)에 정극성의 데이터전압을 공급한다. 제3 N버퍼(N3)는 제5 데이터라인(DL5) 또는 제6 데이터라인(DL6)에 부극성의 데이터전압을 공급한다.
- [0035] 제4 P버퍼(P4)는 제4 데이터라인(DL4) 또는 제8 데이터라인(DL8)에 정극성의 데이터전압을 공급한다. 제4 N버퍼(N4)는 제4 데이터라인(DL4) 또는 제8 데이터라인(DL8)에 부극성의 데이터전압을 공급한다.
- [0036] 제1 내지 제4 스위치부들(SW1, SW2, SW3, SW4)은 각 출력버퍼들(P1, P2, P3, P4, N1, N2, N3, N4)과 데이터라인들간의 경로를 스위칭한다.
- [0037] 제1 스위치부(SW1)는 제1 P버퍼(P1)와 제1 데이터라인(DL1)을 연결시키는 동안 제1 N버퍼(N1)와 제2 데이터라인(DL2)을 연결시킨다. 그리고, 제1 스위치부(SW1)는 제1 P버퍼(P1)와 제2 데이터라인(DL2)을 연결시키는 동안 제1 N버퍼(N1)와 제1 데이터라인(DL1)을 연결시킨다.
- [0038] 제2 스위치부(SW2)는 제2 P버퍼(P2)와 제3 데이터라인(DL3)을 연결시키는 동안 제2 N버퍼(N2)와 제7 데이터라인(DL7)을 연결시킨다. 그리고, 제2 스위치부(SW2)는 제2 P버퍼(P2)와 제7 데이터라인(DL7)을 연결시키는 동안 제1 N버퍼(N1)와 제3 데이터라인(DL3)을 연결시킨다.
- [0039] 제3 스위치부(SW3)는 제3 P버퍼(P3)와 제5 데이터라인(DL5)을 연결시키는 동안 제3 N버퍼(N3)와 제6 데이터라인(DL6)을 연결시킨다. 그리고, 제3 스위치부(SW3)는 제3 P버퍼(P3)와 제6 데이터라인(DL6)을 연결시키는 동안 제3 N버퍼(N3)와 제5 데이터라인(DL5)을 연결시킨다.
- [0040] 제4 스위치부(SW4)는 제4 P버퍼(P4)와 제4 데이터라인(DL4)을 연결시키는 동안 제4 N버퍼(N4)와 제8 데이터라인(DL8)을 연결시킨다. 그리고, 제4 스위치부(SW4)는 제4 P버퍼(P4)와 제8 데이터라인(DL8)을 연결시키는 동안 제4 N버퍼(N4)와 제4 데이터라인(DL4)을 연결시킨다.
- [0041] 제1 내지 제4 스위치부들(SW1, SW2, SW3, SW4)들은 각각 다수의 스위치들을포함하고, 스위치 구성은 공지된 어떠한 구성을 이용하여도 무방하다. 또한, 제1 내지 제4 스위치부들(SW1, SW2, SW3, SW4)들에는 차지체어를 위한 구성이 추가될 수도 있다.
- [0042] 제1 내지 제3 P버퍼들(P1, P2, P3)과 제1 내지 제3 N버퍼들(N1, N2, N3)은 한 프레임 기간마다 데이터전압의 극성을 반전시킨다. 그 결과, 제1 내지 제3 데이터라인들(DL1, DL2, DL3), 및 제5 내지 제7 데이터라인들(DL5, DL6, DL7)은 한 프레임 동안 동일한 극성의 데이터전압을 공급한다.
- [0043] 제4 P버퍼(P4) 및 제4 N버퍼(N4)는 3 수평기간 마다 데이터전압의 극성을 반전시킨다. 그 결과, 제4 데이터라인(DL4) 및 제7 데이터라인(DL7)은 3 수평기간 마다 극성이 반전되는 데이터전압을 공급한다.
- [0044] 임의의 한 프레임 기간(이하, k 프레임 기간) 동안 각 데이터라인들에 공급되는 데이터전압의 극성은 다음과 같다.
- [0045] 제1 및 제3 데이터라인들(DL1, DL3)은 동일한 극성의 데이터전압을 공급받는다. 예컨대, k프레임 기간 동안, 제1 데이터라인(DL1)이 제1 P버퍼(P1)로부터 정극성의 데이터전압을 공급받는다면, 제3 데이터라인(DL3)은 제2 P버퍼(P2)로부터 정극성의 데이터전압을 공급받는다.
- [0046] 제5 및 제7 데이터라인들(DL5, DL7)은 제1 및 제3 데이터라인들(DL1, DL3)과 반대 극성의 데이터전압을 공급받

는다. 즉, k 프레임 기간 동안, 제5 데이터라인(DL5)은 제3 N버퍼(N3)로부터 부극성의 데이터전압을 공급받고, 제7 데이터라인(DL7)은 제2 N버퍼(N2)로부터 부극성의 데이터전압을 공급받는다.

- [0047] k프레임 기간의 제1 내지 제3 수평기간 동안, 제4 데이터라인(DL4)은 제4 N버퍼(N4)로부터 부극성의 데이터전압을 공급받고, 제8 데이터라인(DL8)은 제4 P버퍼(P4)로부터 정극성의 데이터전압을 공급받는다. k 프레임 기간 동안, 제4 데이터라인(DL4) 및 제8 데이터라인(DL8)에 공급되는 데이터전압은 4 수평기간 마다 극성이 반전된다.
- [0048] 이때, 한 프레임 기간은 제1 내지 제m 로우라인들(L#1~L#m)에 배치된 픽셀(P)들에 데이터전압을 공급하는 기간을 의미한다. 그리고, 1 수평기간(1H)은 하나의 로우라인에 배열된 픽셀(P)들에 데이터전압을 공급하는 기간을 의미한다. 즉, 1 수평기간(1H)은 1프레임 기간을 1/m 배로 곱한 기간을 의미한다.
- [0049] 도 4는 제1 및 제4 데이터라인으로 공급되는 데이터전압의 극성을 나타내는 도면이다. 도 4에서 A(x,y)는 x번째 로우라인과 y번째 컬럼라인이 교차하는 위치에 배치되는 A 색상의 픽셀을 지칭한다.
- [0050] 도 4를 참조하면, 한 프레임 기간 동안, 제1 데이터라인(DL1)은 제1 P버퍼(P1)를 통해서 공급되는 정극성의 데이터전압을 공급한다.
- [0051] 제1 데이터라인(DL1)은 1수평주기(1H) 동안 하나의 픽셀에 기입되는 데이터전압을 공급한다.
- [0052] 제1 데이터라인(DL1)은 제1 수평주기(H#1) 동안, W(1,1) 픽셀에 기입되는 데이터전압을 공급한다. 제1 데이터라인(DL1)은 제2 수평주기(H#2) 동안, G(3,1) 픽셀에 기입되는 데이터전압을 공급하고, 제3 수평주기(H#3) 동안, R(2,1) 픽셀에 기입되는 데이터전압을 공급한다. 즉, 제1 데이터라인(DL1)은 스캔순서에 따라, 제3 로우라인(L#3)에 배치된 픽셀에 기입되는 데이터전압을 공급한 이후에 제2 로우라인(L#2)에 배치된 픽셀에 기입되는 데이터전압을 공급한다.
- [0053] 이어서, 제1 데이터라인(DL1)은 제4 수평주기(H#4) 동안, R(4,2) 픽셀에 기입되는 데이터전압을 공급한다. 제1 데이터라인(DL1)은 제5 수평주기(H#5) 동안, G(5,2) 픽셀에 기입되는 데이터전압을 공급하고, 제6 수평주기(H#6) 동안, G(7,1) 픽셀에 기입되는 데이터전압을 공급한다. 제1 데이터라인(DL1)은 제7 수평주기(H#7) 동안, B(6,2) 픽셀에 기입되는 데이터전압을 공급하고, 제8 수평주기(H#8) 동안, B(8,1) 픽셀에 기입되는 데이터전압을 공급한다. 그리고 제1 데이터라인(DL1)은 제9 수평주기(H#9) 동안, W(9,1) 픽셀에 기입되는 데이터전압을 공급하고, 제10 수평주기(H#10) 동안, W(11,2) 픽셀에 기입되는 데이터전압을 공급한다. 제1 데이터라인(DL1)은 제11 수평주기(H#11) 동안, B(10,2) 픽셀에 기입되는 데이터전압을 공급하고, 제12 수평주기(H#12) 동안, R(12,2) 픽셀에 기입되는 데이터전압을 공급한다.
- [0054] 제2 데이터라인(DL2) 및 제3 데이터라인(DL3), 제5 내지 제7 데이터라인들(DL5, DL6, DL7)이 공급하는 데이터전압이 각 로우라인에 공급되는 순서는 제1 데이터라인(DL1)이 공급하는 데이터전압이 각 로우라인에 공급되는 순서와 동일하다.
- [0055] 한 프레임 기간 동안, 제4 데이터라인(DL4)은 제4 P버퍼(P4)를 통해서 공급되는 정극성의 데이터전압 및 제4 N버퍼(N4)를 통해서 공급되는 부극성의 데이터전압을 공급한다. 제4 데이터라인(DL4)은 제1 내지 제3 수평주기(H#1, H#2, H#3), 및 제7 내지 제9 수평주기(H#7, H#8, H#9) 동안 정극성의 데이터전압을 공급하고, 제4 내지 제6 수평주기(H#4, H#5, H#6), 및 제10 내지 제12 수평주기(H#10, H#11, H#12) 동안 부극성의 데이터전압을 공급한다.
- [0056] 제4 데이터라인(DL4)은 제1 수평주기(H#1) 동안, G(1,4) 픽셀에 기입되는 데이터전압을 공급한다. 제4 데이터라인(DL4)은 제2 수평주기(H#2) 동안, W(3,4) 픽셀에 기입되는 데이터전압을 공급하고, 제3 수평주기(H#3) 동안, B(2,4) 픽셀에 기입되는 데이터전압을 공급한다. 즉, 제4 데이터라인(DL4)은 스캔순서에 따라, 제3 로우라인(L#3)에 배치된 픽셀에 기입되는 데이터전압을 공급한 이후에 제2 로우라인(L#2)에 배치된 픽셀에 기입되는 데이터전압을 공급한다.
- [0057] 이어서, 제4 데이터라인(DL4)은 제4 수평주기(H#4) 동안, B(4,5) 픽셀에 기입되는 데이터전압을 공급한다. 제4 데이터라인(DL4)은 제5 수평주기(H#5) 동안, B(5,B) 픽셀에 기입되는 데이터전압을 공급하고, 제6 수평주기(H#6) 동안, W(7,4) 픽셀에 기입되는 데이터전압을 공급한다. 제4 데이터라인(DL4)은 제7 수평주기(H#7) 동안, R(6,5) 픽셀에 기입되는 데이터전압을 공급하고, 제8 수평주기(H#8) 동안, R(8,4) 픽셀에 기입되는 데이터전압을 공급한다. 그리고 제4 데이터라인(DL4)은 제9 수평주기(H#9) 동안, G(9,4) 픽셀에 기입되는 데이터전압을 공급하고, 제10 수평주기(H#10) 동안, G(11,5) 픽셀에 기입되는 데이터전압을 공급한다. 제4 데이터라인(DL

4)은 제11 수평주기(H#11) 동안, R(10,5) 픽셀에 기입되는 데이터전압을 공급하고, 제12 수평주기(H#12) 동안, B(12,5) 픽셀에 기입되는 데이터전압을 공급한다.

[0058] < 수평 크로스토크 현상의 원인 >

[0059] 종래의 RGBW 방식의 표시패널은 하나의 로우라인에 배치된 동일한 색상의 픽셀은 동일한 극성의 데이터전압을 공급받는 구조를 갖는다. 따라서, 단색을 표시할 때에는 극성 쏠림으로 인해서 공통전압(VCOM)이 쉬프트되고, 공통전압이 쉬프트되면 인접하는 로우라인들 간의 휘도 편차가 발생하여 수평 크로스토크가 발생한다.

[0060] 도 5 및 도 6은 각각의 로우라인에 배치된 동일한 색상의 픽셀들이 동일한 극성의 데이터전압을 공급받을 때에 발생하는 수평 크로스토크를 설명하기 위한 도면들이다.

[0061] 도 5에서 제1 영역(A1)은 적색(R)을 표시하고, 제2 영역(A2)은 혼색을 표시하는 영상 화면을 나타내고 있다. 제i 로우라인(L#i)은 제2 영역(A2)에 속하고, 제(i+1) 로우라인(L#2)은 제1 영역(A1)에 속한다.

[0062] 제i 로우라인(L#i)은 혼색을 표시하기 때문에 극성 쏠림 현상이 심하지는 않다.

[0063] 제(i+1) 로우라인(L#(i+1))에서 제1 영역(A1)은 적색을 표시하기 때문에, R 픽셀들에 공급되는 데이터전압의 극성으로 극성 쏠림 현상이 발생한다. 예컨대 도 6에서와 같이 R 픽셀들에 인가되는 데이터전압의 극성이 정극성으로 쏠릴 경우에는 공통전압(VCOM)이 “VCOM”에서 데이터전압의 극성 방향인 “VCOM1”으로 쉬프트된다. 이와 같이 공통전압(VCOM)이 쉬프트되면, 제1 및 제2 영역(A1, A2)에 배치된 픽셀들 역시 쉬프트된 공통전압(VCOM)을 기준으로 휘도 표시를 하기 때문에, 원하는 휘도를 표시하지 못하게 된다. 그 결과, 제2 영역(A2)에 속한 제i 로우라인(L#i)의 픽셀(P)들과 제(i+1) 로우라인(L#(i+1))의 픽셀(P)들에 동일한 데이터전압이 공급되더라도, 제2 영역(A2)에서 제i 로우라인(L#i)에 배치된 픽셀(P)들과 제(i+1) 로우라인(L#(i+1))에 배치된 픽셀(P)들은 다른 휘도를 표시하게 되고, 이로 인해서 수평 크로스토크 현상이 발생한다.

[0064] < 본 발명에 수평 크로스토크 현상을 개선하기 위한 구조 >

[0065] 이에 반해서, 본 발명은 단색을 표시할 때 각각의 픽셀들이 인가받는 데이터전압의 극성은 균형을 이룬다.

[0066] 예컨대, 제1 로우라인(L#1)에서 제1 및 제3 데이터라인들(DL1, DL3)과 연결되는 W 픽셀들은 정극성의 데이터전압을 공급받고, 제5 및 제7 데이터라인들(DL5, DL7)과 연결되는 W 픽셀들은 부극성의 데이터전압을 공급받는다. 제1 로우라인(L#1)에서 제2 및 제4 데이터라인들(DL2, DL4)과 연결되는 G 픽셀들은 부극성의 데이터전압을 공급받고, 제6 및 제8 데이터라인들(DL6, DL8)과 연결되는 G 픽셀들은 정극성의 데이터전압을 공급받는다.

[0067] 제2 로우라인(L#2)에서 제1 및 제3 데이터라인들(DL1, DL3)과 연결되는 R 픽셀들은 정극성의 데이터전압을 공급받고, 제5 및 제7 데이터라인들(DL5, DL7)과 연결되는 R 픽셀들은 부극성의 데이터전압을 공급받는다. 제2 로우라인(L#2)에서 제2 및 제4 데이터라인들(DL2, DL4)과 연결되는 B 픽셀들은 부극성의 데이터전압을 공급받고, 제6 및 제8 데이터라인들(DL6, DL7)과 연결되는 B 픽셀들은 정극성의 데이터전압을 공급받는다.

[0068] 이와 같이, 각각의 로우라인들에 배치되는 동일한 색상의 픽셀들이 공급받는 데이터전압의 극성은 균형을 이루기 때문에, 데이터전압의 극성 쏠림 현상으로 인해서 공통전압이 쉬프트되는 것을 개선할 수 있다. 그 결과, 공통전압 쉬프트 현상으로 인한 수평 크로스토크 현상을 개선할 수 있다.

[0069] < 수직 도리도리 개선을 위한 구성 >

[0070] 발명의 픽셀 어레이는 하나의 컬럼 라인에 배치된 동일한 색상의 픽셀들 중에서 정극성의 데이터전압을 인가받는 픽셀들의 개수와 부극성의 데이터전압을 인가받는 픽셀들의 개수는 동일하다. 그 결과 수직 도리도리를 개선할 수 있다.

[0071] 도 7 및 도 8을 참조하여, 수직 도리도리 현상을 살펴보면 다음과 같다.

[0072] 도 7은 픽셀의 픽셀전압 변화를 나타내는 도면이다. 도 7은 k 번째 프레임 동안 정극성의 데이터전압을 인가받고, (k+1) 번째 프레임 동안 부극성의 데이터전압을 인가받는 픽셀의 픽셀전압을 나타내고 있다. 도 7은 동일한 컬럼라인의 픽셀들이 같은 극성의 데이터전압을 인가받는 비교 예의 픽셀 어레이 구조를 나타내는 도면이다.

[0073] 도 7을 참조하면, k 번째 프레임에서, 픽셀전압(Vp)은 제1 충전기간(Ts1) 동안에 인가받는 데이터전압으로 제1 충전전압(Vc1)이 된다. 제1 충전기간(Ts1) 이후에 픽셀전압(Vp)은 킥백전압(Vkb) 만큼 낮아져서 제1 홀딩전압(Vh1)이 되고, 제1 홀딩전압(Vh1)은 제1 홀딩기간(Th1) 동안에 유지된다. 그리고, 픽셀은 제1 홀딩기간(Th1)

동안의 픽셀전압(V_p)과 공통전압(VCOM) 간의 전압차이에 비례하는 휘도를 표시한다.

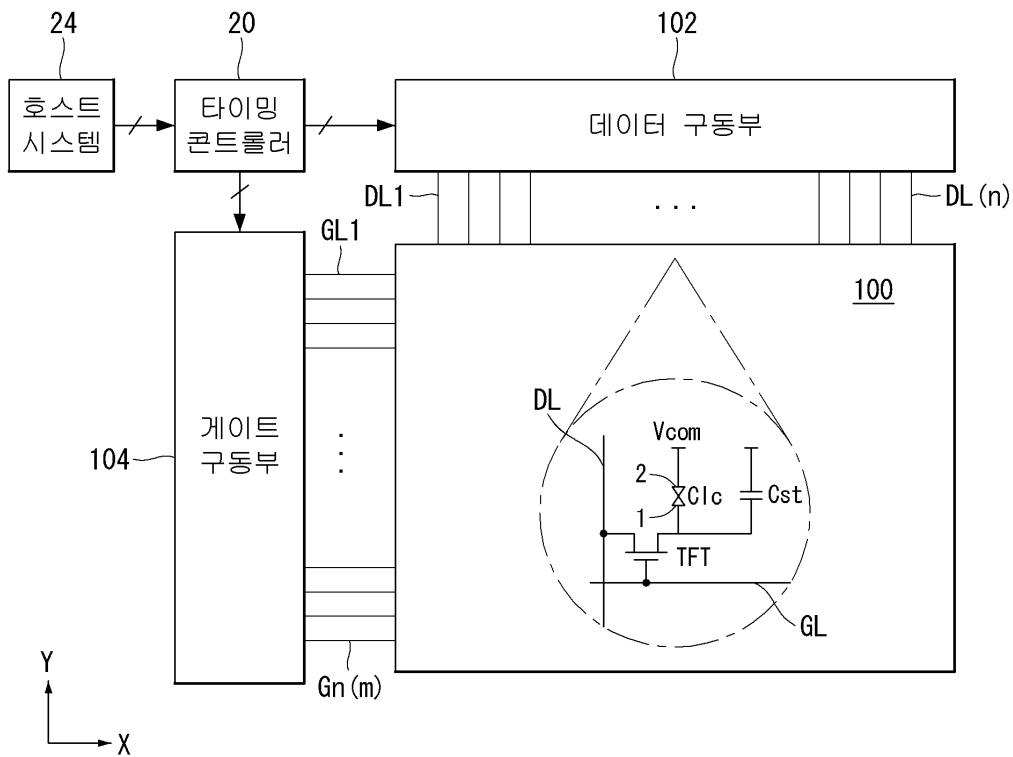
- [0074] (i+1) 번째 프레임에서, 픽셀전압(V_p)은 제2 충전기간(T_{s2}) 동안에 인가받는 데이터전압으로 제2 충전전압(V_{c2})이 되고, 제2 충전기간(T_{s2})이 종료후에 킥백전압(V_{kb}) 만큼 낮아져서 제2 홀딩전압(V_{h2})이 된다. 제2 홀딩전압(V_{h2})은 제2 홀딩기간(T_{h2}) 동안에 유지된다. 그리고, 픽셀은 제2 홀딩기간(T_{h2}) 동안의 픽셀전압(V_p)과 공통전압(VCOM) 간의 전압차이에 비례하는 휘도를 표시한다.
- [0075] k 번째 프레임과 (k+1) 번째 프레임에 인가되는 데이터전압의 계조가 동일하다면, 공통전압(VCOM)과 제1 홀딩전압(V_{h1}) 간의 전압 차이와 공통전압(VCOM)과 제2 홀딩전압(V_{h2}) 간의 전압 차이는 동일하여야 한다. 하지만, 공정편차에 의해서, 제1 홀딩전압(V_{h1}) 및 제2 홀딩전압(V_{h2})은 원하는 전압과 편차가 나타날 수 있다. 제1 홀딩전압(V_{h1}) 및 제2 홀딩전압(V_{h2})의 편차는 데이터전압의 극성에 따라 편차가 달라진다.
- [0076] 따라서, k 번째 프레임에서 인가받는 데이터전압과 (k+1) 번째 프레임에서 인가받는 데이터전압의 계조값이 동일할지라도, 픽셀들이 표시하는 휘도는 달라진다. 그 결과 도 8에서와 같이, 동일한 컬럼라인(CL#1, CL#2)에 배열된 픽셀들이 동일한 극성의 데이터전압을 인가받으면, 프레임마다 컬럼라인(CL#1, CL#2) 단위로 영상의 휘도가 달라지는 문제점이 발생한다.
- [0077] 이에 반해서, 본 발명에 의한 표시패널은 각각의 컬럼라인에는 정극성의 데이터전압을 인가받는 픽셀들과 부극성의 데이터전압을 인가받는 픽셀들의 개수가 동일하다. 그 결과, 컬럼라인 내에서 휘도의 편차가 분산되기 때문에, 수직 도리도리 현상을 개선할 수 있다.
- [0078] 또한, 본 발명에 의한 데이터 구동부에서 제4k 데이터라인에 데이터전압을 공급하는 버퍼들을 제외하고는 프레임 단위로 극성을 변경한다. 따라서, 데이터 구동부가 출력하는 데이터전압의 트랜지션이 적고, 이로 인해서 소비전력이 적고 발열이 개선된다.
- [0079] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

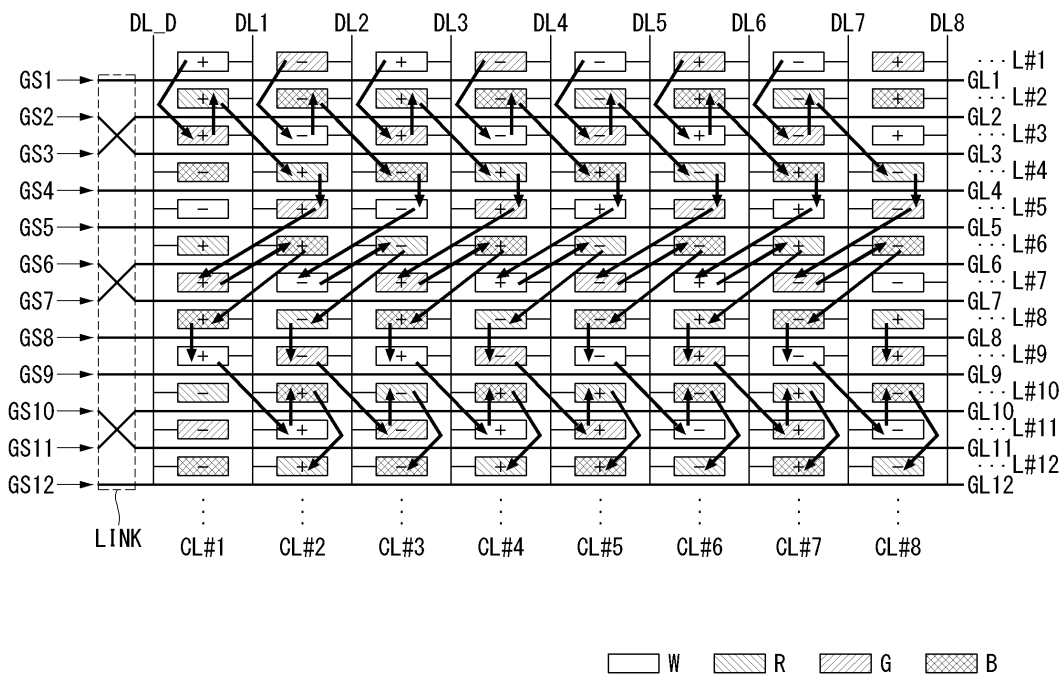
- [0080] 100: 표시패널 102: 데이터 구동부
- 104: 게이트 구동부 20: 타이밍 콘트롤러
- P1,P2,P3,P4,N1,N2,N3,N4: 출력버퍼들

도면

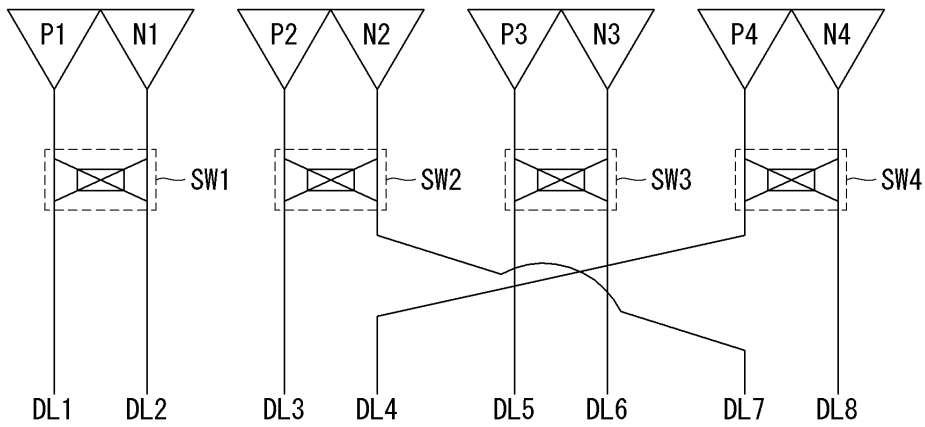
도면1



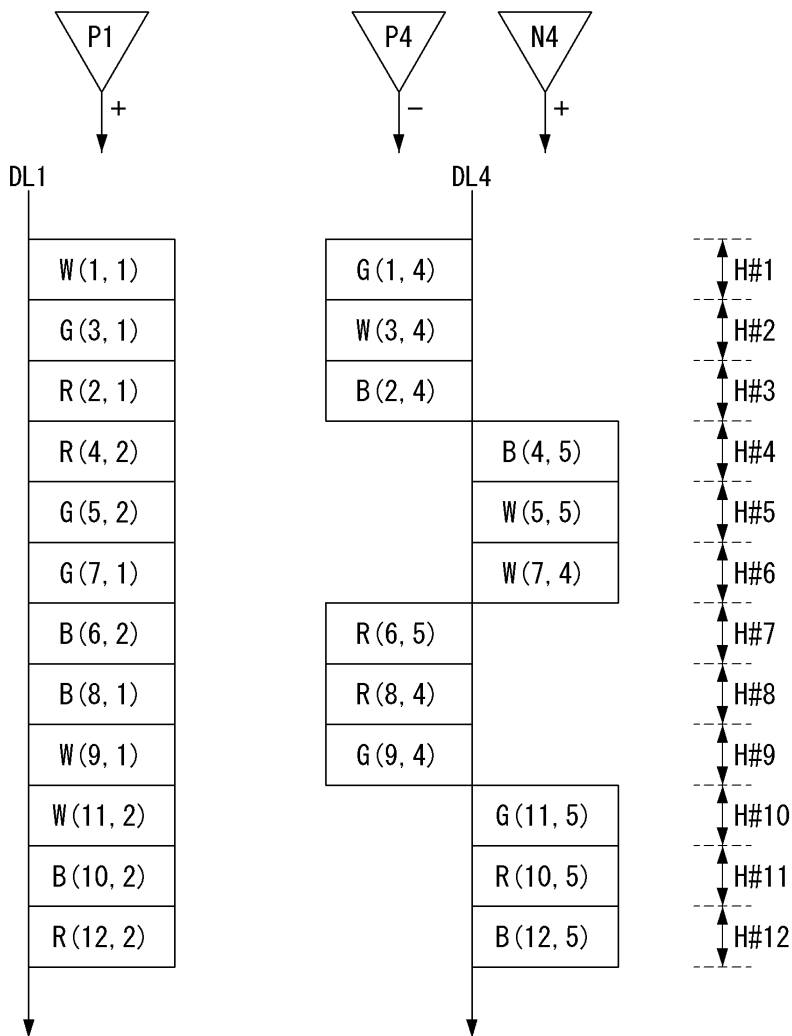
도면2



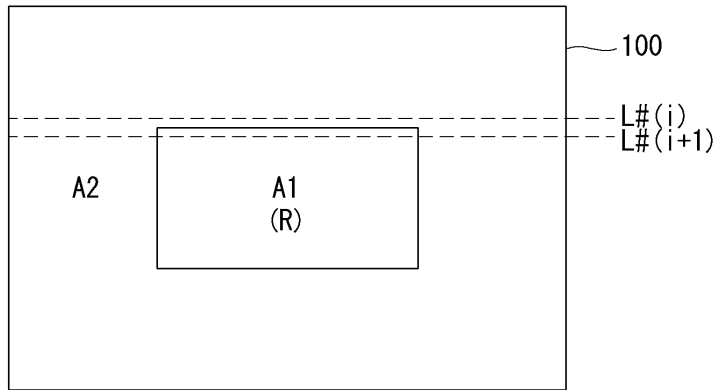
도면3



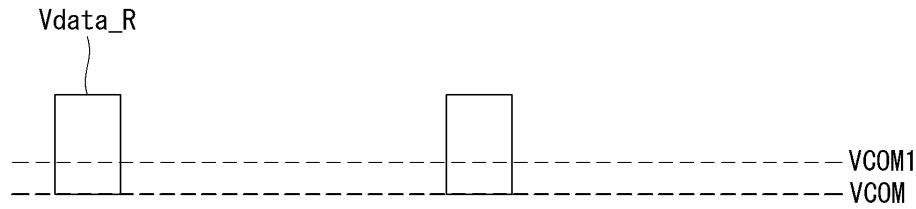
도면4



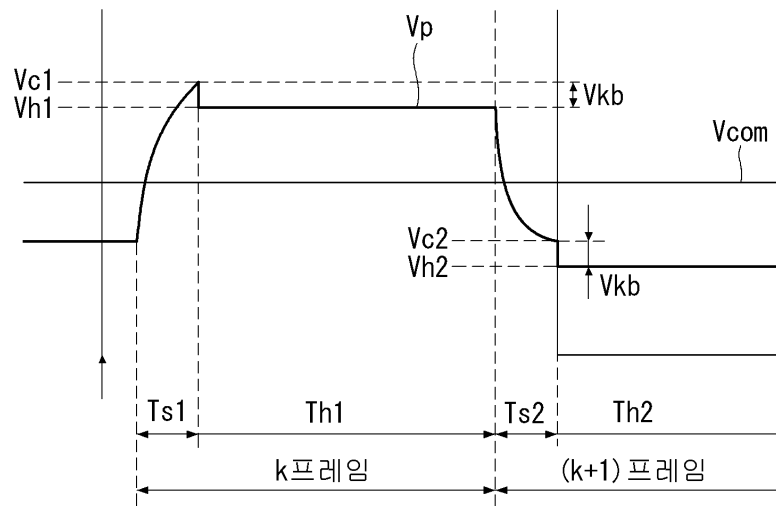
도면5



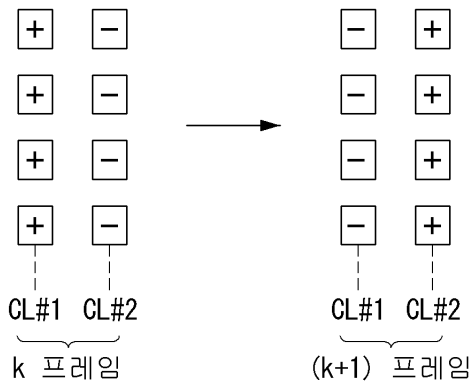
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180077825A	公开(公告)日	2018-07-09
申请号	KR1020160182565	申请日	2016-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG JI YOUNG 정지영 OH DAE SEOK 오대석 KIM JAE KWANG 김재광		
发明人	정지영 오대석 김재광		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G2330/021 G09G2320/0209 G09G2300/0452 G09G2230/00		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示装置包括显示面板，数据驱动器和栅极驱动器。显示面板包括沿着列线和低线以矩阵形式布置的像素，以及连接到像素的数据线和栅极线。数据驱动器向数据线提供数据电压。栅极驱动器向栅极线提供栅极脉冲。栅极线中的第*i* (*i*是自然数)栅极线连接到排列在第*i*行线中的像素。数据线中的第*j*条数据线连接到在第*j*列 (*j*是自然数)中排列的像素中连接到第一至第三栅极线的像素，并且 (*j* + 1) 连接到分别连接到第四到第六栅极线的像素。数据驱动器包括：第一至第三，和在一个帧周期向数据线提供极性相同的数据电压，并且将数据电压的极性被反转的四条数据线每隔三个水平周期。

