



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0125562
(43) 공개일자 2016년11월01일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 3/3614 (2013.01)

(21) 출원번호 10-2015-0055806

(22) 출원일자 2015년04월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

상우규

경기도 파주시 가온로 245 1011동 903호 (와동동,가람마을10단지동양엔파트월드메르디앙아파트)

(74) 대리인

특허법인로알

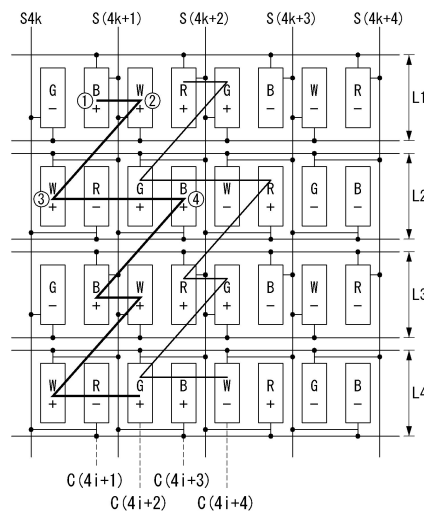
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 액정표시장치는 각각의 로 라인(row line)에 배열되는 제1 내지 제4 색상 화소, 제1 및 제2 데이터라인, 제1 및 제2 게이트라인, 데이터 구동부 및 게이트 구동부를 포함한다. 제1 데이터라인은 각 로 라인의 제1 및 제2 색상 화소들과 연결되고, 제2 데이터라인은 각 로 라인의 제3 및 제4 색상 화소들과 연결된다. 제1 및 제2 게이트라인은 제1 내지 제4 색상 화소들 중에서, 각 로 라인마다 선택되고 서로 중복되지 않는 두 개의 색상 화소들과 연결된다. 데이터 구동부는 제1 및 제2 데이터라인에 극성이 변하지 않는 데이터전압을 시분할로 공급한다. 게이트 구동부는 데이터전압이 출력되는 타이밍에 동기되도록 제1 및 제2 게이트라인에 게이트펄스를 공급한다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

각각의 로 라인(row line)에 배열되는 제1 내지 제4 색상 화소;

각 로 라인의 제1 및 제2 색상 화소들과 연결되는 제1 데이터라인;

각 로 라인의 제3 및 제4 색상 화소들과 연결되는 제2 데이터라인;

상기 제1 내지 제4 색상 화소들 중에서, 각 로 라인마다 선택되고 서로 중복되지 않는 두 개의 색상 화소들과 연결되는 제1 및 제2 게이트라인;

상기 제1 및 제2 데이터라인에 극성이 변하지 않는 데이터전압을 시분할로 공급하는 데이터 구동부; 및

상기 데이터전압이 출력되는 타이밍에 동기되도록 상기 제1 및 제2 게이트라인에 게이트펄스를 공급하는 게이트 구동부를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 내지 제4 색상 화소는 각각 백색 화소, 적색 화소, 녹색 화소 및 청색 화소이고,

제 $(4k+1)$ (k 는 0 또는 양의 정수) 데이터라인의 양측에 인접하는 컬럼 라인을 각각 제 $(4i+1)$ (i 는 0 또는 양의 정수) 컬럼 라인 및 제 $(4i+2)$ 컬럼 라인이라고 하고, 제 $(4k+2)$ 데이터라인의 양측에 인접하는 컬럼 라인을 각각 제 $(4i+3)$ 컬럼 라인 및 제 $(4i+4)$ 컬럼 라인이라고 할 때,

기수 로 라인에서는 상기 제 $(4i+1)$ 컬럼 라인 내지 상기 제 $(4i+4)$ 컬럼 라인에 각각 상기 청색 화소, 상기 백색 화소, 상기 적색 화소 및 상기 녹색 화소들이 배치되고,

우수 로 라인에서는 상기 제 $(4i+1)$ 컬럼 라인 내지 상기 제 $(4i+4)$ 컬럼 라인에 각각 상기 적색 화소, 상기 녹색 화소, 상기 청색 화소 및 상기 백색 화소들이 배치되는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 $(4k+1)$ 데이터라인은 상기 기수 로 라인에서 상기 제 $(4i+1)$ 컬럼 라인의 청색 화소 및 상기 제 $(4i+2)$ 컬럼 라인의 백색 화소와 연결되고, 상기 우수 로 라인에서 상기 제 $4i$ 컬럼 라인의 백색 화소 및 상기 제 $(4i+3)$ 컬럼 라인의 청색 화소와 연결되며,

상기 제 $(4k+2)$ 데이터라인은 상기 기수 로 라인에서 상기 제 $(4i+3)$ 컬럼 라인의 적색 화소 및 상기 제 $(4i+4)$ 컬럼 라인의 녹색 화소와 연결되며, 상기 우수 로 라인에서 상기 제 $(4i+2)$ 컬럼 라인의 녹색 화소 및 상기 제 $(4i+5)$ 컬럼 라인의 적색 화소와 연결되는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 게이트라인은 상기 기수 로 라인에 배열된 상기 청색 화소 및 상기 적색 화소와 연결되고,

상기 제2 게이트라인은 상기 기수 로 라인에 배열된 상기 백색 화소 및 상기 녹색 화소와 연결되고,

제3 게이트라인은 상기 우수 로 라인에 배열된 상기 백색 화소 및 상기 녹색 화소와 연결되고,

제4 게이트라인은 상기 우수 로 라인에 배열된 상기 적색 화소 및 상기 청색 화소와 연결되는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 데이터 구동부는

상기 제(4k+1) 데이터라인 및 상기 제(4k+2) 데이터라인에 정극성(또는 부극성)의 데이터전압을 제공하고,

제(4k+3) 데이터라인 및 제(4k+4) 데이터라인은 부극성(또는 정극성)의 데이터전압을 제공하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 제1 내지 제4 색상 화소는 각각 백색 화소, 적색 화소, 녹색 화소 및 청색 화소이고,

제(4k+1)(k는 0 또는 양의 정수) 데이터라인의 양측에 인접하는 컬럼 라인을 각각 제(4i+1)(i는 0 또는 양의 정수) 컬럼 라인 및 제(4i+2) 컬럼 라인이라고 하고, 제(4k+2) 데이터라인의 양측에 인접하는 컬럼 라인을 각각 제(4i+3) 컬럼 라인 및 제(4i+4) 컬럼 라인이라고 할 때,

기수 로 라인에서는 상기 제(4i+1) 컬럼 라인 내지 상기 제(4i+4) 컬럼 라인에 각각 상기 백색 화소, 상기 적색 화소, 상기 녹색 화소 및 상기 청색 화소들이 배치되고,

우수 로 라인에서는 상기 제(4i+1) 컬럼 라인 내지 상기 제(4i+4) 컬럼 라인에 각각 상기 녹색 화소, 상기 청색 화소, 상기 백색 화소 및 상기 적색 화소들이 배치되는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제(4k+1) 데이터라인은 상기 기수 로 라인에서 상기 제(4i+1) 컬럼 라인의 백색 화소 및 상기 제(4i+3) 컬럼 라인의 녹색 화소와 연결되고, 상기 우수 로 라인에서 상기 제(4i+1) 컬럼 라인의 녹색 화소 및 상기 제(4i+3) 컬럼 라인의 백색 화소와 연결되며,

상기 제(4k+2) 데이터라인은 상기 기수 로 라인에서 상기 제(4i+2) 컬럼 라인의 적색 화소 및 상기 제(4i+4) 컬럼 라인의 청색 화소와 연결되며, 상기 우수 로 라인에서 상기 제(4i+2) 컬럼 라인의 청색 화소 및 상기 제(4i+4) 컬럼 라인의 적색 화소와 연결되는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 게이트라인은 상기 기수 로 라인에 배열된 상기 백색 화소 및 상기 적색 화소와 연결되고,

상기 제2 게이트라인은 상기 기수 로 라인에 배열된 상기 녹색 화소 및 상기 청색 화소와 연결되고,

제3 게이트라인은 상기 우수 로 라인에 배열된 상기 녹색 화소 및 상기 청색 화소와 연결되고,

제4 게이트라인은 상기 우수 로 라인에 배열된 상기 백색 화소 및 상기 적색 화소와 연결되는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 데이터 구동부는

상기 제(4k+1) 데이터라인 및 상기 제(4k+2) 데이터라인에 정극성(또는 부극성)의 데이터전압을 제공하고,

제(4k+3) 데이터라인 및 제(4k+4) 데이터라인은 부극성(또는 정극성)의 데이터전압을 제공하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소들 각각이 적색(Red : R) 서브 화소, 녹색(Green : G) 서브 화소, 청색(Blue : B) 서브 화소, 및 백색(White : W) 서브 화소로 나뉘어지는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display Device: LCD), 유기 발광 다이오드 표시장치(Organic Light Emitting Diode Display : OLED Display), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등 각종 평판 표시장치가 개발되고 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치에는 화소 마다 박막트랜지스터(Thin Film Transistor: 이하 "TFT"라 함)가 형성되어 있다. 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 "IC"라 함), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0003] 근래에는 화소들 각각에 R(Red) 서브 화소, G(Green) 서브 화소, B(Blue) 서브 화소 이외에 W(White) 서브 화소를 추가한 액정표시장치가 개발되고 있다. 이하에서, 화소들이 RGBW 서브 화소들로 나뉘어진 표시장치를 "RGBW 타입 표시장치"라 한다. W 서브 화소는 화소들 각각의 휘도를 높임으로써 백라이트 유닛의 휘도를 낮추어 액정표시장치의 소비전력을 낮출 수 있다.

[0004] 최근에는 대화면, 고해상도 표시장치의 비용을 줄이기 위하여 소스 드라이브 IC를 줄일 수 있는 다양한 방법들이 시도되고 있으나, 화소들의 충전 불균일, 극성 분포의 불균형으로 인하여 라인간 휘도 차이가 보이는 등 화질 불량이 발생되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 RGBW 타입의 대화면 표시장치에서 화질을 개선할 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 각각의 로 라인(row line)에 배열되는 제1 내지 제4 색상 화소, 제1 및 제2 데이터라인, 제1 및 제2 게이트라인, 데이터 구동부 및 게이트 구동부를 포함한다. 제1 데이터라인은 각 로 라인의 제1 및 제2 색상 화소들과 연결되고, 제2 데이터라인은 각 로 라인의 제3 및 제4 색상 화소들과 연결된다. 제1 및 제2 게이트라인은 제1 내지 제4 색상 화소들 중에서, 각 로 라인마다 선택되고 서로 중복되지 않는 두 개의 색상 화소들과 연결된다. 데이터 구동부는 제1 및 제2 데이터라인에 극성이 변하지 않는 데이터전압을 시분할로 공급한다. 게이트 구동부는 데이터전압이 출력되는 타이밍에 동기되도록 제1 및 제2 게이트라인에 게이트펄스를 공급한다.

발명의 효과

- [0007] 본 발명의 액정표시장치는 각각의 로 라인에 배열된 동일한 색상 화소들이 제공받는 데이터전압의 극성은 정극성 및 부극성이 대칭을 이루고 있어서, 로 라인에 배열된 화소들에 제공되는 데이터전압의 극성이 불균형하여 발생하는 수평 크로스토크 현상을 개선할 수 있다. 또한, 본 발명에 의한 액정표시장치는 각각의 데이터라인에 공급되는 데이터전압이 동일한 극성을 유지하기 때문에 소스 드라이브 IC의 출력 채널들에서 데이터 트랜지션을 줄일 수 있고, 이에 따라서 소비전력을 줄일 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명에 따른 표시장치를 보여 주는 블록도.
 도 2 및 도 3은 본 발명의 제1 실시 예에 따른 화소 어레이 구조 및 데이터전압의 충전 순서를 나타내는 도면들.
 도 4 내지 도 6은 비교 예에 의한 화소 어레이 구조 및 데이터전압의 충전 순서를 나타내는 도면들.
 도 7 및 도 8은 본 발명의 제2 실시 예에 따른 화소 어레이 구조 및 데이터전압의 충전 순서를 나타내는 도면들.
 도 9 및 도 10은 본 발명의 제3 실시 예에 따른 화소 어레이 구조 및 데이터전압의 충전 순서를 나타내는 도면들.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0010] 도 1을 참조하면, 본 발명의 표시장치는 화소 어레이가 형성된 표시패널(100)과, 표시패널(100)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 표시패널(100)의 아래에는 표시패널(100)에 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0011] 이 표시장치는 소스 드라이브 IC들의 개수를 줄이기 위하여, 수평(x축 또는 로 라인 방향)으로 이웃한 두 개의 서브 화소들이 하나의 데이터 라인을 공유하는 DRD(Double rate driving) 타입의 화소들로 구현한다. DRD 타입의 화소 어레이는 소스 드라이브 IC들의 개수를 1/2로 줄일 수 있다. DRD 타입의 표시장치에서, 소스 드라이브 IC의 동작 주파수는 2 배 높아진다.
- [0012] 표시패널(100)은 액정층을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 표시패널(100)의 화소 어레이는 데이터라인들(S1~Sm)과 게이트라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배열되는 화소들을 포함한다.
- [0013] 표시패널(100)의 하부 기관에는 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들, TFT에 접속된 화소 전극(1), 및 화소 전극(1)에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 화소들 각각은 TFT를 통해 데이터전압을 충전하는 화소 전극(1)과 공통전압(Vcom)이 인가되는 공통 전극(2)의 전압차에 의해 구동되는 액정 분자들을 이용하여 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다. 표시패널(100)의 상부 기관에는 블랙 매트릭스(Black matrix)와 컬러 필터(Color filter)를 포함한 컬러 필터 어레이가 형성된다. 공통 전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동 방식의 경우에 상부 기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평 전계 구동방식의 경우에 화소 전극과 함께 하부 기관 상에 형성될 수 있다. 표시패널(100)의 상부 기관과 하부 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0014] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이

트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

- [0015] 표시패널 구동회로는 화소들에 입력 영상의 데이터를 기입한다. 화소들에 기입되는 데이터는 R 데이터, G 데이터, B 데이터 및 W 데이터를 포함한다. 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104) 및 타이밍 콘트롤러(20)를 포함한다.
- [0016] 데이터 구동부(102)는 다수의 소스 드라이브 IC를 포함할 수 있다. 소스 드라이브 IC들의 데이터 출력 채널들은 화소 어레이의 데이터라인들(S1~Sm)에 연결된다. 소스 드라이브 IC들은 타이밍 콘트롤러(20)로부터 입력 영상의 데이터를 입력 받는다. 소스 드라이브 IC들로 전송되는 디지털 비디오 데이터는 R 데이터, G 데이터, B 데이터, 및 W 데이터를 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(20)의 제어 하에 입력 영상의 RGBW 디지털 비디오 데이터를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 출력한다. 데이터 구동부(102)의 출력 전압은 데이터 라인들(D1~Dm)에 공급된다.
- [0017] 화소들 각각은 R 서브 화소, G 서브 화소, B 서브 화소 및 W 서브 화소를 포함한다. 수평으로 이웃한 2 개의 서브 화소들은 하나의 데이터 라인을 공유하여 그 데이터 라인을 통해 시분할 된 데이터 전압들을 충전한다. 데이터 라인의 공유 구조로 인하여, 동일 해상도에서 일반적인 화소 어레이 구조에 비하여 데이터 라인들의 개수를 1/2로 줄임으로써 화소 어레이 구동에 필요한 소스 드라이브 IC들의 개수를 줄일 수 있다.
- [0018] 소스 드라이브 IC들은 각각의 데이터라인에 정극성 또는 부극성의 데이터전압을 제공한다. 각각의 데이터라인에 제공되는 데이터전압은 적어도 한 프레임 동안에는 동일 극성을 유지한다.
- [0019] 게이트 구동부(104)는 타이밍 콘트롤러(20)의 제어 하에 게이트 라인들(G1~Gn)에 게이트 펄스를 순차적으로 공급한다. 게이트 구동부(104)로부터 출력된 게이트 펄스는 화소들에 충전될 정극성/부극성 비디오 데이터 전압에 동기된다. 게이트 구동부(104)는 IC 비용을 줄이기 위하여, 같은 제조 공정에서 화소 어레이와 함께 표시패널(100)의 하부 기판에 직접 형성될 수 있다.
- [0020] 타이밍 콘트롤러(20)는 호스트 시스템(24)으로부터 수신된 입력 영상의 RGB 데이터를 RGBW 데이터로 변환하여 데이터 구동부(102)로 전송한다. 타이밍 콘트롤러(20)는 호스트 시스템(24)으로부터 입력 영상 데이터와 동기되는 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 도트 클럭(DCLK) 등을 포함한다. 타이밍 콘트롤러(20)는 입력 영상의 화소 데이터와 함께 수신되는 타이밍 신호들(Vsync, Hsync, DE, DCLK)을 바탕으로 데이터 구동부(102)와 게이트 구동부(104)의 동작 타이밍을 제어한다. 타이밍 콘트롤러(20)는 화소 어레이의 극성을 제어하기 위한 극성제어신호(POL)를 데이터 구동부(102)의 소스 드라이브 IC들 각각에 전송할 수 있다.
- [0021] 호스트 시스템(24)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0022] 도 2 및 도 3은 각각 제1 실시 예에 의한 화소 어레이 구조 및 화소들의 충전 순서를 나타내는 도면들이다. 도 2에서, "L1~L4"는 표시패널(100)에서 수평방향으로 배열되는 로 라인들(row line)을 나타낸다.
- [0023] 도 2를 참조하면, 제1 실시 예에 의한 화소 어레이는 수평방향의 로 라인을 따라서 배열되는 제1 색상 화소 내지 제4 색상 화소들을 포함한다. 제1 색상 화소는 백색(W) 화소이고, 제2 색상 화소는 적색(R) 화소이며, 제3 색상 화소는 녹색(G) 화소이고, 제4 색상 화소는 청색(B) 화소이다. 각각의 컬럼 라인들에는 두 개의 색상 화소들이 교번적으로 배치된다. 예컨대, 제(4i+1)(i는 0 또는 양의 정수) 컬럼 라인(C[4i+1])에는 B-R 색상 화소들이 순차적으로 배치되고, 제(4i+2) 컬럼 라인(C[4i+2])에는 W-G 색상 화소들이 순차적으로 배치된다.
- [0024] 따라서, 제(4i+1) 컬럼 라인(C[4i+1])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 B 화소들이 배치된다. 제(4i+1) 컬럼 라인(C[4i+1])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 R 화소들이 배치된다.
- [0025] 제(4i+2) 컬럼 라인(C[4i+2])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 W 화소들이 배치된다. 제(4i+2) 컬럼 라인(C[4i+1])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 G 화소들이 배치된다.
- [0026] 제(4i+3) 컬럼 라인(C[4i+3])과 기수 번째 로 라인들(L1, L3, L5)이 교차되는 부분에 R 화소들이 배치된다. 제(4i+3) 컬럼 라인(C[4i+3])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 B 화소들이 배치된다.
- [0027] 제(4i+4) 컬럼 라인(C[4i+4])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 G 화소들이 배치된다. 제(4i+4) 컬럼 라인(C[4i+4])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 W 화소들이 배치된다.
- [0028] 제(4k+1)(i는 0 또는 양의 정수) 데이터라인(S[4k+1])은 각각의 로 라인에 배열되는 B 화소 및 W 화소와 연결된

다. 특히, 제(4k+1) 데이터라인(S[4k+1])은 기수 번째 로 라인(L1,L3)의 제(4i+1) 컬럼 라인(C[4i+1]) 및 제(4i+2) 컬럼 라인(C[4i+2])에 각각 배치된 B 화소 및 W 화소들과 연결되고, 우수 번째 로 라인(L2,L4)의 제4i 컬럼 라인 및 제(4i+3) 컬럼 라인(C[4i+3])에 각각 배치된 B 화소 및 W 화소들과 연결된다.

[0029] 제(4k+2) 데이터라인(S[4k+2])은 각각의 로 라인에 배열되는 R 화소 및 G 화소와 연결된다. 특히, 제(4k+2) 데이터라인(S[4k+2])은 기수 번째 로 라(L1,L3)인의 제(4i+3) 컬럼 라인(C[4i+3]) 및 제(4i+4) 컬럼 라인(C[4i+4])에 각각 배치된 R 화소 및 G 화소들과 연결되고, 우수 번째 로 라인(L2,L4)의 제(4i+2) 컬럼 라인(C[4i+2]) 및 제(4i+5) 컬럼 라인에 각각 배치된 G 화소 및 R 화소들과 연결된다.

[0030] 기수 번째 게이트라인은 기수 번째 컬럼 라인에 배열된 화소들과 연결되고, 우수 번째 게이트라인은 우수 번째 컬럼 라인에 배열된 화소들과 연결된다. 예컨대, 제1 게이트라인(G1)은 제1 로 라인(L1)에 배열된 화소들 중에서 홀수 번째 화소들과 연결되고, 제2 게이트라인(G2)은 제1 로 라인(L1)에 배열된 화소들 중에서 짝수 번째 화소들과 연결된다. 일례로, 제1 게이트라인(G1)은 제1 로 라인(L1)의 B 화소 및 R 화소와 연결되며, 제2 게이트라인(G2)은 제1 로 라인(L1)의 W 화소 및 G 화소와 연결된다.

[0031] 소스 드라이브 IC는 수평 2도트 컬럼 인버전 구동을 수행한다. 즉, 소스 드라이브 IC는 제(4k+1) 및 제(4k+2) 데이터라인(S[4k+1],S[4k+2])에 정극성의 데이터전압을 공급하고, 제(4k+3) 및 제(4k+4) 데이터라인(S[4k+3],S[4k+4])에 부극성의 데이터전압을 공급한다. 각 데이터라인에 제공되는 데이터전압의 극성은 동일하게 유지된다.

[0032] 게이트 구동부(104)는 각각의 게이트라인에 순차적으로 게이트펄스를 제공한다. 제1 게이트라인(G1)에 제공되는 제1 게이트펄스는 제1 로 라인(L1)에 배치되는 기수 번째 컬럼 라인에 제공되는 데이터전압에 동기된다. 제2 게이트라인(G2)에 제공되는 제2 게이트펄스는 제1 로 라인(L1)에 배치되는 우수 번째 컬럼 라인에 제공되는 데이터전압에 동기된다.

[0033] 결과적으로, 제1 실시 예에 의한 액정표시장치에서 제(4k+1) 데이터라인(S[4k+1])에 연결되는 화소들은 제1 로 라인(L1)의 B 서브 화소, 제1 로 라인(L1)의 W 서브 화소, 제2 로 라인(L2)의 W 서브 화소, 그리고 제2 로 라인(L2)의 B 서브 화소의 순서로 동일 극성을 갖는 데이터 전압이 충전된다. 그리고 제(4k+2) 데이터라인(S[4k+2])에 연결되는 화소들은 제1 로 라인(L1)의 R 서브 화소, 제1 로 라인(L1)의 G 서브 화소, 제2 로 라인(L2)의 G 서브 화소, 그리고 제2 로 라인(L2)의 R 서브 화소의 순서로 동일 극성을 갖는 데이터 전압이 충전된다.

[0034] 상술한 바와 같이, 제1 실시 예에 의한 화소 어레이 구조의 액정표시장치에서 각각의 로 라인에 배열된 동일한 색상 화소들이 제공받는 데이터전압의 극성은 정극성 및 부극성이 대칭을 이루고 있다. 따라서, 로 라인에 배열된 화소들에 제공되는 데이터전압의 극성이 불균형하여 발생하는 수평 크로스트로크 현상을 개선할 수 있다.

[0035] 이를 좀 더 살펴보면 다음과 같다.

[0036] 일반적인 W 화소가 추가된 액정표시패널은 각각의 데이터라인(S[4k+1],S[4k+2],S[4k+3],S[4k+4])에 4가지 색상 화소들이 모두 연결된다. 동일한 컬럼 라인에 배열되는 동일한 색상의 화소들은 기수 번째 데이터라인 및 우수 번째 데이터라인과 교번적으로 연결된다. 그리고 수직 도트 인버전 구동을 위해서 데이터라인은 일정 간격으로 데이터전압의 극성을 변경한다. 예컨대, 도 4는 비교 예에 의한 W 화소가 추가된 시분할 방식의 화소 어레이 구조를 나타내는 도면이고, 도 5는 도 4에 도시된 비교 예에서 제(4k+1) 데이터라인(S[4k+1])에 제공되는 데이터전압의 출력을 나타내는 도면이다. 도 4 및 도 5에서 보는 바와 같이, 비교 예에 의한 액정표시장치에서 각각의 데이터라인에 제공되는 데이터전압은 수평기간(H) 단위로 극성이 변한다. 데이터라인에 제공되는 데이터전압의 출력이 큰 폭으로 변화하는 것을 데이터 트랜지션이라고 정의할 때, 도 4에서 보는 바와 같이 단색 또는 혼색의 색을 나타내기 위해서는 데이터 트랜지션의 횟수가 많아진다. 즉, 비교 예에 의한 액정표시장치는 화이트 색상 이외의 색상을 표현할 때에는 데이터 트랜지션의 횟수가 많아지기 때문에 소비전력이 증가하며 발열 문제가 발생한다.

[0037] 또한, 단색을 표현하는 과정에서 공통전압이 쉬프트되어서 인접하는 화소들이 원치않게 발광하는 현상이 발생하기도 한다. 도 6는 비교 예의 액정표시장치에서 적색 화소들 및 적색 표시를 위해서 적색 화소들이 게이트펄스에 의해서 충전되는 타이밍을 나타내는 도면이다. 도 6을 참조하면, 비교 예의 액정표시장치에서 제1 로 라인(L1)에 배열된 적색 화소들은 제1 게이트펄스 또는 제2 게이트펄스의 스캔 타이밍에 대응하여 휘도를 표시한다. 제1 로 라인(L1)에 배열된 적색 화소들은 제1 게이트펄스가 공급되는 동안에 부극성의 데이터전압을 제공받고, 제2 게이트펄스가 공급되는 동안에는 정극성의 데이터전압을 제공받는다. 즉, 비교 예에서 동일한 로 라인에

배열된 화소들은 동일한 수평 기간 동안에 동일한 극성의 데이터전압을 제공받기 때문에, 로 라인으로 데이터전압의 극성 쏠림 현상이 발생한다. 데이터전압의 극성 쏠림 현상은 도 6에서와 같이 데이터전압의 극성 방향으로 공통전압이 쉬프트되는 현상을 야기한다. 로 라인 방향을 따라서 제공되는 공통전압이 쉬프트되면, 해당 로 라인에 배열되는 화소들은 원치않게 계조를 표현하기도 한다.

- [0038] 이에 반해서, 제1 실시 예에 의한 액정표시장치에서 동일 색상의 화소들의 극성 분포를 살펴보면, 도 3에서와 같이 동일한 수평 기간 동안에는 정극성(+)의 데이터전압과 부극성(-)의 데이터전압이 균형을 이루기 때문에 동일한 수평 기간 동안에는 극성 쏠림 현상이 발생하지 않는다. 따라서, 제1 실시 예에 의한 액정표시장치는 데이터전압의 극성 쏠림 현상으로 인해서 공통전압 쉬프트 현상이 발생하는 것을 개선할 수 있다. 결국 제1 실시 예에 의한 액정표시장치는 공통전압 쉬프트 현상으로 인한 수평 크로스토크 현상을 개선할 수 있다.
- [0039] 또한, 제1 실시 예에 의한 액정표시장치에서 각각의 데이터라인에 공급되는 데이터전압은 도 3에서와 같이, 동일한 극성을 유지한다. 따라서, 소스 드라이브 IC의 출력 채널들 각각은 데이터 트랜지션이 없기 때문에 소비 전력을 줄일 수 있다.
- [0040] 진술한 제1 실시 예는 DRD 구조에서 WRGB 화소들을 포함하는 액정표시장치에 관한 것이다. 진술한 제1 실시 예에 의한 화소 어레이 구조는 RGB 삼원색의 화소들이 하나의 화소를 이루는 액정표시장치에 적용될 수도 있다.
- [0041] 도 7은 제1 실시 예의 화소 어레이 구조를 RGB 삼원색으로 이루어지는 액정표시장치에 적용한 실시 예를 나타내는 도면이고, 도 8은 도 7에 도시된 실시 예에 공급되는 데이터전압의 출력 순서를 나타내는 도면이다.
- [0042] 도 7을 참조하면, 제2 실시 예의 액정표시장치는 각각의 로 라인에 R-G-B 화소들이 순차적으로 배열된다. 동일한 컬럼 라인에는 동일한 색상의 화소들이 배열된다.
- [0043] 제(4k+1) 데이터라인(S[4k+1])은 기수 번째 로 라인(L1, L2)의 제(4i+1) 컬럼 라인(C[4i+1]) 및 제(4i+2) 컬럼 라인(C[4i+2])에 각각 배치된 G 화소 및 B 화소들과 연결되고, 우수 번째 로 라인(L2, L4)의 제4i 컬럼 라인 및 제(4i+3) 컬럼 라인(C[4i+3])에 각각 배치된 R 화소 및 R 화소들과 연결된다.
- [0044] 제(4k+2) 데이터라인(S[4k+2])은 기수 번째 로 라인의 제(4i+3) 컬럼 라인(C[4i+3]) 및 제(4i+4) 컬럼 라인(C[4i+4])에 각각 배치된 R 화소 및 G 화소들과 연결되고, 우수 번째 로 라인의 제(4i+2) 컬럼 라인(C[4i+2]) 및 제(4i+5) 컬럼 라인에 각각 배치된 B 화소 및 B 화소들과 연결된다.
- [0045] 기수 게이트라인은 기수 컬럼 라인에 배열된 화소들과 연결되고, 우수 게이트라인은 우수 컬럼 라인에 배열된 화소들과 연결된다. 예컨대, 제1 게이트라인(G1)은 제1 로 라인(L1)에 배열된 화소들 중에서 홀수 번째 화소들과 연결되고, 제2 게이트라인(G2)은 제1 로 라인(L1)에 배열된 화소들 중에서 짝수 번째 화소들과 연결된다.
- [0046] 소스 드라이브 IC는 수평 2도트 컬럼 인버전 구동을 수행한다. 즉, 소스 드라이브 IC는 제(4k+1) 및 제(4k+2) 데이터라인(S[4k+1], S[4k+2])에 정극성의 데이터전압을 공급하고, 제(4k+3) 및 제(4k+4) 데이터라인(S[4k+3], S[4k+4])에 부극성의 데이터전압을 공급한다. 각 데이터라인에 제공되는 데이터전압의 극성은 동일하게 유지된다.
- [0047] 살펴본 바와 같이, 제1 실시 예에 의한 화소 어레이 구조는 데이터라인과 게이트라인의 연결구조를 동일하게 유지한 상태에서 RGB 삼원색으로 이루어지는 액정표시장치에 적용될 수도 있다. 따라서, 제1 실시 예에 의한 액정표시장치는 컬러필터 기관만을 변경함으로써 WRGB 액정표시장치 또는 RGB 액정표시장치에 적용될 수도 있다.
- [0048] 도 9 및 도 10은 각각 제3 실시 예에 의한 화소 어레이 구조 및 화소들의 충전 순서를 나타내는 도면들이다.
- [0049] 도 9를 참조하면, 제3 실시 예에 의한 화소 어레이는 수평방향의 로 라인을 따라서 배열되는 제1 색상 화소 내지 제4 색상 화소들을 포함한다. 제1 색상 화소는 W 화소이고, 제2 색상 화소는 R 화소이며, 제3 색상 화소는 G 화소이고, 제4 색상 화소는 B 화소이다. 각각의 컬럼 라인들에는 두 개의 색상 화소들이 교번적으로 배치된다. 예컨대, 제(4i+1)(i는 0 또는 양의 정수) 컬럼 라인(C[4i+1])에는 B-R 색상 화소들이 순차적으로 배치되고, 제(4i+2) 컬럼 라인(C[4i+2])에는 W-G 색상 화소들이 순차적으로 배치된다.
- [0050] 따라서, 제(4i+1) 컬럼 라인(C[4i+1])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 W 화소들이 배치된다. 제(4i+1) 컬럼 라인(C[4i+1])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 G 화소들이 배치된다.
- [0051] 제(4i+2) 컬럼 라인(C[4i+2])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 R 화소들이 배치된다. 제(4i+2) 컬럼 라인(C[4i+2])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 B 화소들이 배치된다.

- [0052] 제(4i+3) 컬럼 라인(C[4i+3])과 기수 번째 로 라인들(L1, L3, L5)이 교차되는 부분에 G 화소들이 배치된다. 제(4i+3) 컬럼 라인(C[4i+3])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 W 화소들이 배치된다.
- [0053] 제(4i+4) 컬럼 라인(C[4i+4])과 기수 번째 로 라인들(L1, L3)이 교차되는 부분에 B 화소들이 배치된다. 제(4i+4) 컬럼 라인(C[4i+4])과 우수 번째 로 라인들(L2, L4)이 교차되는 부분에 R 화소들이 배치된다.
- [0054] 제(4k+1)(k는 0 또는 양의 정수) 데이터라인(S[4k+1])은 각각의 로 라인에 배열되는 G 화소 및 W 화소와 연결된다. 특히, 제(4k+1) 데이터라인(S[4k+1])은 기수 번째 로 라인의 제(4i+1) 컬럼 라인(C[4i+1]) 및 제(4i+3) 컬럼 라인(C[4i+3])에 각각 배치된 W 화소 및 G 화소들과 연결되고, 우수 번째 로 라인의 제(4i+1) 컬럼 라인(C[4i+1]) 및 제(4i+3) 컬럼 라인(C[4i+3])에 각각 배치된 G 화소 및 W 화소들과 연결된다.
- [0055] 제(4k+2) 데이터라인(S[4k+2])은 각각의 로 라인에 배열되는 R 화소 및 G 화소와 연결된다. 특히, 제(4k+2) 데이터라인(S[4k+2])은 기수 번째 로 라인의 제(4i+2) 컬럼 라인 및 제(4i+4) 컬럼 라인에 각각 배치된 R 화소 및 B 화소들과 연결되고, 우수 번째 로 라인의 제(4i+2) 컬럼 라인 및 제(4i+5) 컬럼 라인에 각각 배치된 B 화소 및 R 화소들과 연결된다.
- [0056] 기수 번째 게이트라인은 기수 번째 컬럼 라인에 배열된 화소들과 연결되고, 우수 번째 게이트라인은 우수 번째 컬럼 라인에 배열된 화소들과 연결된다. 예컨대, 제1 게이트라인(G1)은 제1 로 라인(L1)에 배열된 화소들 중에서 홀수 번째 화소들과 연결되고, 제2 게이트라인(G2)은 제1 로 라인(L1)에 배열된 화소들 중에서 짝수 번째 화소들과 연결된다. 일례로, 제1 게이트라인(G1)은 제1 로 라인(L1)의 W 화소 및 G 화소와 연결되며, 제2 게이트라인(G2)은 제1 로 라인(L1)의 R 화소 및 B 화소와 연결된다.
- [0057] 소스 드라이브 IC는 수평 2도트 컬럼 인버전 구동을 수행한다. 즉, 소스 드라이브 IC는 제(4k+1) 및 제(4k+2) 데이터라인(S[4k+1], S[4k+2])에 부극성의 데이터전압을 공급하고, 제(4k+3) 및 제(4k+4) 데이터라인(S[4k+3], S[4k+4])에 정극성의 데이터전압을 공급한다. 각 데이터라인에 제공되는 데이터전압의 극성은 동일하게 유지된다.
- [0058] 게이트 구동부(104)는 각각의 게이트라인에 순차적으로 게이트펄스를 제공한다. 제1 게이트라인(G1)에 제공되는 제1 게이트펄스는 제1 로 라인(L1)에 배치되는 기수 번째 컬럼 라인에 제공되는 데이터전압에 동기된다. 제2 게이트라인(G2)에 제공되는 제2 게이트펄스는 제1 로 라인(L1)에 배치되는 우수 번째 컬럼 라인에 제공되는 데이터전압에 동기된다.
- [0059] 결과적으로, 제3 실시 예에 의한 액정표시장치에서 제(4k+1) 데이터라인(S[4k+1])에 연결되는 화소들은 제1 로 라인(L1)의 W 서브 화소, 제1 로 라인(L1)의 G 서브 화소, 제2 로 라인(L2)의 G 서브 화소, 그리고 제2 로 라인(L2)의 W 서브 화소의 순서로 동일 극성을 갖는 데이터 전압이 충전된다. 그리고 제(4k+2) 데이터라인(S[4k+2])에 연결되는 화소들은 제1 로 라인(L1)의 R 서브 화소, 제1 로 라인(L1)의 B 서브 화소, 제2 로 라인(L2)의 B 서브 화소, 그리고 제2 로 라인(L2)의 R 서브 화소의 순서로 동일 극성을 갖는 데이터 전압이 충전된다.
- [0060] 제3 실시 예에 의한 화소 어레이 구조의 액정표시장치에서 각각의 로 라인에 배열된 동일한 색상 화소들이 제공받는 데이터전압의 극성은 정극성 및 부극성이 대칭을 이루고 있다. 따라서, 로 라인에 배열된 화소들에 제공되는 데이터전압의 극성이 불균형하여 발생하는 수평 크로스토크 현상을 개선할 수 있다. 또한, 제3 실시 예에 의한 액정표시장치에서 각각의 데이터라인에 공급되는 데이터전압은 도 10에서와 같이, 동일한 극성을 유지한다. 따라서, 소스 드라이브 IC의 출력 채널들 각각은 데이터 트랜지션이 없기 때문에 소비전력을 줄일 수 있다. 제3 실시 예에 의한 액정표시장치가 수평 크로스토크 현상을 개선하는 원리 및 소비전력을 줄일 수 있는 원리는 전술한 제1 실시 예의 액정표시장치의 동작 원리와 동일하기 때문에 자세한 설명은 생략하기로 한다.
- [0061] 그리고 제3 실시 예에 의한 액정표시장치에서 한 쌍을 이루는 기수 데이터라인과 우수 데이터라인에 연결되는 4개의 컬럼 라인은 서로 인접한다. 서로 인접하는 기수 데이터라인과 우수 데이터라인을 데이터라인 그룹이라고 하고, 데이터라인 그룹에 연결되는 화소들을 화소 그룹이라고 한다면, k 번째 화소 그룹과 (k+1) 번째 화소 그룹은 교차하지 않는다. 따라서 k 번째 화소 그룹과 (k+1) 번째 화소 그룹 간의 경계면에는 컬럼 라인 방향으로 공통전압라인(Vcom)을 추가할 수 있다. 제3 실시 예에 의한 액정표시장치는 수직 방향으로 추가되는 공통전압라인으로 인해서 수평라인 방향으로 공통전압 딜레이 현상이 발생하여 휘도가 불균일하게 되는 것을 개선할 수 있다.

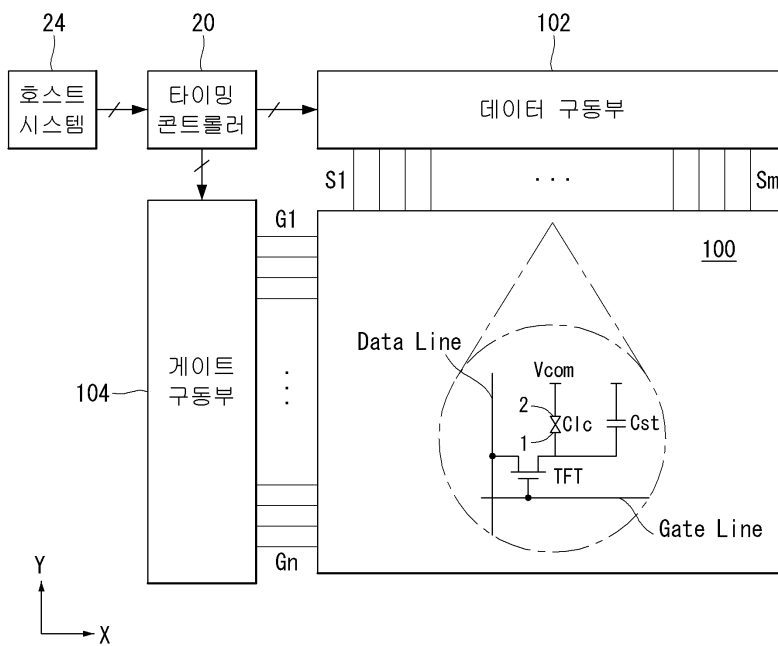
[0062] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

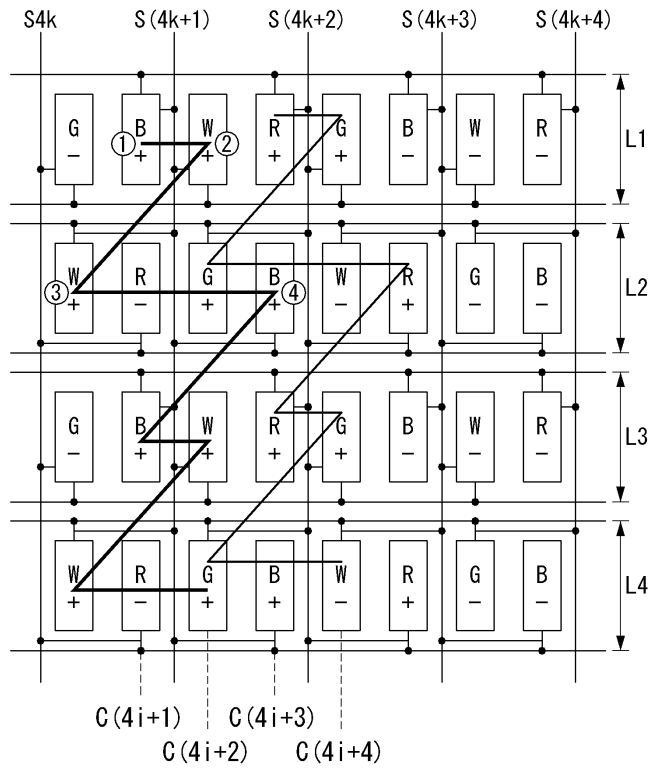
[0063] 10 : 표시패널(액정패널) 12 : 데이터 구동부
14 : 게이트 구동부 20 : 타이밍 컨트롤러

도면

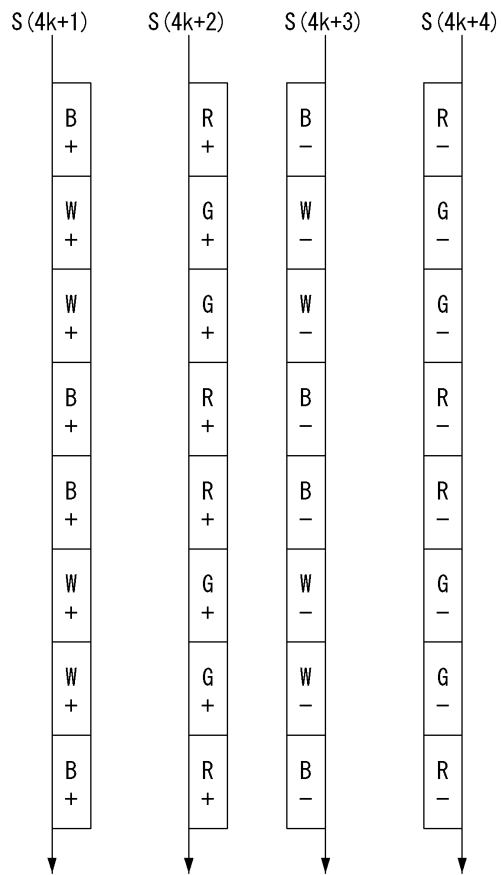
도면1



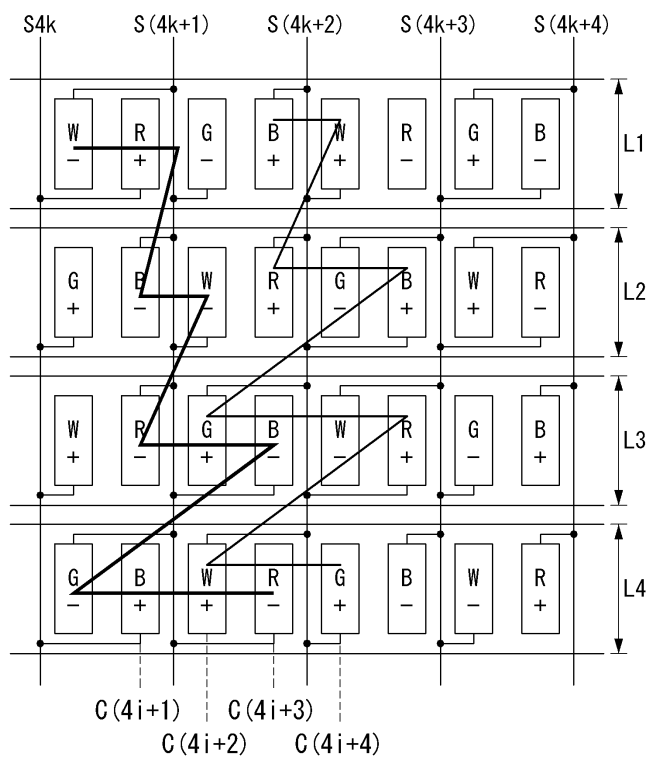
도면2



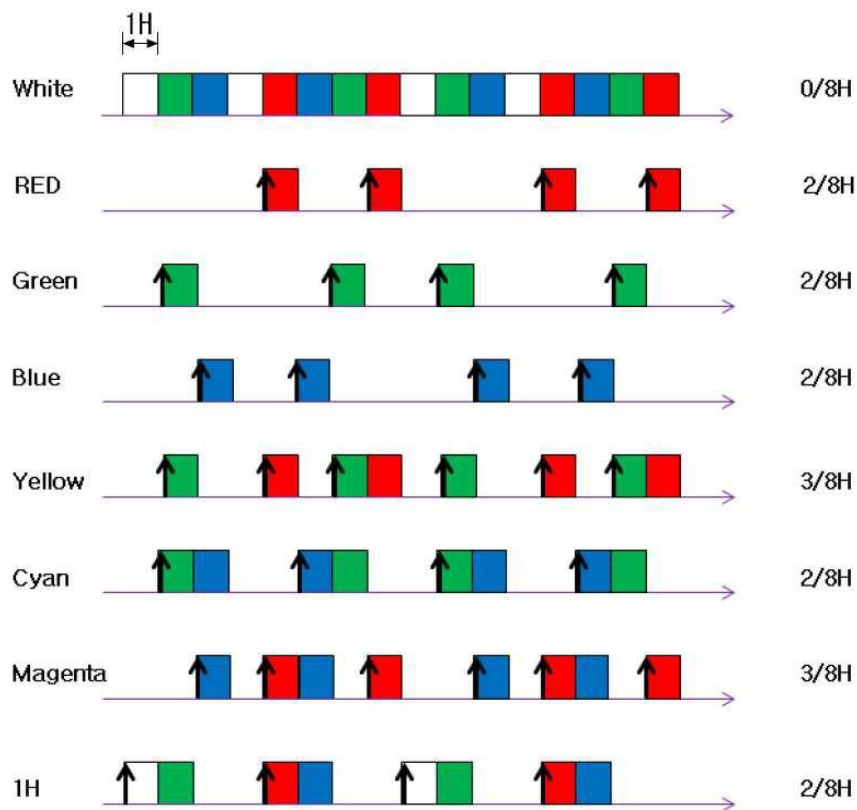
도면3



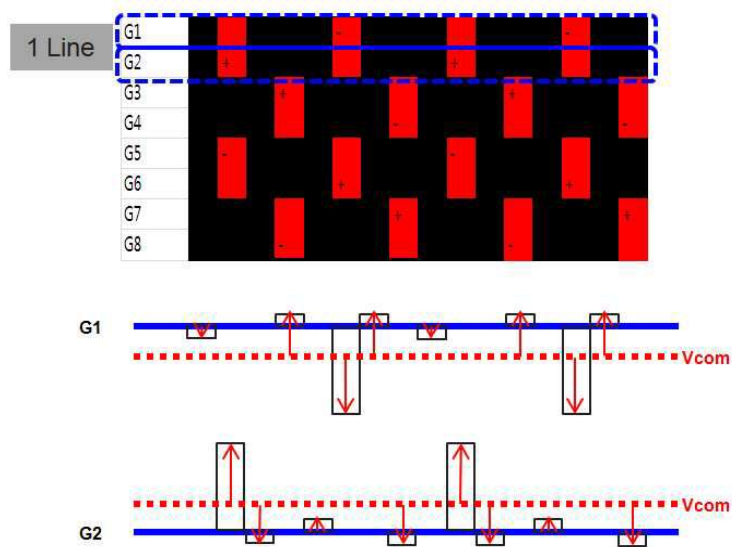
도면4



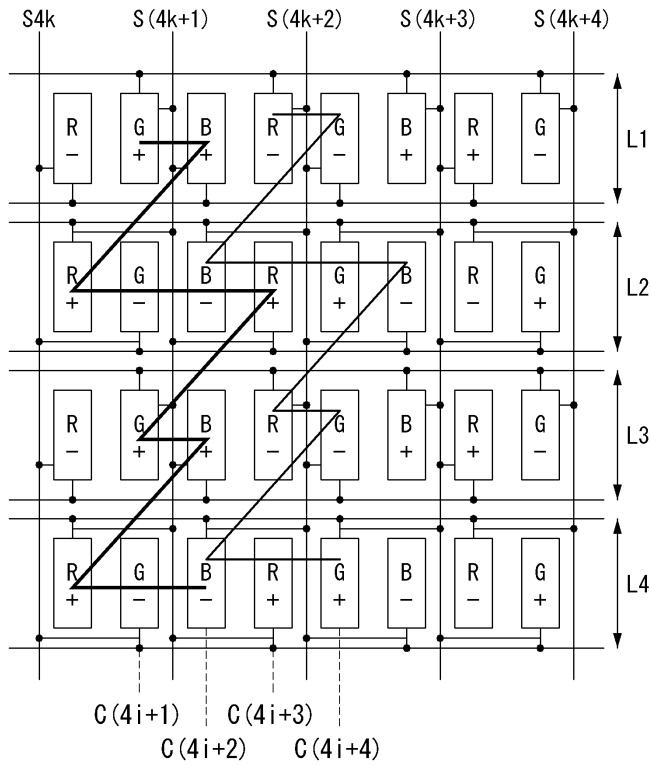
도면5



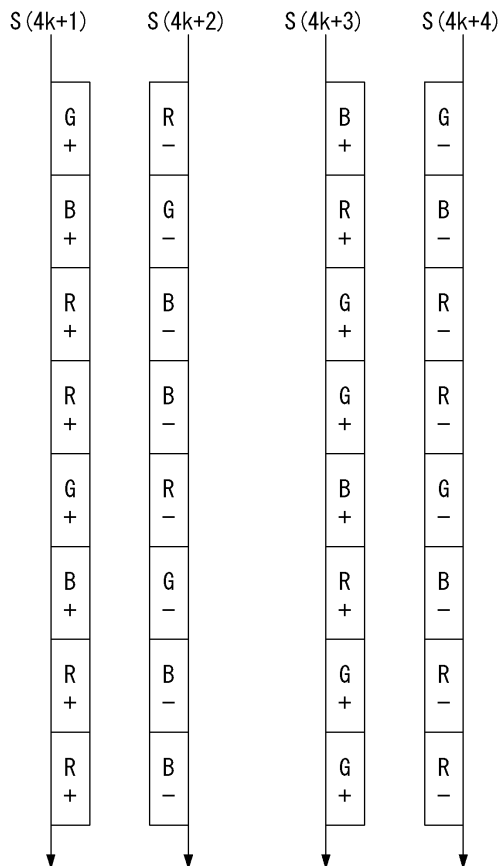
도면6



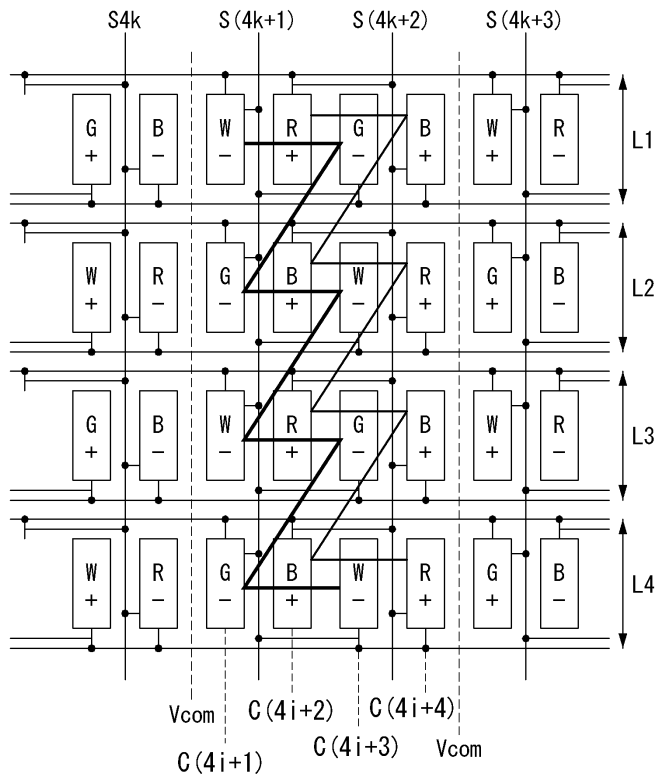
도면7



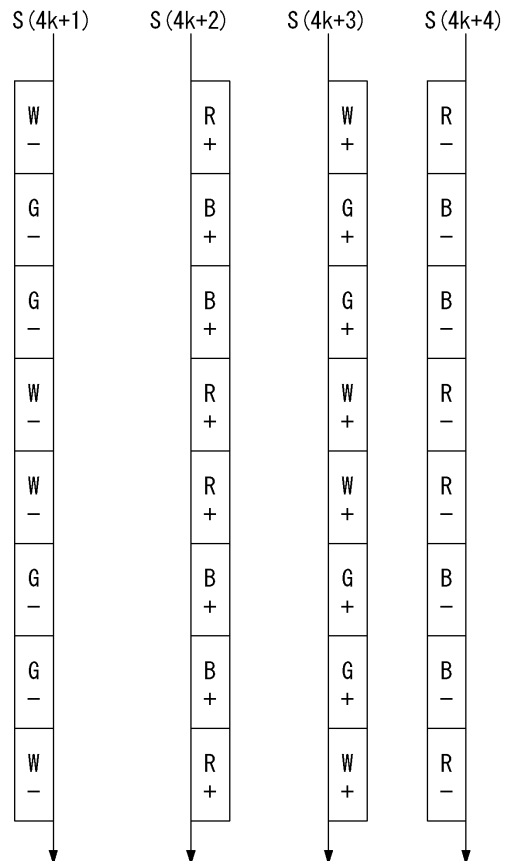
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160125562A	公开(公告)日	2016-11-01
申请号	KR1020150055806	申请日	2015-04-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANG WOO KYU 상우규		
发明人	상우규		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3614 G09G2320/0209 G09G2330/021 G09G2300/0842 G09G3/3659 G09G3/3688 G09G2310/0205 G09G2310/0221 G09G2310/0235 G09G2310/024 G09G2310/0283 G09G2320/0242 G09G3/3607 G09G2300/0426 G09G2300/0452 G02F1/136286 G09G3/2085 G09G3/3674 G09G3/3685 G09G3/3696 G09G2310/08 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器包括布置在每个行线中的第一至第四颜色像素，第一和第二数据线，第一和第二栅极线，以及数据驱动器和栅极驱动单元。第一数据线连接到每个行线的第一和第二颜色像素，第二数据线连接到每个行线和第四颜色像素的第三个。在第一和第二栅极线中的是第一到第四颜色像素，它连接到在每个行线处选择并且不重叠的两个颜色像素。数据驱动器将极性未改变的数据电压提供给第一和第二数据线到分时。栅极脉冲被提供给第一和第二栅极线，使得栅极驱动单元与输出数据电压的定时同步。

