



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0044177
(43) 공개일자 2016년04월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0138652

(22) 출원일자 2014년10월14일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조승완

경기 양주시 고읍북로 78, 702동 704호 (만송동, 은빛마을휴먼시아7단지아파트)

허승호

경기 과천시 책향기로 441, 1008동 701호 (동패동, 책향기마을동문굿모닝힐아파트)

심다혜

서울 양천구 목동중앙본로30길 43, A-101호 (목동)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

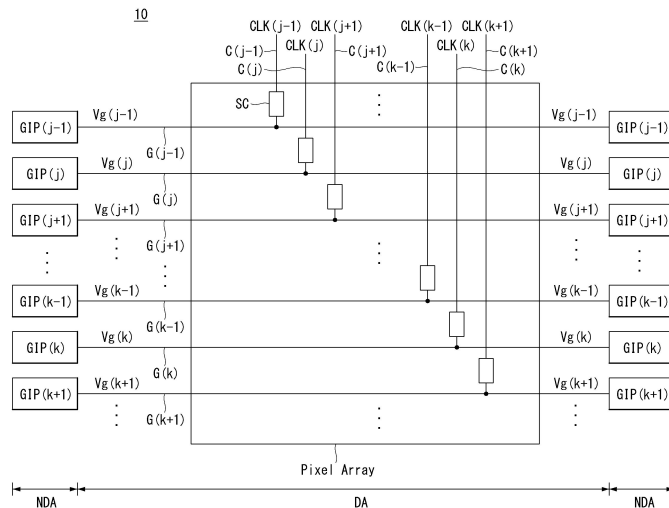
(54) 발명의 명칭 게이트신호의 딜레이 편차를 경감할 수 있는 액정표시장치

(57) 요약

본 발명은 RC 딜레이로 인한 게이트신호의 위치별 편차를 최소화할 수 있도록 한 액정표시장치에 관한 것이다.

이러한 액정표시장치는 화상을 표시하는 화소 어레이와, 이 화소 어레이 바깥의 비 표시영역에 위치하여 게이트 라인들의 입단부들에 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 게이트신호를 순차적으로 공급하는 다수의 GIP 소자들과, 화소 어레이 내의 표시영역에 위치하여 입단부들을 제외한 게이트라인들의 다른 위치에 각 게이트신호와 위상이 동일한 게이트 쉬프트 클럭을 출력하여 각 게이트신호의 딜레이 편차를 보상하는 다수의 딜레이편차 보상부들을 구비한다.

대표도 - 도4a



명세서

청구범위

청구항 1

화상을 표시하는 화소 어레이;

상기 화소 어레이 바깥의 비 표시영역에 위치하여 게이트라인들의 입단부들에 게이트 하이전압과 게이트 로우전압 사이에서 스위칭하는 게이트신호를 순차적으로 공급하는 다수의 GIP 소자들; 및

상기 화소 어레이 내의 표시영역에 위치하여 상기 입단부들을 제외한 상기 게이트라인들의 다른 위치에 각 게이트신호와 위상이 동일한 게이트 쉬프트 클럭을 출력하여 상기 각 게이트신호의 딜레이 편차를 보상하는 다수의 딜레이편차 보상부들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 딜레이편차 보상부들 각각은,

부트 스트랩핑되는 플로팅 노드의 전위에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호가 공급되는 제1 게이트라인과 상기 제1 위상의 게이트 쉬프트 클럭이 공급되는 클럭 배선 사이를 전기적으로 연결하는 보상 스위치 M2; 및

상기 부트 스트랩핑에 앞서 상기 플로팅 노드의 전위를 특정 레벨로 프리차지시키는 보상 스위치 M1를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 보상 스위치 M1은 보상용 제어신호에 따라 온 스위칭되어, 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 플로팅 노드 사이를 전기적으로 연결하며;

상기 보상용 제어신호는, 게이트 하이전압의 상기 제2 게이트신호에 동기하여 온 레벨로 발생되고, 상기 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간 동안 오프 레벨로 발생된 후, 온 레벨과 오프 레벨을 교번하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 보상 스위치 M1은, 일정 주기로 교번 구동하는 오드 보상 스위치 M1_0와 이븐 보상 스위치 M1_E를 포함하고;

상기 오드 보상 스위치 M1_0는 오드 보상용 제어신호에 따라 온 스위칭되어, 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 플로팅 노드 사이를 전기적으로 연결하고;

상기 이븐 보상 스위치 M1_E는 이븐 보상용 제어신호에 따라 온 스위칭되어, 상기 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 플로팅 노드 사이를 전기적으로 연결하며;

상기 오드 보상 스위치 M1_0가 구동되는 오드 주기에서, 상기 이븐 보상용 제어신호는 계속해서 오프 레벨로 발생하는 데 반해, 상기 오드 보상용 제어신호는 게이트 하이전압의 상기 제2 게이트신호에 동기하여 온 레벨로 발생되고, 상기 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간 동안 오프 레벨로 발생된 이후에 계속해서 온 레벨을 유지하고;

상기 이븐 보상 스위치 M1_E가 구동되는 이븐 주기에서, 상기 오드 보상용 제어신호는 계속해서 오프 레벨로 발생하는 데 반해, 상기 이븐 보상용 제어신호는 게이트 하이전압의 상기 제2 게이트신호에 동기하여 온 레벨로 발생되고, 상기 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간

동안 오프 레벨로 발생된 이후에 계속해서 온 레벨을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 보상 스위치 M1은 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호에 따라 온 스위칭되어 공통전압이 공급되는 공통라인과 상기 플로팅 노드 사이를 전기적으로 연결하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 보상 스위치 M1은 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호에 따라 온 스위칭되어 고전위 전원 전압이 공급되는 전원라인과 상기 플로팅 노드 사이를 전기적으로 연결하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 딜레이편차 보상부들 각각은,

제1 게이트라인으로부터 입력되는 제1 위상의 제1 게이트신호에 따라 온 스위칭되어, 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 제2 위상의 게이트 쉬프트 클럭이 공급되는 클럭 배선 사이를 전기적으로 연결하는 보상 스위치 M1을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 화소 어레이에 수평으로 서로 이웃한 제1 내지 제4 화소가 구비될 때,

상기 제1 화소에 연결되는 제1 데이터라인과 상기 제2 화소에 연결되는 제2 데이터라인은 상기 제1 화소와 제2 화소 사이에 배치되고,

상기 제3 화소에 연결되는 제3 데이터라인과 상기 제4 화소에 연결되는 제4 데이터라인은 상기 제3 화소와 제4 화소 사이에 배치되며,

상기 게이트 쉬프트 클럭을 공급하는 일 클럭 배선은 상기 제1 내지 제4 데이터라인이 배치되어 있지 않은 상기 제2 화소와 제3 화소 사이에 배치되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 게이트신호의 딜레이 편차를 경감할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 액정 분자에 인가되는 전계를 데이터전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스 타입의 액정표시장치는 공정 기술과 구동 기술의 발달에 힘입어 가격이 낮아지고 성능이 높아져 소형 모바일 기기부터 대형 텔레비전까지 거의 모든 표시장치에 적용되어 널리 이용되고 있다.

[0003] 액정표시장치에서 게이트 구동회로를 표시패널 상에 직접 형성하는 GIP(Gate-driver In Panel) 기술이 알려져 있다. GIP 기술에서, 게이트라인들을 구동하는 GIP 소자들은 표시패널의 비 표시영역 상에 형성되어 게이트신호를 라인 순차 방식에 따라 게이트라인들에 공급한다.

[0004] GIP 기술은 더블 피딩(Double Feeding) 방식과 싱글 피딩(Single Feeding) 방식으로 구현될 수 있다. 더블 피딩 방식에서는 도 1a와 같이 화소 어레이의 양측에 배치된 2개의 GIP 소자들을 이용하여 각 게이트라인의 양측

에 동일한 게이트신호를 공급한다. 그리고, 싱글 피딩 방식에서는 도 2a와 같이 화소 어레이의 일측에 배치된 1개의 GIP 소자를 이용하여 각 게이트라인의 일측에 게이트신호를 공급한다.

[0005] 최근, 사용자의 요구에 의해 표시패널의 해상도는 급속도로 높아지고 있다. 이러한 초고해상도 모델의 표시패널에서는 RC 딜레이량이 커지기 때문에 딜레이로 인한 게이트신호의 위치별 편차가 이슈화되고 있다. 도 1a의 더블 피딩 방식이든 도 2a의 싱글 피딩 방식이든 게이트신호의 위치별 편차로부터 자유로울 수 없다. 도 1a의 더블 피딩 방식에서는 도 1b와 같이 게이트라인의 입단부에서 게이트신호(Vg)의 딜레이가 가장 적고, 게이트라인의 센터부에서 게이트신호(Vg)의 딜레이가 가장 크다. 그리고, 도 2a의 싱글 피딩 방식에서는 도 2b와 같이 게이트라인의 입단부에서 게이트신호(Vg)의 딜레이가 가장 적고, 게이트라인의 말단부에서 게이트신호(Vg)의 딜레이가 가장 크다.

[0006] 동일 게이트라인에서 게이트신호가 위치별로 달라지면, 데이터전압의 충전 기간이 달라지기 때문에 라인 덤과 같은 화상 불량이 초래될 수 있다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은 RC 딜레이로 인한 게이트신호의 위치별 편차를 최소화할 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 액정표시장치는 화상을 표시하는 화소 어레이와, 이 화소 어레이 바깥의 비 표시영역에 위치하여 게이트라인들의 입단부들에 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 게이트신호를 순차적으로 공급하는 다수의 GIP 소자들과, 화소 어레이 내의 표시영역에 위치하여 입단부들을 제외한 게이트라인들의 다른 위치에 각 게이트신호와 위상이 동일한 게이트 쉬프트 클럭을 출력하여 각 게이트신호의 딜레이 편차를 보상하는 다수의 딜레이편차 보상부들을 구비한다.

[0009] 상기 딜레이편차 보상부들 각각은, 부트 스트랩핑되는 플로팅 노드의 전위에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호가 공급되는 제1 게이트라인과 상기 제1 위상의 게이트 쉬프트 클럭이 공급되는 클럭 배선 사이를 전기적으로 연결하는 보상 스위치 M2와, 부트 스트랩핑에 앞서 플로팅 노드의 전위를 특정 레벨로 프리차지시키는 보상 스위치 M1를 구비한다.

[0010] 보상 스위치 M1은 보상용 제어신호에 따라 온 스위칭되어, 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 플로팅 노드 사이를 전기적으로 연결하며, 보상용 제어신호는 게이트 하이전압의 제2 게이트신호에 동기하여 온 레벨로 발생되고, 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간 동안 오프 레벨로 발생된 후, 온 레벨과 오프 레벨을 교번한다.

[0011] 상기 보상 스위치 M1은 일정 주기로 교번 구동하는 오드 보상 스위치 M1_0와 이븐 보상 스위치 M1_E를 포함하고, 오드 보상 스위치 M1_0는 오드 보상용 제어신호에 따라 온 스위칭되어, 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 플로팅 노드 사이를 전기적으로 연결하고, 이븐 보상 스위치 M1_E는 이븐 보상용 제어신호에 따라 온 스위칭되어, 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 상기 플로팅 노드 사이를 전기적으로 연결하며, 오드 보상 스위치 M1_0가 구동되는 오드 주기에서, 이븐 보상용 제어신호는 계속해서 오프 레벨로 발생되는 데 반해, 오드 보상용 제어신호는 게이트 하이전압의 제2 게이트신호에 동기하여 온 레벨로 발생되고, 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간 동안 오프 레벨로 발생된 이후에 계속해서 온 레벨을 유지하고, 이븐 보상 스위치 M1_E가 구동되는 이븐 주기에서, 오드 보상용 제어신호는 계속해서 오프 레벨로 발생되는 데 반해, 이븐 보상용 제어신호는 게이트 하이전압의 제2 게이트신호에 동기하여 온 레벨로 발생되고, 제2 게이트신호가 게이트 하이전압에서 게이트 로우전압으로 반전될 때부터 시작하여 소정 기간 동안 오프 레벨로 발생된 이후에 계속해서 온 레벨을 유지한다.

[0012] 보상 스위치 M1은 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호에 따라 온 스위칭되어 공통전압이 공급되

는 공통라인과 상기 플로팅 노드 사이를 전기적으로 연결한다.

- [0013] 보상 스위치 M1은 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호에 따라 온 스위칭되어 고전위 전원전압이 공급되는 전원라인과 플로팅 노드 사이를 전기적으로 연결한다.
- [0014] 상기 딜레이편차 보상부들 각각은, 제1 게이트라인으로부터 입력되는 제1 위상의 제1 게이트신호에 따라 온 스위칭되어, 제1 위상보다 앞선 제2 위상의 제2 게이트신호가 공급되는 제2 게이트라인과 제2 위상의 게이트 쉬프트 클럭이 공급되는 클럭 배선 사이를 전기적으로 연결하는 보상 스위치 M1을 구비한다.
- [0015] 상기 화소 어레이에 수평으로 서로 이웃한 제1 내지 제4 화소가 구비될 때, 제1 화소에 연결되는 제1 데이터라인과 제2 화소에 연결되는 제2 데이터라인은 제1 화소와 제2 화소 사이에 배치되고, 제3 화소에 연결되는 제3 데이터라인과 제4 화소에 연결되는 제4 데이터라인은 제3 화소와 제4 화소 사이에 배치되며, 게이트 쉬프트 클럭을 공급하는 일 클럭 배선은 제1 내지 제4 데이터라인이 배치되어 있지 않은 제2 화소와 제3 화소 사이에 배치된다.

발명의 효과

- [0016] 본 발명은 RC 딜레이로 인한 게이트신호의 위치별 편차를 최소화하기 위해 화소 어레이 내에 다수의 딜레이편차 보상부들을 포함한다. 본 발명의 딜레이편차 보상부들 각각은 화소 어레이 내의 표시영역에 위치하고, 입단부들을 제외한 화소 어레이 내의 게이트라인들의 다른 위치에 각 게이트신호와 위상이 동일한 게이트 쉬프트 클럭을 출력하여 각 게이트신호의 딜레이 편차를 보상한다. 이를 통해 본 발명은 충전 편차로 인해 초래되던 문제점을 해결하여 화상 품질을 크게 높일 수 있다.

도면의 간단한 설명

- [0017] 도 1a 및 도 1b는 더블 피딩 방식에서 게이트신호의 위치별 편차가 발생하는 것을 보여주는 도면.
- 도 2a 및 도 2b는 싱글 피딩 방식에서 게이트신호의 위치별 편차가 발생하는 것을 보여주는 도면.
- 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
- 도 4a는 더블 피딩 방식의 GIP 소자들과 화소 어레이 내에 구비된 딜레이편차 완화부들의 접속 구조를 보여주는 도면.
- 도 4b는 싱글 피딩 방식의 GIP 소자들과 화소 어레이 내에 구비된 딜레이편차 완화부들의 접속 구조를 보여주는 도면.
- 도 5는 딜레이편차 완화부들을 통해 화소 어레이 내의 게이트라인들에 게이트 쉬프트 클럭을 공급하기 위한 클럭 배선들의 배치 구성을 보여주는 도면.
- 도 6은 딜레이편차 완화부의 일 구성을 보여주는 도면.
- 도 7은 도 6의 딜레이편차 완화부의 동작을 보여주는 파형도.
- 도 8은 도 6과 같은 딜레이편차 완화부들에 공급되는 보상용 제어신호들을 보여주는 파형도.
- 도 9는 도 6과 같은 딜레이편차 완화부들을 포함한 화소 어레이를 보여주는 설계 도면.
- 도 10은 도 9에서 보상 스위치 M1, M2와 클럭 배선과 특정 전위의 플로팅 노드를 확대하여 보여주는 도면.
- 도 11a 내지 도 11d는 도 6의 딜레이편차 완화부의 확장 예들을 보여주는 도면들.
- 도 12는 딜레이편차 완화부의 다른 구성을 보여주는 도면.
- 도 13a 및 도 13b는 도 12의 딜레이편차 완화부의 동작을 보여주는 파형도들.
- 도 14는 딜레이편차 완화부의 또 다른 구성을 보여주는 도면.
- 도 15는 도 14의 딜레이편차 완화부의 동작을 보여주는 파형도.

도 16은 딜레이편차 완화부의 또 다른 구성을 보여주는 도면.

도 17은 도 16의 딜레이편차 완화부의 동작을 보여주는 파형도.

도 18은 도 6 내지 도 17에 도시된 딜레이편차 완화부에 의한 작용 효과를 보여주는 시뮬레이션 결과 도면.

도 19는 딜레이편차 완화부의 또 다른 구성을 보여주는 도면.

도 20은 도 19의 딜레이편차 완화부의 작용 효과를 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0019] 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여준다. 도 4a는 더블 피딩 방식의 GIP 소자들과 화소 어레이 내에 구비된 딜레이편차 완화부들의 접속 구조를 보여준다. 도 4b는 싱글 피딩 방식의 GIP 소자들과 화소 어레이 내에 구비된 딜레이편차 완화부들의 접속 구조를 보여준다. 그리고, 도 5는 딜레이편차 완화부들을 통해 화소 어레이 내의 게이트라인들에 게이트 쉬프트 클럭을 공급하기 위한 클럭 배선들의 배치 구성을 보여준다.
- [0020] 도 3을 참조하면, 본 발명의 액정표시장치는 표시패널(10), 타이밍 컨트롤러(Timing Controller, 11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.
- [0021] 본 발명의 액정표시장치는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 등 알려져 있는 모든 액정모드로 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.
- [0022] 표시패널(10)은 액정셀(C1c)을 사이에 두고 대향하는 상부 기관과 하부 기관을 포함한다. 표시패널(10)에는 매트릭스 형태로 배치된 화소들을 포함하여 화상을 표시하는 화소 어레이가 구비된다. 화소 어레이는 하부 기관에 형성된 TFT 어레이와, 상부 기관에 형성된 컬러필터 어레이를 포함한다. COT(Color filter on TFT) 공정을 이용하면, 컬러 필터는 하부 기관의 TFT 어레이에 형성될 수 있다.
- [0023] TFT 어레이에서, 데이터라인들(DL)과 게이트라인들(GL)의 교차부마다 TFT들(Thin Film Transistor)이 형성된다. TFT는 게이트라인(GL)으로부터의 게이트신호에 응답하여 데이터라인(DL)으로부터의 데이터 전압을 액정셀(C1c)의 화소전극(1)에 공급한다. 화소로 기능하는 액정셀들(C1c) 각각은 TFT를 통해 데이터 전압을 충전하는 화소전극(1)과 공통전압(Vcom)이 인가되는 공통전극(2)의 전압차에 의해 구동된다. 공통전압(Vcom)은 공통라인을 통해 화소들의 공통전극(2)에 공급된다.
- [0024] 액정셀(C1c)에는 화소에 충전된 데이터전압을 1 프레임 기간 동안 유지시키는 스토리지 커패시터(Cst)가 접속된다. 컬러필터 어레이는 컬러필터와 블랙 매트릭스를 포함한다. 표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0025] 데이터 구동회로(12)는 다수의 소스 드라이버 IC(Integrated Circuit)들을 포함한다. 소스 드라이버 IC(SIC)는 타이밍 컨트롤러(11)의 제어 하에 입력 영상의 디지털 비디오 데이터들을 샘플링한 후에 래치(Latch)하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이버 IC(SIC)는 타이밍 컨트롤러(11)의 제어 하에 디지털-아날로그 변환기(Digital to Analog converter, DAC)를 이용하여 디지털 비디오 데이터들을 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생하고 그 데이터 전압을 데이터라인들(DL)에 공급한다.
- [0026] 게이트 구동회로(13)는 타이밍 컨트롤러(11)의 제어 하에 데이터 전압에 동기되는 게이트신호(또는 스캔펄스)를 게이트라인들(GL)에 라인 순차 방식으로 공급한다. 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 하부 기관 상에 직접 형성된다. 게이트 구동회로(13)를 구성하는 GIP 소자들(GIP(j-1)~GIP(k+1))은 도 4a 및 도 4b와 같이 화소 어레이 바깥의 비 표시영역(NDA)에 위치하여 게이트라인들(G(j-1)~G(k+1))의 입단부들에 게이트 하이전압과 게이트 로우전압 사이에서 스윙하는 게이트신호(Vg(j-1)~Vg(k+1))를 순차적으로 공급한다. 본 발명의 GIP 소자들(GIP(j-1)~GIP(k+1))은 도 4a와 같은 더블 피딩 방

식에 따라 화소 어레이의 양측 바깥에 배치된 2개의 GIP 소자들을 포함하여 각 게이트라인의 양측 입단부에 동일한 게이트신호를 공급할 수 있다. 또한, 본 발명의 GIP 소자들(GIP(j-1)~GIP(k+1))은 도 4b와 같은 싱글 피딩 방식에 따라 화소 어레이의 일측 바깥에서 각 게이트라인의 일측 입단부에 게이트신호를 공급할 수 있다.

[0027] 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수신한 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동회로(12)에 전송한다. 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(DCLK) 등의 타이밍 신호들을 입력받는다. 이러한 타이밍 신호들은 입력 영상의 디지털 비디오 데이터(RGB)와 동기된다. 타이밍 컨트롤러(11)는 타이밍 신호(Vsync, Hsync, DE, DCLK)를 이용하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 게이트 타이밍 제어신호에는 후술할 게이트 쉬프트 클럭과 보상용 제어신호 등이 포함될 수 있다.

[0028] 호스트 시스템(Host System, SYSTEM)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(10)에 적합한 포맷으로 변환한다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 컨트롤러(11)로 전송한다.

[0029] 본 발명은 RC 딜레이로 인한 게이트신호의 위치별 편차를 최소화하기 위해 도 4a 및 도 4b와 같이 화소 어레이 내에 다수의 딜레이편차 보상부들(SC)을 포함한다. 딜레이편차 보상부들(SC) 각각은 화소 어레이 내의 표시영역(DA)에 위치하고, 입단부들을 제외한 화소 어레이 내의 게이트라인들(G(j-1)~G(k+1))의 다른 위치에 각 게이트신호와 위상이 동일한 게이트 쉬프트 클럭(CLK(j-1)~CLK(k+1))을 출력하여 각 게이트신호(Vg(j-1)~Vg(k+1))의 딜레이 편차를 보상한다. 이를 위해, 각 게이트라인들(G(j-1)~G(k+1))에는 일대일로 딜레이편차 보상부들(SC)이 접속될 수 있으며, 각 딜레이편차 보상부(SC)는 자신이 접속된 게이트라인의 해당 게이트신호와 위상이 동일한 게이트 쉬프트 클럭(CLK(j-1)~CLK(k+1))을 상기 자신이 접속되는 게이트라인에 출력한다. 더블 피딩 방식에서 딜레이편차 보상부들(SC)은 딜레이 편차 보상 효과가 높아지도록 화소 어레이의 센터부 근처에 집중 배치됨이 바람직하고, 싱글 피딩 방식에서 딜레이편차 보상부들(SC)은 딜레이 편차 보상 효과가 높아지도록 화소 어레이의 말단부(GIP 소자들로부터 멀리 이격된 부분) 근처에 집중 배치됨이 바람직하다. 다만, 딜레이편차 보상부들(SC)의 배치 위치는 설계 스펙에 따라 달라질 수 있으며, 도 4a 및 도 4b와 같이 화소 어레이 내에서 대각 방향을 따라 순차 배치될 수도 있다.

[0030] 딜레이편차 보상부들(SC)은 클럭 배선들을 통해 게이트 쉬프트 클럭의 입력단에 연결된다. 클럭 배선들은 화소 어레이 내에 형성되어야 하기 때문에 개구율, 데이터라인과의 간섭 등을 고려하여 그 배치 위치를 설정함이 바람직하다. 도 5에는 개구율 저하 및 데이터라인과의 간섭 등과 같은 문제를 최소화할 있는 클럭 배선들의 배치 위치가 나타나 있다. 도 5를 참조하면, 수평으로 이웃한 픽셀들 사이에 데이터라인들이 2개씩 배치될 때, 클럭 배선들은 데이터라인들이 배치되어 있지 않은 픽셀들 사이마다 1개씩 배치될 수 있다.

[0031] 일 예로서, 화소 어레이에 수평으로 서로 이웃한 제1 내지 제4 화소가 구비될 때, 제1 화소에 연결되는 제1 데이터라인과 제2 화소에 연결되는 제2 데이터라인은 제1 및 제2 화소 사이에 배치되고, 제3 화소에 연결되는 제3 데이터라인과 제4 화소에 연결되는 제4 데이터라인은 제3 및 제4 화소 사이에 배치된다. 이때, 게이트 쉬프트 클럭을 공급하는 일 클럭 배선은 데이터라인이 배치되어 있지 않은 제2 및 제3 화소 사이에 배치될 수 있다.

[0032] 한편, 딜레이편차 보상부들(SC)은 도 6, 도 12, 도 14, 도 16에서와 같이 2개의 보상 스위치들과 그들 사이에 접속된 플로팅 노드를 이용하여 게이트신호의 딜레이 편차(라이징 타임 편차 및 폴링 타임 편차 포함)를 완화하거나, 또는 도 19에서와 같이 1개의 보상 스위치를 이용하여 게이트신호의 딜레이 편차(폴링 타임 편차만 포함)를 완화할 수 있다.

[0033] 도 6은 딜레이편차 완화부의 일 구성을 보여주고, 도 7은 도 6의 딜레이편차 완화부의 동작을 보여준다. 그리고, 도 8은 도 6과 같은 딜레이편차 완화부들에 공급되는 보상용 제어신호들을 보여준다.

[0034] 도 6에는 화소 어레이 내의 제1 게이트라인(G(n+5))에 제1 위상의 게이트 쉬프트 클럭(CLK(n+5))이 딜레이편차 보상부(SC)를 통해 공급되어, 제1 게이트라인(G(n+5))에서 게이트신호(Vg(n+5))의 위치별 편차를 보상하는 일 예가 개시되어 있다.

[0035] 도 6과 같이, 딜레이편차 보상부(SC)는 보상 스위치 M1, 및 보상 스위치 M2를 포함한다. 보상 스위치 M2는 부트 스트랩핑되는 플로팅 노드의 전위(Vb)에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호(Vg(n+5))가 공급되

는 제1 게이트라인($G(n+5)$)과 상기 제1 위상의 게이트 쉬프트 클럭($CLK(n+5)$)이 공급되는 클럭 배선 사이를 전기적으로 연결시킨다.

- [0036] 보상 스위치 M1은 상기 부트 스트랩핑에 앞서 플로팅 노드의 전위(V_b)를 특정 레벨로 프리차지시키는 역할을 한다. 이를 위해, 보상 스위치 M1은 보상용 제어신호($V_c(n+5)$)에 따라 온 스위칭되어, 제1 위상보다 앞선 제2 위상의 제2 게이트신호($V_g(n)$)가 공급되는 제2 게이트라인($G(n)$)과 플로팅 노드 사이를 전기적으로 연결시킨다.
- [0037] 여기서, 보상용 제어신호는 도 8과 같이 소정 구간씩 위상이 순차 쉬프트되는 다수의 보상용 제어신호들(V_{c1} - V_{c6} , ...) 중 어느 하나로 선택될 수 있다. 보상용 제어신호들은 게이트 쉬프트 클럭과 마찬가지로 타이밍 컨트롤러에서 생성되어 레벨 쉬프팅을 거침으로써 얻어질 수 있다.
- [0038] 도 7의 (A) 구간에서 보상용 제어신호($V_c(n+5)$)는, 게이트 하이전압(VGH)의 제2 게이트신호($V_g(n)$)에 동기하여 온 레벨(LON)로 발생됨으로써 보상 스위치 M1를 턴 온 시키고, 그 결과 플로팅 노드의 전위(V_b)는 제2 게이트신호($V_g(n)$)에 의해 제1 전압 레벨(L1)로 프리차지된다.
- [0039] 도 7의 (B) 구간에서 플로팅 노드의 전위(V_b)는 게이트 하이전압(VGH)의 게이트 쉬프트 클럭($CLK(n+5)$)에 의해 제1 전압 레벨(L1)보다 높은 제2 전압 레벨(L2)로 부트 스트랩핑되어 보상 스위치 M2를 턴 온 시키고, 그 결과 제1 게이트라인($G(n+5)$)의 특정 위치에는 제1 게이트신호($V_g(n+5)$)와 동일 위상을 갖는 게이트 쉬프트 클럭($CLK(n+5)$)이 공급된다. 상기 특정 위치에 공급된 게이트 쉬프트 클럭($CLK(n+5)$)은 제1 게이트라인($G(n+5)$)의 입단부와 상기 특정 위치 간 제1 게이트신호($V_g(n+5)$)에 대한 딜레이편차를 완화시킨다.
- [0040] 도 7의 (C) 구간에서 플로팅 노드의 전위(V_b)는 게이트 로우전압(VGL)의 게이트 쉬프트 클럭($CLK(n+5)$)에 의해 제1 전압 레벨(L1)로 낮아진 후, 도 7의 (D) 구간에서 게이트 로우전압(VGL)의 제2 게이트신호($V_g(n)$)에 의해 제1 전압 레벨(L1)보다 낮은 제3 전압 레벨(L3)로 더 낮아진다. 그리고, 도 7의 (D) 구간 이후에는 게이트 쉬프트 클럭($CLK(n+5)$)에 동기하여 제3 전압 레벨(L3) 및 그보다 낮은 제4 전압 레벨(L4)을 교번한다.
- [0041] 한편, 보상용 제어신호($V_c(n+5)$)는, 제2 게이트신호($V_g(n)$)가 게이트 하이전압(VGH)에서 게이트 로우전압(VGL)으로 반전될 때부터 시작하여 소정 기간(B,C 구간) 동안 오프 레벨(LOFF)로 발생됨으로써 플로팅 노드의 전위(V_b)를 효과적으로 부트 스트랩핑시킨다. 그리고, 보상용 제어신호($V_c(n+5)$)는, 도 7의 (D) 구간 이후부터 온 레벨(LON)과 오프 레벨(LOFF)을 교번함으로써 보상 스위치 M1의 게이트전극에 가해지는 게이트 바이어스 스트레스를 줄인다.
- [0042] 도 9는 도 6과 같은 딜레이편차 완화부들(SC)을 포함한 화소 어레이를 보여주는 설계 도면이다. 그리고, 도 10은 도 9에서 보상 스위치 M1, M2와 클럭 배선과 특정 전위의 플로팅 노드를 확대하여 보여준다.
- [0043] 도 9 및 도 10을 참조하면, 각 게이트라인은 게이트신호의 딜레이 편차를 완화하기 위해 화소 어레이 내의 특정 부분에서 딜레이편차 보상부(SC)로부터 게이트 쉬프트 클럭을 입력받고 있음을 알 수 있다.
- [0044] 도 11a 내지 도 11d는 도 6의 딜레이편차 완화부(SC)의 확장 예들을 보여주는 도면들이다.
- [0045] 도 11a에는 화소 어레이 내의 제1 게이트라인($G(n+1)$)에 제1 위상의 게이트 쉬프트 클럭($CLK(n+1)$)이 딜레이편차 보상부(SC)를 통해 공급되어, 제1 게이트라인($G(n+1)$)에서 게이트신호($V_g(n+1)$)의 위치별 편차를 보상하는 일 예가 개시되어 있다. 도 11b에는 화소 어레이 내의 제1 게이트라인($G(n+2)$)에 제1 위상의 게이트 쉬프트 클럭($CLK(n+2)$)이 딜레이편차 보상부(SC)를 통해 공급되어, 제1 게이트라인($G(n+2)$)에서 게이트신호($V_g(n+2)$)의 위치별 편차를 보상하는 일 예가 개시되어 있다. 도 11c에는 화소 어레이 내의 제1 게이트라인($G(n+3)$)에 제1 위상의 게이트 쉬프트 클럭($CLK(n+3)$)이 딜레이편차 보상부(SC)를 통해 공급되어, 제1 게이트라인($G(n+3)$)에서 게이트신호($V_g(n+3)$)의 위치별 편차를 보상하는 일 예가 개시되어 있다. 그리고, 도 11d에는 화소 어레이 내의 제1 게이트라인($G(n+4)$)에 제1 위상의 게이트 쉬프트 클럭($CLK(n+4)$)이 딜레이편차 보상부(SC)를 통해 공급되어, 제1 게이트라인($G(n+4)$)에서 게이트신호($V_g(n+4)$)의 위치별 편차를 보상하는 일 예가 개시되어 있다.
- [0046] 도 11a 내지 도 11d의 동작 및 그 작용 효과는 도 6 및 도 7에서 설명한 것과 유사하여 생략한다.
- [0047] 도 12는 딜레이편차 완화부(SC)의 다른 구성을 보여준다. 그리고, 도 13a 및 도 13b는 도 12의 딜레이편차 완화부(SC)의 동작을 보여준다.
- [0048] 도 12를 참조하면, 딜레이편차 보상부(SC)는 일정 주기로 교번 구동하는 오프 보상 스위치 M1_0와 이븐 보상 스위치 M1_E, 및 보상 스위치 M2를 포함한다.
- [0049] 오프 보상 스위치 M1_0와 이븐 보상 스위치 M1_E는 교번 구동하여 부트 스트랩핑에 앞서 플로팅 노드의 전위

(Vb)를 특정 레벨로 프리차지시키는 역할을 한다.

- [0050] 이를 위해, 오드 보상 스위치 M1_0는 오드 보상을 제어하는 제어신호(V0(n+5))에 따라 온 스위칭되어, 상기 제1 위상보다 앞선 제2 위상의 제2 게이트신호(Vg(n))가 공급되는 제2 게이트라인(G(n))과 플로팅 노드 사이를 전기적으로 연결한다. 그리고, 이븐 보상 스위치 M1_E는 이븐 보상을 제어하는 제어신호(VE(n+5))에 따라 온 스위칭되어, 상기 제2 위상의 제2 게이트신호(Vg(n))가 공급되는 제2 게이트라인(G(n))과 플로팅 노드 사이를 전기적으로 연결한다.
- [0051] 보상 스위치 M2는 부트 스트랩핑되는 플로팅 노드의 전위(Vb)에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호(Vg(n+5))가 공급되는 제1 게이트라인(G(n+5))과 상기 제1 위상의 게이트 쉬프트 클럭(CLK(n+5))이 공급되는 클럭 배선 사이를 전기적으로 연결시킨다.
- [0052] 도 13a와 같이 오드 보상 스위치 M1_0가 구동되는 오드 주기에서, 이븐 보상을 제어하는 제어신호(VE(n+5))는 계속해서 오프 레벨(LOFF)로 발생하는 데 반해, 오드 보상을 제어하는 제어신호(V0(n+5))는 게이트 하이전압(VGH)의 제2 게이트신호(Vg(n))에 동기하여 온 레벨(LON)로 발생되고, 제2 게이트신호(Vg(n))가 게이트 하이전압(VGH)에서 게이트 로우전압(VGL)으로 반전될 때부터 시작하여 소정 기간(B,C 구간) 동안 오프 레벨(LOFF)로 발생된 이후에 계속해서 온 레벨(LON)을 유지한다.
- [0053] 도 13b와 같이 이븐 보상 스위치 M1_E가 구동되는 이븐 주기에서, 오드 보상을 제어하는 제어신호(V0(n+5))는 계속해서 오프 레벨(LOFF)로 발생하는 데 반해, 이븐 보상을 제어하는 제어신호(VE(n+5))는 게이트 하이전압(VGH)의 제2 게이트신호(Vg(n))에 동기하여 온 레벨(LON)로 발생되고, 제2 게이트신호(Vg(n))가 게이트 하이전압(VGH)에서 게이트 로우전압(VGL)으로 반전될 때부터 시작하여 소정 기간(B,C 구간) 동안 오프 레벨(LOFF)로 발생된 이후에 계속해서 온 레벨(LON)을 유지한다.
- [0054] 이처럼, 오드 보상을 제어하는 제어신호(V0(n+5))와 이븐 보상을 제어하는 제어신호(VE(n+5))는 도 7 및 도 8의 보상을 제어하는 제어신호(Vc(n+5))에 비해 구성이 간소하여 구현이 용이하다. 다만, (D) 구간부터 계속해서 온 레벨(LON)을 유지하는 구동 특성상 오드 보상 스위치 M1_0와 이븐 보상 스위치 M1_E는 게이트 스트레스를 많이 받는데, 위와 같은 교번 구동을 통해 스트레스로 인한 열화를 어느 정도 경감할 수 있다.
- [0055] 이외에 도 13a 및 도 13b에 따른 보상 동작 및 그 작용 효과는 도 6 및 도 7에서 설명한 것과 유사하여 생략한다.
- [0056] 도 14는 딜레이편차 완화부(SC)의 또 다른 구성을 보여준다. 그리고, 도 15는 도 14의 딜레이편차 완화부(SC)의 동작을 보여준다.
- [0057] 도 14 및 도 15를 참조하면, 딜레이편차 보상부(SC)는 보상 스위치 M1, 및 보상 스위치 M2를 포함한다. 보상 스위치 M2는 부트 스트랩핑되는 플로팅 노드의 전위(Vb)에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호(Vg(n+5))가 공급되는 제1 게이트라인(G(n+5))과 상기 제1 위상의 게이트 쉬프트 클럭(CLK(n+5))이 공급되는 클럭 배선 사이를 전기적으로 연결시킨다.
- [0058] 보상 스위치 M1은 상기 부트 스트랩핑에 앞서 플로팅 노드의 전위(Vb)를 특정 레벨로 프리차지시키는 역할을 한다. 이를 위해, 보상 스위치 M1은 제1 위상보다 앞선 제2 위상의 제2 게이트신호(Vg(n))에 따라 온 스위칭되어, 공통전압(Vcom)이 공급되는 공통라인(VCL)과 플로팅 노드 사이를 전기적으로 연결시킨다.
- [0059] 이 실시예는 딜레이편차 보상부(SC)의 보상 동작을 위해 별도로 추가되는 신호 및 신호라인이 필요없어 구현이 심플하고 화소 어레이의 개구율 확보에 유리하다.
- [0060] 이외에 도 15에 따른 보상 동작 및 그 작용 효과는 도 6 및 도 7에서 설명한 것과 유사하여 생략한다.
- [0061] 도 16은 딜레이편차 완화부의 또 다른 구성을 보여준다. 그리고, 도 17은 도 16의 딜레이편차 완화부의 동작을 보여준다.
- [0062] 도 16 및 도 17을 참조하면, 딜레이편차 보상부(SC)는 보상 스위치 M1, 및 보상 스위치 M2를 포함한다. 보상 스위치 M2는 부트 스트랩핑되는 플로팅 노드의 전위(Vb)에 따라 온 스위칭되어, 제1 위상의 제1 게이트신호(Vg(n+5))가 공급되는 제1 게이트라인(G(n+5))과 상기 제1 위상의 게이트 쉬프트 클럭(CLK(n+5))이 공급되는 클럭 배선 사이를 전기적으로 연결시킨다.
- [0063] 보상 스위치 M1은 상기 부트 스트랩핑에 앞서 플로팅 노드의 전위(Vb)를 특정 레벨로 프리차지시키는 역할을 한다. 이를 위해, 보상 스위치 M1은 제1 위상보다 앞선 제2 위상의 제2 게이트신호(Vg(n))에 따라 온 스위칭되어, 고전위 전원전압(Vdd)이 공급되는 전원라인(VDDL)과 플로팅 노드 사이를 전기적으로 연결시킨다.

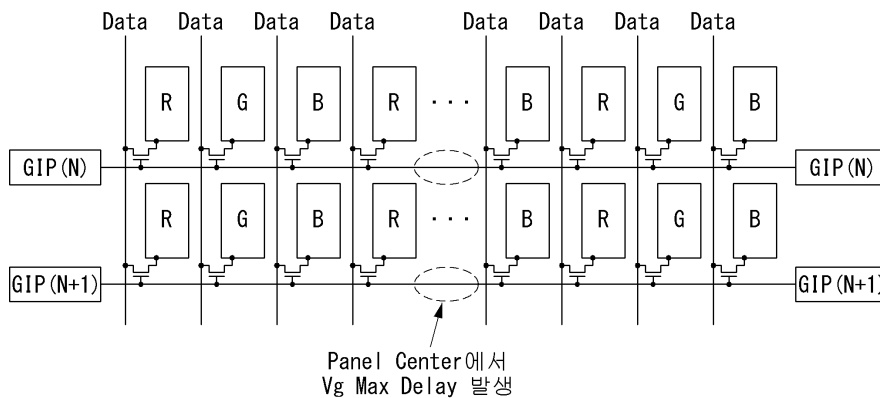
- [0064] 이 실시예는 (A) 구간 동안 비교적 높은 고전위 전원전압(Vdd)으로 플로팅 노드의 전위(Vb)를 프리차지 시킬 수 있어, (B) 구간에서의 부트 스트랩핑이 보다 용이하게 구현되어 보상 스위치 M2를 통한 보상 능력이 향상될 수 있다.
- [0065] 이외에 도 17에 따른 보상 동작 및 그 작용 효과는 도 6 및 도 7에서 설명한 것과 유사하여 생략한다.
- [0066] 도 18은 도 6 내지 도 17에 도시된 딜레이편차 완화부(SC)에 의한 작용 효과를 보여주는 시뮬레이션 결과 도면이다.
- [0067] 도 18을 참조하면, 도 6 내지 도 17에 도시된 딜레이편차 완화부(SC)를 적용할 때 게이트신호(Vg)의 라이징 타임과 폴링 타임 모두가 효과적으로 개선되고 있음을 확인할 수 있다. 또한, 화소들 사이에 보상 스위치와 클럭 배선을 추가함으로써 게이트라인의 입단부와 센터부 사이 또는, 입단부와 말단부 사이에 게이트신호의 딜레이 편차가 크게 완화되는 효과를 확인할 수 있다.
- [0068] 도 19는 딜레이편차 완화부(SC)의 또 다른 구성을 보여준다. 그리고, 도 20은 도 19의 딜레이편차 완화부(SC)의 작용 효과를 보여준다.
- [0069] 도 19의 딜레이편차 보상부(SC)는 제1 게이트라인(G(n+1))으로부터 입력되는 제1 위상의 제1 게이트신호(Vg(n+1))에 따라 온 스위칭되어, 제1 위상보다 앞선 제2 위상의 제2 게이트신호(Vg(n))가 공급되는 제2 게이트라인(G(n))과 제2 위상의 게이트 쉬프트 클럭(CLK(n))이 공급되는 클럭 배선(C(n)) 사이를 전기적으로 연결하는 보상 스위치 M1을 구비한다.
- [0070] 이러한 딜레이편차 보상부(SC)는 도 20에서와 같이 제1 위상의 제1 게이트신호(Vg(n+1))에 따라 보상 스위치 M1을 턴 온 시켜 제2 게이트라인(G(n))에 제2 위상의 게이트 쉬프트 클럭(CLK(n))을 공급함으로써, 제2 게이트라인(G(n))에서 제2 게이트신호(Vg(n))의 폴링 타임 편차(a 및 b의 차이)를 효과적으로 개선할 수 있다.
- [0071] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

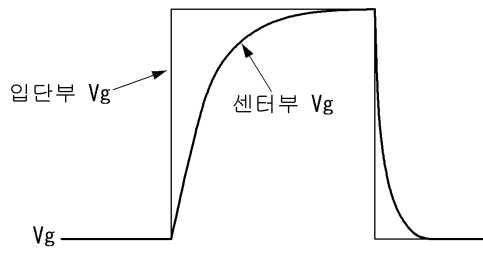
- [0072] 10 : 표시패널 11 : 타이밍 컨트롤러
- 12 : 데이터 구동회로 13 : 게이트 구동회로
- SC : 딜레이편차 보상부

도면

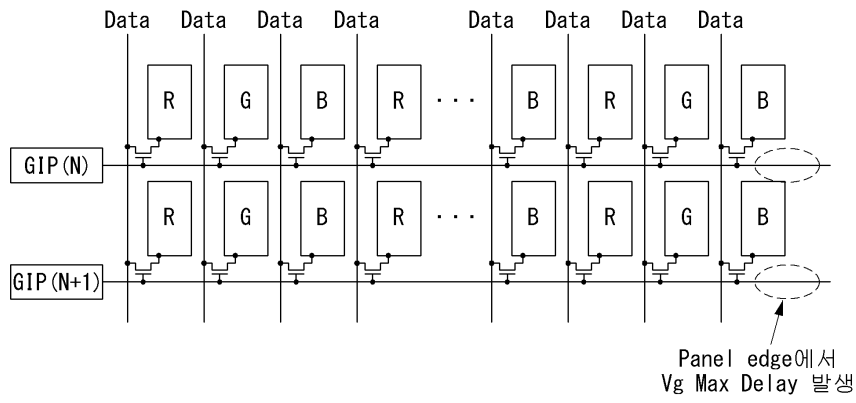
도면1a



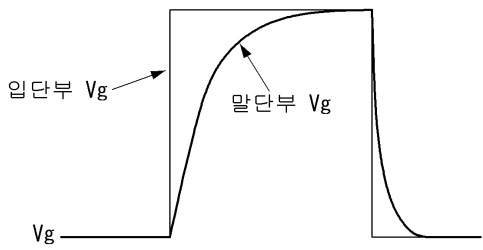
도면1b



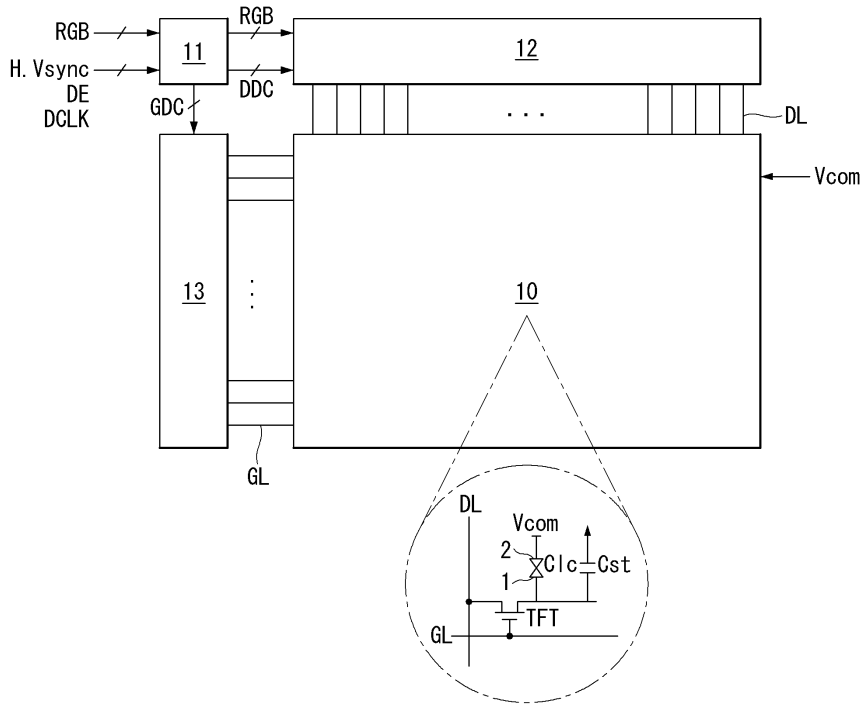
도면2a



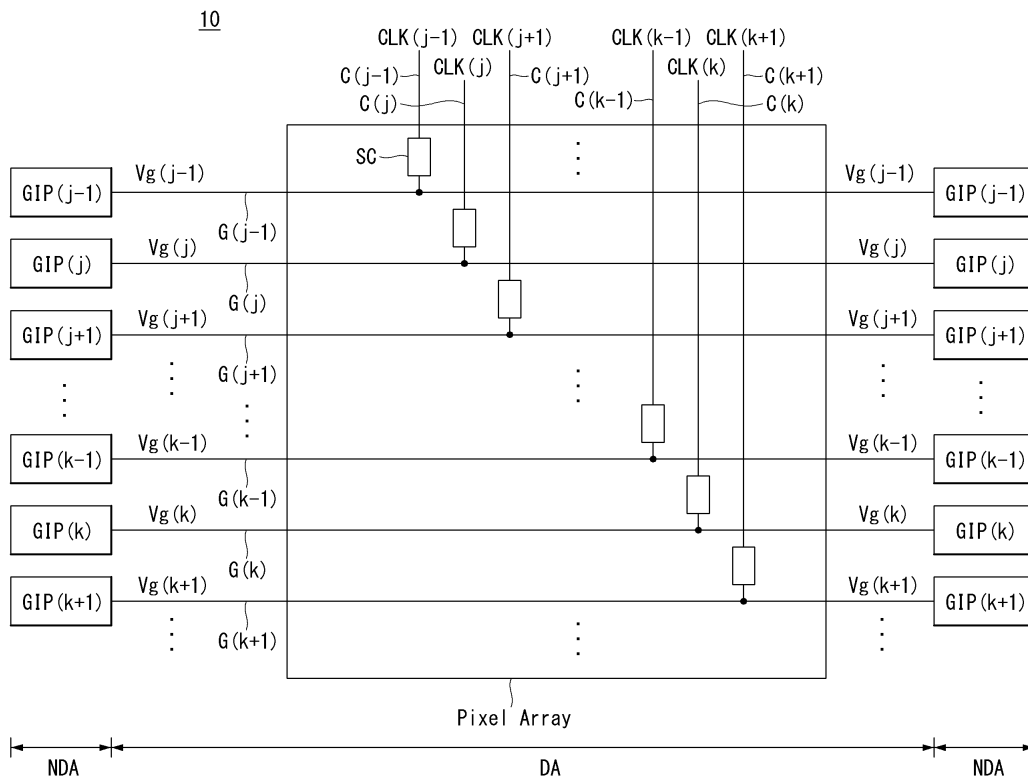
도면2b



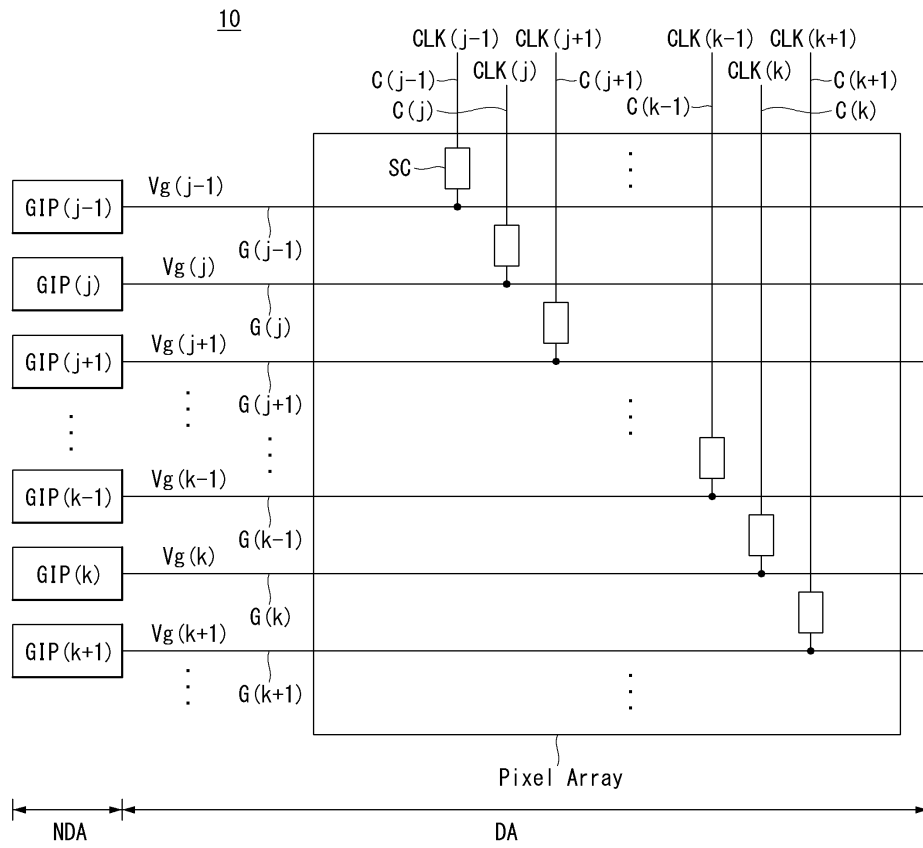
도면3



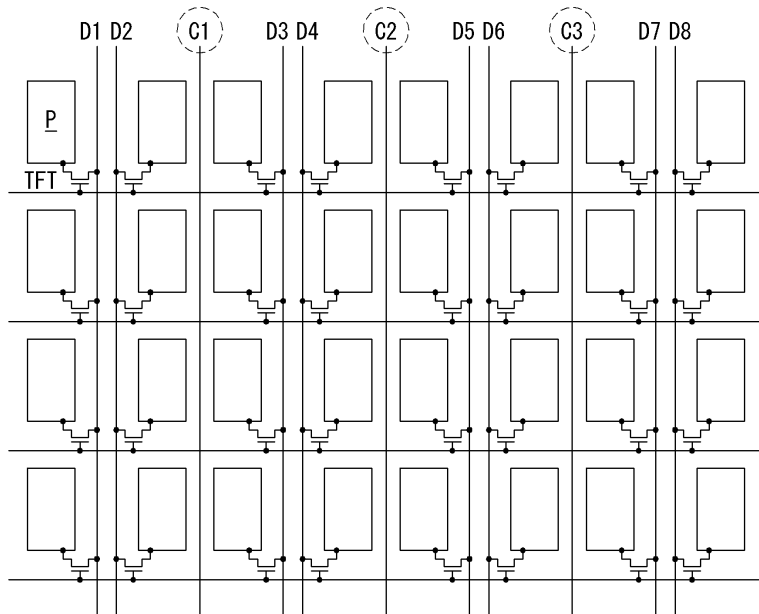
도면4a



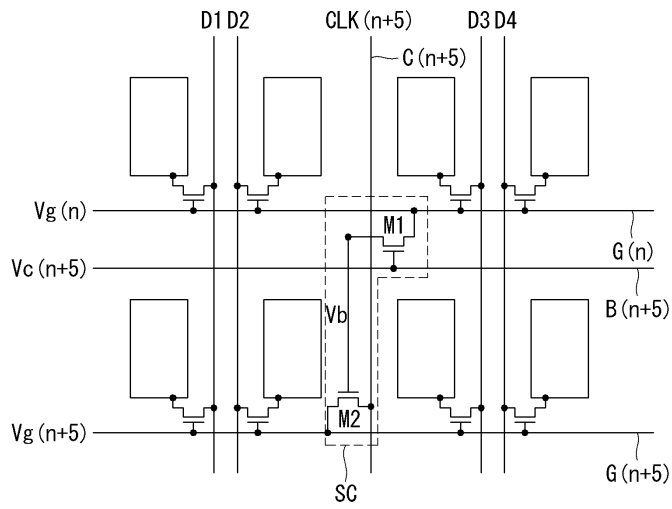
도면4b



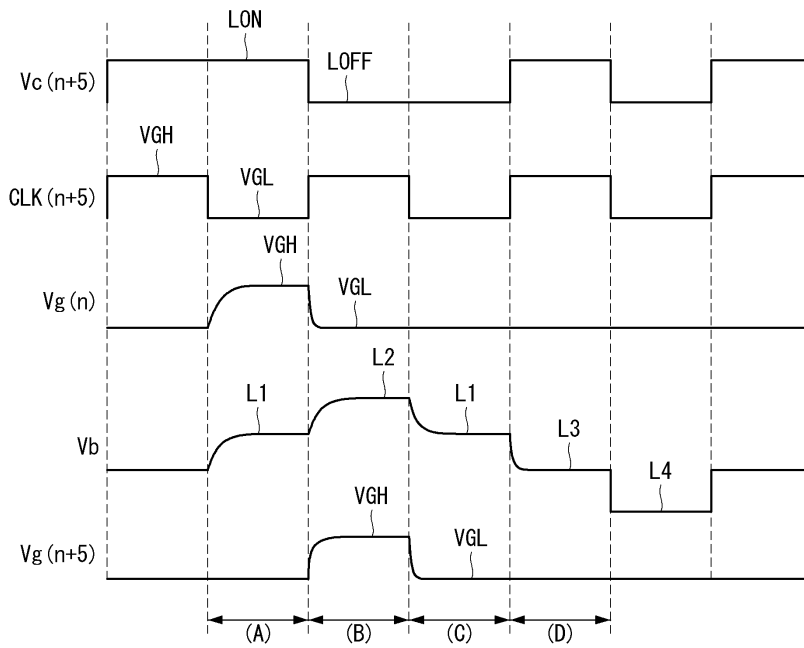
도면5



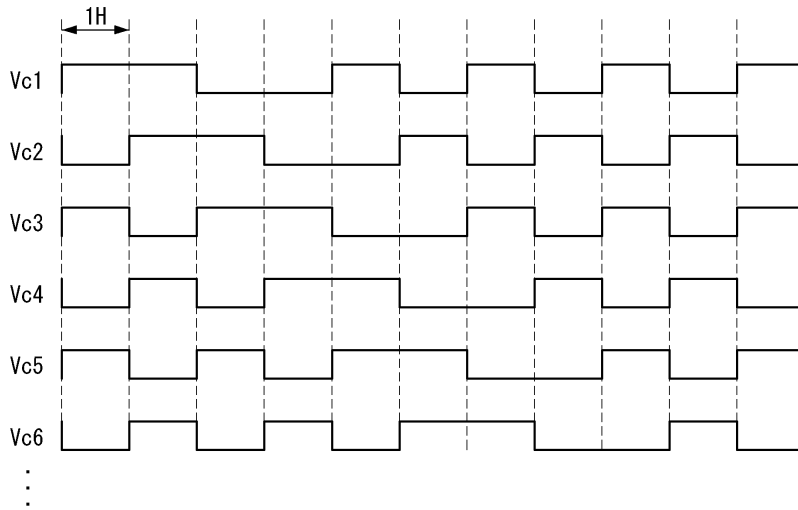
도면6



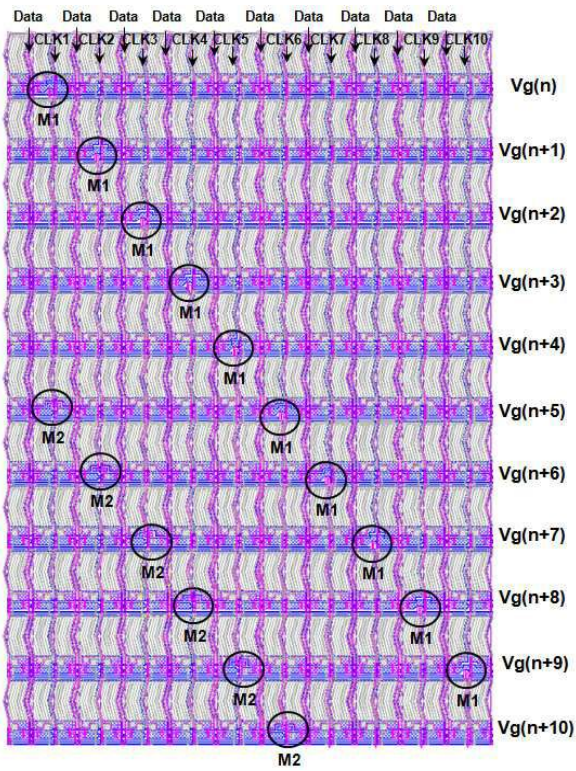
도면7



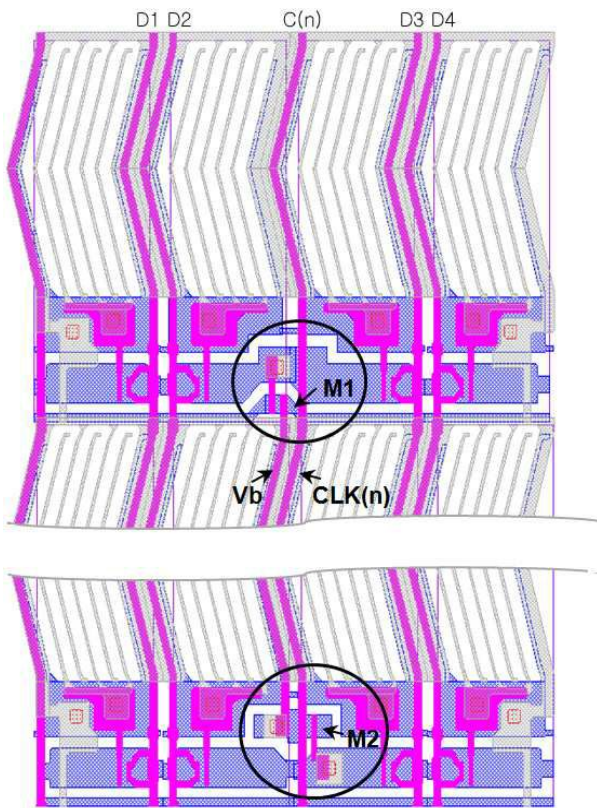
도면8



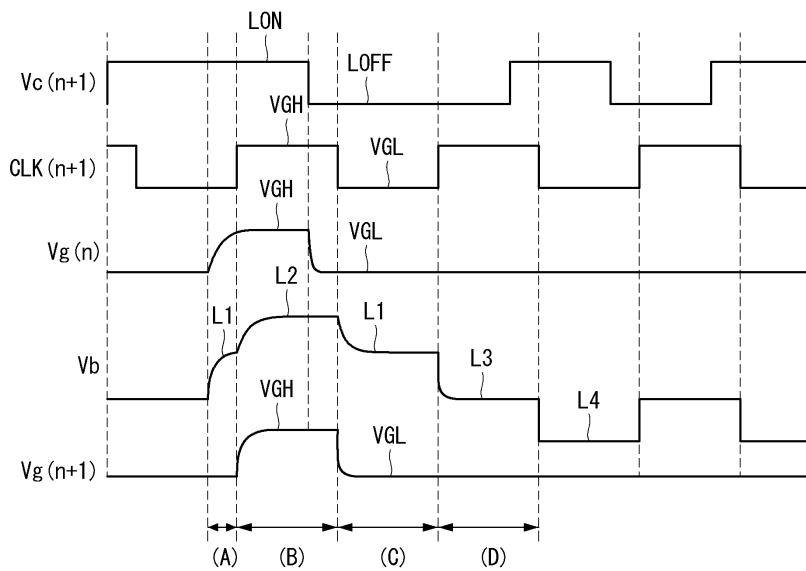
도면9



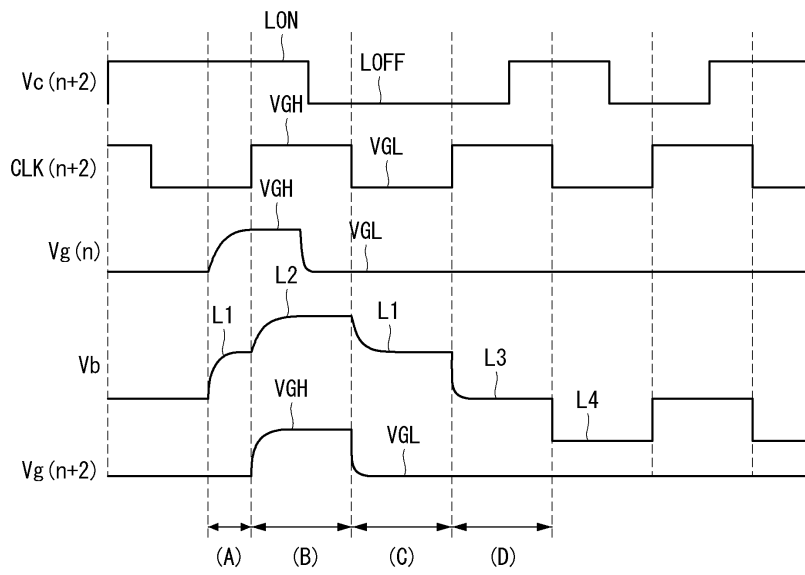
도면10



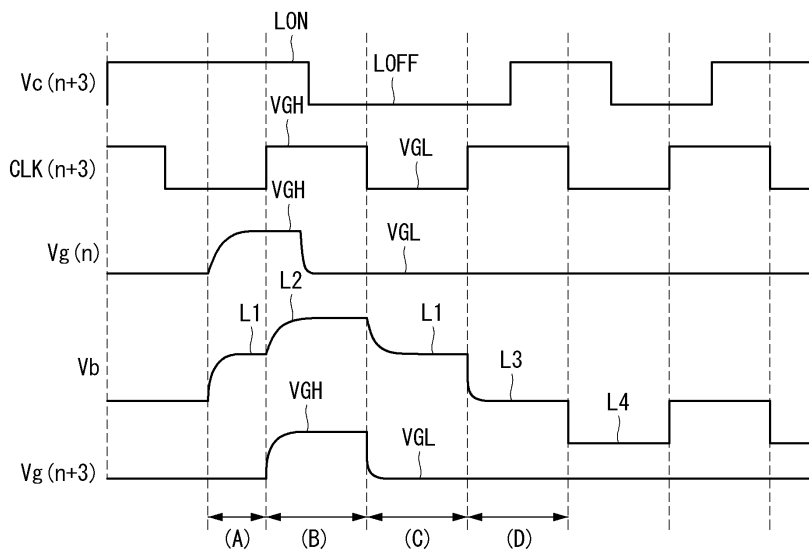
도면11a



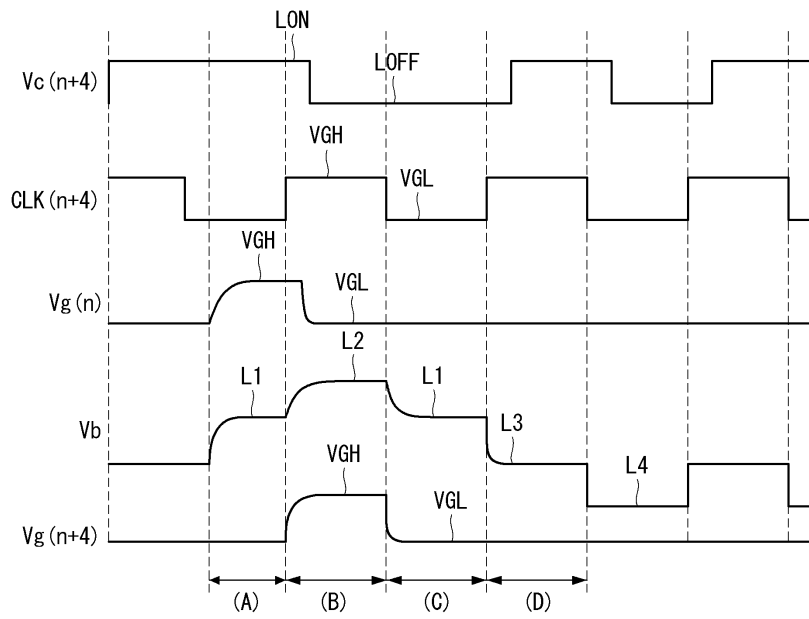
도면11b



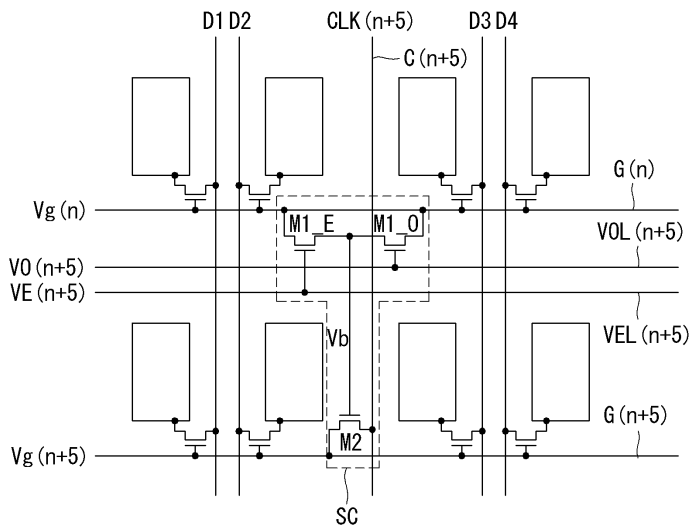
도면11c



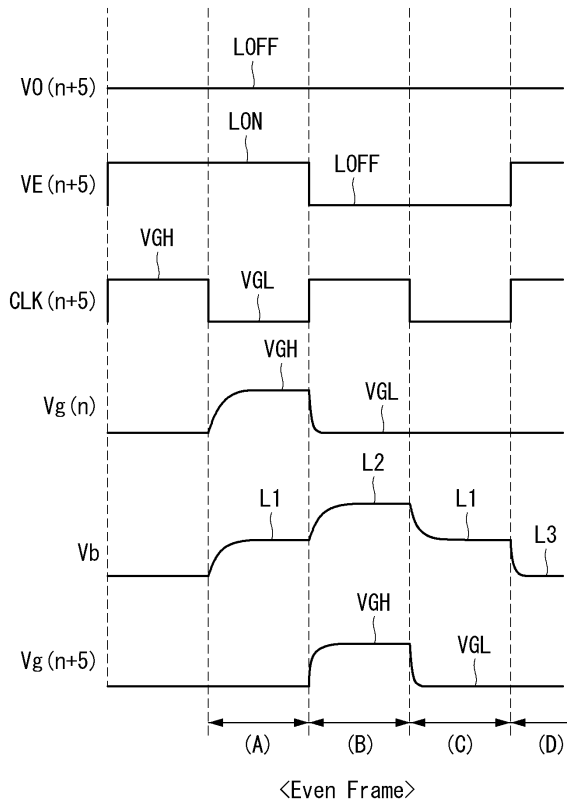
도면11d



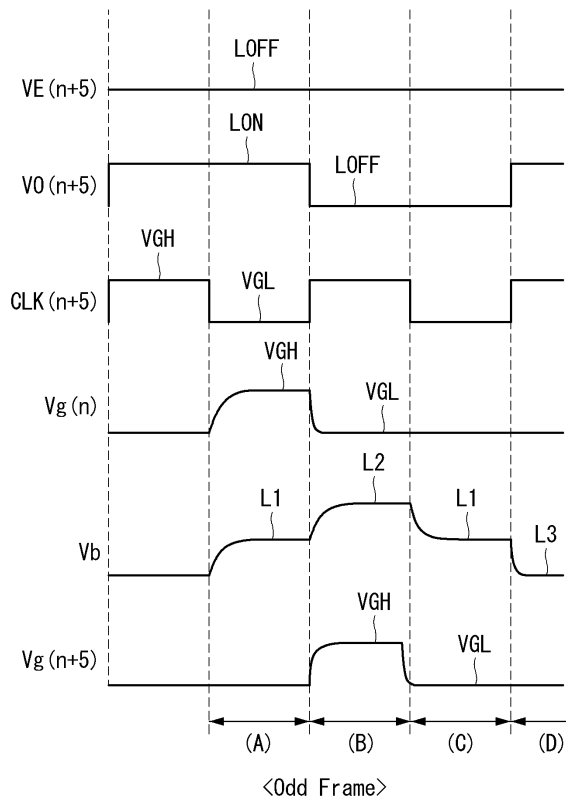
도면12



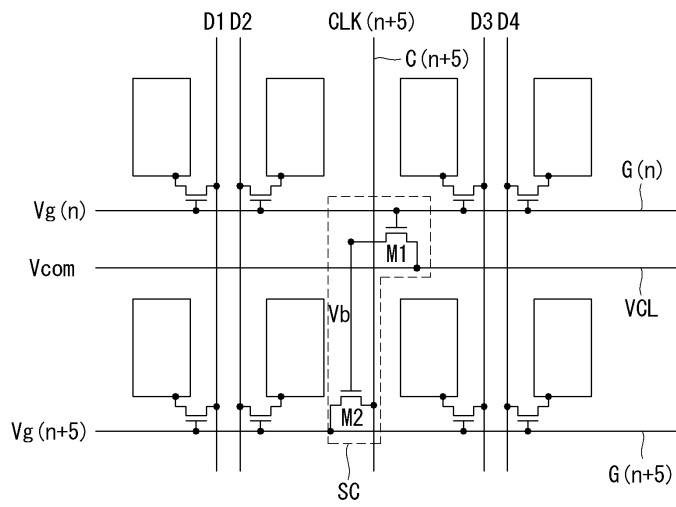
도면13a



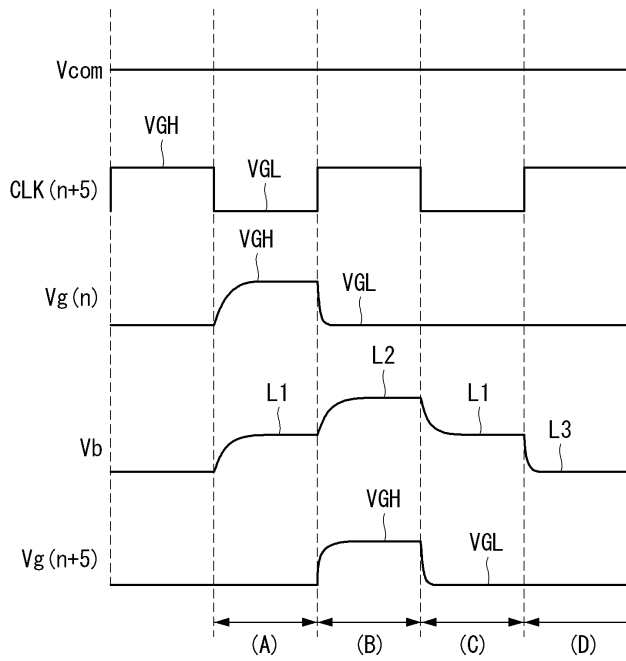
도면13b



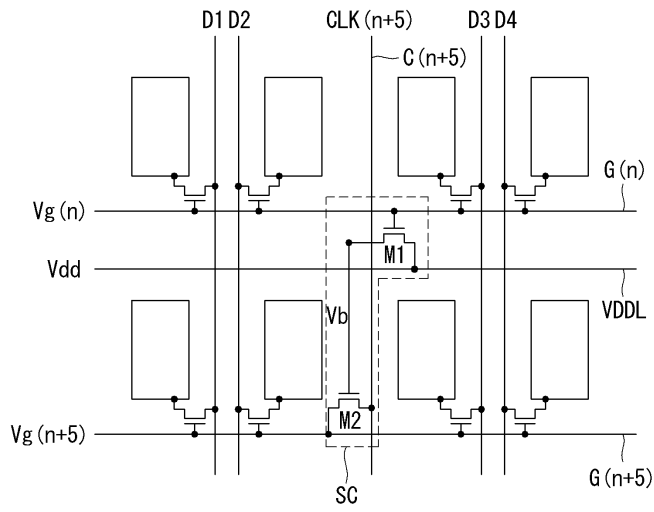
도면14



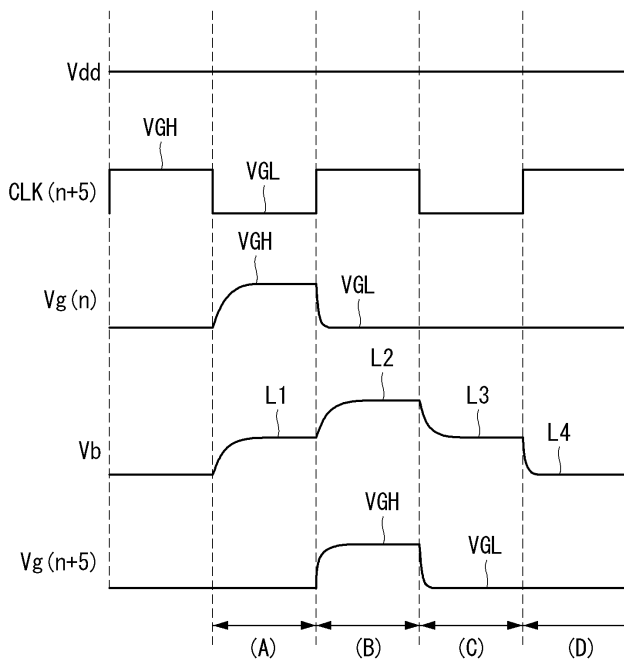
도면15



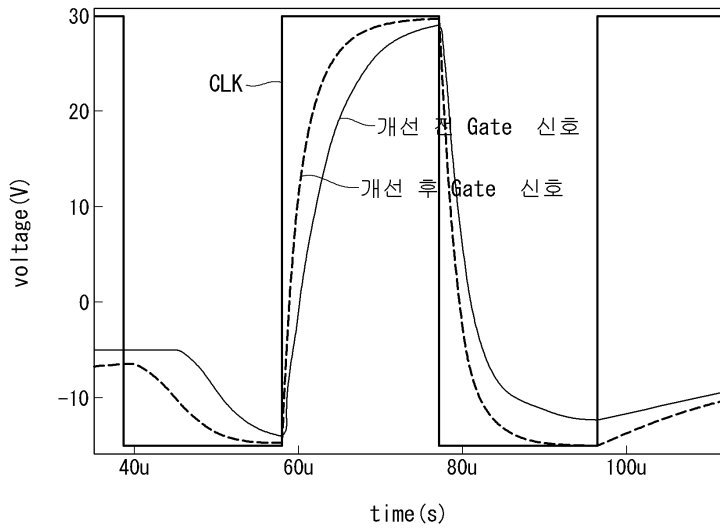
도면16



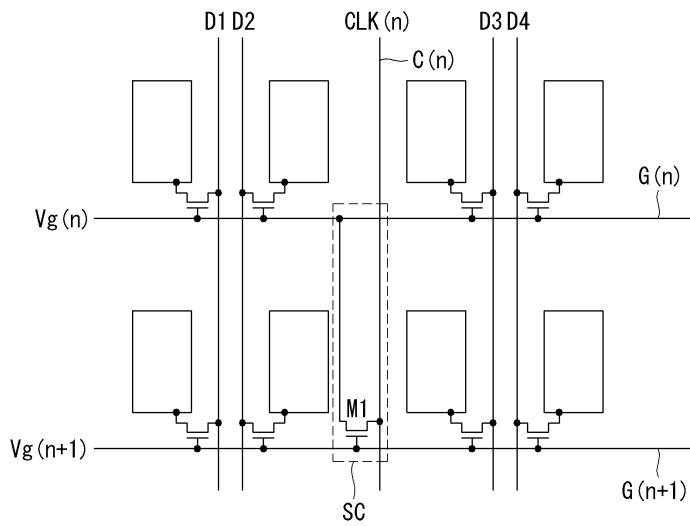
도면17



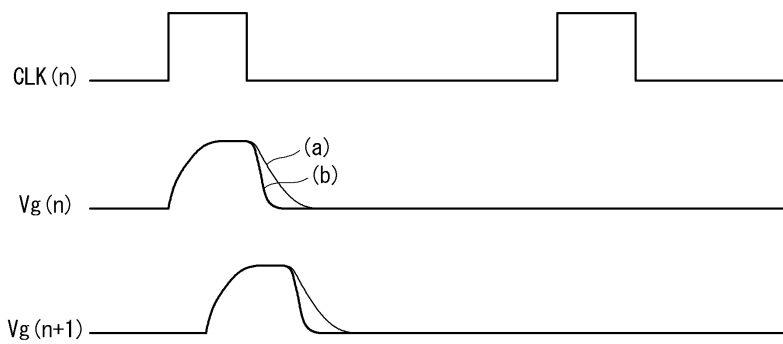
도면18



도면19



도면20



专利名称(译)	一种能够减小栅极信号的延迟偏差的液晶显示装置		
公开(公告)号	KR1020160044177A	公开(公告)日	2016-04-25
申请号	KR1020140138652	申请日	2014-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SEUNG WAN 조승완 HEO SEUNG HO 허승호 SHIM DA HYE 심다혜		
发明人	조승완 허승호 심다혜		
IPC分类号	G09G3/36		
外部链接	Espacenet		

摘要(译)

本发明涉及使RC延迟引起的栅极信号的位置偏差最小化的液晶显示器。这种液晶显示器包括在栅极线的开口端子中的栅极高压，它位于像素阵列的非显示区域中，指示图像和该像素阵列在外部，每个栅极信号在栅极的另一个位置除了开路端子之外，它位于多个GIP器件内的显示区域中，其连续地提供栅极低压栅极信号和像素阵列之间的摆动，以及多个延迟偏差补偿输出栅极移位时钟，其中相位是相同的，并补偿每个门信号的延迟偏差。

