



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0001179
(43) 공개일자 2016년01월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 5/02 (2006.01)
(21) 출원번호 10-2014-0079137
(22) 출원일자 2014년06월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한상수
경기도 파주시 한빛로 67, 213동 404호 (야당동, 한빛마을2단지휴먼빌레이크팰리스)
문성준
서울특별시 강서구 등촌로 113, 101동 301호 (등촌동, 등촌입광아파트)
김재혁
경기도 고양시 일산동구 노루목로 100, 211동 1504호 (장항동, 호수마을2단지아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 6 항

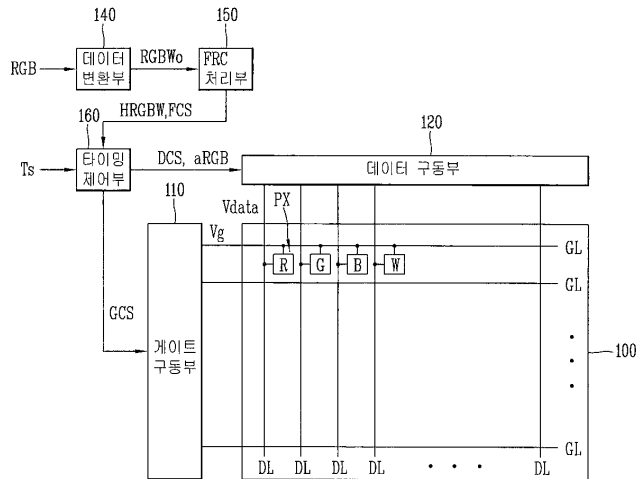
(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 액정표시장치를 개시한다. 보다 상세하게는, 본 발명은 프레임 레이트 제어기술(Frame Rate Control, FRC)을 적용하면서도 액정패널의 투과율을 향상시킨 구조를 갖는 액정표시장치에 관한 것이다.

본 발명의 실시예에 따르면, 패널 투과율을 높이기 위한 백색화소를 액정패널에 추가하고, 그 백색화소에 대한 데이터를 처리하기 위한 별도의 데이터 처리수단을 갖는 구동회로를 추가함으로써, FRC 적용 액정표시장치의 패널 투과율을 향상시킬 수 있는 효과가 있다.

대표도 - 도4



명세서

청구범위

청구항 1

복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차지점에 적색, 녹색, 청색 및 백색 화소가 구비되는 액정패널;

상기 게이트 배선에 게이트 구동신호를 출력하는 게이트 구동부;

상기 데이터 배선에 데이터 신호를 출력하는 데이터 구동부;

외부로부터 인가되는 RGB 데이터에 대응하여 상기 백색 화소에 대한 W 데이터를 추가하는 데이터 변환부;

상기 데이터 변환부로부터 RGBW 데이터를 입력받아 프레임 레이트 패턴을 생성하는 FRC 처리부; 및

상기 게이트 구동부 및 데이터 구동부를 제어하며, 상기 프레임 레이트 패턴을 상기 데이터 신호에 적용하는 타이밍 제어부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 적색, 녹색, 청색 및 백색화소는,

수직방향으로 순서가 엇갈려 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 변환부는,

상기 RGB 데이터를 입력받아 색상별 화소의 휘도값을 산출하는 휘도산출부; 및

설정값에 따라 산출된 휘도값에 기초하여 W 데이터를 포함하는 상기 RGBW 데이터를 생성 및 출력하는 출력신호 생성부

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 FRC 처리부는,

상기 RGBW 데이터의 상위비트 및 하위비트를 추출하는 데이터 추출부; 및

추출된 하위비트에 대응하여 프레임 레이트 제어신호를 출력하는 프레임 레이트 제어부

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 프레임 레이트 패턴은,

16×4 화소블록 또는 32×4 화소블록 단위로 각 프레임내의 화소들 중, 적어도 하나에 대하여 상위비트에 보상치를 가산하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 프레임 레이트 패턴은,

하나의 프레임내에서 보상치가 가산된 R,G,B 및 W 화소의 개수가 동일한 것을 특징으로 하는 액정표시장치.

발명의 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 프레임 레이트 제어기술(Frame Rate Control, FRC)을 적용하면서도 액정패널의 투과율을 향상시킨 구조를 갖는 액정표시장치에 관한 것이다.

배경기술

[0002] 평판표시장치에는, LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 있으며, 이중 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현이라는 이유로 인해 특히 액정표시장치(LCD)에 대한 많은 연구가 진행되고 있다.

[0003] 이중, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor, TFT)가 이용되는 액티브 매트릭스 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0004] 액티브 매트릭스 타입의 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 매트릭스 형태로 교차하여 형성되고 그 교차지점에 스위칭 소자에 의해 제어되는 복수의 화소를 구비되는 액정패널과, 이를 제어하기 위한 구동회로들로 이루어진다. 이러한 액정표시장치는 외부시스템으로부터 인가되는 디지털 비디오 신호를 기준전압을 이용하여 아날로그 데이터전압으로 변환하고 데이터배선에 공급함과 동시에 게이트 구동신호를 게이트 배선에 순차적으로 공급하여 스위칭 소자를 도통함으로써 데이터 신호를 액정셀에 충전시키는 구조이다.

[0005] 이러한 구성의 액정표시장치는 외부로부터 제공되는 RGB 데이터를 입력받아 상기 액정패널에 표시하기 위한 데이터로 변조하는 작업을 수행하며, 특히 입력되는 RGB 데이터는 통상적으로 8 비트이고, 이때 집적회로(IC)형태로 주문 제작되는 상기 구동회로들은 제조단가의 저감을 위해 6비트 처리용 IC를 사용하고 있다. 이때 요구되는 데이터 처리기술의 필요에 의해 제안된 방법 중 하나가 프레임 레이트 제어기술(Frame Rate Control, FRC)이다.

[0006] 상기 FRC는 데이터 구동IC에 입력되는 RGB 데이터의 비트 수를 줄이면서도 표현 가능한 계조 수 손실을 보상할 수 있다. FRC는 액정표시장치의 비용을 줄일 수 있고 화질 저하를 줄일 수 있기 때문에 많은 액정표시장치에 적용되고 있다.

[0007] 도 1 및 도 2는 종래 액정표시장치에 적용되는 FRC의 원리를 설명하기 위한 도면이다.

[0008] 도 1은 1 계조 미만의 소수 계조로 휘도를 미세하게 조정하기 위하여 보상치를 시간적으로 분산한 예를 나타내고 있다. 도 1을 참조하면, 4 개의 프레임기간(1st Frame ~ 4th Frame)중, 1 개의 프레임기간(4th Frame)에만 보상치 '1'을 화소에 기입하면, 시청자는 전체 4 프레임기간 동안 그 화소의 계조를 1/4 계조(25%)로 인식하게 된다(a).

[0009] 또한, 4 개의 프레임기간 중, 2 개의 프레임기간(3rd Frame, 4th Frame)에 보상치 '1'을 화소에 기입하면, 시청자는 4 프레임기간 동안 그 화소의 계조를 1/2 계조(50%)로 인식한다(b). 그리고 4 개의 프레임기간 중, 3 개의 프레임기간에 보상치 '1'을 화소에 기입하면, 시청자는 4 프레임기간 동안 그 화소의 계조를 3/4 계조(75%)로 인식하게 된다(c).

[0010] 또한, 도 4는 1 계조 미만의 소수 계조로 휘도를 미세하게 조정하기 위하여 보상치를 공간적으로 분산한 예를 나타내고 있다. 도 4를 참조하면, 1 계조 미만의 소수 계조로 휘도를 미세하게 조정하기 위해, 다수의 화소(P1 ~ P4)를 블록단위로 구분하고, 해당 블록내에 보상치가 기입되는 화소의 개수를 조절하여 보상치를 공간적으로 분산시킨다. 일 예로서, 2×2 화소들을 하나의 블록으로 할 때, 그 블록내의 화소들(P1 ~ P4)중, 1 개의 화소(P1)에 보상치 '1'을 기입하면 시청자는 그 블록내의 화소들에 대하여 계조를 1/4 계조(25%)로 인식하게 된다

(a).

[0011] 또한, 블록내의 화소들 중에서 2 개의 화소(P1, P3)에 보상치 '1'을 기입하면 시청자는 그 블록의 계조를 1/2 계조(50%)로 인식한다(b). 그리고 도 4의 (c)와 같이 블록내의 화소들 중에서 3개의 화소에 보상치 '1'을 기입하면 시청자는 그 블록의 계조를 3/4 계조(75%)로 인식하게 된다(c).

[0012] 일반적으로, 액정표시장치에 적용되는 FRC는 도 1의 시간적 분산 방법과 도 2의 공간적 분산 방법을 병행하여 구현된다.

[0013] 도 3은 종래 FRC 구동방법이 적용된 액정표시장치에서 프레임 레이트 패턴의 일 예를 나타낸 도면으로서, 보상치가 기입된 화소는 빗금으로 표시되어 있다.

[0014] 도 3을 참조하면 12 X 4 화소들을 하나의 블록으로 하여 4개의 프레임기간(1st Frame ~ 4th Frame) 동안 6개의 화소에 보상치 '1'을 기입하면, 시청자는 4 프레임 기간 동안 블록에 대한 계조를 1/8 계조(12.5%)로 인식하게 된다. 여기서, 보상치가 기입되는 화소들의 위치가 동일하면, 그 화소들의 휘도가 주변 화소들과 달라져 시청자에게 노이즈로 시인될 수 있다. 따라서, 보상치 '1'이 기입되는 화소들의 위치는 매 프레임 기간마다 변경되도록 한다.

[0015] 그러나, 전술한 FRC 구동방식에 의하면, 구동회로IC가 처리할 수 있는 비트수를 증가시키며 계조를 미세하게 조절 수 있다는 장점이 있는 반면, 화소 전체에 대한 휘도를 증가시킬 수는 없는 한계가 있다.

발명의 내용

해결하려는 과제

[0016] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 본 발명은 FRC를 적용하면서도 패널 투과율을 향상시킬 수 있는 액정표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0017] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 액정표시장치는, 복수의 게이트 배선 및 데이터 배선이 교차 형성되고, 교차지점에 적색, 녹색, 청색 및 백색 화소가 구비되는 액정패널; 상기 게이트 배선에 게이트 구동신호를 출력하는 게이트 구동부; 상기 데이터 배선에 데이터 신호를 출력하는 데이터 구동부; 외부로부터 인가되는 RGB 데이터에 대응하여 상기 백색 화소에 대한 W 데이터를 추가하는 데이터 변환부; 상기 데이터 변환부로부터 RGBW 데이터를 입력받아 프레임 레이트 패턴을 생성하는 FRC 처리부; 및 상기 게이트 구동부 및 데이터 구동부를 제어하며, 상기 프레임 레이트 패턴을 상기 데이터 신호에 적용하는 타이밍 제어부를 포함한다.

[0018] 상기 적색, 녹색, 청색 및 백색화소는, 수직방향으로 순서가 엇갈려 배치되는 것을 특징으로 한다.

[0019] 상기 데이터 변환부는, 상기 RGB 데이터를 입력받아 색상별 화소의 휘도값을 산출하는 휘도산출부; 및 설정값에 따라 산출된 휘도값에 기초하여 W 데이터를 포함하는 상기 RGBW 데이터를 생성 및 출력하는 출력신호 생성부를 포함하는 것을 특징으로 한다.

[0020] 상기 FRC 처리부는, 상기 RGBW 데이터의 상위비트 및 하위비트를 추출하는 데이터 추출부; 및 추출된 하위비트에 대응하여 프레임 레이트 제어신호를 출력하는 프레임 레이트 제어부를 포함하는 것을 특징으로 한다.

[0021] 상기 프레임 레이트 패턴은, 16×4 화소블록 또는 32×4 화소블록 단위로 각 프레임내의 화소들 중, 적어도 하나에 대하여 상위비트에 보상치를 가산하는 것을 특징으로 한다.

[0022] 상기 프레임 레이트 패턴은, 하나의 프레임내에서 보상치가 가산된 R,G,B 및 W 화소의 개수가 동일한 것을 특징으로 한다.

발명의 효과

[0023] 본 발명의 실시예에 따르면, 패널 투과율을 높이기 위한 백색화소를 액정패널에 추가하고, 그 백색화소에 대한 데이터를 처리하기 위한 별도의 데이터 처리수단을 갖는 데이터 변조부 및 FRC 처리부를 구비함으로써, FRC 적용 액정표시장치의 패널 투과율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0024] 도 1 및 도 2는 종래 액정표시장치에 적용되는 FRC의 원리를 설명하기 위한 도면이다.
- 도 3은 종래 FRC 구동방법이 적용된 액정표시장치에서 프레임 레이트 패턴의 일 예를 나타낸 도면이다.
- 도 4는 본 발명의 실시예에 따른 액정표시장치의 구조를 나타낸 도면이다.
- 도 5는 본 발명의 실시예에 따른 액정표시장치에 구비되는 데이터 변환부 및 FRC 처리부를 나타낸 도면이다.
- 도 6 및 도 7은 본 발명의 실시예에 따른 액정표시장치에 적용되는 프레임 레이트 패턴을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 명세서에서, 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 지칭하는데 사용되는 것으로, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이하의 설명에서 기재된 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로 사용된다.
- [0026] 특히, 어떤 구성요소가 다른 구성요소에 '연결' 또는 '접속' 있다고 기재된 경우에는 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다. 반면, 어떤 구성요소가 다른 구성요소에 '직접 연결' 또는 '직접 접속' 있다고 기재된 경우에는 중간에 다른 구성요소가 존재하지 않는다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니며, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0028] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명한다.
- [0029] 도 4는 본 발명의 실시예에 따른 액정표시장치의 구조를 나타낸 도면이다.
- [0030] 도 4를 참조하면, 본 발명의 액정표시장치는 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 교차 형성되고, 교차지점에 적색, 녹색, 청색 및 백색 화소(R,G,B,W)가 구비되는 액정패널(100), 상기 게이트 배선(GL)에 게이트 구동신호(Vg)를 출력하는 게이트 구동부(110), 상기 데이터 배선(DL)에 데이터 신호(Vdata)를 출력하는 데이터 구동부(120), 외부로부터 인가되는 RGB 데이터를(RGB)에 대응하여 상기 백색 화소(W)에 대한 W 데이터를 추가하는 데이터 변환부(140), 상기 데이터 변환부(140)로부터 RGBW 데이터를 입력받아 프레임 레이트 패턴을 생성하는 FRC 처리부(150) 및, 상기 게이트 구동부(110) 및 데이터 구동부(120)를 제어하며, 상기 프레임 레이트 패턴을 상기 데이터 신호(Vdata)에 적용하는 타이밍 제어부(160)를 포함한다.
- [0031] 액정패널(100)은 두 투명기판이 소정거리 이격되어 합착되고, 그 사이에 액정층이 개재된다. 두 기판 중, 아래 기판에는 투명기판 상에 다수의 게이트 배선(GL)과 다수의 데이터배선(DL)이 교차형성되고, 그 교차지점에 다수의 화소(PX)가 정의된다. 각 화소는 R,G,B 삼원색 화소(R,G,B) 및 백색화소(W)로 이루어지고, 각 화소(R,G,B,W)들에는 적어도 하나의 박막트랜지스터 및 액정캐패시터가 구비되어 화상을 표시하게 된다.
- [0032] 따라서, 풀HD(Full High-definition) 해상도의 액정표시장치를 기준으로 할 때, 종래 액정패널에는 삼원색의 화소가 구비됨에 따라, 총 화소의 개수는 1920 × 1080 ×3 개가 되나, 본 발명에 따른 액정패널에서는 1440 × 1080 × 4 개의 화소가 구비된다.
- [0033] 이러한 RGBW화소(R,G,B,W)는 종래의 스트라이프(strip) 구조와는 달리 수직방향에서 각 색상이 엇갈려 배치된다. 스트라이프 구조는 적색, 녹색, 청색화소가 각각 수직방향으로 동일한 색상이 배치되는 구조로서(도 3 참조), 이러한 스트라이프 구조를 백색화소(W)가 추가된 본 발명의 액정패널(100)에 그대로 적용할 경우, 휘도가 다른 화소들(R,G,B)에 비해 상대적으로 높은 백색화소(W)에 의해 영상의 가독성이 낮아지는 문제가 발생할 수 있다.
- [0034] 이러한 문제를 최소화하기 위해, 본 발명의 실시예에 따른 액정표시장치에서는 각 화소(R,G,B,W)가 수직방향에서 서로 동일한 색상이 연속하지 않도록 배치된다.
- [0035] 또한, 컬러필터기판에는 삼원색을 구현하기 위한 적색, 녹색, 청색의 컬러필터가 형성되어 있으며, 백색화소(W)에 대응하는 부분에는 컬러필터가 형성되어 있지 않고 빈 공간으로 남아 있다. 즉, 백색화소(W)는 컬러필터가 존재하지 않아 투과율이 삼원색 화소(RGB)들에 비해 상대적으로 높으며, 백색 빛만이 출광되게 되어 통상의

삼원색 화소만을 구비하는 액정패널에 대비하여 볼 때 화상의 휘도가 높아지는 효과가 있다.

- [0036] 이러한 백색화소(W)에 대한 데이터는 RGB 데이터에 의해 생성되며, 설정자의 의도에 따라 그 휘도가 결정된다.
- [0037] 일 예로서, 액정표시장치가 RGB 삼원색 화소(R,G,B)의 투과율을 1이라 할 때 350 nit의 휘도를 가진다. 그리고, 백색화소(W)가 추가되는 경우, R,G,B 화소(R,G,B)의 면적비는 75% 이고, 백색화소(W)의 면적비는 25%이며, 컬러 필터의 투과율이 0.33 이라고 하면, RGBW화소(R,G,B,W)의 투과율은 $0.75 + (0.25 / 0.33) \approx 1.5$ 가 된다. 즉, 본 발명의 RGBW 화소(R,G,B,W)의 투과율은 종래 RGB 화소(R,G,B)만으로 이루어진 화소보다 1.5배 정도 증가하게 된다.
- [0038] 한편, 각 화소(PX)에 구비되는 박막트랜지스터는 게이트전극이 게이트 배선(GL)에 연결되고, 소스전극은 데이터 배선(DL)에 연결된다. 또한, 드레인전극은 공통전극과 대항하는 화소전극과 연결되어 있다. 이러한 박막트랜지스터의 액티브층을 이루는 물질로는 비정질 실리콘(a-si silicon) 및 폴리 실리콘(poly silicon)등이 이용될 수 있으나, 액정표시장치의 대형화 및 고화질화 추세에 따라 소자 성능 역시 고성능이 요구됨에 따라, 이동도 특성이 향상된 산화물 실리콘(oxide silicon)이 이용될 수도 있다.
- [0039] 게이트 구동부(110)는 액정패널(100)의 화소영역을 제외한 비표시영역에 형성된 복수의 박막트랜지스터로 이루어지거나, 또는 별도의 구동IC로 구성된다. 도시되어 있지는 않지만, 게이트 구동부(110)는 대면적 및 고해상도 액정표시장치에서는 도시된 바와 같이 액정패널(100)의 양측으로 복수개가 구비될 수 있다.
- [0040] 특히, 게이트 구동부(110)는 타이밍 제어부(160)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 게이트 배선(GL)을 통해 1 ~ 2 수평기간(1~2H)씩 하이레벨의 게이트 구동신호(Vg)를 출력한다. 이에 따라, 하나의 수평선 단위로 화소(R,G,B,W)내의 박막트랜지스터가 도통되며, 이와 동기하여 데이터 배선(DL)을 통해 데이터 신호(Vdata)가 출력되어 액정캐패시터에 충전됨으로써 액정의 광 투과율이 달라져 화상을 표시하게 된다.
- [0041] 상기의 게이트 제어신호(GCS)로는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC) 및 게이트 출력 인에이블신호(Gate Output Enable, GOE)등이 있다.
- [0042] 데이터 구동부(120)는 타이밍 제어부(160)로부터 입력되는 데이터 제어신호(DCS)에 응답하여 정렬된 디지털형태의 영상 데이터(aRGB)를 기준전압에 따라 아날로그 형태의 데이터신호(Vdata)로 변환한다. 또한, 데이터 구동부(120)는 변환된 데이터신호(Vdata)를 하나의 수평선 단위로 래치하여 1 ~ 2 수평기간(1~2H)마다 모든 데이터 배선(DL)을 통해 동시에 액정패널(100)로 출력한다.
- [0043] 상기 데이터 제어신호(DCS)로는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 쉬프트 클럭(Source Shift Clock, SSC) 및 소스 출력 인에이블 신호(Source Output Enable, SOE) 등이 있다.
- [0044] 이때, 정렬된 영상 데이터(aRGBW)는 프레임 레이트 처리된 데이터로서, FRC 구동방법에 의해 보상치가 가산된 RGBW 비디오 신호이다. 이러한 FRC 구동방법은 후술하는 FRC 처리부(150) 및 타이밍 제어부(160)에 의해 구현된다.
- [0045] 데이터 변환부(140)는 외부 시스템으로부터 입력되는 R,G,B 화소에 대한 RGB 데이터(RGB)를 설정값에 따라 R,G,B,W 데이터(RGBW)로 변환하여 FRC 처리부(150)에 출력한다. 즉, 외부 시스템이 제공하는 영상과 관련된 RGB 데이터(RGB)는 휘도와 관련된 W 데이터를 포함하고 있지 않으며, 데이터 변환부(140)는 R,G,B 데이터(R,G,B)에 근거하여 RGBW 데이터(RGBW)를 생성하게 된다.
- [0046] FRC 처리부(150)는 데이터 변환부(140)로부터 출력되는 RGB 데이터(RGB)를 수신하고, 그로부터 상위비트 및 하위비트를 추출한 뒤, 상위비트에 대한 영상데이터(HRGBW)는 타이밍 제어부(160)로 공급하고, 하위비트를 분석하여 프레임 레이트 구동을 위한 프레임 레이트 제어신호(FCS)를 생성하여 타이밍 제어부(160)에 입력한다. 이에 따라, 타이밍 제어부(160)는 수신한 상위 비트의 영상에 대하여 프레임 레이트 패턴에 따라 보상치를 가산하고 정렬하여 정렬된 RGBW 데이터(aRGBW)를 데이터 구동부(120)에 출력한다.
- [0047] 전술한 데이터 변환부(140) 및 FRC 처리부(150)는 타이밍 제어부(160)내에 실장되어 하나의 IC로 구현될 수 있다.
- [0048] 타이밍 제어부(160)는 외부시스템으로부터 타이밍 신호(Ts)를 입력받아 이에 대응하여 게이트 구동부(110) 및 데이터 구동부(120)의 제어신호(GCS, DCS)를 생성한다.
- [0049] 또한, 타이밍 제어부(160)는 FRC 처리부(150)로부터 상위비트로 이루어진 영상 데이터(HRGBW)와, 프레임 레이트

제어신호(FCS)를 입력받으며, 영상 데이터(HRGBW)에 보상치를 가산하고 데이터 구동부(120)가 처리할 수 있는 형태로 정렬하여 RGBW 데이터(aRGBW)를 데이터 구동부(120)에 출력한다.

- [0050] 상기 영상 데이터(HRGBW)는 상위 6 비트로 이루어져 있고, 프레임 레이트 제어신호(FCS)는 2 비트에 의해 정의된 보상치 가산이다. 따라서, 4 프레임동안 프레임 레이트가 조절됨에 따라 R,G,B,W 화소(R,G,B,W)는 6 비트와 프레임 레이트 2비트가 합쳐진 원래의 8 비트 데이터에 상응하는 계조를 표시하게 된다.
- [0051] 따라서, 상기 영상 데이터(HRGBW)는 각 화소의 계조값이 6비트로서 64 계조까지 구현할 수 있으나, 프레임 레이트 제어에 따라 8비트의 256 계조를 구현할 수 있다.
- [0052] 즉, 상위 비트(6 비트)의 W 데이터를 아날로그 W 데이터로 변환하고, 변환된 아날로그 W 데이터를 프레임 레이트 제어신호(FCS)에 따라 4개의 프레임 동안 보정치인 '1'을 가산함으로써 상위비트(6 비트)와 하위비트(2 비트)가 합쳐진 원래(8 비트)의 W 데이터에 상응하는 휘도를 구현하게 된다.
- [0053] 이러한 구조에 따라, 본 발명의 액정표시장치는, 기본적인 삼원색 이외에도 화상의 휘도를 증가시키는 백색화소(W)를 더 구비하면서도 프레임 레이트 제어방식을 적용하여 구동회로 IC가 처리할 수 있는 비트수를 증가시켜 계조를 미세하게 조절할 수 있는 효과가 있다.
- [0054] 이하, 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치의 구동회로를 설명한다.
- [0055] 도 5는 본 발명의 실시예에 따른 액정표시장치에 구비되는 데이터 변환부 및 FRC 처리부를 나타낸 도면이다.
- [0056] 도 5를 참조하면, 본 발명의 액정표시장치는, 외부로부터 인가되는 RGB 데이터(RGB)에 대응하여 상기 백색화소에 대한 W 데이터(W)를 추가하는 데이터 변환부(140) 및 RGBW 데이터에 대응하여, 프레임 레이트 패턴을 적용하여 상기 타이밍 제어부에 공급하는 FRC 처리부(150)를 구비한다.
- [0057] 데이터 변환부(140)는 상기 RGB 데이터(RGB)를 입력받아 색상별 화소의 휘도값을 산출하는 휘도산출부(141) 및 설정값에 따라 산출된 휘도값에 기초하여 W 데이터를 포함하는 RGBW 데이터(RGBW₀)를 생성 및 출력하는 출력신호 생성부(145)로 이루어진다.
- [0058] 상세하게는, 휘도판별부(141)은 외부 시스템으로부터 인가되는 8비트의 RGB 데이터(RGB)을 수신하고, 각 색에 대한 휘도값(lum)을 판별하여 출력신호 생성부(150)에 제공한다.
- [0059] 출력신호 생성부(145)는 설정값(set) 및 휘도값(lum) 따라 W 데이터(W₀)를 생성하고, R,G,B 데이터(RGB)의 휘도를 조정하여 출력을 위한 RGB 데이터(R₀,G₀,B₀)를 생성한다. 여기서, R,G,B 데이터(RGB)의 휘도조정은 백색화소의 추가에 의해 색상변화가 발생하는 것을 최소화하기 위한 것이다. 생성된 출력용 RGBW 데이터(RGBW₀)는 FRC 처리부(150)에 제공된다.
- [0060] FRC 처리부(150)는, 상기 RGBW 데이터(RGBW₀)의 상위비트 및 하위비트를 추출하는 데이터 추출부(152) 및 추출된 하위비트에 대응하여 프레임 레이트 제어신호(FCS)를 출력하는 프레임 레이트 제어부(156)으로 이루어진다.
- [0061] 데이터 추출부(152)는 백색화소에 대한 데이터가 추가된 8 비트의 출력용 데이터(RGBW₀)를 R 데이터(R₀), G 데이터(G₀), B 데이터(B₀) 및 W 데이터(W₀)로 나누어 입력받아 순차적으로 배열한다. 일 예로서, 출력용 데이터(RGBW₀)는 한 프레임 단위로 입력될 수 있으며, 데이터 추출부(152)는 R 데이터(R₀), G 데이터(G₀), B 데이터(B₀) 및 W 데이터(W₀)을 한 프레임씩 배열한 후 이후의 데이터 가공을 수행하게 된다.
- [0062] 데이터 배열 이후, 데이터 추출부(152)는 각 R 데이터(R₀), G 데이터(G₀), B 데이터(B₀) 및 W 데이터(W₀)에 대하여 상위 비트 및 하위 비트를 추출한다. 일 예로서, 각 데이터는 8 비트 데이터이며 하나의 데이터가 '10001001' 이라고 하면, 상위비트로서 6비트 데이터인 '100010'을 추출하고, 하위비트로서 2비트 데이터인 '01'을 추출하게 된다. 데이터 추출부(152)는 이러한 데이터 가공과정을 한 프레임에 포함된 모든 R,G,B,W 데이터에 대하여 수행한다.
- [0063] 데이터 추출부(152)에 의해 추출된 비트 중, 상위 비트(HRGB)는 타이밍 제어부로 출력되며, 하위 비트(LR, LG, LB, LW)는 후술하는 프레임 레이트 제어부(156)로 출력된다.
- [0064] 프레임 레이트 제어부(156)은 데이터 추출부(152)에서 추출된 각 데이터에 대한 하위비트(LR, LG, LB, LW)를 입력받아 프레임 레이트 제어를 위한 제어신호(FCS)를 생성한다. 이러한 프레임 레이트 제어신호는 R,G,B,W 데이터에 대하여 4 프레임동안 하위비트에 의한 보상치를 가산하도록 하는 것으로서, 타이밍 제어부(미도시)는 상위비트에 대한 정렬 수행시 상기 보상치를 적용하게 된다.

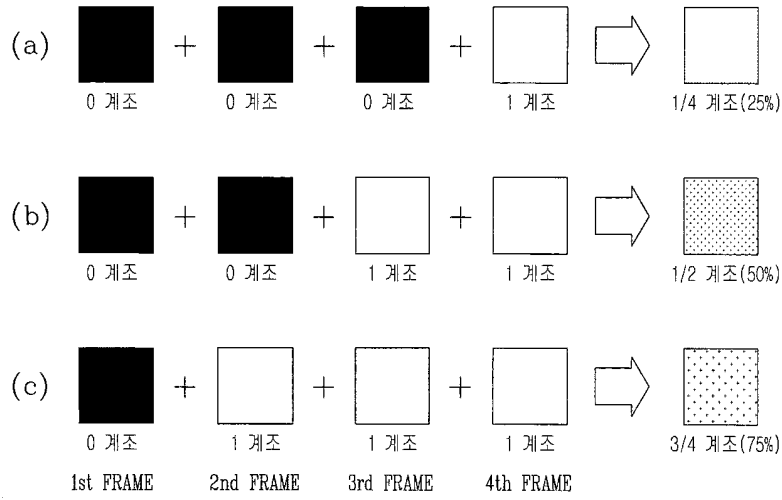
- [0065] 특히, 각 프레임내에 포함된 보상치가 가산된 화소들은 해당 색 마다 그 개수의 총합이 동일하도록 설정되어야 하며, 그렇지 않을 경우 플리커(flicker)등의 화질 저하 문제가 최소화된다.
- [0066] 도 6 및 도 7은 본 발명의 실시예에 따른 액정표시장치에 적용되는 프레임 레이트 패턴을 나타낸 도면이다.
- [0067] 도 6은 16×4 화소블록을 갖는 FRC 방식 액정표시장치의 프레임 레이트 패턴을 예시한 것으로, 빗금은 보상치가 기입된 화소들을 나타낸다. 도면에서는 RGBW 화소들(R,G,B,W)이 수직방향으로 서로 동일한 색상이 배치되는 것이 아닌, 다른 색상이 배치되는 구조의 예를 도시하고 있으나, 화소배치가 도면에 나타낸 구조만으로 한정되는 것은 아니다.
- [0068] 도 6을 참조하면, 본 발명의 FRC 구동방식에서는 하나의 프레임내에는 16×4 화소블록에 대한 패턴이 반복되며, 각 화소들(R,G,B,W)에 대하여 4개의 프레임기간(1st Frame ~ 4th Frame) 동안 8개의 화소들에 보상치 '1'을 기입함으로써 원 계조에 더하여 4 프레임 기간 동안 1/8 계조(12.5%)를 표시하게 된다. 또한, 각 프레임기간(1st Frame ~ 4th Frame)마다 보상치가 기입되는 화소들의 위치를 쉬프트하여 노이즈 발생을 방지하게 된다.
- [0069] 만약, 1/2 계조를 더하여 표시하고자 한다면, 각 화소블록 당 32개의 화소들에 보상치 '1' 을 기입하면 된다.
- [0070] 여기서, 하나의 프레임내에서 보상치가 가산된 화소들(R,G,B,W)의 총합은 동일하도록 제어되어야 한다. 즉, 도 6에서는 R 화소(R), G 화소(G), B 화소(B) 및 W 화소(W)들 중 두 개씩 일괄적으로 보상치 '1'이 기입되어 있다.
- [0071] 또한, 도 7은 32×4 화소블록을 갖는 FRC 방식 액정표시장치의 프레임 레이트 패턴을 예시한 것으로, 상기의 예와 마찬가지로 각 화소들(R,G,B,W)에 대하여 4개의 프레임기간(1st Frame ~ 4th Frame) 동안 16개의 화소들에 보상치 '1'을 기입함으로써 4 프레임 기간 동안 원 계조에 더하여 1/8 계조(12.5%)를 표시하게 된다. 또한, 각 프레임기간(1st Frame ~ 4th Frame)마다 보상치가 적용되는 화소들의 위치는 변경된다.
- [0072] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

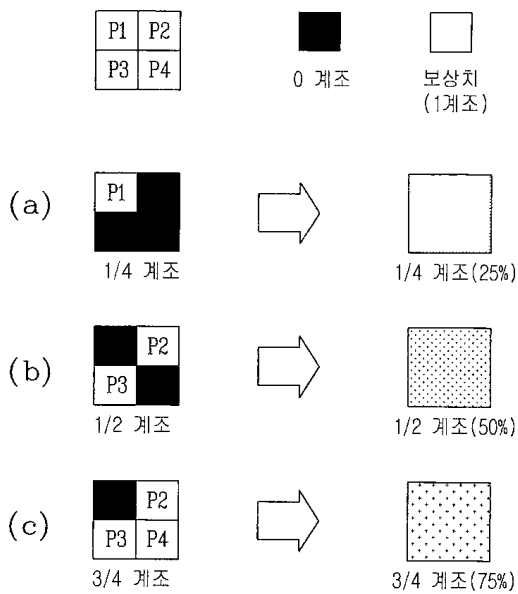
- [0073] 100 : 액정패널 110 : 게이트 구동부
 120 : 데이터 구동부 140 : 데이터 변환부
 150 : FRC 처리부 160 : 타이밍 제어부
 RGB : RGB 데이터 RGBw : 출력용 RGBW 데이터
 HRGBW : 상위비트 RGBW 데이터 FCS : 프레임 레이트 제어신호
 GCS : 게이트 제어신호 DCS : 데이터 제어신호
 aRGBW : 정렬된 RGBW 데이터

도면

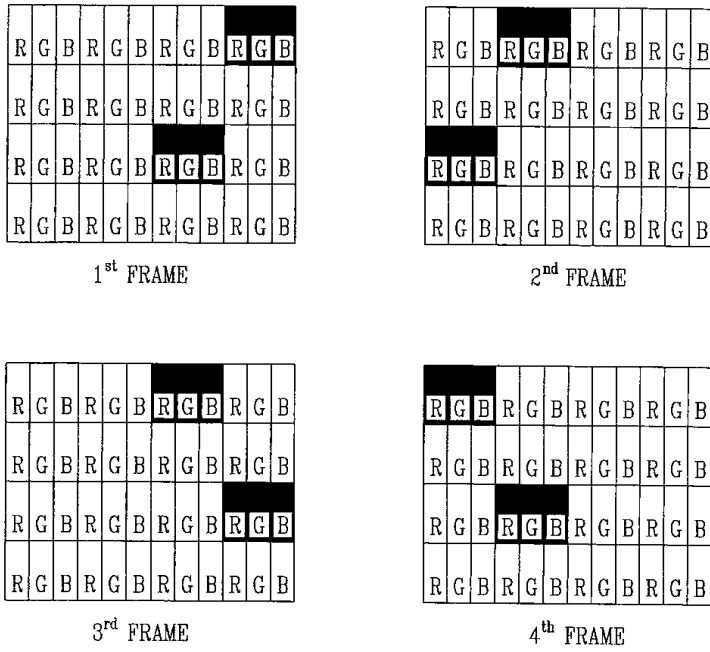
도면1



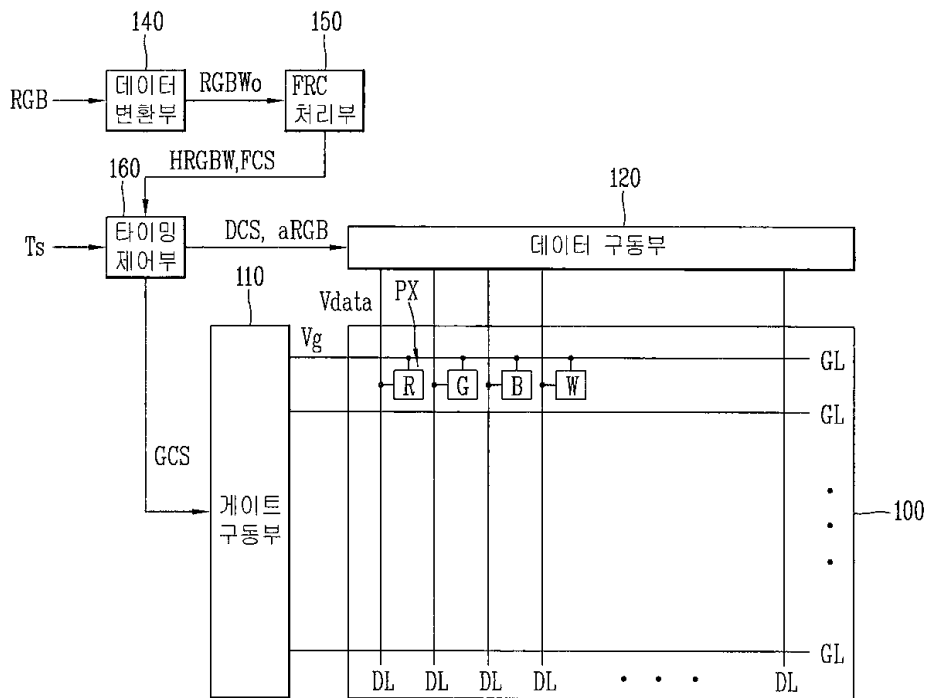
도면2



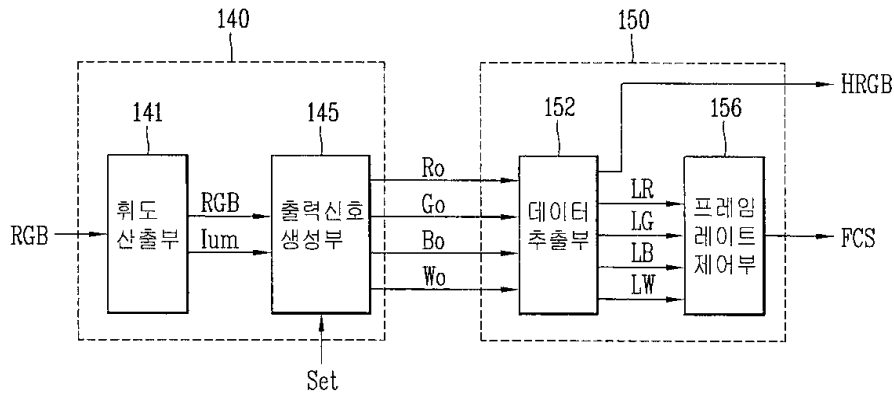
도면3



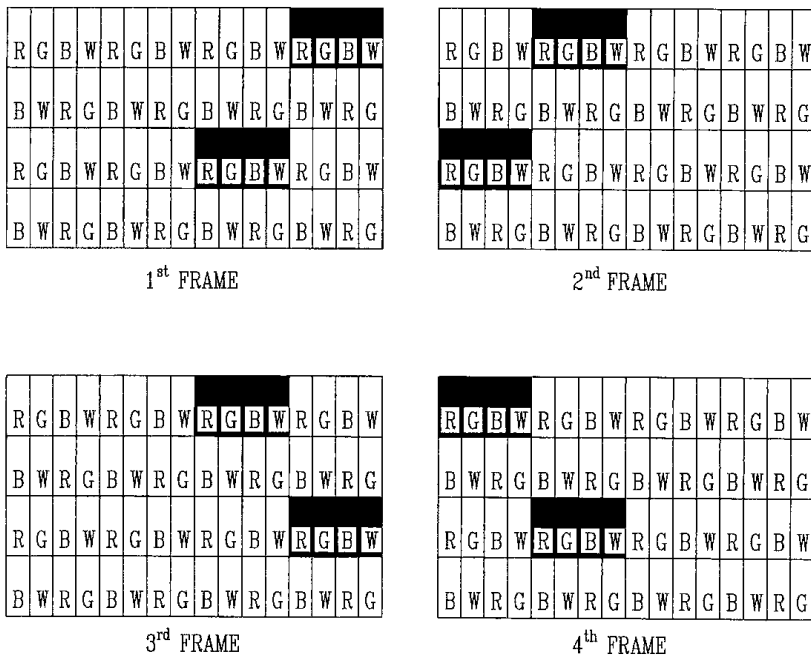
도면4



도면5



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160001179A	公开(公告)日	2016-01-06
申请号	KR1020140079137	申请日	2014-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SANG SOO 한상수 MOON SUNG JOON 문성준 KIM JAE HYUK 김재혁		
发明人	한상수 문성준 김재혁		
IPC分类号	G09G3/36 G09G5/02		
代理人(译)	PARK , JANG WON PARK , JANG WON박장원		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置。更具体地，本发明涉及一种液晶显示(LCD)装置，其具有在应用帧速率控制(FRC)技术的同时改善液晶面板的透射率的结构。根据本发明的实施例，通过添加用于增加面板透射率的白色像素到液晶面板并添加具有用于处理白色像素的数据的单独数据处理装置的驱动电路，可以改善面板透射率。

