

특허청구의 범위

청구항 1

화상을 표시하는 액티브 영역 및 상기 액티브 영역에 구동신호를 인가하는 배선부를 포함하는 기관;
상기 기관 상에 위치하는 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극을 포함하는 액티브 영역;
및
상기 기관 상에 위치하며, 복수의 제1 배선들 및 상기 복수의 제1 배선들과 중첩되는 적어도 하나의 제2 배선을 포함하는 배선부;를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,
상기 액티브 영역은,
기관;
상기 기관 상에 위치하는 게이트 전극;
상기 게이트 전극 상에 위치하는 게이트 절연막;
상기 게이트 절연막 상에 위치하는 반도체층과, 상기 반도체층에 각각 접속하는 소스 전극 및 드레인 전극;
상기 소스 전극 및 드레인 전극 상에 위치하는 유기절연막; 및
상기 유기절연막 상에 위치하되 서로 이격된 화소 전극 및 공통 전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2 항에 있어서,
상기 배선부는,
상기 기관 상에 위치하는 상기 복수의 제1 배선들;
상기 복수의 제1 배선들 상에 위치하는 적어도 하나의 절연막; 및
상기 적어도 하나의 절연막 상에 위치하는 상기 제2 배선을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서,
상기 복수의 제1 배선들은 상기 게이트 전극과 동일한 층에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 5

제4 항에 있어서,
상기 제2 배선은 상기 화소 전극과 동일한 층에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 6

제4 항에 있어서,

상기 제2 배선은 상기 소스 전극과 동일한 층에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 7

기관 상에 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극을 포함하는 액티브 영역을 형성하는 단계;
및

상기 기관 상에 복수의 제1 배선들 및 상기 복수의 제1 배선들과 중첩되는 적어도 하나의 제2 배선을 포함하는 배선부를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제7 항에 있어서,

상기 액티브 영역을 형성하는 단계는,

상기 기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 반도체층을 형성하고, 상기 반도체층에 각각 접속하는 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극 상에 유기절연막을 형성하는 단계; 및

상기 유기절연막 상에 서로 이격된 화소 전극 및 공통 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제8 항에 있어서,

상기 배선부를 형성하는 단계는,

상기 기관 상에 상기 복수의 제1 배선들을 형성하는 단계;

상기 복수의 제1 배선들 상에 적어도 하나의 절연막을 형성하는 단계; 및

상기 적어도 하나의 절연막 상에 상기 제2 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제9 항에 있어서,

상기 복수의 제1 배선은 상기 게이트 전극과 동시에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

제10 항에 있어서,

상기 제2 배선은 상기 화소 전극 또는 상기 소스 전극과 동시에 형성하는 것을 특징으로 하는 액정표시장치의

제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 패널 외곽의 배선들을 중첩되게 적층하여 베젤을 축소하고 배선 지연을 개선할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기관과 화소 전극이 형성된 어레이 기관과, 상기 두 기관 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0004] 도 1은 종래 액정표시장치를 나타낸 평면도이고, 도 2는 도 1의 A영역을 확대한 도면이며, 도 3은 도 2의 I-I'에 따라 절취한 단면을 나타낸 도면이다.

[0005] 도 1을 참조하면, 종래 액정표시장치는 기관(SUB) 상에 화상을 표시하는 액티브 영역(A/A)이 구비되고, 액티브 영역(A/A)에 구동신호를 공급하는 구동부(DC)가 구비된다. 그리고, 구동부(DC)로부터 구동신호를 액티브 영역(A/A)으로 공급하기 위한 배선들이 배치되는 배선부(LP)들이 구비된다. 배선부(LP)들은 액티브 영역(A/A)을 둘러싸는 영역일 수 있다.

[0006] 보다 자세하게, 도 2를 참조하면, 배선부(LP)는 액티브 영역에 그라운드 신호를 인가하기 위한 그라운드 배선(GND), 클럭 신호를 인가하기 위한 클럭 배선(CLK), 게이트하이 신호를 인가하기 위한 게이트하이 배선(Vgh), 게이트 인에이블 신호를 인가하기 위한 게이트 인에이블 배선(GOE) 및 공통전압을 인가하기 위한 공통배선(Vcom)이 구비된다. 그러나, 도시하지 않았지만 더 많은 신호들을 인가하기 위한 배선들이 구비될 수 있다.

[0007] 도 3을 참조하여 그 단면을 살펴보면, 기관(SUB) 상에 전술한 배선들이 구비되고, 그 상부에 게이트 절연막(GI)과 유기절연막(PAC)이 구비되며, 블랙 매트릭스(BM)가 형성된 컬러필터 기관(CFS)이 실(Seal)에 의해 함착된다. 이러한 배선들은 모두 동일층에 형성되기 때문에 쇼트(Short)에 대한 방지로 이격 거리를 두게 된다. 이로 인해, 배선 폭과 이격 거리는 베젤(bezel)을 차지하는 공간이 된다. 더욱이 배선 폭은 줄이는데 한계가 있어 어느 정도 이하로 줄일 수 없기 때문에 배선들의 최소폭은 패널 베젤의 한계치가 되며 더 이상 줄일 수 없는 폭이 된다. 만약, 큰 배선폭을 차지하는 공통 배선(Vcom)을 줄일 경우 수평 크로스토크(C/T) 특성이 나빠져 화질 불량을 초래하게 된다. 이외에도 다른 배선들의 폭의 감소는 배선 지연(Line Delay)의 증가를 초래하여 패널 성능을 저하시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 패널 외곽의 배선들을 중첩되게 적층하여 베젤을 축소하고 배선 지연을 개선할 수 있는 액정표시장치 및 그 제조방법을 제공한다.

과제의 해결 수단

- [0009] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치는 화상을 표시하는 액티브 영역 및 상기 액티브 영역에 구동신호를 인가하는 배선부를 포함하는 기관, 상기 기관 상에 위치하는 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극을 포함하는 액티브 영역, 및 상기 기관 상에 위치하며, 복수의 제1 배선들 및 상기 복수의 제1 배선들과 중첩되는 적어도 하나의 제2 배선을 포함하는 배선부;를 포함하는 것을 특징으로 한다.
- [0010] 상기 액티브 영역은, 기관, 상기 기관 상에 위치하는 게이트 전극, 상기 게이트 전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하는 반도체층과, 상기 반도체층에 각각 접속하는 소스 전극 및 드레인 전극, 상기 소스 전극 및 드레인 전극 상에 위치하는 유기절연막, 및 상기 유기절연막 상에 위치하되 서로 이격된 화소 전극 및 공통 전극을 더 포함하는 것을 특징으로 한다.
- [0011] 상기 배선부는, 상기 기관 상에 위치하는 상기 복수의 제1 배선들, 상기 복수의 제1 배선들 상에 위치하는 적어도 하나의 절연막, 및 상기 적어도 하나의 절연막 상에 위치하는 상기 제2 배선을 포함하는 것을 특징으로 한다.
- [0012] 상기 복수의 제1 배선들은 상기 게이트 전극과 동일한 층에 위치하는 것을 특징으로 한다.
- [0013] 상기 제2 배선은 상기 화소 전극과 동일한 층에 위치하는 것을 특징으로 한다.
- [0014] 상기 제2 배선은 상기 소스 전극과 동일한 층에 위치하는 것을 특징으로 한다.
- [0015] 또한, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법은 기관 상에 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소 전극을 포함하는 액티브 영역을 형성하는 단계, 및 상기 기관 상에 복수의 제1 배선들 및 상기 복수의 제1 배선들과 중첩되는 적어도 하나의 제2 배선을 포함하는 배선부를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0016] 상기 액티브 영역을 형성하는 단계는, 상기 기관 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 반도체층을 형성하고, 상기 반도체층에 각각 접속하는 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 드레인 전극 상에 유기절연막을 형성하는 단계, 및 상기 유기절연막 상에 서로 이격된 화소 전극 및 공통 전극을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0017] 상기 배선부를 형성하는 단계는, 상기 기관 상에 상기 복수의 제1 배선들을 형성하는 단계, 상기 복수의 제1 배선들 상에 적어도 하나의 절연막을 형성하는 단계, 및 상기 적어도 하나의 절연막 상에 상기 제2 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0018] 상기 복수의 제1 배선은 상기 게이트 전극과 동시에 형성하는 것을 특징으로 한다.
- [0019] 상기 제2 배선은 상기 화소 전극 또는 상기 소스 전극과 동시에 형성하는 것을 특징으로 한다.

발명의 효과

- [0020] 본 발명에 따른 액정표시장치 및 그 제조방법은 배선부에 위치하는 적어도 하나의 배선을 다른 배선들과 다른 층에 형성함으로써, 배선 영역을 축소할 수 있고 배선 폭을 넓힐 수 있어 배선 지연을 개선할 수 있는 이점이 있다.

도면의 간단한 설명

- [0021] 도 1은 종래 액정표시장치를 나타낸 평면도.
 도 2는 도 1의 A영역을 확대한 도면.
 도 3은 도 2의 I-I'에 따라 절취한 단면을 나타낸 도면.
 도 4는 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도.
 도 5는 도 4의 B영역을 확대한 도면.

도 6a는 도 5의 II-II'에 따라 절취한 단면도이고, 도 6b는 도 5의 III-III'에 따라 절취한 단면도.

도 7은 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸 단면도.

도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 공정별로 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지된 내용 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0023] 도 4는 본 발명의 일 실시예에 따른 액정표시장치를 나타낸 평면도이고, 도 5는 도 4의 B영역을 확대한 도면이다. 하기에서는 액정표시장치 중 GIP 타입의 액정표시장치를 예로 설명한다.
- [0024] 도 4를 참조하면, 액정표시장치(10)는 기판(100), 컬러필터 기판(195) 및 상기 두 기판(100, 195) 사이에 액정층(미도시)을 포함한다. 기판(100)은 화상을 표시하는 액티브 영역(A/A)과, 각종 회로 및 배선 등이 형성되어 화상 표시에 사용되지 않는 배선부(LP)를 포함한다. 기판(100)의 액티브 영역(A/A)에는, 게이트 라인(14), 데이터 라인(16), 박막트랜지스터(TFT)가 형성된다. 게이트 라인(14) 및 데이터 라인(16)은 서로 교차하여 화소 영역(P)을 정의한다.
- [0025] 기판(100)의 배선부(LP)에는, 게이트 패드(20), 데이터 패드(22), 게이트 회로블럭(26), 데이터링크배선(28), 게이트링크배선(30), 연결배선(32)이 형성된다. 데이터 패드(22)는 액티브 영역(A/A)의 데이터 라인(16)의 연장부인 데이터링크배선(28)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결된다. 게이트 패드(20)는 게이트링크배선(30)의 일끝단에 형성되어 외부의 구동회로부(미도시)와 연결되며, 게이트링크배선(30)은 연결패턴(34)을 통하여 연결배선(32)과 연결된다. 연결배선(32)은 게이트 회로블럭(26)과 연결되며, 게이트 회로블럭(26)은 액티브 영역(A/A)의 게이트 라인(14)의 끝단과 연결된다.
- [0026] 액정표시장치(10)에서, 외부의 구동회로부는 게이트 패드(20) 및 데이터 패드(22)를 통하여 게이트 제어신호 및 데이터 신호를 공급하는데, 게이트 제어신호는 그라운드 신호(GND), 클럭신호(CLK1, CLK2, CLK3, CLK4), 게이트 하이 신호(Vgh), 게이트인에이블 신호(GOE), 공통전압 신호(Vcom) 등을 포함하고 데이터 신호는 각 화소영역(P)에 대응되는 영상신호를 포함한다. 게이트 회로블럭(26)은 다수의 쉬프트 레지스터단(shift register stage)로 구성되는 쉬프트 레지스터(shift register)를 포함하는데, 연결배선(32)을 통하여 외부의 구동회로로부터 공급받은 게이트 제어신호를 이용하여 박막트랜지스터(TFT)를 턴-온(turn-on)하는 게이트 신호를 순차적으로 생성하여 게이트 라인(14)에 공급한다. 본 실시예에서는 배선부에 위치하는 배선들로 상기 배선들을 예로 들었지만, 이에 한정되지 않으며 이외의 설명하지 않은 신호들을 인가하기 위한 배선들이 구비될 수 있다.
- [0027] 도 5에는 도 4의 B 영역을 확대하여 도시하였고, 도 4에 도시된 배선들 중 일부 배선들만 도시하고 설명하였다. 보다 자세하게, 도 5를 참조하면, 배선부는 액티브 영역에 그라운드 신호를 인가하기 위한 그라운드 배선(111), 클럭 신호를 인가하기 위한 클럭 배선(112), 게이트하이 신호를 인가하기 위한 게이트하이 배선(113), 게이트인에이블 신호를 인가하기 위한 게이트 인에이블 배선(114) 및 공통전압을 인가하기 위한 공통배선(170)이 구비된다.
- [0028] 도 6a 및 도 6b를 참조하여, 본 발명의 액정표시장치의 배선들의 배치를 설명한다. 하기에서는 배선들과 액티브 영역의 화소들의 관계를 나타내기 위해, 도 5에 도시한 절취선 외의 화소들의 단면도 함께 도시하였다. 도 6a는 도 5의 II-II'에 따라 절취한 단면도이고, 도 6b는 도 5의 III-III'에 따라 절취한 단면도이다.
- [0029] 도 6a 및 도 6b를 참조하면, 기판(100) 상에 배선부(LP)와 액티브 영역(A/A)이 구획되어 있다. 액티브 영역(A/A)은 복수의 박막트랜지스터들과, 박막트랜지스터에 연결된 화소 전극 및 화소 전극과 대응하는 공통 전극을 통해, 화상이 구현되는 영역일 수 있다. 배선부(LP)는 액티브 영역(A/A)을 둘러싸며 액티브 영역(A/A)에 화상을 구현하기 위한 구동신호 등의 많은 신호들을 인가하는 배선들을 포함한다.
- [0030] 보다 자세하게, 기판(100) 상의 액티브 영역(A/A)에 게이트 전극(110)이 위치하고, 배선부(LP)에 그라운드 배선(111), 클럭 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)이 위치한다. 그라운드 배선(111), 클럭 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)은 게이트 전극(110)과 동일층에 위치하며 동일한 물질로 이루어진다.

- [0031] 상기 게이트 전극(110), 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)을 포함하는 기판(100) 상에 이들을 절연시키는 게이트 절연막(120)이 위치한다. 그리고, 액티브 영역(A/A)의 게이트 절연막(120) 상에 게이트 전극(110)과 대응되는 반도체층(130)이 위치한다. 반도체층(130) 상에 반도체층(130)의 양측에 접속하는 소스 전극(135a) 및 드레인 전극(135b)이 위치한다. 따라서, 게이트 전극(110), 반도체층(130), 소스 전극(135a) 및 드레인 전극(135b)을 포함하는 박막트랜지스터(TFT)가 구비된다.
- [0032] 박막트랜지스터(TFT)가 구비된 기판(100) 상에 유기절연막(140)이 위치한다. 유기절연막(140)은 박막트랜지스터(TFT)가 구비된 액티브 영역(A/A)은 물론 배선부(LP)에도 위치한다. 액티브 영역(A/A)의 유기절연막(140)에 드레인 전극(135b)을 노출하는 콘택홀(CH)이 위치하고, 유기절연막(140) 상에 화소 전극(150) 및 공통 전극(160)이 위치한다. 화소 전극(150)은 콘택홀(CH)을 매우며 드레인 전극(135b)과 접속되고, 공통 전극(160)은 화소 전극(150)과 교번하여 배치된다. 또한, 배선부(LP)의 유기절연막(140) 상에 공통 배선(170)이 위치한다. 화소 전극(150), 공통 전극(160) 및 공통 배선(170)은 모두 동일한 층 상에 위치하고 동일한 물질로 이루어진다.
- [0033] 화소 전극(150), 공통 전극(160) 및 공통 배선(170)이 형성된 기판(100)과 대향하는 컬러필터 기판(195)이 위치한다. 컬러필터 기판(195)은 블랙매트릭스(175) 및 컬러필터(180)가 위치한다. 기판(100)과 컬러필터 기판(195)은 실(190)에 의해 합착되고 이들 사이에 액정이 주입되어 액정층(185)이 개재된다. 이에 따라 전술한 구조를 가지는 본 발명의 액정표시장치가 구성된다.
- [0034] 한편, 도 5, 도 6a 및 도 6b에 도시된 공통 배선(170)을 참조하면, 공통 배선(170)은 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)과 교차하여 그라운드 배선(111)과 중첩되게 배치된다. 공통 배선(170)의 시작점에서는 다른 배선들과 나란하게 배열되고 굴곡이 있는 영역에서 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)과 수직하게 교차하여 그라운드 배선(111)의 상부로 배열된다. 이와 같이 배열될 수 있는 이유는 종래 게이트 전극 물질로 공통 배선(170)을 형성하던 것을 화소 전극 물질로 화소 전극과 동시에 공통 배선(170)을 형성하기 때문이다. 이로 인해, 공통 배선(170)은 다른 배선들과 함께 게이트 절연막(120) 하부에 위치하지 않고, 유기절연막(140) 상에 위치할 수 있어 그 폭을 넓힐 수 있다. 따라서, 공통 배선(170)이 종래 배선부에서 차지하고 있던 영역이 제거되어 제거된만큼의 베젤 영역이 축소될 수 있고, 공통 배선(170)의 폭을 넓게 형성할 수 있어 배선 저항을 감소시켜 배선 지연을 개선할 수 있는 이점이 있다.
- [0035] 또한, 공통 배선(170)은 그라운드 배선(111)에 중첩되게 도시하였으나, 이에 한정되지 않으며, 클락 배선(112), 게이트하이 배선(113) 또는 게이트인에이블 배선(114) 중 어느 하나 이상에 중첩되어 배치될 수 있다. 그리고, 도 6b에서는 실(190)의 안쪽에 공통 배선(170)이 위치하는 것으로 도시하였으나, 이에 한정되지 않으며, 공통 배선(170)은 실(190)과 중첩될 수도 있고, 실(190)의 바깥에 위치할 수도 있다. 이와 같은 공통 배선(170)의 위치는 적어도 유기절연막(140) 상에 다른 배선들과 중첩되게 배열된다면, 어디에 배치되어도 상관이 없다.
- [0036] 한편, 본 발명의 공통 배선(170)은 게이트 절연막(120) 상에 위치할 수도 있다. 도 7은 본 발명의 다른 실시예에 따른 액정표시장치를 나타낸 단면도이다. 하기에서는 전술한 도 6a 및 도 6b와 동일한 구성에 대해 동일한 도면 부호를 붙여 그 설명을 생략하기로 한다.
- [0037] 도 7을 참조하면, 기판(100) 상의 액티브 영역(A/A)에 게이트 전극(110)이 위치하고, 배선부(LP)에 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)이 위치한다. 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)은 게이트 전극(110)과 동일층에 위치하며 동일한 물질로 이루어진다.
- [0038] 상기 게이트 전극(110), 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)을 포함하는 기판(100) 상에 이들을 절연시키는 게이트 절연막(120)이 위치한다. 그리고, 액티브 영역(A/A)의 게이트 절연막(120) 상에 게이트 전극(110)과 대응되는 반도체층(130)이 위치한다. 반도체층(130) 상에 반도체층(130)의 양측에 접속하는 소스 전극(135a) 및 드레인 전극(135b)이 위치한다. 따라서, 게이트 전극(110), 반도체층(130), 소스 전극(135a) 및 드레인 전극(135b)을 포함하는 박막트랜지스터(TFT)가 구비된다. 또한, 배선부(LP)의 게이트 절연막(120) 상에 공통 배선(170)이 위치한다. 소스 전극(135a), 드레인 전극(135b) 및 공통 배선은 모두 동일한 층 상에 위치하고 동일한 물질로 이루어진다.
- [0039] 박막트랜지스터(TFT)가 구비된 기판(100) 상에 유기절연막(140)이 위치한다. 유기절연막(140)은 박막트랜지스터(TFT)가 구비된 액티브 영역(A/A)은 물론 배선부(LP)에도 위치한다. 액티브 영역(A/A)의 유기절연막(140)에 드레인 전극(135b)을 노출하는 콘택홀(CH)이 위치하고, 유기절연막(140) 상에 화소 전극(150) 및 공통 전극(160)이 위치한다. 화소 전극(150)은 콘택홀(CH)을 매우며 드레인 전극(135b)과 접속되고, 공통 전극(160)은 화소 전

극(150)과 교번하여 배치된다.

- [0040] 화소 전극(150), 공통 전극(160) 및 공통 배선(170)이 형성된 기판(100)과 대향하는 컬러필터 기판(195)이 위치한다. 컬러필터 기판(195)은 블랙매트릭스(175) 및 컬러필터(180)가 위치한다. 기판(100)과 컬러필터 기판(195)은 실(190)에 의해 합착되고 이들 사이에 액정이 주입되어 액정층(185)이 개재된다. 이에 따라 전술한 구조를 가지는 본 발명의 액정표시장치가 구성된다.
- [0041] 도 7에 도시된 공통 배선(170)은 게이트하이 배선(113) 및 게이트 인에이블 배선(114)과 중첩되게 배치된다. 즉, 공통 배선(170)은 소스 전극(또는 드레인 전극) 물질과 동일한 물질로 동시에 형성된다. 이에 따라, 공통 배선(170)은 다른 배선들과 함께 게이트 절연막(120) 하부에 위치하지 않고, 게이트 절연막(120) 상에 위치할 수 있다. 따라서, 공통 전극(170)이 종래 배선부에서 차지하고 있던 영역이 제거되어, 제거된만큼의 베젤 영역이 축소될 수 있는 이점이 있다.
- [0042] 전술한 실시예들에서는 배선부에 배치된 많은 배선들 중 공통 배선을 예로 들어 설명하였다. 즉, 공통 배선이 화소 전극과 동일한 층에 위치하거나 소스 전극과 동일한 층에 위치하여 다른 배선들과 중첩하는 구조를 개시하였다. 그러나, 본 발명은 공통 배선에 한정되는 것은 아니며, 배선부에 배치된 배선이라면 어떠한 배선도 공통 전극처럼 화소 전극 또는 소스 전극과 동일한 층에 배치되고 다른 배선들과 중첩되는 구조로 위치할 수 있다.
- [0043] 이하, 전술한 본 발명의 일 실시예에 따른 액정표시장치를 제조하기 위한 제조방법을 설명하기로 한다. 하기에서는 전술한 도 6b에 도시한 액정표시장치의 구조를 예로 설명하고, 동일한 구성에 대해 동일한 도면 부호를 붙여 이해가 쉽도록 한다.
- [0044] 도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0045] 도 8a를 참조하면, 기판(100) 상에 게이트 전극 물질을 적층하여 게이트 전극 물질층(110a)을 형성한다. 게이트 전극 물질은 저저항의 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo), 이들의 합금일 수 있다. 이어, 게이트 전극 물질층(110a) 상에 포토레지스트(PR)를 도포하고 배선들과 게이트 전극이 형성될 위치에 제1 포토레지스트 패턴(PR1)을 남겨둔다.
- [0046] 이어, 도 8b를 참조하면, 제1 포토레지스트 패턴(PR1)을 마스크로 하여 식각함으로써, 배선부(LP)에 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113) 및 게이트 인에이블 배선(114)을 형성함과 동시에 액티브 영역(A/A)에 게이트 전극(110)을 형성한다. 다음, 그라운드 배선(111), 클락 배선(112), 게이트하이 배선(113), 게이트 인에이블 배선(114) 및 게이트 전극(110)이 형성된 기판(100) 상에 게이트 절연막(120)을 형성한다. 게이트 절연막(120)은 무기절연물질 예를 들면 실리콘산화물(SiO_x) 또는 실리콘질화물(SiN_x)로 이루어질 수 있다.
- [0047] 그리고, 게이트 절연막(120) 상에 게이트 전극(110)과 대응하는 영역에 반도체층(130)을 형성한다. 반도체층(130)은 비정질 실리콘 또는 비정질 실리콘을 결정화한 다결정 실리콘으로 이루어진다. 이와는 달리, 반도체층(130)은 금속 산화물계 물질들로 이루어질 수 있으며, 예를 들어, 인듐갈륨아연산화물(IGZO), 갈륨산화물(Ga_2O_3), 인듐산화물(In_2O_3) 또는 아연산화물(ZnO)로 이루어질 수 있다. 다음, 반도체층(130)을 포함하는 기판(100) 상에 소스/드레인 전극 물질을 증착하고 패터닝하여 반도체층(130)의 양측에 접속하는 소스 전극(135a) 및 드레인 전극(135b)을 형성한다. 이때, 소스/드레인 전극 물질은 저저항의 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo), 이들의 합금일 수 있다. 따라서, 게이트 전극(110), 반도체층(130), 소스 전극(135a) 및 드레인 전극(135b)을 포함하는 박막트랜지스터(TFT)가 형성된다.
- [0048] 이어, 박막트랜지스터(TFT)가 형성된 기판(100) 상에 유기절연막(140)을 형성한다. 유기절연막(140)은 포토아크릴(photo acryl) 또는 폴리이미드 등의 유기물로 이루어질 수 있다. 이어, 유기절연막(140)을 패터닝하여 드레인 전극(135b)을 노출하는 콘택홀(CH)을 형성한다. 그리고, 유기절연막(140)이 형성된 기판(100) 상에 투명도전 물질을 증착하여 투명도전막(155)을 형성한다. 투명도전막(155)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide) 중 선택된 어느 하나로 이루어진다. 이어, 투명도전막(155) 상에 포토레지스트를 도포하고 노광 및 현상하여 제2 포토레지스트 패턴(PR2)을 형성한다. 이때, 제2 포토레지스트 패턴(PR2)이 형성되는 영역은 이후 화소 전극, 공통 전극 및 공통 배선이 형성될 영역이다.
- [0049] 다음, 도 8c를 참조하면, 상기 제2 포토레지스트 패턴(PR2)을 마스크로 하여 상기 투명도전막(155)을 패터닝함으로써, 배선부(LP)에 공통 배선(170)을 형성함과 동시에 액티브 영역(A/A)에 화소 전극(150) 및 공통 전극(160)을 형성한다. 이때, 화소 전극(150)은 유기절연막(140)에 형성된 콘택홀(CH)을 통해 드레인 전극(135b)과 접속된다. 또한, 배선부(LP)의 공통 배선(170) 하부에 형성된 그라운드 배선(111)에 중첩되도록 형성한다.

[0051]

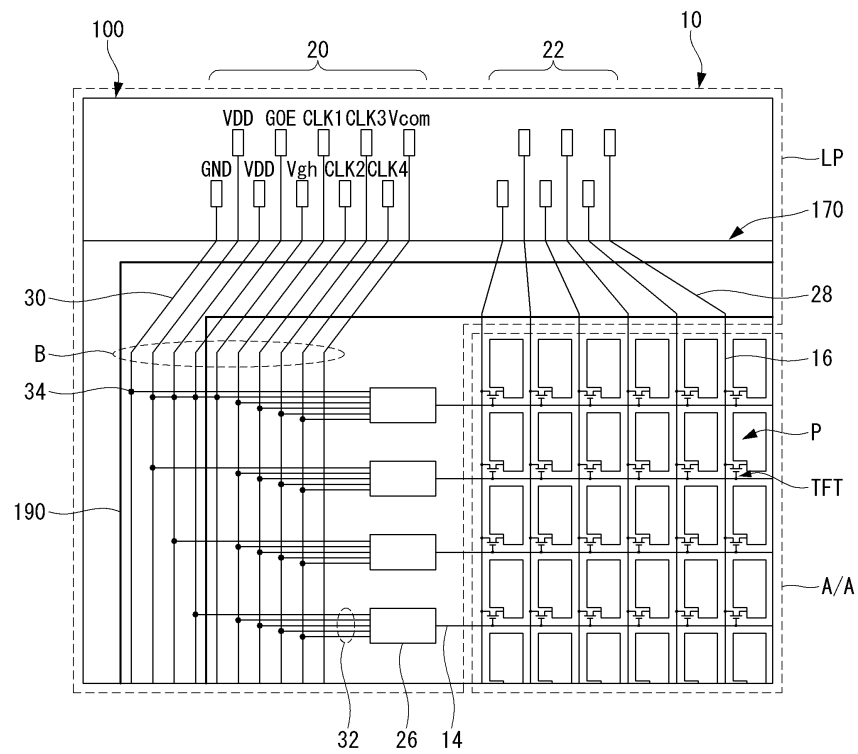
[0052]

[0053]

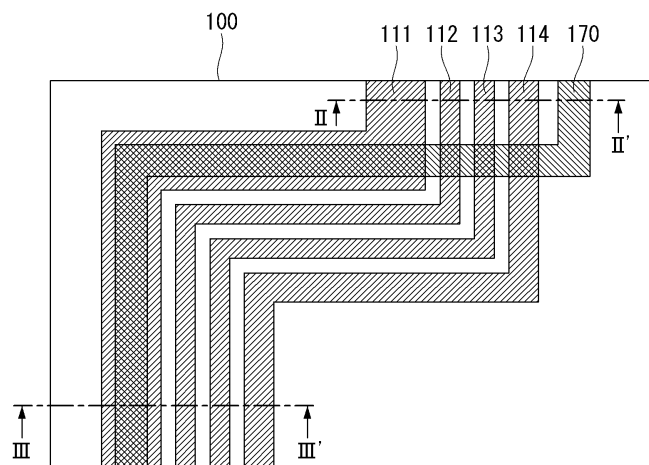
[0054]

- 9 -

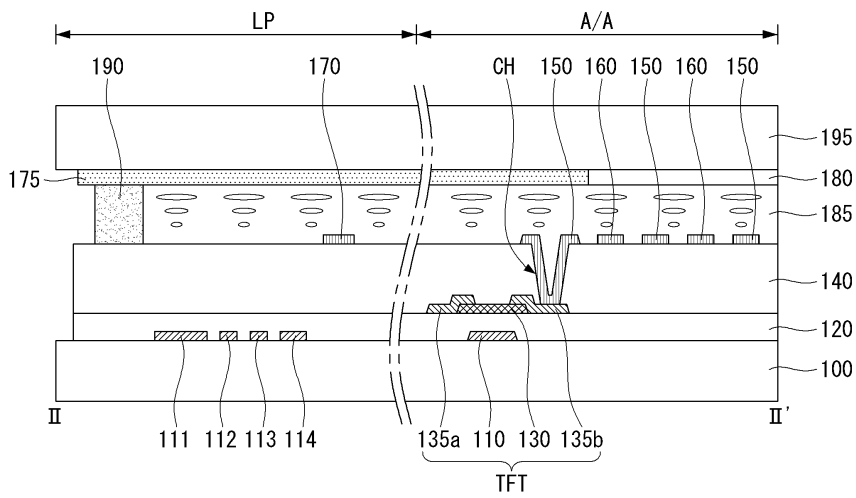
도면4



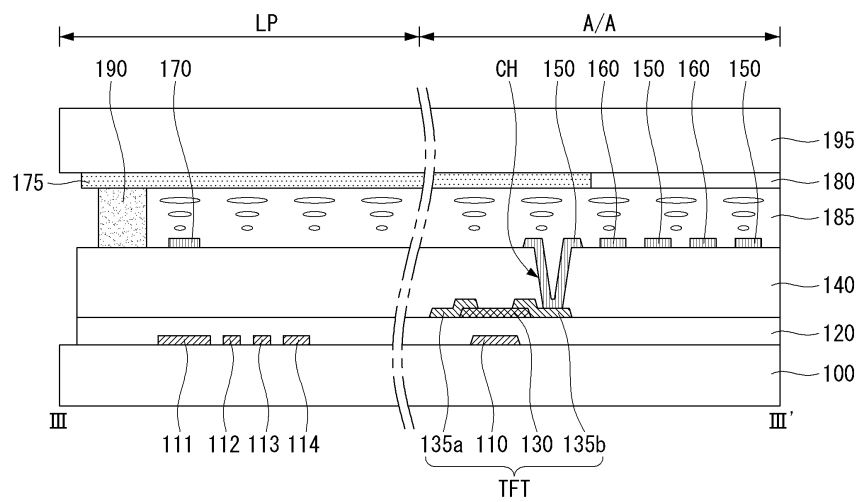
도면5



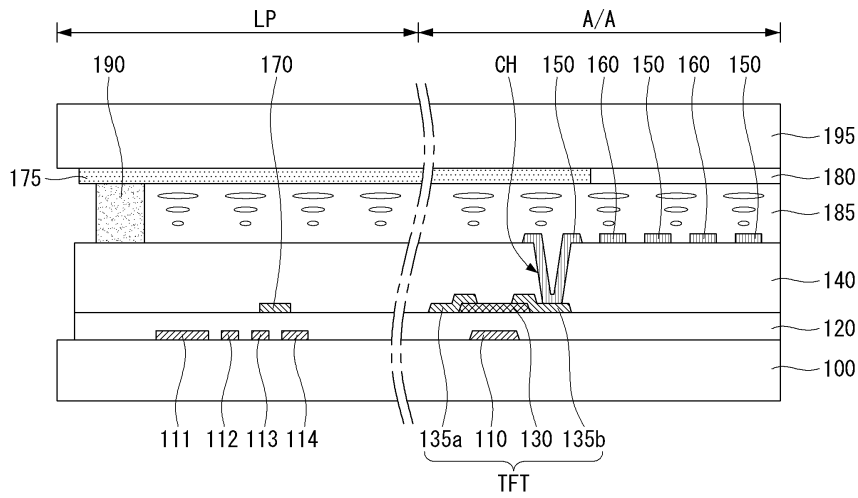
도면6a



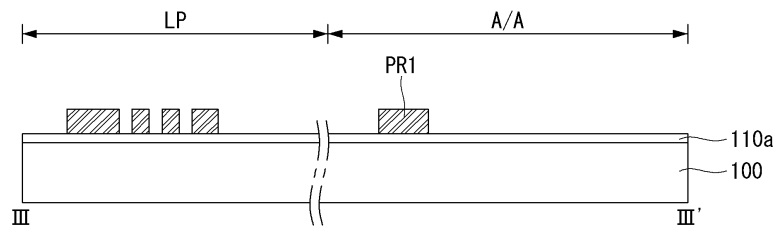
도면6b



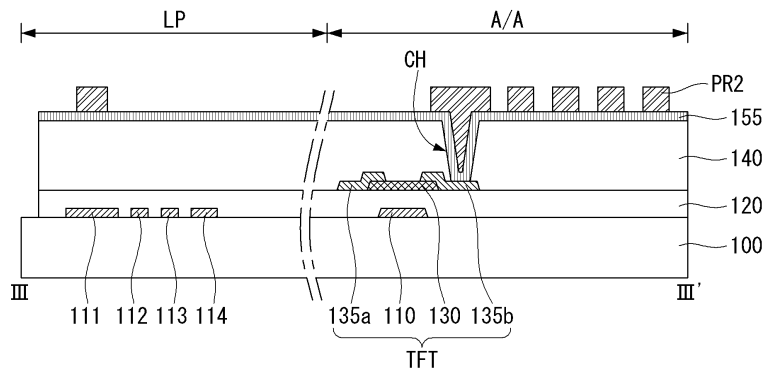
도면7



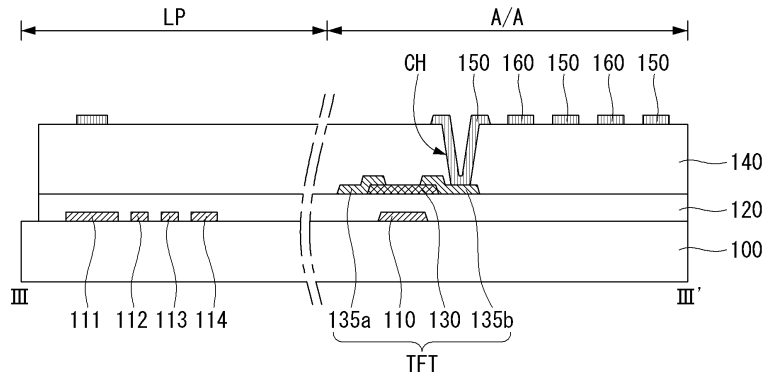
도면8a



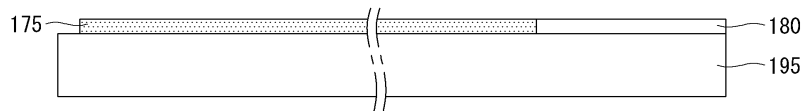
도면8b



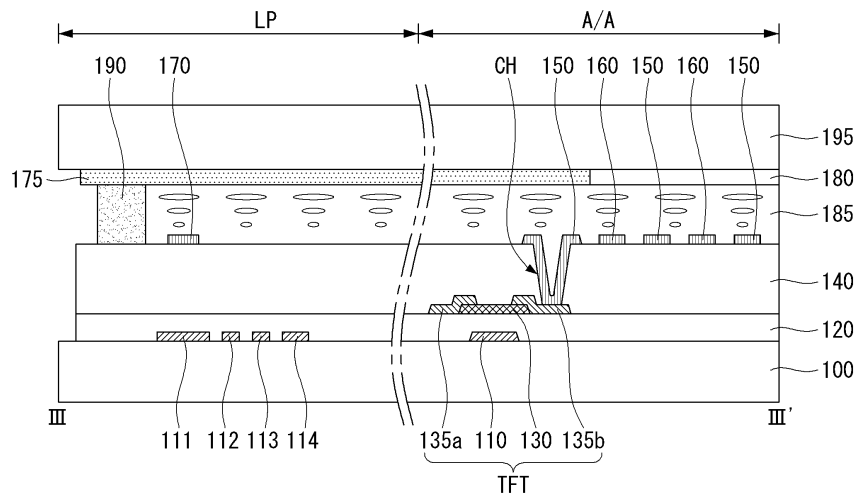
도면8c



도면8d



도면8e



根据本发明的一个实施例的液晶显示装置包括：基板，包括用于显示图像的有源区；以及线部，其将驱动信号施加到有源区，所述有源区包括薄膜晶体管，所述有源区包括薄膜晶体管。位于基板上的像素电极和连接到薄膜晶体管的像素电极，以及位于基板上的导线部分，其包括多个第一导线和至少一个与第一导线重叠的第二导线。本发明防止布线延迟。

