



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0080671
(43) 공개일자 2014년07월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0145542
(22) 출원일자 2012년12월13일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조재형
부산광역시 해운대구 좌동 두산동국아파트 1394
108동 1801호 3/1
남철
서울 강남구 광평로31길 27, 110동 1404호 (수서
동, 삼성아파트)
박종신
경기도 파주시 월롱면 덕은리 1007번지 정다운마
을 G동 710호
(74) 대리인
특허법인천문

전체 청구항 수 : 총 9 항

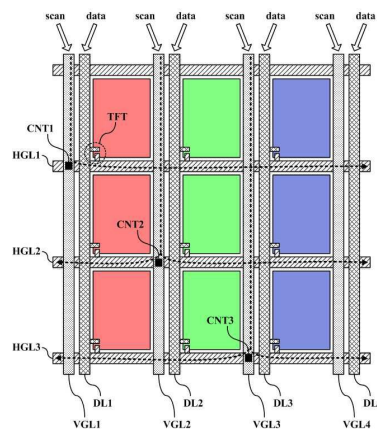
(54) 발명의 명칭 액정 디스플레이 장치

(57) 요약

본 발명은 베젤(Bezel) 사이즈를 줄여 디자인 미감을 높일 수 있는 액정 디스플레이 장치에 관한 것이다.

본 발명의 실시 예에 따른 액정 디스플레이 장치는, 액정 패널 내에서 수직 방향으로 형성된 복수의 제1 게이트 라인 및 복수의 데이터 라인; 상기 복수의 제1 게이트 라인과 다른 레이어에서 수평 방향으로 상기 액정 패널 내에 형성된 복수의 제2 게이트 라인; 상기 액정 패널의 상측 또는 하측의 비 표시 영역에 배치되어, 상기 복수의 제1 게이트 라인과 접속되어 스캔 신호를 공급하고, 상기 복수의 데이터 라인과 접속되어 데이터 전압을 공급하는 복수의 드라이브 IC;를 포함하고, 상기 복수의 제1 게이트 라인과 상기 복수의 제2 게이트 라인은 서로 중첩되는 영역에서 한 라인씩 쌍을 이루어 콘택을 통해 전기적으로 접속되고, 상기 복수의 제1 게이트 라인과 상기 복수의 데이터 라인은 서로 다른 레이어에 형성된 것을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

액정 패널 내에서 수직 방향으로 형성된 복수의 제1 게이트 라인 및 복수의 데이터 라인;

상기 복수의 제1 게이트 라인과 다른 레이어에서 수평 방향으로 상기 액정 패널 내에 형성된 복수의 제2 게이트 라인;

상기 액정 패널의 상측 또는 하측의 비 표시 영역에 배치되어, 상기 복수의 제1 게이트 라인과 접속되어 스캔 신호를 공급하고, 상기 복수의 데이터 라인과 접속되어 데이터 전압을 공급하는 복수의 드라이브 IC를 포함하고,

상기 복수의 제1 게이트 라인과 상기 복수의 제2 게이트 라인은 서로 중첩되는 영역에서 한 라인씩 쌍을 이루어 콘택을 통해 전기적으로 접속되고,

상기 복수의 제1 게이트 라인과 상기 복수의 데이터 라인은 서로 다른 레이어에 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제1 항에 있어서,

제1 레이어에 상기 복수의 제1 게이트 라인이 형성되고,

제2 레이어에 상기 데이터 라인 및 상기 공통 전압 라인이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제2 항에 있어서,

상기 제1 레이어와 상기 제2 레이어 사이에 절연층이 형성되고,

상기 데이터 라인 및 상기 공통 전압 라인 상부에 게이트 절연층 및 보호층이 형성되고,

상기 보호층 상부에 포토아크릴로 평탄화층이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제1 항에 있어서,

제1 레이어에 상기 공통 전압 라인이 형성되고,

제2 레이어에 상기 복수의 제1 게이트 라인 및 상기 복수의 데이터 라인이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제4 항에 있어서,

상기 제1 레이어와 상기 제2 레이어 사이에 게이트 절연층이 형성되고,

상기 데이터 라인 및 상기 공통 전압 라인 상부에 보호층이 형성되고,

상기 보호층 상부에 포토아크릴로 평탄화층이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

제1 항에 있어서,

제1 레이어에 상기 복수의 제1 게이트 라인 및 상기 복수의 데이터 라인이 형성되고,

제2 레이어에 상기 공통 전압 라인이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

제6 항에 있어서,

상기 제1 레이어와 상기 제2 레이어 사이에 게이트 절연층이 형성되고,

상기 공통 전압 라인 상부에 보호층이 형성되고,

상기 보호층 상부에 포토아크릴로 평탄화층이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8

제1 항에 있어서,

제1 레이어에 상기 복수의 제1 게이트 라인이 형성되고,

제2 레이어에 상기 공통 전압 라인이 형성되고,

제3 레이어에 상기 데이터 라인이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

제8 항에 있어서,

상기 제1 레이어와 상기 제2 레이어 사이에 게이트 절연층이 형성되고,

상기 제2 레이어와 상기 제3 레이어 사이에 보호층이 형성되고,

상기 데이터 라인 상부에 절연층 및 포토아크릴로 평탄화층이 형성된 것을 특징으로 하는 액정 디스플레이 장치.

명세서

기술분야

[0001] 본 발명은 평판 디스플레이 장치에 관한 것으로, 특히 베젤(Bezel) 사이즈를 줄여 디자인 미감을 높일 수 있는 액정 디스플레이 장치에 관한 것이다.

배경기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 디스플레이 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 디스플레이 장치로는 액정 디스플레이 장치(LCD: Liquid Crystal Display device), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 전계 방출 디스플레이 장치(Field Emission Display device), 유기발광 다이오드 디스플레이 장치(OLED: Organic Light Emitting Diode Display device) 등이 개발되었다.

[0004] 평판 디스플레이 장치 중에서 액정 디스플레이 장치(LCD)는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질 구현 및 대화면 구현의 장점이 있어 휴대용 기기에 적합하며 적용 분야가 지속적으로 확대되고 있다.

[0005] 도 1은 종래 기술에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이고, 도 2는 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다.

[0006] 도 1 및 도 2를 참조하면, 액정 디스플레이 장치는 복수의 픽셀들(Pixels)이 매트릭스 형태로 배열된 액정 패널과, 액정 패널을 구동하기 위한 구동 회로부와, 액정 패널에 빛을 공급하는 백라이트 유닛(미도시)과, 액정 패널과 구동 회로부를 감싸도록 형성된 베젤(미도시)을 포함한다.

[0007] 액정 패널은 복수의 픽셀 및 픽셀을 구동시키기 위한 라인들이 형성된 하부 기판(TFT 어레이 기판)과, 컬러 필터 및 블랙 매트릭스가 형성된 상부 기판(컬러필터 어레이 기판) 및 상기 두 기판 사이에 개재된 액정층을 포함한다.

[0008] 액정 패널의 하부 기판에는 복수의 게이트 라인(gate line)과 복수의 데이터 라인(data line)이 교차하도록 형

성되어 있고, 복수의 게이트 라인과 복수의 데이터 라인이 교차된 영역에 픽셀이 형성된다. 픽셀들 각각에는 스위칭 소자로써 TFT(Thin Film Transistor)가 형성되어 있고, 전계를 인가하기 위한 픽셀 전극 및 공통 전극이 형성되어 있다.

- [0009] 이러한, 액정 패널은 화상이 표시되는 표시 영역(10) 영역과, 화상이 표시되지 않는 비 표시 영역을 포함한다.
- [0010] 액정 패널의 상측 비 표시 영역에 데이터 드라이버(40)가 접속되어 있다. 액정 패널의 하부 기관의 외곽부 비 표시 영역에는 외부로부터 픽셀의 구동을 위한 신호가 인가되는 복수의 패드로 구성된 패드 영역이 형성되어 있고, 상기 패드와 TFT 및 전극을 연결시키는 링크 라인이 형성되어 있다.
- [0011] 도 3은 종래 기술에 따른 액정 패널의 비 표시 영역을 나타내는 단면도이다.
- [0012] 도 3을 참조하면, 실(30, seal)은 픽셀이 형성되어 있는 액티브 영역(active area)의 외곽, 즉, 비 표시 영역에 형성되고, 실(30)을 이용하여 상부 기관(1)과 하부 기관(2)이 합착 된다.
- [0013] 액정 패널에 부착되는 구동 회로부에 의한 액정 디스플레이 장치의 제조비용을 절감하고, 부피 및 무게를 감소시키기 위해, 내장 쉬프트 레지스터를 하부 기관(20)에 형성하는 게이트 인 패널(GIP: Gate In Panel) 방식이 적용되고 있다. 액정 패널의 좌측 및 우측 비 표시 영역에 GIP 방식으로 게이트 드라이버를 형성함으로써, 액정 패널의 게이트 라인들에 신호를 인가하기 위한 패드 영역 및 링크 라인을 삭제시키고 있다.
- [0014] 이러한, 게이트 드라이버 및 데이터 드라이버는 인쇄회로기판(50, PCB)에 실장된 타이밍 컨트롤러 및 전원 공급부로부터 구동 신호와 구동 전압을 공급받아 구동된다.
- [0015] GIP 방식의 게이트 드라이버가 하부 기관(2)의 좌측 및 우측 비 표시 영역에 형성되며, 도 3에서는 하부 기관(2)의 좌측에 형성된 게이트 드라이버만을 도시하고 있다.
- [0016] GIP 방식의 게이트 드라이버는 공통 전압(Vcom)이 인가되는 공통 전압 링크 영역(22), 그라운드(GND) 링크 영역(24) 및 액정 패널의 TFT를 스위칭시키기 위한 스캔 신호를 생성하는 쉬프트 레지스터 로직 영역(26)을 포함하여 구성된다.
- [0017] 게이트 드라이버를 별도의 칩(chip)으로 제작하여 액정 패널과 연결시키는 방식과 대비하여 살펴보면, GIP 방식의 게이트 드라이버를 적용함으로써 인해 액정 디스플레이 장치의 제조비용을 절감하고, 부피 및 무게를 감소시킬 수 있지만 액정 패널의 좌측과 우측의 베젤(bezel) 사이즈가 증가하는 단점이 있다.
- [0018] 도 3에 도시된 바와 같이, 베젤 사이즈의 증가를 줄이기 위해서, 그라운드 링크 영역(24)을 실(30)과 오버랩시키고 있다. 그러나, 공통 전압 링크 영역(22)이 1mm 내외의 폭을 가지도록 형성되어 있고, GIP의 쉬프트 레지스터 로직 영역(26)이 5mm ~ 6mm의 폭을 가지도록 형성되어 있다. 이로 인해, 좌우측 베젤 폭이 7mm ~ 8mm로 형성되어 사이즈를 줄이는데 한계가 있고, 디자인 미감이 떨어지는 단점이 있다.
- [0019] GIP의 라인들의 폭 및 라인들 간의 간격을 일정수준 이하로 줄이는 것에 한계가 있어 네로우(narrow) 베젤을 구현하는데 어려움이 있다. 베젤 사이즈를 줄이기 위해서 라인들의 폭 및 간격을 줄이는 경우, 라인 저항이 증가되어 신호의 왜곡이 발생되고 쉬프트 레지스터 로직이 오작동 되는 문제점이 있다. 특히, GIP의 라인들은 삭제가 불가능하기 때문에 이상적인 네로우 베젤의 구현이 어렵고, 나아가 보더리스 패널(borderless panel)의 구현이 불가능한 문제점이 있다.
- [0020] 이러한 문제점들을 개선하기 위한 방안으로, TFT 어레이 기관과 컬러필터 어레이 기관의 위치를 바꾸어, TFT 어레이 기관을 상측에 배치하는 구조가 제안되었다. 그러나, TFT 어레이 기관에 형성된 다수의 라인들에 의해 외부 광이 반사되어 화상의 시인성이 떨어지는 다른 문제가 있다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 액정 패널의 외곽에 형성되는 베젤의 사이즈가 감소된 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0022] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 디자인 미감이 높은 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.
- [0023] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 패드 영역의 사이즈가 감소된 액정 디스플레이 장치를 제

공하는 것을 기술적 과제로 한다.

[0024] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 제조비용이 절감된 액정 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

[0025] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0026] 본 발명의 실시 예에 따른 액정 디스플레이 장치는, 액정 패널 내에서 수직 방향으로 형성된 복수의 제1 게이트 라인 및 복수의 데이터 라인; 상기 복수의 제1 게이트 라인과 다른 레이어에서 수평 방향으로 상기 액정 패널 내에 형성된 복수의 제2 게이트 라인; 상기 액정 패널의 상측 또는 하측의 비 표시 영역에 배치되어, 상기 복수의 제1 게이트 라인과 접속되어 스캔 신호를 공급하고, 상기 복수의 데이터 라인과 접속되어 데이터 전압을 공급하는 복수의 드라이브 IC;를 포함하고, 상기 복수의 제1 게이트 라인과 상기 복수의 제2 게이트 라인은 서로 중첩되는 영역에서 한 라인씩 쌍을 이루어 콘택을 통해 전기적으로 접속되고, 상기 복수의 제1 게이트 라인과 상기 복수의 데이터 라인은 서로 다른 레이어에 형성된 것을 특징으로 한다.

발명의 효과

[0027] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 액정 패널의 외곽에 형성되는 베젤의 사이즈를 줄일 수 있다.

[0028] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 디자인 미감을 향상시킬 수 있다.

[0029] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 액정 패널의 하측, 좌측 및 우측의 기구물이 전면에 드러나지 않도록 하여 네로우 베젤 및 보더리스를 구현할 수 있다.

[0030] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 픽셀의 개구율을 높여 화상의 휘도를 높일 수 있고, 백라이트 부품을 절감하여 제조비용을 줄일 수 있다.

[0031] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 패드 영역의 사이즈를 감소시킬 수 있다.

[0032] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 제조비용을 절감시킬 수 있다.

[0033] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0034] 도 1은 종래 기술에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면.

도 2는 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면.

도 3은 종래 기술에 따른 액정 패널의 비 표시 영역을 나타내는 단면도.

도 4는 본 발명의 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면.

도 5는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 드라이브 IC를 나타내는 도면.

도 6은 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면.

도 7은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 좌측 및 우측 베젤 사이즈를 설명하기 위한 도면.

도 8은 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 구체적으로 나타내는 도면.

도 9는 도 8에 도시된 A1-A2 선에 따른 단면도.

도 10은 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 구체적으로 나타내는 도면.

도 11은 도 10에 도시된 B1-B2 선에 따른 단면도로써, 픽셀의 개구 영역이 증가된 것을 나타내는 도면.

도 12는 본 발명의 제1 실시 예의 픽셀 구조에서 수직 게이트 라인과 공통 전극 간에 기생 커패시턴스가 형성되는 것을 나타내는 도면.

도 13은 본 발명의 제3 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도.

도 14는 본 발명의 제4 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도.

도 15는 본 발명의 제5 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도.

도 16은 본 발명의 다른 실시 예로써, 액정 패널이 수직 방향으로 길게 형성된 것을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0035] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 기재하였다.
- [0036] 한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다. 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되지 않는다.
- [0037] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0038] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제1 항목, 제2 항목 및 제3 항목 중에서 적어도 하나"의 의미는 제1 항목, 제2 항목 또는 제3 항목 각각 뿐만 아니라, 제1 항목, 제2 항목 및 제3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다.
- [0039] 본 발명의 실시 예를 설명함에 있어서 어떤 구조물(전극, 라인, 배선, 레이어, 컨택)이 다른 구조물 '상부에 또는 상에' 및 '하부에 또는 아래에' 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0040] 액정 디스플레이 장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양하게 개발되어 있다.
- [0041] 이 중에서, IPS 모드와 FFS 모드는 하부 기판 상에 픽셀 전극(Pixel ITO)과 공통 전극(Vcom)을 배치하여, 픽셀 전극과 공통 전극 사이의 전계에 의해 액정층의 배열을 조절하는 수평 전계 방식이다. 본 발명의 실시 예에 따른 액정 디스플레이 장치는 모드에 관계없이 적용될 수 있으나, IPS 모드를 일 예로 설명한다.
- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치에 대하여 설명하기로 한다.
- [0043] 본 발명은 액정 디스플레이 장치의 베젤 사이즈를 감소시키는 것을 주요 내용으로 한다. 따라서, 베젤과 관련 없는 기구물 및 액정 패널에 빛을 공급하는 백라이트 유닛에 대한 상세한 설명과 도면은 생략될 수 있다.
- [0044] 도 4는 본 발명의 실시 예에 따른 액정 디스플레이 장치를 개략적으로 나타내는 도면이다.
- [0045] 도 4를 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치는 복수의 픽셀(Pixel)들이 매트릭스 형태로 배열된 액정 패널(100)과, 액정 패널(100)을 구동하기 위한 복수의 드라이브 IC(400), 상기 복수의 드라이브 IC(400)를 구동시키기 위한 제어 신호를 공급하는 제어부 및 구동 전원을 생성하는 전원부가 실장된 인쇄회로기판(300, PCB), 액정 패널에 빛을 공급하는 백라이트 유닛, 액정 패널과 구동 회로부를 감싸도록 형성된 베젤 및 외부 케이스를 포함한다.
- [0046] 도 5는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 드라이브 IC를 나타내는 도면이다. 도 5에서는 복수의 드라이브 IC(400) 중에서 하나의 드라이브 IC(400)를 도시하고 있다. 복수의 드라이브 IC(400)는 COG(Chip On Glass) 또는 COF(Chip On Flexible Printed Circuit, Chip On Film) 방식으로 형성될 수 있다.
- [0047] 도 5(A)를 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치의 드라이브 IC(400)는 게이트 드라이버 로직과 데이터 드라이버 로직이 하나의 칩(one chip)으로 통합(merged)되어 형성되어 있다.
- [0048] 한편, 도 5(B)를 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치의 드라이브 IC(400)는 데이터 드라이버 IC(420)와 게이트 드라이버 IC(430)가 하나의 칩으로 통합되어 있다.

- [0049] 상기 데이터 드라이브 로직 또는 데이터 드라이브 IC(420)는 인쇄회로기판(300)에 실장된 제어부로부터 인가되는 데이터 제어 신호 및 디지털 영상 데이터를 이용하여, 픽셀들에 공급되는 아날로그 데이터 전압을 생성한다.
- [0050] 상기 게이트 드라이브 로직 또는 게이트 드라이브 IC(430)는 인쇄회로기판(300)에 실장된 제어부로부터 인가되는 게이트 제어 신호를 이용하여, 픽셀들에 형성된 TFT를 스위칭 시키기 위한 스캔 신호(게이트 신호)를 생성한다.
- [0051] 이러한, 드라이브 IC(400)의 양측에는 복수의 링크 라인(410)이 형성되어 있다. 여기서, 복수의 링크 라인(410)은 복수의 게이트 링크 라인(412)과 복수의 데이터 링크 라인(414)을 포함한다.
- [0052] 드라이브 IC(400)는 복수의 게이트 링크 라인(412)을 통해 제어부로부터 게이트 신호를 공급받고, 생성된 스캔 신호를 액정 패널에 형성된 픽셀들로 공급한다.
- [0053] 또한, 드라이브 IC(400)는 복수의 데이터 링크 라인(414)을 통해 제어부로부터 데이터 제어 신호 및 디지털 영상 데이터를 공급받고, 상기 디지털 영상 데이터에 따라 생성된 아날로그 데이터 전압을 액정 패널에 형성된 픽셀들로 공급한다.
- [0054] 액정 패널(100)에 형성된 데이터 라인(DL)과 복수의 제1 게이트 라인(VGL, 수직 게이트 라인)이 동일 개수가 아니므로, 반드시 게이트 링크 라인(412)과 복수의 데이터 링크 라인(414)이 동일 개수로 교번적으로 형성되는 것은 아니다. 픽셀의 피치(pitch)와 해상도에 따라서, 1개의 게이트 링크 라인(412)과 2개의 데이터 링크 라인(414) 단위로 형성될 수도 있다.
- [0055] 이하, 도면을 참조하여, 본 발명의 액정 패널(100)의 구조에 대하여 상세히 설명하기로 한다.
- [0056] 도 6은 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이고, 도 7은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 좌측 및 우측 베젤 사이즈를 설명하기 위한 도면이다.
- [0057] 도 6 및 도 7을 참조하면, 상부 기관(110, 컬러필터 어레이 기관)과 하부 기관(120, TFT 어레이 기관) 및 두 기관 사이에 개재된 액정층을 포함한다. 상부 기관(110)과 하부 기관(120)은 실(130)을 통해 합착되어 있다.
- [0058] 액정 패널(100)의 상부 기관(110)은 컬러 화상을 표시하기 위한 레드(red), 그린(green) 및 블루(blue)의 컬러 필터들과, 컬러필터들 사이에 형성되어 픽셀을 구분시키는 블랙매트릭스(112, BM)를 포함한다. 도 7에서는 액정 패널의 좌측 비 표시 영역을 도시하고 있어, 액티브 영역에 형성된 컬러필터가 도시되어 있지 않다.
- [0059] 액정 패널(100)의 하부 기관은 화상을 표시하기 위한 복수의 픽셀이 형성된 표시 영역(액티브 영역)과, 복수의 드라이브 IC(400)와 픽셀들을 연결시키는 링크들이 형성된 비 표시 영역을 포함한다.
- [0060] TFT 어레이 기관(100)의 액티브 영역에는 복수의 제1 게이트 라인(VGL, 수직 게이트 라인), 복수의 제2 게이트 라인(HGL, 수평 게이트 라인) 및 복수의 데이터 라인(DL)이 형성되어 있다.
- [0061] 복수의 제1 게이트 라인(VGL), 복수의 제2 게이트 라인(HGL) 및 복수의 데이터 라인(DL)에 의해 복수의 픽셀이 정의된다. 복수의 픽셀에 각각에는 공통 전압(Vcom)이 인가되는 공통 전극, 데이터 전압(Vdata)이 인가되는 픽셀 전극, 스토리지 커패시터(Cst) 및 스위칭 소자로써 TFT가 형성되어 있다.
- [0062] 여기서, TFT의 액티브층은 비정질 실리콘(a-Si), 저온 다결정 폴리 실리콘(LTPS: Low Temperature Poly Silicon) 또는 산화물 반도체(IGZO: Indium Gallium Zinc Oxide) 물질로 형성될 수 있다.
- [0063] 상술한 구성을 포함하는 액정 디스플레이 장치는 픽셀 전극과 공통 전극 사이에 형성된 전계에 따라 픽셀 별로 액정의 배열 상태를 변화시키고, 액정의 배열을 통해 백라이트 유닛으로부터 공급되는 광의 투과율을 조절함으로써 화상을 표시하게 된다.
- [0064] 도 4 및 도 5에 도시된 바와 같이, 게이트 드라이브 IC(또는 게이트 드라이브 로직) 및 데이터 드라이브 IC(또는 데이터 드라이브 로직)가 하나의 칩(one chip)으로 통합된 드라이브 IC(400)가 액정 패널(100)의 상측에 형성되어 있다. 이로 인해, 본 발명에서는 액정 패널(100)의 픽셀들에 스캔 신호를 공급하기 위해, 새로운 게이트 라인의 구조를 적용하였다. 도 4에서는 드라이브 IC(400)가 액정 패널(100)의 상측에 배치된 것으로 도시하고 있으나, 이에 한정되지 않고 드라이브 IC(400)는 액정 패널(100)의 하측에도 배치될 수 있다.
- [0065] 도 6에 도시된 바와 같이, 복수의 제1 게이트 라인(VGL)과 복수의 데이터 라인(DL)은 액정 패널(100) 내에서 수직 방향으로 나란히 형성되어 있다. 즉, 복수의 데이터 라인(DL)과 동일 방향으로 나란하게 복수의 제1 게이트 라인(VGL)이 형성되어 있다.

- [0066] 복수의 제2 게이트 라인(HGL)은 상기 복수의 제1 게이트 라인(VGL)과 복수의 데이터 라인(DL)과 교차하도록 형성되어 있다. 즉, 복수의 게이트 라인(HGL) 수평 방향으로 형성되어 있다.
- [0067] 다시 설명하면, 복수의 제1 게이트 라인(VGL) 및 복수의 데이터 라인은 액정 패널(100)의 단축 방향을 가로지르도록, 수직 방향으로 상측에서부터 하측까지 형성되어 있다. 그리고, 복수의 제2 게이트 라인(HGL)은 액정 패널(100)의 장축 방향을 가로지르도록, 수평 방향으로 좌측에서부터 우측까지(또는 우측에서부터 좌측까지) 형성되어 있다.
- [0068] 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치는 수직 방향으로 형성된 복수의 제1 게이트 라인(VGL)과 수평 방향으로 형성된 복수의 제2 게이트 라인(HGL)이 동일한 개수로, 1:1 대응되도록 형성되어 있다.
- [0069] 여기서, 수평 방향으로 형성된 복수의 제2 게이트 라인(HGL)은 제1 레이어에 형성되어 있고, 수직 방향으로 형성된 복수의 제1 게이트 라인(VGL) 및 복수의 데이터 라인(DL)은 제2 레이어에 형성되어 있다.
- [0070] 수직 방향으로 형성된 복수의 제1 게이트 라인(VGL)과 복수의 제2 게이트 라인(HGL)은 절연층을 사이에 두고 서로 다른 레이어에 형성되어 있으나, 상기 복수의 제1 게이트 라인(VGL)과 복수의 제2 게이트 라인(HGL)이 서로 중첩되는 영역에서 콘택(CNT)을 통해 선택적으로 콘택 된다. 즉, 복수의 제1 게이트 라인(VGL)과 상기 복수의 제2 게이트 라인(HGL)은 서로 중첩되는 영역에서, 한 라인씩 쌍을 이루어 콘택(CNT)을 통해 전기적으로 접속된다.
- [0071] 구체적으로, 수직 방향으로 형성된 1번째 제1 게이트 라인(VGL1)과 수평 방향으로 형성된 1번째 제2 게이트 라인(HGL1)은 서로 중첩되는 영역에서 제1 콘택(CNT1)을 통해 전기적으로 접속된다. 이와 같이, 한 쌍의 수직 게이트 라인과 수평 게이트 라인 즉, 1번째 수직 게이트 라인(VGL1)과 1번째 수평 게이트 라인(HGL1)이 제1 콘택(CNT1)을 통해 전기적으로 접속된다.
- [0072] 그리고, 수직 방향으로 형성된 2번째 제1 게이트 라인(VGL2)과 수평 방향으로 형성된 2번째 제2 게이트 라인(HGL2)은 서로 중첩되는 영역에서 제2 콘택(CNT2)을 통해 전기적으로 접속된다. 이와 같이, 한 쌍의 수직 게이트 라인과 수평 게이트 라인 즉, 2번째 수직 게이트 라인(VGL2)과 2번째 수평 게이트 라인(HGL2)이 제2 콘택(CNT2)을 통해 전기적으로 접속된다.
- [0073] 그리고, 수직 방향으로 형성된 3번째 제1 게이트 라인(VGL3)과 수평 방향으로 형성된 3번째 제2 게이트 라인(HGL3)은 서로 중첩되는 영역에서 제3 콘택(CNT3)을 통해 전기적으로 접속된다. 이와 같이, 한 쌍의 수직 게이트 라인과 수평 게이트 라인 즉, 3번째 수직 게이트 라인(VGL3)과 3번째 수평 게이트 라인(HGL3)이 제3 콘택(CNT3)을 통해 전기적으로 접속된다.
- [0074] 상술한 것과 동일한 구조로써, n개의 제1 게이트 라인(VGL)과 n개의 제2 게이트 라인(HGL) 각각은 쌍을 이루어 콘택을 통해 전기적으로 접속된다.
- [0075] 앞의 설명에 기재된 1번째, 2번째, 3번째의 표현은 복수의 라인들 간의 순서 및 관계를 설명하기 위한 것이며, 상기 1번째의 표현이 전체 라인들 중에서 첫 번째 임을 표시하는 것은 아니며 도면을 참조하여 본 발명을 설명하기 위한 것이다. 이하, 명세서의 내용에서도 상기 1번째, 2번째, 3번째의 표현의 의미는 동일하게 적용된다.
- [0076] 수직 방향으로 형성된 복수의 제1 게이트 라인(VGL)은 도 5에 도시된 복수의 게이트 링크 라인(412)과 각각 접속된다. 이를 통해, 드라이브 IC(400)에서 출력된 스캔 신호가 복수의 제1 게이트 라인(VGL)에 인가된다. 상기 스캔 신호가 복수의 제1 게이트 라인(VGL)과 접속된 복수의 제2 게이트 라인(HGL)을 경유하여 액정 패널(100)에 형성된 복수의 픽셀의 TFT에 공급되어, TFT를 턴-온(turn-on) 시킨다. 이때, 스캔 신호는 액정 패널의 전체 픽셀들에 공급되는데, 1수평 라인 단위로 순차적으로 공급된다.
- [0077] 한편, 수직 방향으로 형성된 복수의 데이터 라인(DL)은 도 5에 도시된 복수의 데이터 링크 라인(414)과 각각 접속된다. 이를 통해, 드라이브 IC(400)에서 출력된 데이터 전압(Vdata)이 복수의 데이터 라인(DL)에 인가된다.
- [0078] 데이터 전압(Vdata)이 데이터 라인(DL)을 경유하여 액정 패널(100)에 형성된 TFT의 소스 전극에 공급되고, TFT가 턴-온될 때, 소스 전극에 공급된 데이터 전압(Vdata)이 드레인 전극을 경유하여 픽셀 전극에 공급되게 된다.
- [0079] 본 발명의 실시 예에 따른 액정 디스플레이 장치는, 게이트 드라이브 IC(또는 게이트 드라이브 로직) 및 데이터 드라이브 IC(또는 데이터 드라이브 로직)가 하나의 칩(one chip)으로 통합된 드라이브 IC(400)가 액정 패널(100)의 상측에 배치된다.
- [0080] 수직 방향으로 형성된 제1 게이트 라인을 통해 스캔 신호가 픽셀에 인가되도록 하고, 수직 방향으로 형성된 데

이터 라인을 통해 데이터 전압(Vdata)이 픽셀에 인가되도록 함으로써, 종래 기술에서 액정 패널의 좌측 및 우측의 비 표시 영역에 형성되어 있던 링크 라인 및 GIP 로직을 삭제할 수 있다.

- [0081] 이를 통해, 도 7에 도시된 바와 같이, 액정 패널(100)의 좌측 및 우측 비 표시 영역에는 공통 전압 링크 영역(122) 및 그라운드 링크 영역(124)만 형성하여 베젤 폭을 1.0mm ~ 1.6mm로 줄일 수 있다.
- [0082] 여기서, 도 7(A)에 도시된 바와 같이, 공통 전압 링크 영역(122)을 실(130)과 오버랩 되도록 형성할 수 있다. 한편, 도 7(B)에 도시된 바와 같이, 그라운드 링크 영역(124)을 실(130)과 오버랩 되도록 형성할 수도 있다. 또한, 상부 기관(110)과 하부 기관(120)의 합착에 필요한 최소한의 베젤 폭 마진을 가지도록 형성하여 네로우 베젤을 구현할 수 있다.
- [0083] 여기서, 액정 패널(100)의 좌측 및 우측 베젤의 폭은 기관의 합착에 이용되는 실런트(sealant)의 선폭에 의해 결정되는 것으로, 현재 기술 수준에서 실런트의 선폭을 1mm 미만으로 구현할 수 있어 본 발명의 실시 예에 따른 액정 디스플레이 장치의 좌측 및 우측 베젤 폭을 1mm 이하, 예로서, 베젤 폭을 0.8mm ~ 1.0mm로 충분히 감소시킬 수 있다. 향후, 실런트의 선폭 제어 기술이 더 발전되는 경우, 이에 따라서 본 발명의 실시 예에 따른 액정 디스플레이 장치의 좌측 및 우측 베젤 폭도 감소될 수 있다.
- [0084] 도 8은 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 구체적으로 나타내는 도면이고, 도 9는 도 8에 도시된 A1-A2 선에 따른 단면도이다. 도 8에서는 픽셀이 싱글 도메인(single domain) 및 네모 반듯한 직사각형의 형태인 것을 일 예로 도시하고 있으나, 이에 한정되지 않고 픽셀은 멀티 도메인(multi domain)으로 형성될 수도 있다.
- [0085] 도 8 및 도 9를 참조하면, 액정 패널(100)의 각 픽셀 내에는 공통 전압(Vcom)이 공급되는 공통 전극(180) 및 데이터 전압(Vdata)이 공급되는 픽셀 전극(190)이 형성되어 있다.
- [0086] 도 8 및 도 9에서는 IPS 모드로 구동되는 픽셀 구조를 도시하고 있음으로, 공통 전극(180)과 픽셀 전극(190)이 동일 레이어에 형성되어 있다. 그리고, 공통 전극(180)과 픽셀 전극(190)은 핑거(finger) 형태로 패터닝되어 패턴이 서로 교차되도록 형성되어 있다.
- [0087] 수평 게이트 라인(140)은 가로 방향(X축 방향)으로 형성되어 있고, 데이터 라인(160)과 수직 게이트 라인(150)은 세로 방향(Y축 방향)으로 형성되어 있다.
- [0088] 픽셀의 공통 전극(180)에 공통 전압(Vcom)을 인가시키기 위한 공통 전압 라인(170)이 수직 게이트 라인(150)과 데이터 라인(160)의 사이에 수직 방향으로 나란히 형성되어 있다.
- [0089] 수직 게이트 라인(150)의 사이드에는 제1 공통 전압 라인(170a)이 형성되어 있고, 데이터 라인(160)의 사이드에는 제2 공통 전압 라인(170b)이 형성되어 있으며, 수직 게이트 라인(150)과 데이터 라인(160) 사이에 제3 공통 전압 라인(170c)이 형성되어 있다.
- [0090] 이러한, 제1 공통 전압 라인(170a), 제2 공통 전압 라인(170b) 및 제3 공통 전압 라인(170c)은 서로 분리되어 있지만, 수평 게이트 라인(140)과 동일 방향으로 나란히 형성된 공통 라인(미도시)에 접촉되어 제1 공통 전압 라인(170a), 제2 공통 전압 라인(170b) 및 제3 공통 전압 라인(170c)에는 동일한 공통 전압(Vcom)이 공급된다.
- [0091] 도 9에 도시된 바와 같이, 데이터 라인(160) 및 수직 게이트 라인(150)은 동일 레이어에 형성되어 있고, 그 아래 레이어에 공통 전압 라인(170)이 형성되어 있다. 즉, 제1 레이어에 공통 전압 라인(170)이 형성되어 있고, 제2 레이어에 데이터 라인(160) 및 수직 게이트 라인(150)이 형성되어 있다.
- [0092] 도 9의 단면도에서는 도시되지 않았지만, 데이터 라인(160) 및 수직 게이트 라인(150)이 형성된 레이어 아래에 수평 게이트 라인(140)이 형성되어 있다. 따라서, 수평 게이트 라인(140)과 수직 게이트 라인(150)은 서로 다른 레이어에 형성되어 있고, 접촉을 통해 전기적으로 연결된다.
- [0093] 여기서, 공통 전압 라인(170)은 제1 레이어에 형성되고, 그 위에 게이트 절연층(145)이 형성되어 있다. 게이트 절연층(145) 상의 제2 레이어에 수직 게이트 라인(150) 및 데이터 라인(160)이 형성되어 있다.
- [0094] 여기서, 수직 게이트 라인(150)과 데이터 라인(160) 아래에는 TFT를 형성하는 공정 중, 액티브(active)의 패턴이 잔존해 있다. 이는 TFT의 소스 전극/드레인 전극과 수직 게이트 라인(150) 및 데이터 라인(160)이 단일 공정으로 형성되기 때문이다. 이하, 실시 예에서도 특정 라인의 아래에 TFT의 액티브 패턴이 잔존할 수 있다.
- [0095] 수직 게이트 라인(150) 및 데이터 라인(160)을 덮도록 보호층(155)이 형성되어 있고, 상기 보호층(155) 상에 포

토아크릴(PAC: photoacryl)로 평탄화층(165)이 형성되어 있다. 도면에 도시되어 있지 않지만, 평탄화층(165) 상에 공통 전극(180) 및 픽셀 전극(190)이 형성된다.

- [0096] 한편, 드라이브 IC(400)로부터 수직 게이트 라인(150)에 인가되는 스캔 신호의 게이트 드라이빙 전압은 -5V ~ +30V로 인가될 수 있는데, 고전압의 스캔 신호로 인해 픽셀의 장축 방향에서 데이터 라인(160)에 인가되는 데이터 전압(Vdata)에 의한 전기장(Electric Field)보다 강한 커플링(coupling)이 형성될 수 있다.
- [0097] 이로 인해, 픽셀에서 빔샘이 발생될 수 있고, 특히 블랙 화상을 정확히 표시할 수 없어 명암비(contrast)가 떨어질 수 있다. 이러한, 문제점을 개선하기 위해서, 수직 게이트 라인(150)과 데이터 라인(160) 사이에 제3 공통 전압 라인(170c)을 형성하였다.
- [0098] 레이어는 다르더라도 수직 게이트 라인(150)과 데이터 라인(160) 사이에 제3 공통 전압 라인(170c)이 형성되어 있기 때문에, -2V ~ +2V로 공급되는 공통 전압(Vcom)에 의해서 고전압의 스캔 신호에 의해서 픽셀의 장축 방향에서 전기장의 커플링이 형성되는 것을 방지할 수 있다.
- [0099] 즉, 상기 복수의 제1 게이트 라인(VGL)과 상기 복수의 데이터 라인(DL) 사이에 형성된 제3 공통 전압 라인(170c)을 이용하여, 상기 복수의 제1 게이트 라인(VGL)에 인가된 고전압의 스캔 신호에 따른 전기장을 상쇄시킬 수 있다.
- [0100] 도 8 및 도 9에 도시된 본 발명의 제1 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조는 수직 방향으로 형성된 복수의 제1 게이트 라인(150) 및 제3 공통 전압 라인(170c)으로 인해 픽셀의 개구율이 일부 감소할 수 있다. 이러한, 문제점을 개선하기 위해서 도 10 및 도 11에 도시된 바와 같이, 픽셀 구조를 변경하였다.
- [0101] 도 10은 본 발명의 제2 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 구체적으로 나타내는 도면이고, 도 11은 도 10에 도시된 B1-B2 선에 따른 단면도로써, 픽셀의 개구 영역이 증가된 것을 나타내는 도면이다.
- [0102] 도 10에서는 픽셀이 싱글 도메인(single domain) 및 네모 반듯한 직사각형의 형태인 것을 일 예로 도시하고 있으나, 이에 한정되지 않고 픽셀은 멀티 도메인(multi domain)으로 형성될 수도 있다.
- [0103] 도 10 및 도 11을 참조하면, 액정 패널(100)의 각 픽셀 내에는 공통 전압(Vcom)이 공급되는 공통 전극(180) 및 데이터 전압(Vdata)이 공급되는 픽셀 전극(190)이 형성되어 있다.
- [0104] 도 10 및 도 11에서는 IPS 모드로 구동되는 픽셀 구조를 도시하고 있으므로, 공통 전극(180)과 픽셀 전극(190)이 동일 레이어에 형성되어 있다. 그리고, 공통 전극(180)과 픽셀 전극(190)은 핑거(finger) 형태로 패터닝되어 패턴이 서로 교차되도록 형성되어 있다.
- [0105] 수평 게이트 라인(140)은 가로 방향(X축 방향)으로 형성되어 있고, 데이터 라인(160)과 수직 게이트 라인(150)은 세로 방향(Y축 방향)으로 형성되어 있다.
- [0106] 픽셀의 공통 전극(180)에 공통 전압(Vcom)을 인가시키기 위한 공통 전압 라인(170)이 수직 게이트 라인(150)과 데이터 라인(160)의 사이드에 수직 방향으로 나란히 형성되어 있다.
- [0107] 수직 게이트 라인(150)의 사이드에는 제1 공통 전압 라인(170a)이 형성되어 있고, 데이터 라인(160)의 사이드에는 제2 공통 전압 라인(170b)이 형성되어 있다.
- [0108] 즉, 수직 게이트 라인(160)과 데이터 라인(160)이 쌍을 이루어 수직 방향으로 나란히 형성되어 있고, 수직 게이트 라인(160) 및 데이터 라인(160)의 사이드에 제1 공통 전압 라인(170a)과 제2 공통 전압 라인(170b)이 형성되어 있다.
- [0109] 이러한, 제1 공통 전압 라인(170a) 및 제2 공통 전압 라인(170b)은 서로 분리되어 있지만, 수평 게이트 라인(140)과 동일 방향으로 나란히 형성된 공통 라인(미도시)에 접촉되어 제1 공통 전압 라인(170a) 및 제2 공통 전압 라인(170b)에는 동일한 공통 전압(Vcom)이 공급된다.
- [0110] 도 11에 도시된 바와 같이, 제1 레이어에 수직 게이트 라인(150)이 형성되어 있고, 수직 게이트 라인(150)을 덮도록 절연층(175)이 형성되어 있다. 상기 절연층(175) 상부의 제2 레이어에 데이터 라인(160) 및 공통 전압 라인(170)이 형성되어 있다.
- [0111] 데이터 라인(160) 및 공통 전압 라인(170)을 덮도록 게이트 절연층(145)이 형성되어 있고, 그 위에 보호층(155)이 형성되어 있다. 상기 보호층(155) 상에 포토아크릴(PAC: photoacryl)로 평탄화층(165)이 형성되어 있다. 도면에 도시되어 있지 않지만, 평탄화층(165) 상에 공통 전극(180) 및 픽셀 전극(190)이 형성된다.

- [0112] 도 11의 단면도에서는 도시되지 않았지만, 수평 게이트 라인(140)과 수직 게이트 라인(150)은 서로 다른 레이어에 형성되어 있고, 콘택을 통해 전기적으로 연결된다.
- [0113] 도 9와 도 11의 픽셀 구조를 대비하여 살펴보면, 도 11의 픽셀 구조는 개구 영역 증가시키기 위해서 수직 게이트 라인(150)과 데이터 라인(160)을 서로 다른 레이어에 형성하였다.
- [0114] 그리고, 도 9의 픽셀 구조에서 수직 게이트 라인(150)과 데이터 라인(160) 사이에 형성되어 있던 제3 공통 전압 라인(170c)을 삭제하여, 기존에 제3 공통 전압 라인(170c)이 차지하고 있던 면적만큼 개구 영역을 증가시켰다. 이를 통해, 제1 실시 예와 대비하여 제2 실시 예에서는 각 픽셀의 개구율을 높일 수 있다.
- [0115] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 픽셀의 개구율을 높여 화상의 휘도를 높일 수 있고, 높아진 휘도만큼 백라이트 부품을 절감하여 제조비용을 줄일 수 있다.
- [0116] 도 10 및 도 11의 픽셀 구조에서 수직 게이트 라인(150)과 데이터 라인(160) 사이에 제3 공통 전압 라인(170c)이 존재하지 않더라도, 수직 게이트 라인(150)과 데이터 라인(160)이 서로 다른 레이어에 형성되어 있고 서로 대각 방향으로 떨어져 있기 때문에 고 전압의 스캔 신호에 의한 전기장의 영향을 줄일 수 있다.
- [0117] 도 12는 본 발명의 제1 실시 예의 픽셀 구조에서 수직 게이트 라인과 공통 전극 간에 기생 커패시턴스(Parasitic Capacitance)가 형성되는 것을 나타내는 도면이고, 도 13은 본 발명의 제3 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도이다.
- [0118] 먼저, 도 12를 참조하면, 제1 레이어에 공통 전압 라인(170)이 형성되어 있고, 제2 레이어에 수직 게이트 라인(150)과 데이터 라인(160)이 형성되면, 보호층(155)과 평탄화층(165)을 사이에 두고 수직 게이트 라인(150)과 공통 전극(180) 간에 기생 커패시턴스(Cap)가 생길 수 있다.
- [0119] 수직 게이트 라인(150)은 픽셀이 장축을 가로지르도록 형성되어 있기 때문에 큰 기생 커패시턴스가 생성될 수 있다. 기생 커패시턴스로 인해서 수직 게이트 라인(150)에 인가된 스캔 신호가 픽셀에 인가될 때 지연 작용을 일으켜, 픽셀에 형성된 TFT가 정상적으로 동작하는데 방해가 될 수 있다. 이러한, 기생 커패시턴스가 발생될 수 있는 문제점을 개선하기 위해서 도 13에 도시된 바와 같이, 픽셀 구조를 변경하였다.
- [0120] 도 13을 참조하면, 제1 레이어에 수직 게이트 라인(150)이 형성되어 있고, 상기 수직 게이트 라인(150)을 덮도록 절연층(175)이 형성되어 있다. 상기 절연층(175) 상부의 제2 레이어에 데이터 라인(160) 및 공통 전압 라인(170)이 형성되어 있다.
- [0121] 데이터 라인(160) 및 공통 전압 라인(170)을 덮도록 게이트 절연층(145)이 형성되어 있고, 그 위에 보호층(155)이 형성되어 있다. 상기 보호층(155) 상에 포토아크릴(PAC: photoacryl)로 평탄화층(165)이 형성되어 있다. 평탄화층(165) 상에 공통 전극(180) 및 픽셀 전극(190)이 형성되어 있다.
- [0122] 도 13의 단면도에서는 도시되지 않았지만, 수평 게이트 라인(140)과 수직 게이트 라인(150)은 서로 다른 레이어에 형성되어 있고, 콘택을 통해 전기적으로 연결된다.
- [0123] 도 12와 도 13의 픽셀 구조를 대비하여 살펴보면, 도 12의 픽셀 구조는 공통 전극(180)과 가까운 제2 레이어에 수직 게이트 라인(150)이 형성되어 있어, 기생 커패시턴스가 크게 형성될 수 있는 구조를 가지고 있다.
- [0124] 반면, 도 13의 픽셀 구조는 공통 전극(180)과 멀리 떨어지도록 수직 게이트 라인(150)을 제1 레이어에 형성하여, 공통 전극(180)과 수직 게이트 라인(150) 사이에 형성될 수 있는 기생 커패시턴스를 줄일 수 있다.
- [0125] 도 12의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 보호층(155)과 평탄화층(165)이 형성된 반면, 도 13의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 절연층(175), 게이트 절연층(145), 보호층(155) 및 평탄화층(165)이 형성되어 있어 기생 커패시턴스를 줄일 수 있다.
- [0126] 도 14는 본 발명의 제4 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도이다. 도 12의 픽셀 구조에서 기생 커패시턴스가 발생될 수 있는 문제점을 개선하기 위해서 도 14에 도시된 바와 같이, 픽셀 구조를 변경하였다.
- [0127] 도 14를 참조하면, 제1 레이어에 수직 게이트 라인(150) 및 데이터 라인(160)이 형성되어 있고, 상기 수직 게이트 라인(150) 및 데이터 라인(160)을 덮도록 게이트 절연층(145)이 형성되어 있다. 상기 게이트 절연층(145) 상부의 제2 레이어에 공통 전압 라인(170)이 형성되어 있다.
- [0128] 공통 전압 라인(170)을 덮도록 보호층(155)이 형성되어 있고, 상기 보호층(155) 상에 포토아크릴(PAC:

photoacryl)로 평탄화층(165)이 형성되어 있다. 평탄화층(165) 상에 공통 전극(180) 및 픽셀 전극(190)이 형성되어 있다.

- [0129] 도 14의 단면도에서는 도시되지 않았지만, 수평 게이트 라인(140)과 수직 게이트 라인(150)은 서로 다른 레이어에 형성되어 있고, 콘택을 통해 전기적으로 연결된다.
- [0130] 도 12와 도 14의 픽셀 구조를 대비하여 살펴보면, 도 12의 픽셀 구조는 공통 전극(180)과 가까운 제2 레이어에 수직 게이트 라인(150)이 형성되어 있어, 기생 커패시턴스가 크게 형성될 수 있는 구조를 가지고 있다.
- [0131] 반면, 도 14의 픽셀 구조는 공통 전극(180)과 멀리 떨어지도록 수직 게이트 라인(150)을 제1 레이어에 형성하여, 공통 전극(180)과 수직 게이트 라인(150) 사이에 형성될 수 있는 기생 커패시턴스를 줄일 수 있다.
- [0132] 도 12의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 보호층(155)과 평탄화층(165)이 형성된 반면, 도 14의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 게이트 절연층(145), 보호층(155) 및 평탄화층(165)이 형성되어 있어 기생 커패시턴스를 줄일 수 있다.
- [0133] 도 15는 본 발명의 제5 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 단면도이다. 도 12의 픽셀 구조에서 기생 커패시턴스가 발생될 수 있는 문제점을 개선하기 위해서 도 15에 도시된 바와 같이, 픽셀 구조를 변경하였다.
- [0134] 도 15를 참조하면, 제1 레이어에 수직 게이트 라인(150)이 형성되어 있고, 상기 수직 게이트 라인(150)을 덮도록 절연층(185)이 형성되어 있다. 상기 절연층(185) 상의 제2 레이어에 공통 전압 라인(170)이 형성되어 있고, 상기 공통 전압 라인(170)을 덮도록 게이트 절연층(145)이 형성되어 있다.
- [0135] 상기 게이트 절연층(145) 상부의 제3 레이어에 데이터 라인(160)이 형성되어 있고, 상기 데이터 라인(160)을 덮도록 보호층(155)이 형성되어 있다. 상기 보호층(155) 상에 포토아크릴(PAC: photoacryl)로 평탄화층(165)이 형성되어 있다. 평탄화층(165) 상에 공통 전극(180) 및 픽셀 전극(190)이 형성되어 있다.
- [0136] 도 15의 단면도에서는 도시되지 않았지만, 수평 게이트 라인(140)과 수직 게이트 라인(150)은 서로 다른 레이어에 형성되어 있고, 콘택을 통해 전기적으로 연결된다.
- [0137] 도 12와 도 15의 픽셀 구조를 대비하여 살펴보면, 도 12의 픽셀 구조는 공통 전극(180)과 가까운 제2 레이어에 수직 게이트 라인(150)이 형성되어 있어, 기생 커패시턴스가 크게 형성될 수 있는 구조를 가지고 있다.
- [0138] 반면, 도 15의 픽셀 구조는 공통 전극(180)과 멀리 떨어지도록 수직 게이트 라인(150)을 제1 레이어에 형성하여, 공통 전극(180)과 수직 게이트 라인(150) 사이에 형성될 수 있는 기생 커패시턴스를 줄일 수 있다.
- [0139] 도 12의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 보호층(155)과 평탄화층(165)이 형성된 반면, 도 15의 픽셀 구조에서는 공통 전극(180)과 수직 게이트 라인(150) 사이에 보호층(185), 게이트 절연층(145), 보호층(155) 및 평탄화층(165)이 형성되어 있어 기생 커패시턴스를 줄일 수 있다.
- [0140] 또한, 도 11, 도 13 내지 도 15에 도시된 바와 같이, 수직 방향으로 나란하게 형성되는 수직 게이트 라인(150)과 데이터 라인(160)을 서로 다른 레이어에 형성하면, 제조과정 중 이물질에 의해 수직 게이트 라인(150)과 데이터 라인(160)의 쇼트(short) 불량을 차단할 수 있어 공정의 효율 및 제조 수율을 높일 수 있다.
- [0141] 도 16은 본 발명의 다른 실시 예로써, 액정 패널이 수직 방향으로 길게 형성된 것을 나타내는 도면이다.
- [0142] 도 16을 참조하면, 도 4에 도시된 구조를 90도 회전시켜, 수직 방향으로 길게 화면이 표시되도록 할 수 있다. 이때, 복수의 드라이브 IC(400)는 액정 패널(100)의 상측에서 배치된다.
- [0143] 여기서, 복수의 제1 게이트 라인(VGL) 및 복수의 데이터 라인(DL)이 액정 패널(100)의 장축 방향을 가로지르도록, 수직 방향으로 상측에서부터 하측까지 형성된다. 그리고, 복수의 제2 게이트 라인(HGL)은 액정 패널(100)의 단축 방향을 가로지르도록, 수평 방향으로 좌측에서부터 우측까지(또는 우측에서부터 좌측까지) 형성되어 있다. 수직 방향으로 형성된 복수의 제1 게이트 라인(VGL)과 수평 방향으로 형성된 복수의 제2 게이트 라인(HGL)의 콘택은 도 6을 참조하여 상술한 것과 동일하게 이루어질 수 있다.
- [0144] 도 16에 도시된 본 발명의 다른 실시 예에 따른 액정 디스플레이 장치도 상술한 실시 예와 동일하게, 종래 기술에서 액정 패널의 좌측 및 우측의 비 표시 영역에 형성되어 있던 링크 라인 및 GIP 로직을 삭제할 수 있다. 이를 통해, 액정 패널(100)의 좌측 및 우측 비 표시 영역에는 공통 전압 링크 영역(122) 및 그라운드 링크 영역(124)만 형성하여 베젤 폭을 1.0mm ~ 1.6mm로 줄일 수 있다.

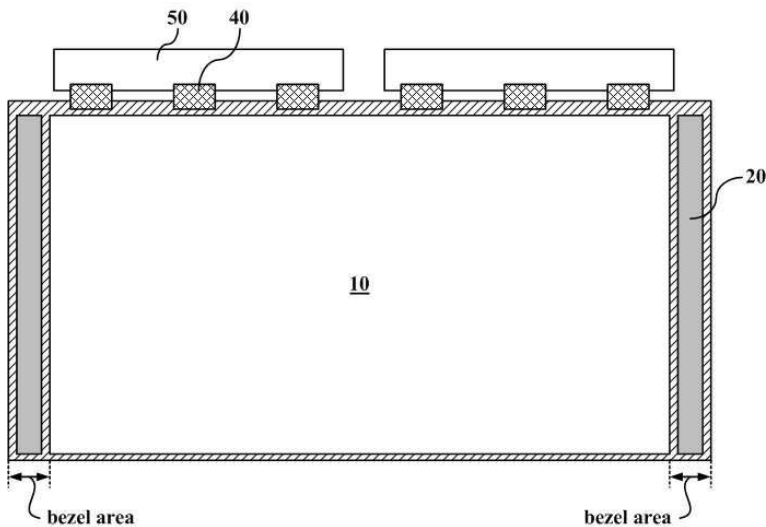
- [0145] 상술한 바와 같이, 본 발명의 여러 실시 예에 따른 액정 디스플레이 장치는 액정 패널의 비 표시 영역을 감싸도록 형성된 베젤의 좌측 및 우측 사이지를 줄일 수 있다. 본 발명과 같이, 베젤 사이지를 1mm 내외로 줄이면, 사용자에게 상대적으로 넓은 표시 화면을 제공할 수 있고, 액정 디스플레이 장치의 디자인 미감을 높일 수 있다.
- [0146] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0147] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

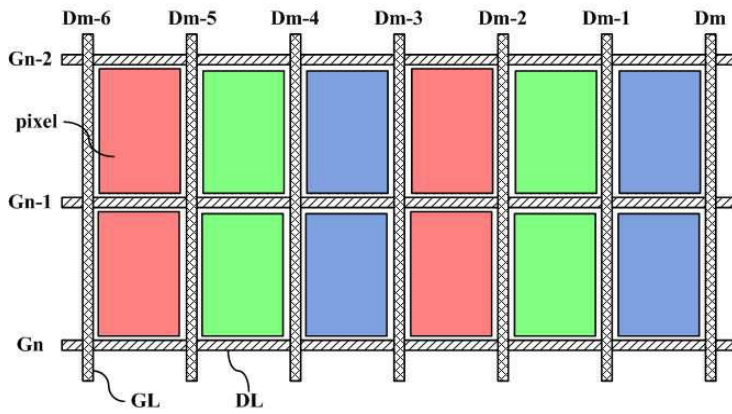
- | | | |
|--------|----------------|----------------|
| [0148] | 100: 액정 패널 | 110: 상부 기판 |
| | 120: 하부 기판 | 130: 실 |
| | 140: 수평 게이트 라인 | 150: 수직 게이트 라인 |
| | 160: 데이터 라인 | 170: 공통 전압 라인 |
| | 300: 인쇄회로기판 | 400: 드라이브 IC |

도면

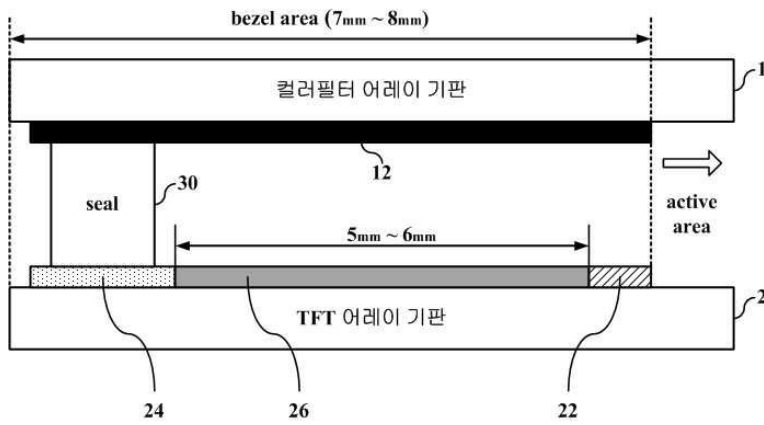
도면1



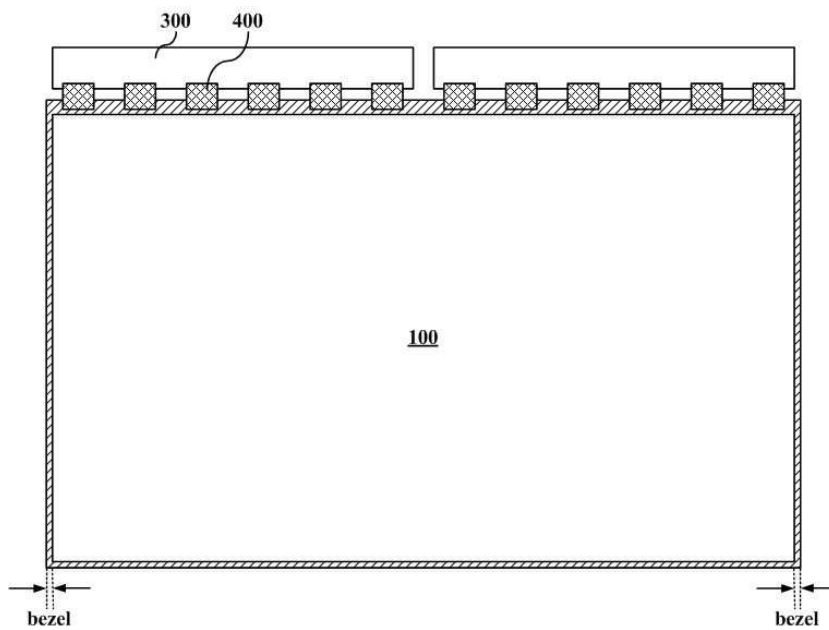
도면2



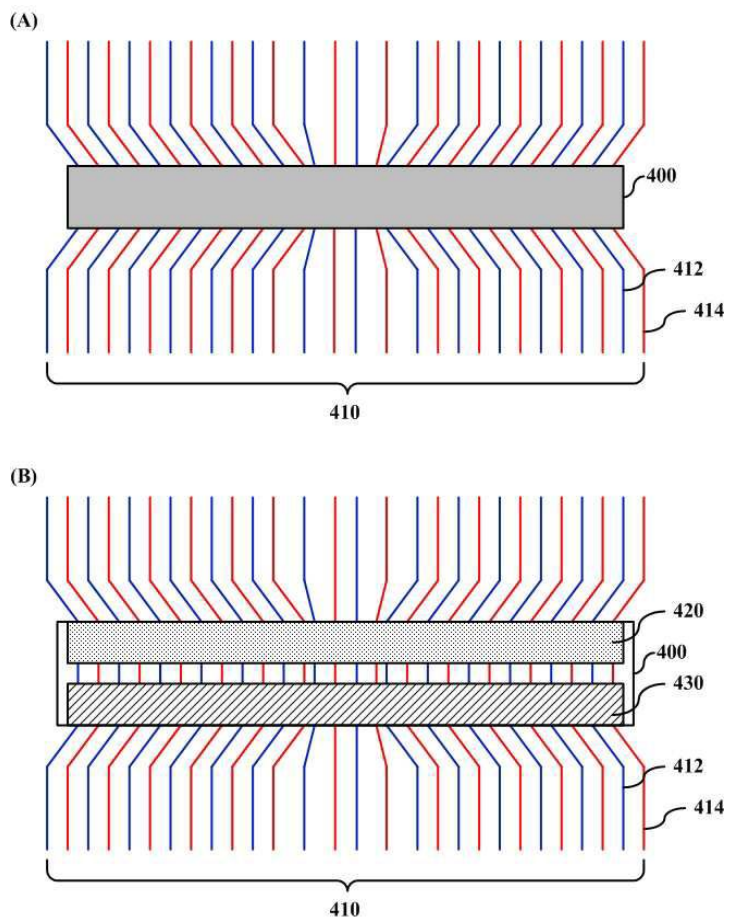
도면3



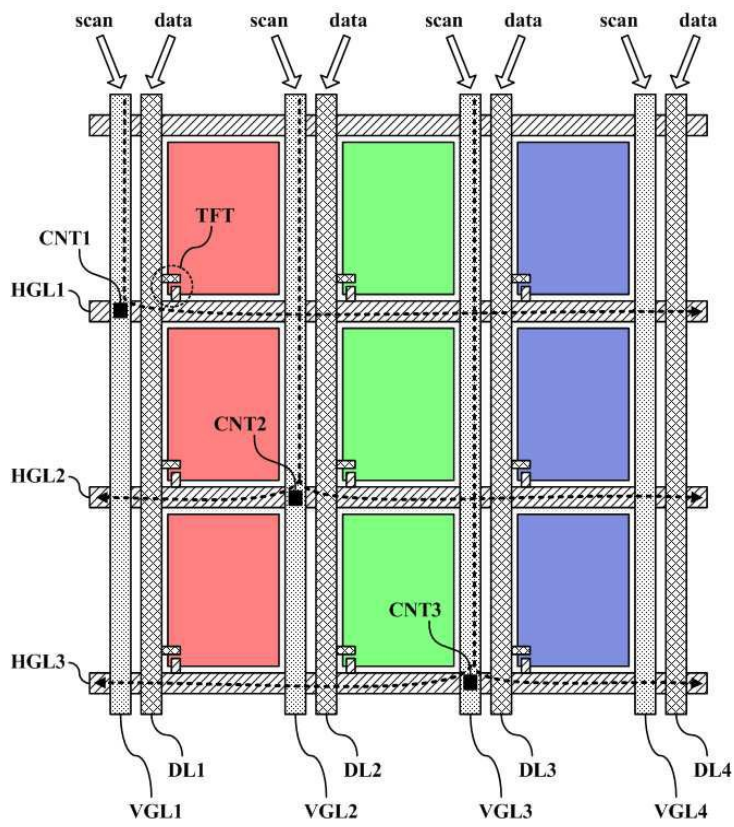
도면4



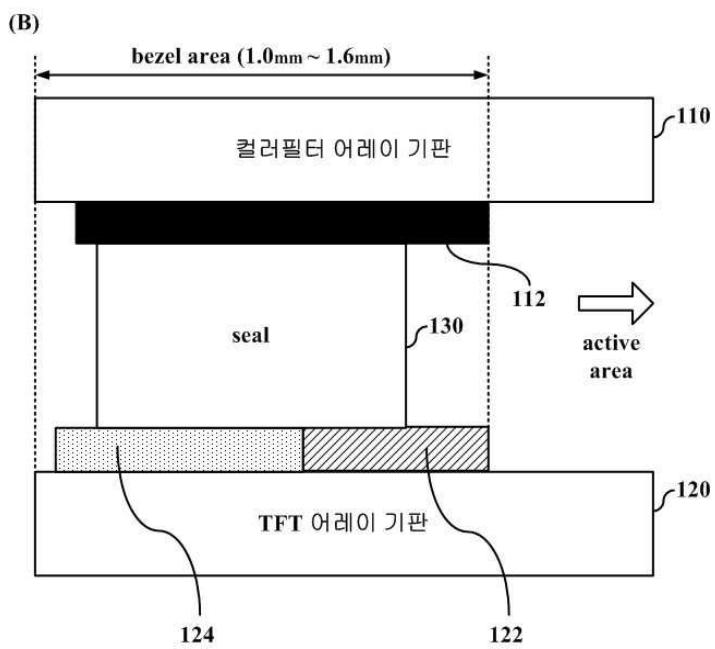
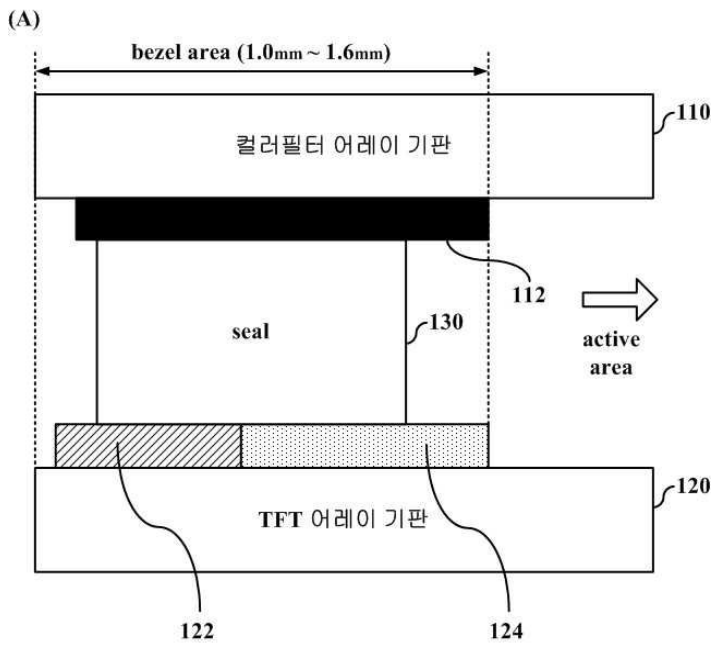
도면5



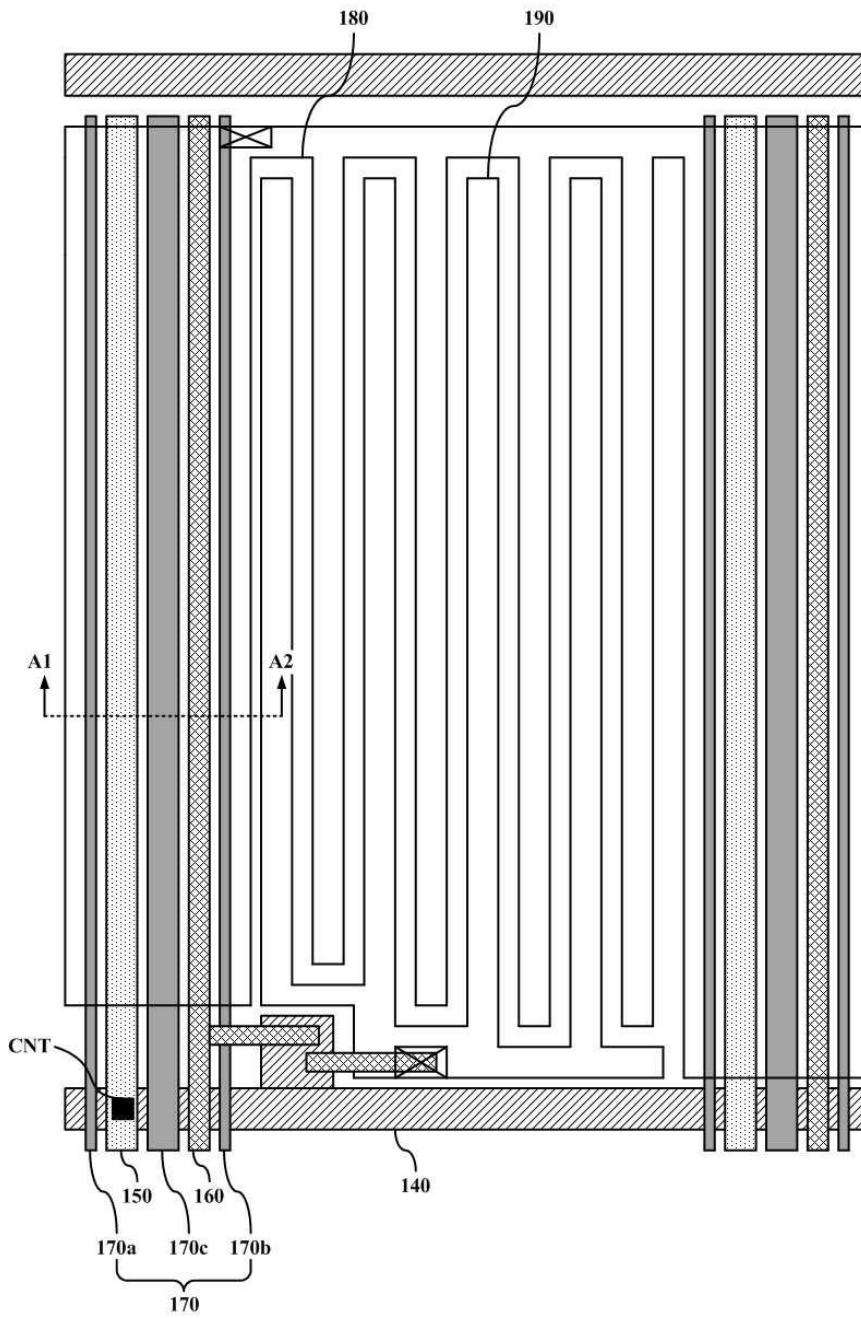
도면6



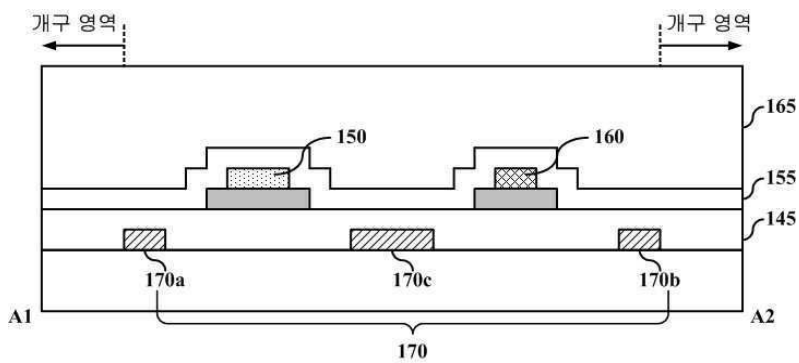
도면7



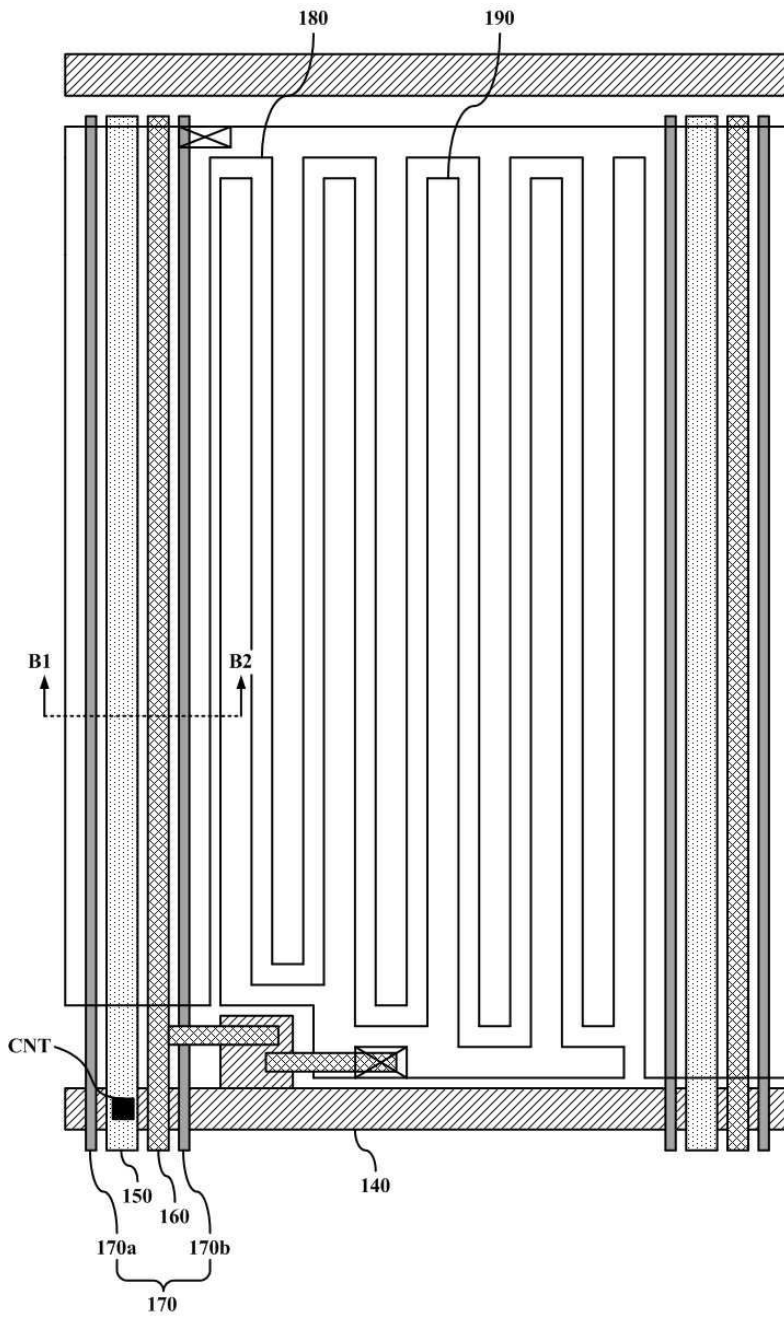
도면8



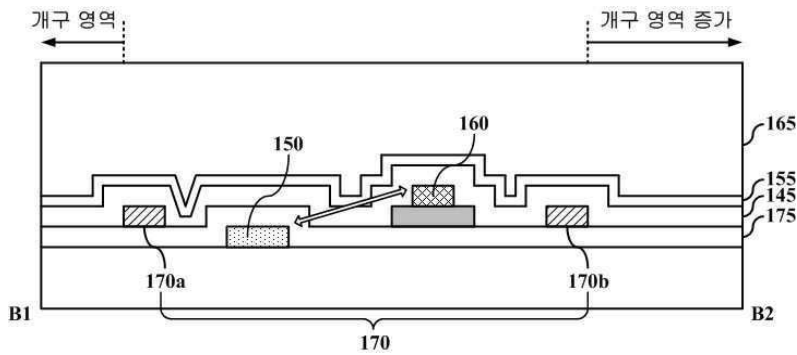
도면9



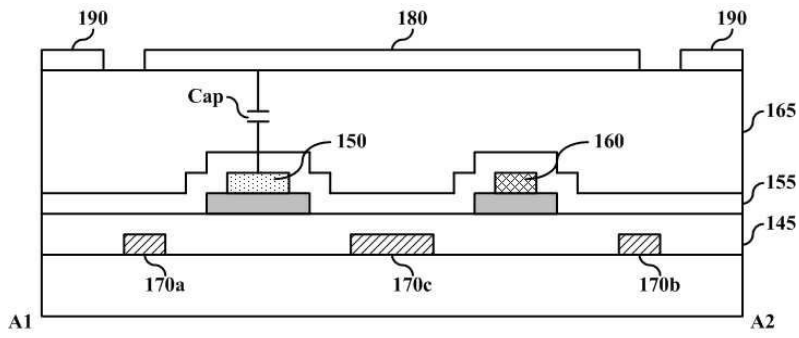
도면10



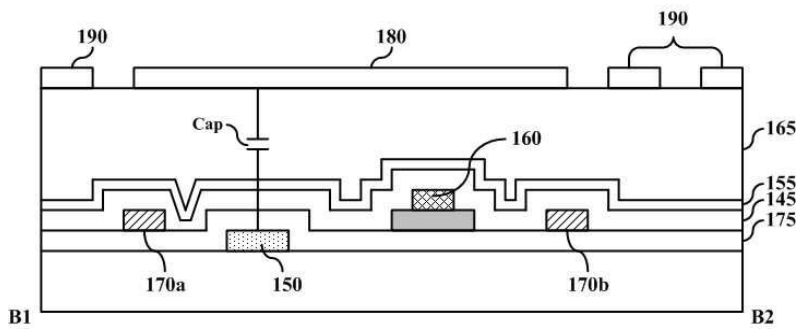
도면11



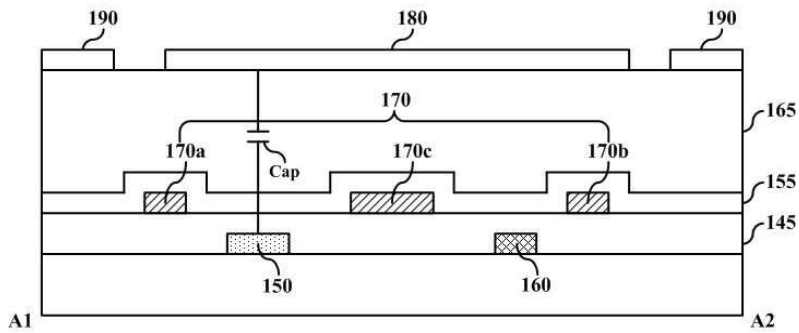
도면12



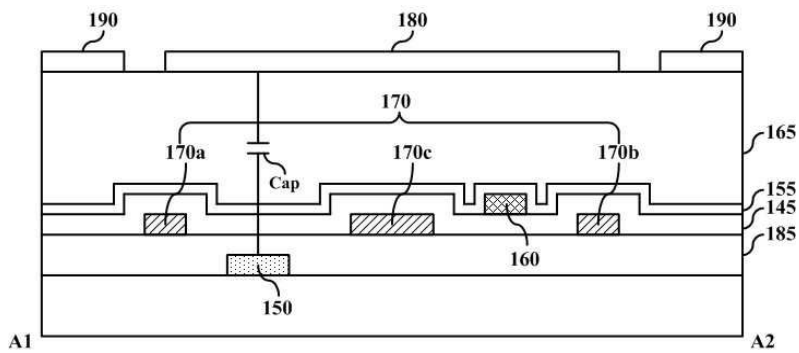
도면13



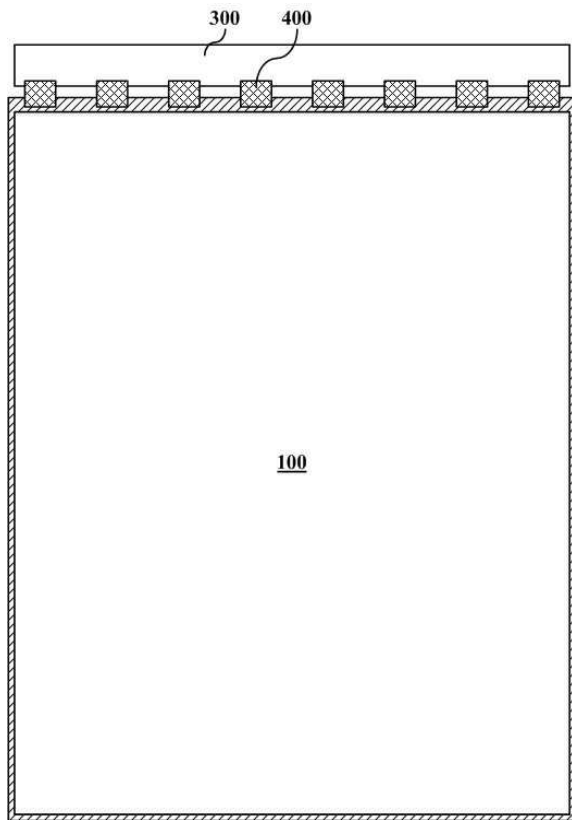
도면14



도면15



도면16



专利名称(译)	液晶显示装置		
公开(公告)号	KR101906248B1	公开(公告)日	2018-10-11
申请号	KR1020120145542	申请日	2012-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JAEHYUNG JO 조재형 CHUL NAM 남철 JONGSIN PARK 박종신		
发明人	조재형 남철 박종신		
IPC分类号	G02F1/1345 G02F1/133		
CPC分类号	G02F1/13306 G02F1/134363 G02F1/1345 G02F1/136286 G02F2001/13456 G02F2001/13629 G09G2310/0281		
其他公开文献	KR1020140080671A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域[0001]本发明涉及一种能够减小边框尺寸并改善设计美学外观的液晶显示装置。根据本发明实施例的液晶显示装置包括在液晶面板中沿垂直方向形成的多条第一栅极线和多条数据线;多个第二栅极线在水平方向上形成在液晶面板中与多个第一栅极线不同的层中; A;被布置在液晶面板的上侧或下侧的非显示区域时,它与所述多条第一栅极线连接,并且用于连接的数据电压的供给和所述多个数据线提供扫描信号时,多个驱动IC的其中,所述多条第一栅极线和所述多条第二栅极线通过在重叠区域中成对排列的触点与所述多条第一栅极线和所述多条数据线电连接并且线条形成在不同的层上。 专利号10-1906248