



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0047649
(43) 공개일자 2014년04월22일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2014-0039393(분할)
(22) 출원일자 2014년04월02일
심사청구일자 없음
(62) 원출원 특허 10-2013-0018812
원출원일자 2013년02월21일
심사청구일자 2013년02월21일
(30) 우선권주장
1020060077135 2006년08월16일 대한민국(KR)

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
장종웅
충청남도 아산시 탕정면 탕정면로 37 탕정트라펠
리스아파트 103-2102
권영근
경기도 용인시 기흥구 탑실로 152 탑실마을대주피
오래2단지아파트 208동 2005호
(74) 대리인
특허법인가산

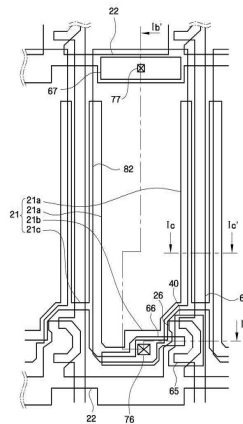
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

화질 불량을 개선할 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 절연 기판과, 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선과, 다수의 게이트선과 절연되어 교차하여 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선과, 게이트선과 데이터선의 교차부에 화소마다 형성된 박막 트랜지스터와, 데이터선과 나란히 배열되고 모든 화소에 대하여 서로 전기적으로 연결되고 외부와 전기적으로 플로팅된 플로팅 패턴과, 화소마다 형성되어 박막 트랜지스터와 연결되며 플로팅 패턴의 적어도 일부분과 중첩하는 화소 전극을 포함한다.

대표도 - 도1a



특허청구의 범위

청구항 1

절연 기판;

상기 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선;

상기 다수의 게이트선과 절연되어 교차하여 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선;

박막 트랜지스터에 연결되고 상기 픽셀 내부에 배치되며 상기 데이터선과 중첩되지 않는 화소 전극을 포함하는 각 화소; 및

각각 화소에 대응하고, 제2 방향으로 분지된 다수의 광차단 패턴 및 상기 광차단 패턴으로부터 분지된 화소 내 연결 패턴을 포함하는 다수의 플로팅 패턴;

을 포함하고,

상기 광차단 패턴은 상기 데이터선 및 상기 화소 전극의 적어도 일부와 중첩되고,

상기 화소 내 연결 패턴은 화소 전극의 경계부를 따라 형성되고 다수의 굴곡 부위를 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,

제1 화소 및 제2 화소는 상기 제1 방향으로 서로 인접하고,

상기 광차단 패턴은 제1 화소 및 제2 화소 사이의 데이터선을 가로질러 형성되며,

상기 제1 화소 및 제2 화소 각각의 화소 전극의 적어도 일부와 중첩되는 액정 표시 장치.

청구항 3

제1 항에 있어서,

상기 플로팅 패턴은 상기 제1 방향으로 배열되어 서로 전기적으로 연결되는 액정 표시 장치.

청구항 4

제3 항에 있어서,

상기 플로팅 패턴은 화소행마다 형성되고, 각 화소행의 상기 플로팅 패턴의 끝단은 서로 전기적으로 연결된 액정 표시 장치.

청구항 5

제4 항에 있어서,

제3 화소 및 제4 화소는 상기 제2 방향으로 서로 인접하고,

상기 제3 화소 및 제4 화소의 플로팅 패턴을 서로 전기적으로 연결하는 브릿지 전극을 더 포함하는 액정 표시 장치.

청구항 6

제5 항에 있어서,

상기 브릿지 전극은 상기 게이트선을 가로질러 형성되고, 상기 브릿지 전극은 상기 게이트선의 양쪽에 배치된 한 쌍의 플로팅 패턴을 전기적으로 연결하는 액정 표시 장치.

청구항 7

제5 항에 있어서,

상기 브릿지 전극은 화소 전극과 동일한 층에 위치하는 액정 표시 장치.

청구항 8

제5 항에 있어서,

상기 제3 화소는 플로팅 패턴의 화소 내 연결 패턴을 노출하는 제1 콘택홀을 포함하고,

상기 제4 화소는 플로팅 패턴의 광차단 패턴을 노출하는 제2 콘택홀을 포함하는 액정 표시 장치.

청구항 9

제1 항에 있어서,

상기 플로팅 패턴은 상기 데이터선 및 상기 화소 전극과 상이한 층에 위치하는 액정 표시 장치.

청구항 10

제9 항에 있어서,

상기 플로팅 패턴은 상기 게이트선과 동일한 층에 위치하는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 화질 불량을 개선할 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 공통 전극을 포함하는 공통 전극 표시판과 박막 트랜지스터 어레이를 포함하는 박막 트랜지스터 표시판을 포함한다. 공통 전극 표시판과 박막 트랜지스터 표시판은 서로 대향하며 두 표시판 사이에 개재된 실라인(seal line)에 의해 서로 접합되고, 그 사이에 형성된 일정한 공극에 액정층이 형성된다. 이와 같이 액정 표시 장치는 전극이 형성되어 있는 두 장의 표시판(공통 전극 표시판과 박막 트랜지스터 표시판)과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절함으로써 소정의 영상을 디스플레이할 수 있도록 구성된 장치이다. 액정 표시 장치는 비발광소자이기 때문에 박막 트랜지스터 기관의 후면에는 빛을 공급하기 위한 백라이트 유닛이 위치한다. 백라이트에서 조사된 빛은 액정의 배열상태에 따라 투과량이 조정된다.

[0003] 박막 트랜지스터 표시판은 다수 개의 게이트선, 데이터선, 화소 전극을 포함한다. 게이트선은 행 방향으로 뻗어 있어 게이트 신호를 전달하고, 데이터선은 열 방향으로 뻗어 있고 데이터 신호를 전달한다. 화소는 게이트 라인과 데이터 라인에 연결되며, 스위칭 소자와 유지 커패시터를 포함한다.

[0004] 여기서 스위칭 소자는 게이트선과 데이터선의 교차점에 형성되며, 스위칭 소자는 게이트선에 연결된 제어 단자, 데이터선에 연결된 입력 단자, 그리고 화소 전극에 연결된 출력 단자를 가지는 삼단 소자이다. 스위칭 소자의 출력 단자에는 유지 커패시터 및 액정 커패시터가 연결된다.

[0005] 종래 기술에 의한 액정 표시 장치의 경우, 데이터선과 화소 전극 사이의 이격 공간을 따라 데이터선 주위에 빛샘이 발생하는 문제가 있다. 이러한 빛샘을 막기 위해서 공통 전극 표시판 상의 블랙 매트릭스를 확대시키는 경우 액정 표시 장치의 전체적인 개구율이 감소하는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는, 화질 불량을 개선할 수 있는 액정 표시 장치를 제공하고자 하는 것이다.

[0007] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판과, 상기 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선과, 상기 다수의 게이트선과 절연되어 교차하여 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선과, 박막 트랜지스터에 연결되고 상기 픽셀 내부에 배치된 화소 전극을 포함하는 각 화소, 및 각각 화소에 대응하고, 제2 방향으로 분지된 다수의 광차단 패턴, 제1 방향으로 분지된 다수의 화소 간 연결 패턴, 및 상기 광차단 패턴으로부터 분지된 화소 내 연결 패턴을 포함하며, 상기 화소 간 연결 패턴 및 광차단 패턴은 직접적으로 연결되고, 상기 화소 내 연결 패턴은 화소 전극의 경계부를 따라 형성되고 다수의 굴곡 부위를 포함하는 다수의 플로팅 패턴을 포함하고, 제1 화소 및 제2 화소는 제1 방향으로 서로 인접하고, 상기 화소 내 연결 패턴은 화소 내에서 다수의 광차단 패턴을 연결하며, 상기 제1 화소의 플로팅 패턴의 광차단 패턴 및 상기 제2 화소의 플로팅 패턴의 광차단 패턴은 데이터선의 양측에서 상기 데이터선과 나란히 배열되고, 제1 화소 및 제2 화소의 화소 간 연결 패턴에 의해 데이터선을 가로질러 연결되며, 상기 화소 내 연결 패턴은 상기 화소 내 연결 패턴이 광차단 패턴과 만나는 점에서 광차단 패턴의 분지 방향과 다른 방향으로 분지되고, 상기 플로팅 패턴은 제1 방향으로 연속적인 화소들을 연결하면서 배치되어, 제1 플로팅 패턴 라인 및 제2 플로팅 패턴 라인을 형성하고, 상기 제1 플로팅 패턴 라인 및 제2 플로팅 패턴 라인은 다른 연속적인 화소들에 위치하고, 상기 제1 플로팅 패턴 라인은 제1 끝단 및 제2 끝단을 가지고, 상기 제2 플로팅 패턴 라인은 제3 끝단 및 제4 끝단을 포함하며, 상기 제1 끝단 및 제3 끝단은 상기 기판의 제1 측면에 위치하면서 상호 연결되고, 상기 제2 끝단 및 제4 끝단은 상기 기판의 제2 측면에 위치하면서 상호 연결된다.

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 절연 기판과, 상기 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선과, 상기 다수의 게이트선과 절연되어 교차하여 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선, 박막 트랜지스터에 연결되고 상기 픽셀 내부에 배치된 화소 전극을 포함하는 각 화소, 각각 화소에 대응하고, 제2 방향으로 분지된 다수의 광차단 패턴, 제1 방향으로 분지된 다수의 화소 간 연결 패턴, 및 상기 광차단 패턴으로부터 분지된 화소 내 연결 패턴을 포함하며, 상기 화소 간 연결 패턴 및 광차단 패턴은 직접적으로 연결되고, 상기 화소 내 연결 패턴은 화소 전극의 경계부를 따라 형성되고 다수의 굴곡 부위를 포함하는 다수의 플로팅 패턴, 및 제3 화소의 화소 내 연결 패턴 및 제2 방향으로 제3 화소에 인접하여 배치되는 제4 화소의 광차단 패턴을 연결하는 브릿지 전극을 포함하고, 제1 화소 및 제2 화소는 제1 방향으로 서로 인접하고, 상기 화소 내 연결 패턴은 화소 내에서 다수의 광차단 패턴을 연결하며, 상기 제1 화소의 플로팅 패턴의 광차단 패턴 및 상기 제2 화소의 플로팅 패턴의 광차단 패턴은 데이터선의 양측에서 상기 데이터선과 나란히 배열되고, 제1 화소 및 제2 화소의 화소 간 연결 패턴에 의해 데이터선을 가로질러 연결되며, 상기 화소 내 연결 패턴은 상기 화소 내 연결 패턴이 광차단 패턴과 만나는 점에서 광차단 패턴의 분지 방향과 다른 방향으로 분지된다.

[0010] 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는, 절연 기판과, 상기 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선과, 상기 다수의 게이트선과 절연되어 교차하여 제1 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선, 상기 제1 화소 내부에 배치되는 화소 전극, 및 상기 데이터선을 따라 뻗어있는 광차단 패턴, 화소 간 연결 패턴 및 화소 내 연결 패턴을 포함하는 플로팅 패턴을 포함하고, 상기 광차단 패턴은 상기 데이터선의 맞은 편을 따라 뻗어있는 다른 광차단 패턴과 연결되고, 상기 광차단 패턴은 상기 화소 간 연결 패턴에 의해 상기 데이터선을 가로질러 연결되며, 상기 화소 내 연결 패턴은 광차단 패턴으로부터 분지되고, 상기 화소 간 연결 패턴 및 광차단 패턴은 직접적으로 연결되며, 상기 화소 내 연결 패턴은 화소 전극의 경계부를 따라 형성되고 다수의 굴곡 부위를 포함하며, 상기 화소 내 연결 패턴은 상기 화소 내 연결 패턴이 상기 광차단 패턴과 만나는 점에서 상기 광차단 패턴의 분지 방향과 다른 방향으로 분지되고, 상기 플로팅 패턴은 다수의 화소 간 연결 패턴을 포함하고, 상기 광차단 패턴은 다수의 화소 간 연결 패턴에 의해 상기 데이터선을 가로질러 연결되며, 상기 화소 내 연결 패턴은 상기 다수의 화소 간 연결 패턴 중 하나로부터 분지되고 상기 다수의 화소 간 연결 패턴 중 하나와 상기 화소 내 연결 패턴은 직접적으로 연결된다.

[0011] 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 액정 표시 장치는, 절연 기판과, 상기 절연 기판 상에 형성되어 제1 방향으로 뻗은 다수의 게이트선과, 상기 다수의 게이트선과 절연되어 교차하여 제3 화소를 정의하며 제2 방향으로 뻗은 다수의 데이터선, 상기 제3 화소 내부에 배치되는 화소 전극, 상기 데이터선을 따라 뻗어있는 광차단 패턴, 화소 간 연결 패턴 및 화소 내 연결 패턴을 포함하는 플로팅 패턴, 및 제3 화

소의 광차단 패턴과 상기 제3 화소와 제2 방향으로 인접한 제4 화소의 화소 내 연결 패턴을 연결하는 브릿지 전극을 포함하고, 상기 광차단 패턴은 상기 데이터선의 맞은 편을 따라 뻗어있는 다른 광차단 패턴과 연결되고, 상기 광차단 패턴은 상기 화소 간 연결 패턴에 의해 상기 데이터선을 가로질러 연결되며, 상기 화소 내 연결 패턴은 광차단 패턴으로부터 분지되고, 상기 화소 간 연결 패턴 및 광차단 패턴은 직접적으로 연결되며, 상기 화소 내 연결 패턴은 화소 전극의 경계부를 따라 형성되고 다수의 굴곡 부위를 포함하며, 상기 화소 내 연결 패턴은 상기 화소 내 연결 패턴이 상기 광차단 패턴과 만나는 점에서 상기 광차단 패턴의 분지 방향과 다른 방향으로 분지된다.

[0012] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0013] 본 발명의 실시예들에 의하면 적어도 다음과 같은 효과가 있다.

[0014] 상술한 바와 같이 본 발명에 따른 액정 표시 장치에 의하면, 데이터선 주변의 빛샘 현상을 억제하며, 세로줄 무늬가 인식되는 것을 방지하여 표시 특성을 향상시킬 수 있다.

[0015] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0016] 도 1a는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 1b는 도 1a의 박막 트랜지스터 표시판을 Ib-Ib'선에 따라 절개한 단면도이다.

도 1c는 도 1a의 박막 트랜지스터 표시판을 Ic-Ic'선에 따라 절개한 단면도이다.

도 1d는 도 1a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다.

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이다.

도 3a는 도 1a의 박막 트랜지스터 표시판과 도 2의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이다.

도 3b는 도 3a의 액정 표시 장치를 IIb-IIb'선을 따라 절개한 단면도이다.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 개략도이다.

도 5a는 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 5b는 도 5a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다.

도 6a는 본 발명의 제3 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 6b는 도 6a의 박막 트랜지스터 표시판을 VIb-VIb'선에 따라 절개한 단면도이다.

도 6c는 도 6a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다.

도 7a는 본 발명의 제4 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 7b는 도 7a의 박막 트랜지스터 표시판을 VIIb-VIIb'선에 따라 절개한 단면도이다.

도 7c는 도 7a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이다.

도 7d는 본 발명의 제4 실시예에 따른 액정 표시 장치의 개략도이다.

도 8a는 본 발명의 제5 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 8b는 도 8a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이다.

도 9a는 본 발명의 제6 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이다.

도 9b는 도 9a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0018] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0019] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- [0020] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0021] 이하, 도 1a 내지 도 4를 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치에 대하여 설명한다. 본 발명의 제1 실시예에 따른 액정 표시 장치는 게이트선과 데이터선에 연결되어 화소 전극에 전압을 인가하는 박막 트랜지스터를 구비하는 박막 트랜지스터 표시판과, 박막 트랜지스터 표시판과 대향하며 공통 전극을 구비하는 공통 전극 표시판과, 박막 트랜지스터 표시판과 공통 전극 표시판 사이에 개재된 액정층을 포함한다.
- [0022] 먼저 도 1a 내지 도 1d를 참조하여 박막 트랜지스터 표시판에 대하여 상세히 설명한다. 도 1a는 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 1b는 도 1a의 박막 트랜지스터 표시판을 Ib-Ib'선에 따라 절개한 단면도이고, 도 1c는 도 1a의 박막 트랜지스터 표시판을 Ic-Ic'선에 따라 절개한 단면도이고, 도 1d는 도 1a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다.
- [0023] 절연 기판(10) 위에 가로 방향으로 배치된 게이트선(22)과, 게이트선(22)에 돌기의 형태로 이루어진 게이트 전극(26)을 형성한다. 이러한 게이트선(22) 및 게이트 전극(26)을 게이트 배선이라고 한다.
- [0024] 그리고 플로팅 패턴(21)은 절연 기판(10) 위에 형성되어 전체적으로 가로 방향으로 배열되어 있다. 플로팅 패턴(21)은 세로 방향으로 분지되어 데이터선(62) 주위에 형성된 광차단 패턴(21a)을 구비하고 있다. 플로팅 패턴(21)은 모든 화소에 전체적으로 연결되어 있고 외부 전원과는 전기적으로 플로팅되어 있다. 구체적으로 플로팅 패턴(21)은 데이터선(62)의 양측에서 데이터선(62)과 나란히 배열된 광차단 패턴(21a)과, 화소 내에 배치된 광차단 패턴(21a)을 서로 연결하는 화소 내 연결 패턴(21b)과, 데이터선(62)과 일정 부분이 중첩하며 데이터선(62)의 양측에 위치하는 한 쌍의 광차단 패턴(21a)을 연결하는 화소 간 연결 패턴(21c)으로 구성되어 있다. 즉 화소 간 연결 패턴(21c)은 이웃하는 화소에 배치된 광차단 패턴(21a)을 서로 연결한다.
- [0025] 여기서 광차단 패턴(21a)은 데이터선(62)의 양측에 배치되어 데이터선(62)에 의한 빛샘 현상을 방지하는 역할을 하고, 화소 내 연결 패턴(21b) 및 화소 간 연결 패턴(21c)은 가로 방향으로 배열된 모든 화소에 배치된 광차단 패턴(21a)을 연결하는 역할을 한다. 광차단 패턴(21a)은 데이터선(62)과 중첩되지 않도록 형성될 수 있다. 이와 같은 플로팅 패턴(21)은 전기적으로 플로팅 상태인 것을 특징으로 한다.
- [0026] 또한, 게이트선(22)은 화소 전극(82)과 중첩하는 부분의 폭이 확장되어 화소 전극(82)과 유지 커패시터를 형성하여, 이와 같은 방식을 전단 게이트 방식이라고 한다. 본 실시예에서는 화소 전극(82)과 게이트선(22)이 중첩하여 형성된 유지 커패시터를 이용하여 설명하였으나, 본 발명은 이에 한정되지 않으며 게이트 배선(22)과 동일한 층에 공통 전압(Vcom)이 인가되는 별도의 유지 전극(미도시)을 형성하고 화소 전극(82)과 중첩시켜 유지 커패시터를 형성할 수도 있다. 이러한 방식을 독립 배선 방식이라고 한다.

- [0027] 게이트 배선(22, 26) 및 플로팅 패턴(21)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 26) 및 플로팅 패턴(21)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26) 및 플로팅 패턴(21)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26) 및 플로팅 패턴(21)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.
- [0028] 게이트 배선(22, 26) 및 플로팅 패턴(21) 위에 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(30)을 형성한다.
- [0029] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40)을 형성한다. 이러한 반도체층(40)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 게이트 전극(26) 상에 섬형으로 형성될 수 있다. 또한 데이터선(62) 아래에 위치하여 게이트 전극(26) 상부까지 연장된 형상을 가지는 선형으로 형성될 수도 있다. 선형 반도체층의 경우, 데이터선(62)과 동일하게 패터닝하여 형성될 수 있다.
- [0030] 반도체층(40)의 위에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(55, 56)을 형성한다. 이러한 저항성 접촉층(55, 56)은 섬형, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬형 저항성 접촉층(55, 56)의 경우 드레인 전극(66) 및 소스 전극(65) 아래에 위치하고, 선형의 저항성 접촉층의 경우 데이터선(62)의 아래까지 연장되어 형성될 수 있다.
- [0031] 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터선(62) 및 드레인 전극(66)을 형성한다. 데이터선(62)은 길게 뻗어 있으며 게이트선(22)과 교차한다. 소스 전극(65)은 데이터선(62)으로부터 가지(branch) 형태로 분지되어 반도체층(40)의 상부까지 연장되어 있다. 드레인 전극(66)은 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하도록 반도체층(40) 상부에 위치한다. 박막 트랜지스터는 게이트 전극(26), 소스 전극(65) 및 드레인 전극(66)의 삼단 소자로서, 게이트 전극(26)에 전압이 인가될 때 소스 전극(65)과 드레인 전극(66) 사이에 전류를 흐르게 하는 스위칭 소자이다.
- [0032] 드레인 전극(66)은 반도체층(40) 상부의 막대형 패턴과, 막대형 패턴으로부터 연장되어 넓은 면적을 가지며 콘택홀(76)이 위치하는 드레인 전극 확장부를 포함한다.
- [0033] 이러한 데이터선(62), 소스 전극(65) 및 드레인 전극(66)을 데이터 배선이라고 한다.
- [0034] 그리고, 데이터 배선(62, 65, 66)과 실질적으로 동일한 층에 동일한 물질로 이루어진 유지 전극용 도전 패턴(67)이 형성된다. 유지 전극용 도전 패턴(67)은 전단 게이트선(22)과 중첩하도록 배치되며 화소 전극(82)과 전기적으로 접촉되어 있다. 유지 커패시터는 유지 전극용 도전 패턴(67)으로 이루어진 일 단자, 전단 게이트선(22)으로 이루어진 타 단자, 및 이들 사이에 개재된 게이트 절연막(30)으로 구성된다.
- [0035] 데이터 배선(62, 65, 66)과 유지 전극용 도전 패턴(67)은 알루미늄, 크롬, 몰리브덴, 탄탈륨 및 티타늄으로 이루어진 그룹에서 선택된 하나 이상의 물질로 구성된 단일막 또는 다층막으로 이루어질 수 있다. 예를 들어, 데이터 배선(62, 65, 66)과 유지 전극용 도전 패턴(67)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0036] 소스 전극(65)은 반도체층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하며 반도체층(40)과 적어도 일부분이 중첩된다. 여기서, 저항성 접촉층(55, 56)은 반도체층(40)과 소스 전극(65) 및 반도체층(40)과 드레인 전극(66) 사이에 개재되어 이들 사이에 접촉 저항을 낮추어 주는 역할을 한다.

- [0037] 데이터 배선(62, 65, 66), 유지 전극용 도전 패턴(67) 및 노출된 반도체층(40) 위에는 절연막으로 이루어진 보호막(70)이 형성되어 있다. 여기서 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)을 유기 물질로 형성하는 경우에는 소스 전극(65)과 드레인 전극(66) 사이의 반도체층(40)이 드러난 부분에 보호막(70)의 유기 물질이 접촉하는 것을 방지하기 위하여, 질화 규소(SiNx) 또는 산화 규소(SiO₂)로 이루어진 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- [0038] 보호막(70)에는 드레인 전극(66) 및 유지 전극용 도전 패턴(67)을 각각 드러내는 콘택홀(contact hole)(76, 77)이 형성되어 있다.
- [0039] 보호막(70) 위에는 콘택홀(76)을 통하여 드레인 전극(66)과 전기적으로 연결되며 화소의 모양을 따라 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 콘택홀(77)을 통하여 유지 전극용 도전 패턴(67)과 전기적으로 접속되어 있다. 데이터 전압이 인가된 화소 전극(82)은 공통 전극 표시판의 공통 전극과 함께 전기장을 생성함으로써 화소 전극(82)과 공통 전극 사이에 개재된 액정 분자들의 배열을 결정한다.
- [0040] 여기서, 화소 전극(82)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다.
- [0041] 화소 전극(82) 및 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- [0042] 도 1a, 도 1c 및 도 1d를 참조하여 플로팅 패턴(21)의 역할을 구체적으로 설명하면 다음과 같다.
- [0043] 플로팅 패턴(21)은 데이터선(62)을 따라 배치되고, 플로팅 패턴(21)의 적어도 일부는 데이터선(62)에 인접한 화소 전극(82)과 중첩한다. 또한 플로팅 패턴(21)의 적어도 일부는 데이터선(62)과 중첩한다. 구체적으로 광차단 패턴(21a)은 데이터선(62)을 따라 배치되고, 광차단 패턴(21a)의 적어도 일부는 화소 전극(82)과 중첩한다. 또한 화소 간 연결 패턴(21c)의 적어도 일부는 데이터선(62)과 중첩한다.
- [0044] 데이터선(62)을 통하여 전달되는 데이터 전압으로 인하여 데이터선(62) 주변에는 비정상적인 전계가 발생하고, 따라서 데이터선(62) 주변에 위치하는 액정 분자는 비정상적으로 움직이게 된다. 따라서 데이터선(62) 주변에는 빛샘이 발생할 수 있는데, 본 실시예에서와 같이 데이터선(62)의 양측에 광차단 패턴(21a)을 형성함으로써 빛샘 현상을 억제할 수 있다.
- [0045] 또한 광차단 패턴(21a)은 전기적으로 플로팅되어 있기 때문에 데이터선(62)과 커플링이 일어나서 세로줄 무늬가 인식될 우려가 있으나, 본 실시예에서는 모든 화소의 광차단 패턴(21a)이 화소 내 연결 패턴(21b) 및 화소 간 연결 패턴(21c)에 의하여 전기적으로 연결되어 있으므로 데이터선(62)과의 커플링을 억제하여 세로줄 무늬가 인식되는 것을 방지할 수 있다. 또한 만약 광차단 패턴(21a)에 공통 전압이 인가되는 경우 데이터선(62) 주변에 위치하는 액정분자는 이러한 공통 전압에 의해 발생하는 전계에 영향을 받아서 비정상적으로 움직이게 되어 빛샘 현상이 확산될 우려가 있으나, 본 실시예에서는 광차단 패턴(21a)을 전기적으로 플로팅시킴으로써 이러한 빛샘 현상의 확산을 억제할 수 있다.
- [0046] 이하, 도 2 내지 도 3b를 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 공통 전극 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다. 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이다. 도 3a는 도 1a의 박막 트랜지스터 표시판과 도 2의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이다. 도 3b는 도 3a의 액정 표시 장치를 IIIb-IIIb'선을 따라 절개한 단면도이다.
- [0047] 도 2 내지 도 3b를 참조하면, 유리 등의 투명한 절연 물질로 이루어진 절연 기판(96) 위에 빛샘을 방지하고 화소 영역을 정의하는 블랙 매트릭스(94)가 형성되어 있다. 블랙 매트릭스(94)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.
- [0048] 그리고 블랙 매트릭스(94) 사이의 화소 영역에는 적색, 녹색, 청색의 색필터(98)가 순차적으로 배열되어 있다.
- [0049] 이러한 색필터(98) 위에는 이들의 단차를 평탄화하기 위한 오버코트층(미도시)이 형성될 수 있다.
- [0050] 오버코트층 또는 색필터(98) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어진 공통 전극(90)이 형성되어 있다. 공통 전극(90) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.
- [0051] 도 3b에 도시된 바와 같이, 이와 같은 구조의 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200)을 정렬하여 결합하고 그 사이에 액정층(300)을 형성하면 본 발명의 제1 실시예에 따른 액정 표시 장치의 기본 구조가 이

루어진다. 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200)은 화소 전극(82)이 선크터(98)와 대응하여 정확하게 중첩되도록 정렬된다.

[0052] 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다. 이때 편광판(미도시)은 기본 구조의 양측에 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 나란하고 나머지 하나는 이에 수직을 이루도록 배치될 수 있다.

[0053] 이하, 도 4를 참조하여 본 실시예의 플로팅 패턴에 대하여 추가적으로 설명한다. 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 개략도이다. 도 4에 도시된 바와 같이, 액정 표시 장치는 가로 방향으로 뻗은 다수의 게이트선(G1, ..., Gn)과, 다수의 게이트선(G1, ..., Gn)과 교차하며 세로 방향으로 뻗은 다수의 데이터선(D1, ..., Dm)과, 게이트선(G1, ..., Gn)과 데이터선(D1, ..., Dm)에 의해 구획되어 정의된 화소(PX)를 포함한다. 플로팅 패턴(FP)은 모든 화소(PX)에 대하여 서로 연결되어 있고, 외부와 전기적으로 플로팅되어 있다. 본 실시예의 플로팅 패턴(FP)은 화소행(row)마다 형성되어 전체적으로 게이트선(G1, ..., Gn)과 나란히 배열되어 있고, 플로팅 패턴(FP)의 끝단은 서로 전기적으로 연결되어 있다.

[0054] 이하, 도 5a 및 도 5b를 참조하여 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 5a는 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 5b는 도 5a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다. 설명의 편의상, 상기 제1 실시예의 도면(도 1a 내지 도 4)에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다. 본 실시예의 액정 표시 장치는 제1 실시예의 액정 표시 장치와 비교하여, 플로팅 패턴(121)의 형상을 제외하고는 기본적으로 동일한 구조를 가진다.

[0055] 즉 도 5a 및 도 5b에 도시된 플로팅 패턴(121)의 경우, 데이터선(62)의 양쪽에 배치된 한 쌍의 광차단 패턴(21a)은 다수의 화소 간 연결 패턴(21c)에 의해 연결되어 있다. 본 실시예에서는 2 개의 화소 간 연결 패턴(21c)에 의해 한 쌍의 광차단 패턴(21a)이 연결되는 경우를 설명하였으나, 본 발명은 화소 간 연결 패턴(21c)의 개수에 한정되지 않는다.

[0056] 이와 같이 플로팅 패턴(121)과 데이터선(62)의 중첩 면적이 늘어나는 경우 플로팅 패턴(121)과 데이터선(62)과의 오버레이(over-lay) 차이가 발생하더라도 플로팅 패턴(121)과 데이터선(62)의 커플링 커패시턴스의 변화량이 줄어들게 된다. 따라서 세로줄 무늬가 인지되는 것을 더욱 억제할 수 있다.

[0057] 만약 반도체층이 데이터선(62) 아래까지 확장된 선형 구조에서 백라이트로부터의 빛이 데이터선(62) 아래의 반도체층에 주입되는 경우 광전류가 발생하여 액정 표시 장치의 표시 특성이 떨어지게 된다. 본 실시예에서는 플로팅 패턴(121)과 데이터선(62)의 중첩 면적을 늘림으로써 데이터선(62) 아래의 반도체층에 주입되는 빛을 차단하여 액정 표시 장치의 표시 특성이 떨어지는 것을 방지할 수 있다.

[0058] 이하, 도 6a 내지 도 6c를 참조하여 본 발명의 제3 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 6a는 본 발명의 제3 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 6b는 도 6a의 박막 트랜지스터 표시판을 VIb-VIb'선에 따라 절개한 단면도이고, 도 6c는 도 6a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴을 나타낸 배치도이다. 설명의 편의상, 상기 제2 실시예의 도면(도 5a 및 도 5b)에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다. 본 실시예의 액정 표시 장치는 제2 실시예의 액정 표시 장치와 비교하여, 플로팅 패턴(221)의 형상을 제외하고는 기본적으로 동일한 구조를 가진다.

[0059] 즉 도 6a 내지 도 6c에 도시된 플로팅 패턴(221)은, 인접한 데이터선(62)과 중첩하는 광차단 패턴(221a)과, 화소 내에 배치된 광차단 패턴(221a)을 서로 연결하는 화소 내 연결 패턴(21b)으로 구성되어 있다. 바람직하게는 광차단 패턴(221a)은 이에 인접한 데이터선(62)과 완전히 중첩하며 광차단 패턴(221a)의 폭은 데이터선(62)의 폭보다 넓도록 형성되어 있다. 또한 광차단 패턴(221a)은 데이터선(62)의 양측에 배치된 한 쌍의 화소 전극(82)과 각각 적어도 일부 중첩한다.

[0060] 본 실시예에서는 광차단 패턴(221a)과 데이터선(62)의 중첩 면적이 더욱 늘어남으로써, 세로줄 무늬가 인지되는 것을 억제하고 데이터선(62) 아래의 반도체층에 광전류가 발생하는 것을 억제할 수 있다.

[0061] 이하, 도 7a 내지 도 7d를 참조하여 본 발명의 제4 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 7a는 본 발명의 제4 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 7b는 도 7a의 박막 트랜지스터 표시판을 VIIb-VIIb'선에 따라 절개한 단면도이고, 도 7c는 도 7a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이고, 도 7d는 본 발명의 제4 실시예에 따른 액정 표시 장치의 개

략도이다. 설명의 편의상, 상기 제1 실시예의 도면(도 1a 내지 도 4)에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다. 본 실시예의 액정 표시 장치는 제1 실시예의 액정 표시 장치와 비교하여, 브릿지(bridge) 전극(78)을 제외하고는 기본적으로 동일한 구조를 가진다.

[0062] 즉 도 7a 내지 도 7c에 도시된 바와 같이 데이터선(62)을 따라 세로 방향으로 배열된 화소들에 각각 형성된 플로팅 패턴(21)은 브릿지 전극(84)에 의해 전기적으로 연결된다. 예를 들어 브릿지 전극(84)은 게이트선(22)을 가로질러 위쪽 화소의 화소 내 연결 패턴(21b)과, 아래쪽 화소의 광차단 패턴(21a)을 전기적으로 연결한다.

[0063] 보호막(70)에는 위쪽 화소의 플로팅 패턴(21)과, 아래쪽 화소의 플로팅 패턴(21)을 각각 드러내는 콘택홀(78, 79)이 형성되어 있다. 브릿지 전극(84)은 콘택홀(78, 79)을 통하여 위쪽 화소 및 아래쪽 화소의 플로팅 패턴(21)을 전기적으로 연결한다. 브릿지 전극(84)은 화소 전극(82)과 실질적으로 동일한 층에 동일한 물질로 형성될 수 있다.

[0064] 도 7d를 참조하여 본 실시예의 플로팅 패턴에 대하여 추가적으로 설명한다. 플로팅 패턴(FP)은 모든 화소(PX)에 대하여 서로 연결되어 있고, 외부와 전기적으로 플로팅되어 있다. 본 실시예의 플로팅 패턴(FP)은 화소행(row)마다 형성되어 전체적으로 게이트선(G1, ..., Gn)과 나란히 배열되어 있고, 플로팅 패턴(FP)의 끝단은 서로 전기적으로 연결되어 있다. 또한, 플로팅 패턴(FP)은 데이터선(D1, ..., Dm)과 나란한 방향으로 브릿지 전극에 의해 전기적으로 연결되어 있다.

[0065] 이와 같이 플로팅 패턴(FP)이 가로 방향으로 배열되어 있고 브릿지 전극이 플로팅 패턴을 세로 방향으로 연결함으로써, 액정 표시 장치의 표시 영역 전면에 걸쳐 플로팅 패턴(FP)이 균일한 플로팅 전위(floating potential)를 가질 수 있다. 따라서 플로팅 패턴(FP)과 데이터선(D1, ..., Dm) 간의 커플링을 효과적으로 억제할 수 있기 때문에, 데이터선(D1, ..., Dm)과 화소 전극(82) 간의 커플링을 효과적으로 차단할 수 있다. 따라서 세로줄 무늬가 인식되는 것을 더욱 효과적으로 방지할 수 있다.

[0066] 이하, 도 8a 및 도 8b를 참조하여 본 발명의 제5 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 8a는 본 발명의 제5 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 8b는 도 8a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이다. 설명의 편의상, 상기 제4 실시예의 도면(도 7a 내지 도 7d)에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다. 본 실시예의 액정 표시 장치는 제5 실시예의 액정 표시 장치와 비교하여, 플로팅 패턴(121)의 형상을 제외하고는 기본적으로 동일한 구조를 가진다.

[0067] 즉 도 8a 및 도 8b에 도시된 플로팅 패턴(121)의 경우, 데이터선(62)의 양쪽에 배치된 한 쌍의 광차단 패턴(21a)은 다수의 화소 간 연결 패턴(21c)에 의해 연결되어 있다. 본 실시예에서는 2 개의 화소 간 연결 패턴(21c)에 의해 한 쌍의 광차단 패턴(21a)이 연결되는 경우를 설명하였으나, 본 발명은 화소 간 연결 패턴(21c)의 개수에 한정되지 않는다.

[0068] 이와 같이 플로팅 패턴(121)과 데이터선(62)의 중첩 면적이 늘어나는 경우 플로팅 패턴(121)과 데이터선(62)과의 오버레이(over-lay) 차이가 발생하더라도 플로팅 패턴(121)과 데이터선(62)의 커플링 커패시턴스의 변화량이 줄어들게 된다. 따라서 세로줄 무늬가 인지되는 것을 더욱 억제할 수 있다.

[0069] 만약 반도체층이 데이터선(62) 아래까지 확장된 선형 구조에서 백라이트로부터의 빛이 데이터선(62) 아래의 반도체층에 주입되는 경우 광전류가 발생되어 액정 표시 장치의 표시 특성이 떨어지게 된다. 본 실시예에서는 플로팅 패턴(121)과 데이터선(62)의 중첩 면적을 늘림으로써 데이터선(62) 아래의 반도체층에 주입되는 빛을 차단하여 액정 표시 장치의 표시 특성이 떨어지는 것을 방지할 수 있다.

[0070] 이하, 도 9a 및 도 9b를 참조하여 본 발명의 제6 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 9a는 본 발명의 제6 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 배치도이고, 도 9b는 도 9a의 박막 트랜지스터 표시판에 형성된 플로팅 패턴 및 브릿지 전극을 나타낸 배치도이다. 설명의 편의상, 상기 제5 실시예의 도면(도 8a 및 도 8b)에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다. 본 실시예의 액정 표시 장치는 제5 실시예의 액정 표시 장치와 비교하여, 플로팅 패턴(221)의 형상을 제외하고는 기본적으로 동일한 구조를 가진다.

[0071] 즉 도 9a 및 도 9b에 도시된 플로팅 패턴(221)은, 인접한 데이터선(62)과 중첩하는 광차단 패턴(221a)과, 화소 내에 배치된 광차단 패턴(221a)을 서로 연결하는 화소 내 연결 패턴(21b)으로 구성되어 있다. 바람직하게는 광차단 패턴(221a)은 이에 인접한 데이터선(62)과 완전히 중첩하며 광차단 패턴(221a)의 폭은 데이터선(62)의 폭보다 넓도록 형성되어 있다. 또한 광차단 패턴(221a)은 데이터선(62)의 양측에 배치된 한 쌍의 화소 전극(82)과

각각 적어도 일부 중첩한다.

[0072] 본 실시예에서는 광차단 패턴(221a)과 데이터선(62)의 중첩 면적이 더욱 늘어남으로써, 세로줄 무늬가 인지되는 것을 억제하고 데이터선(62) 아래의 반도체층에 광전류가 발생하는 것을 억제할 수 있다.

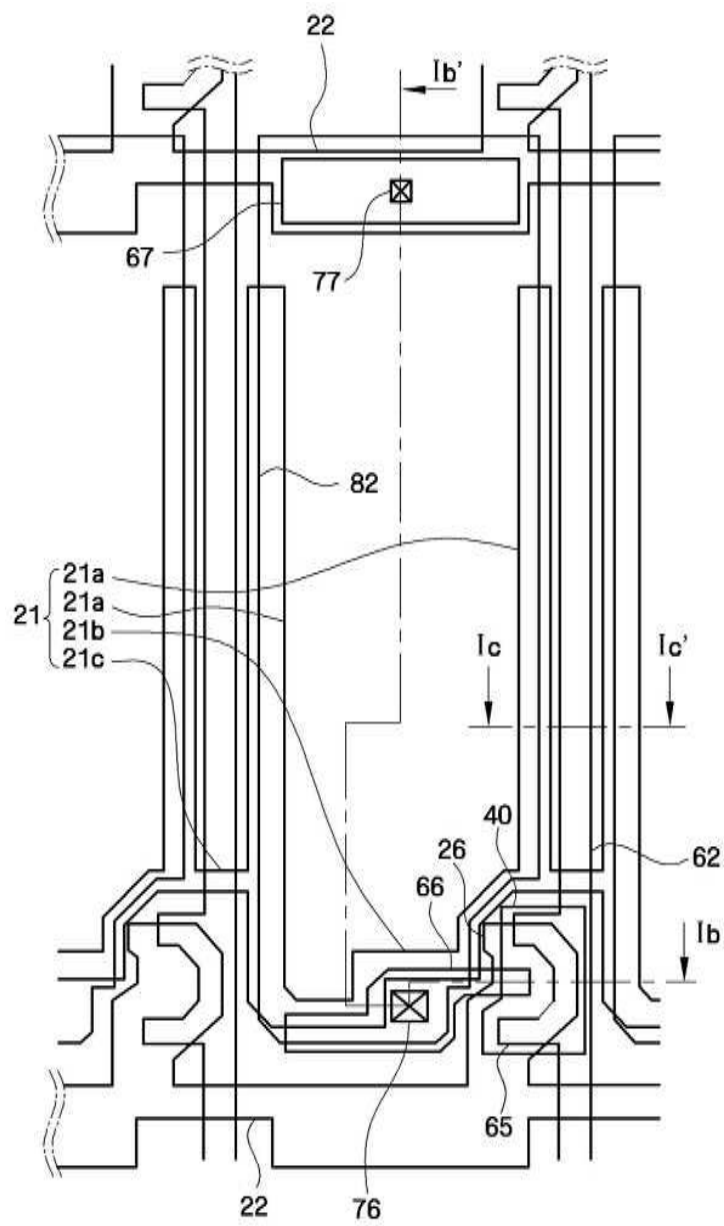
[0073] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

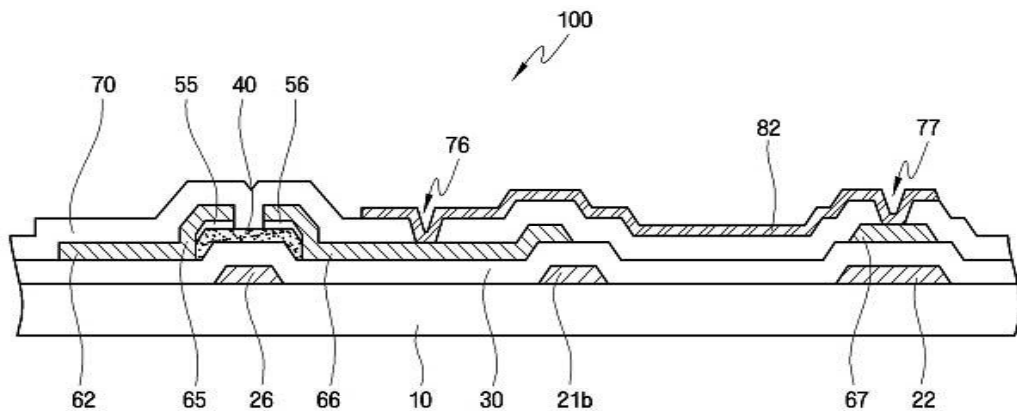
[0074]	10: 절연 기판	21, 121, 221: 플로팅 패턴
	21a, 221a: 광차단 패턴	21b: 화소 내 연결 패턴
	21c: 화소 간 연결 패턴	22: 게이트선
	26: 게이트 전극	30: 게이트 절연막
	40: 반도체층	55, 56: 저항성 접촉층
	62: 데이터선	65: 소스 전극
	66: 드레인 전극	67: 유지 전극용 도전 패턴
	70: 보호막	76, 77, 78, 79: 콘택홀
	78: 브릿지 전극	82: 화소 전극
	90: 공통 전극	94: 블랙 매트릭스
	96: 절연 기판	98: 색필터
	100: 박막 트랜지스터 표시판	200: 공통 전극 표시판
	300: 액정층	

도면

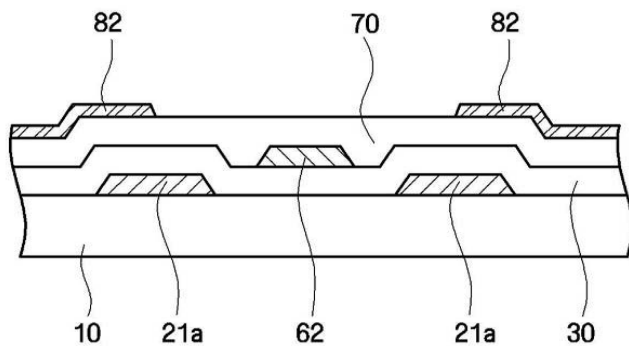
도면1a



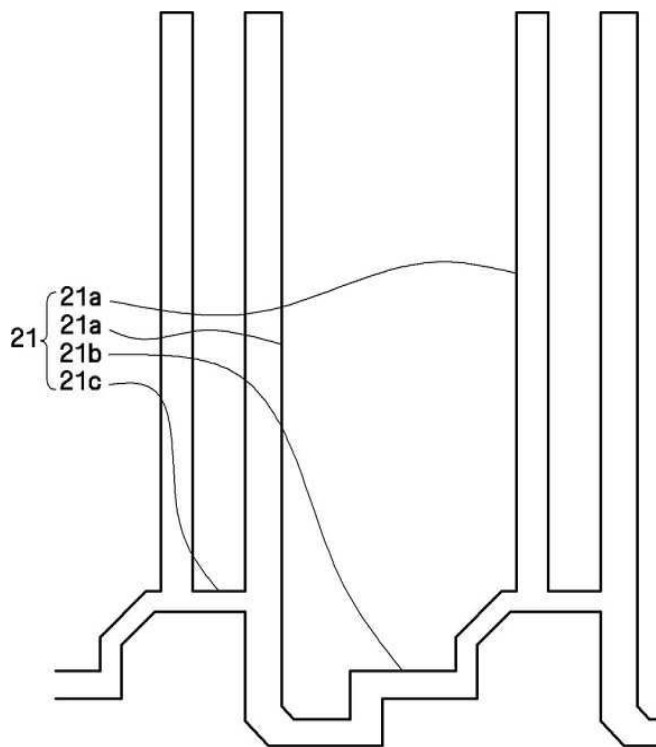
도면1b



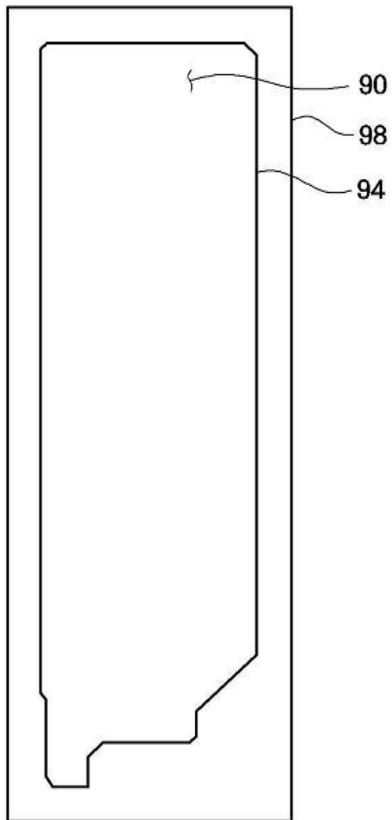
도면1c



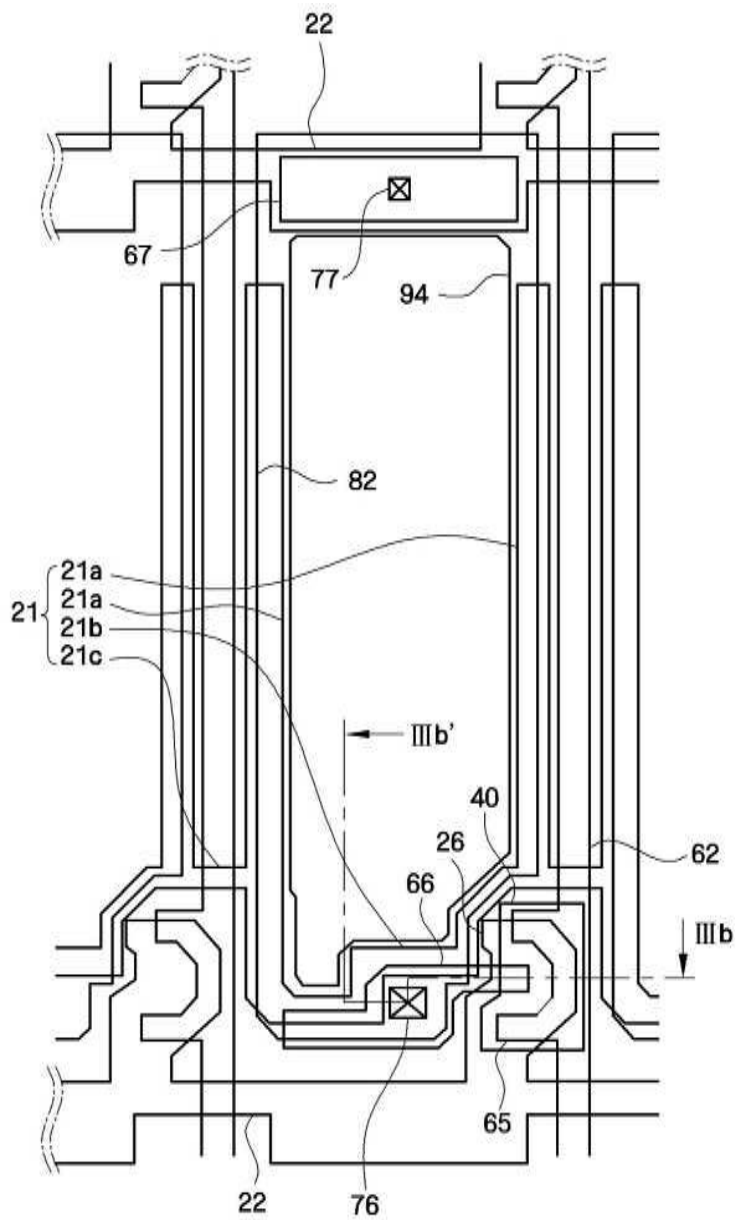
도면1d



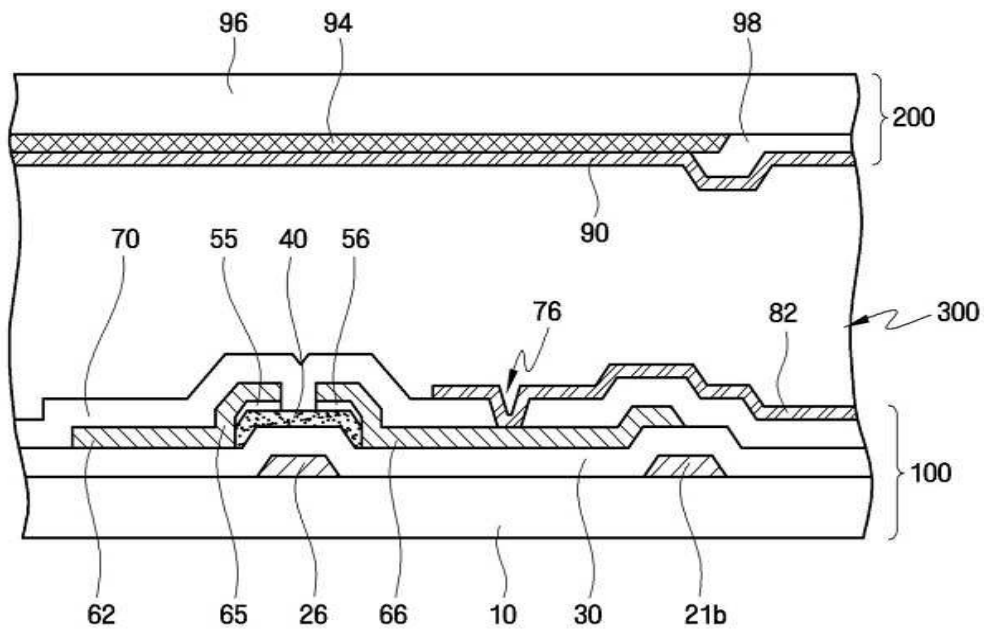
도면2



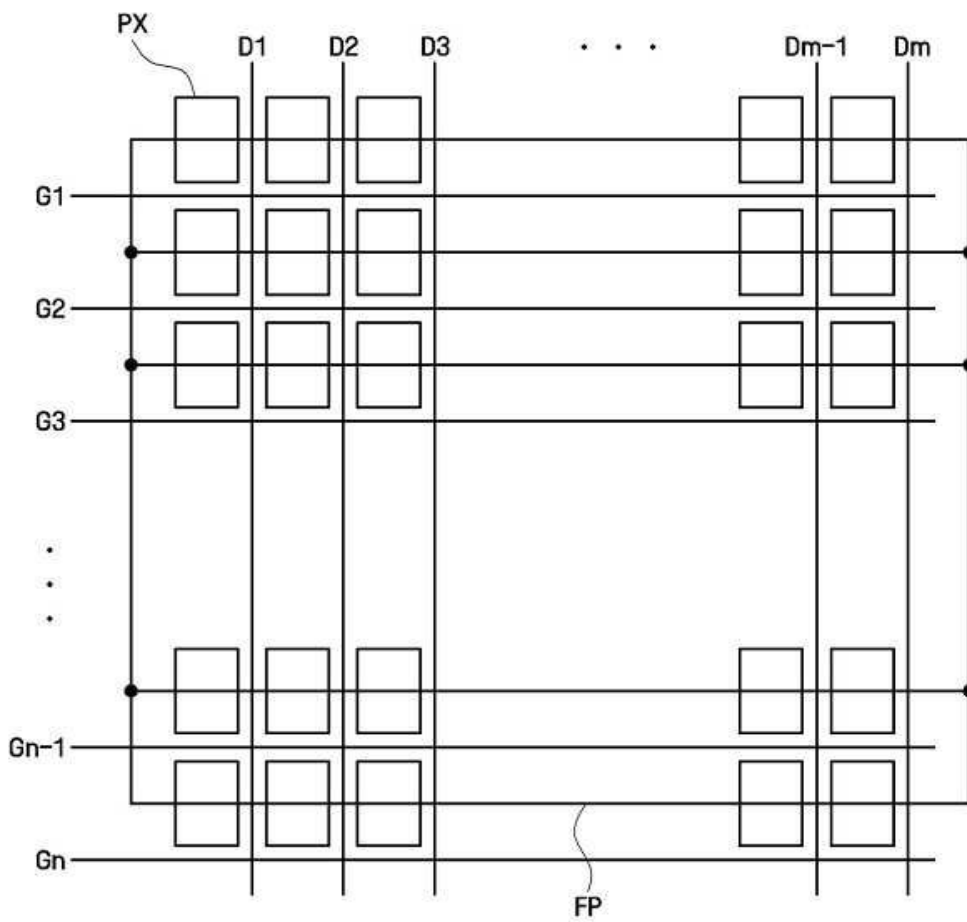
도면3a



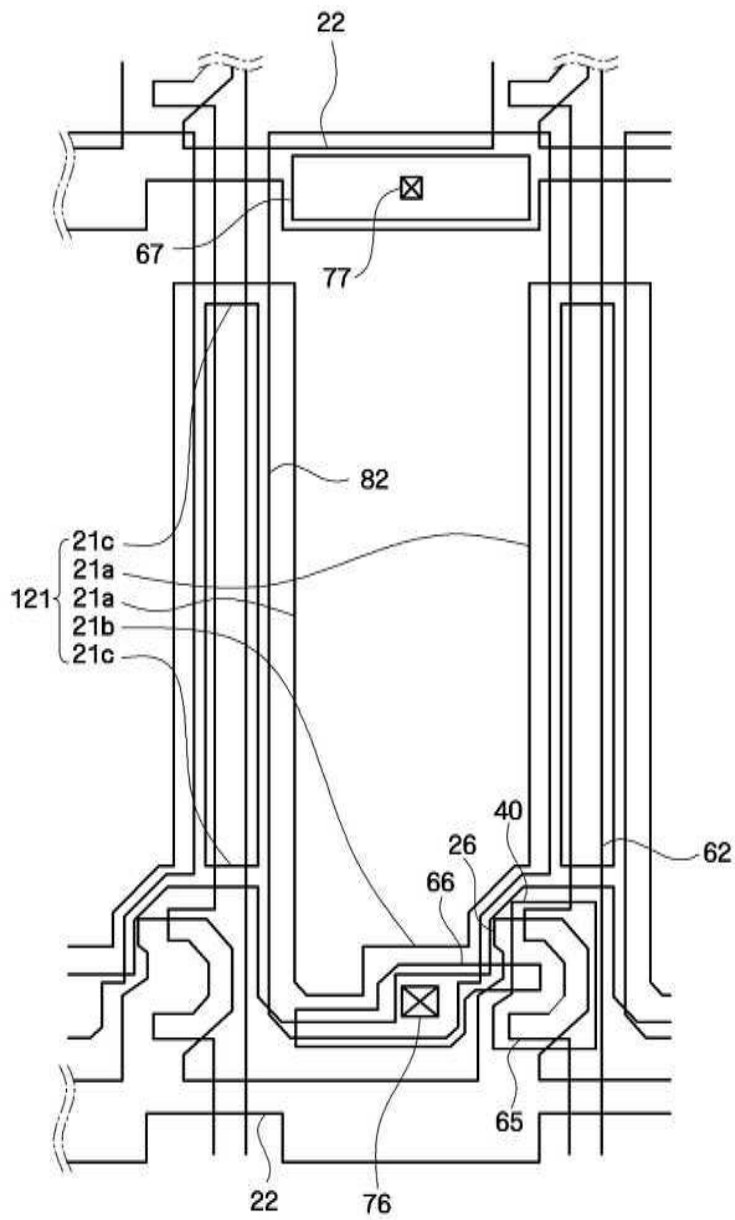
도면3b



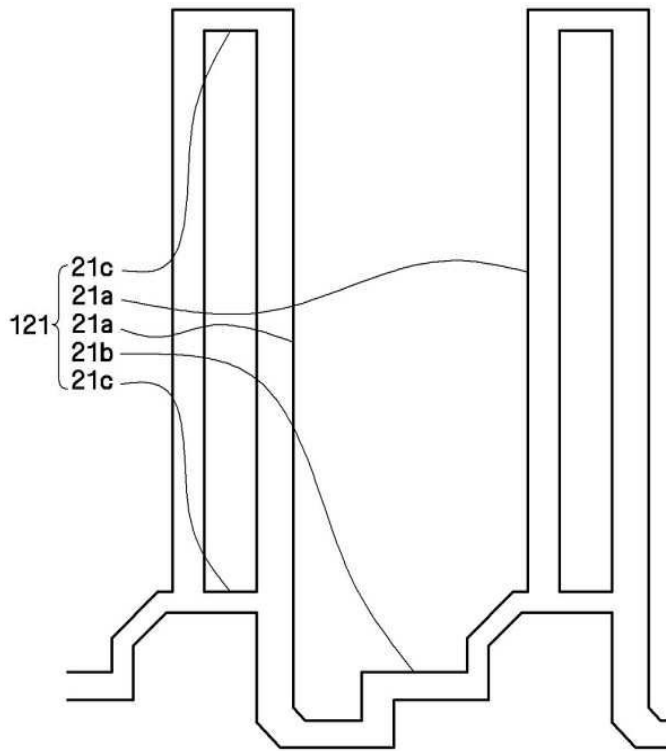
도면4



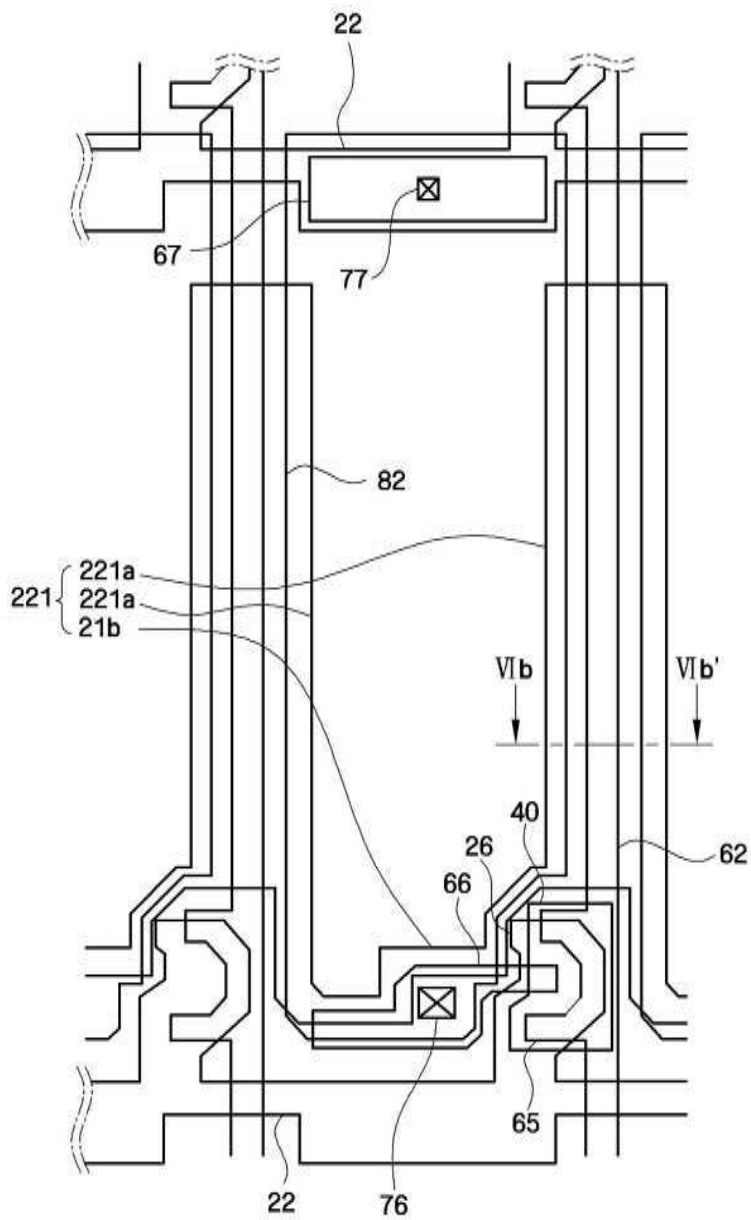
도면5a



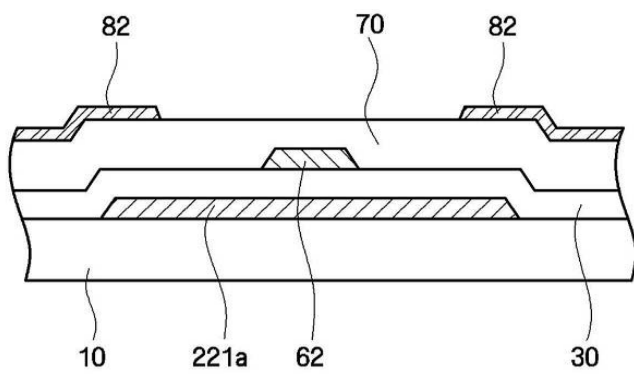
도면5b



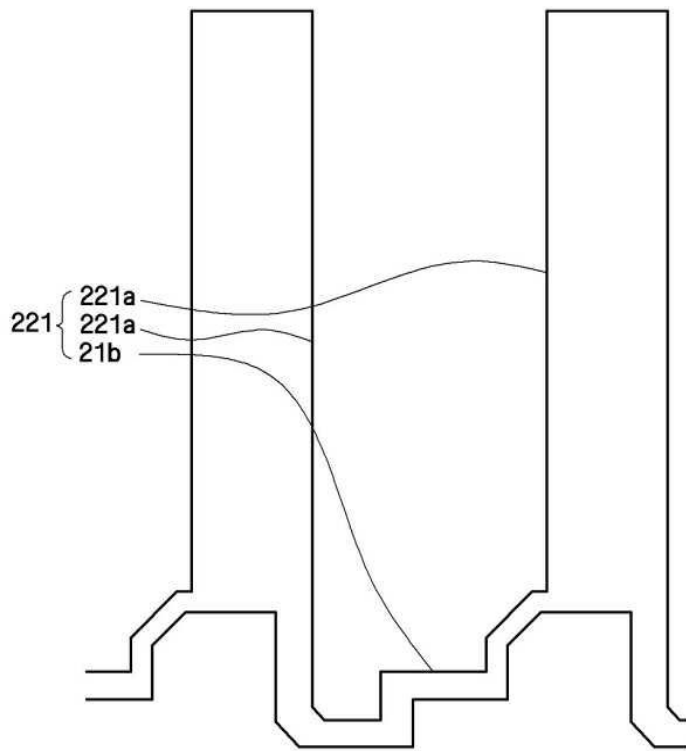
도면6a



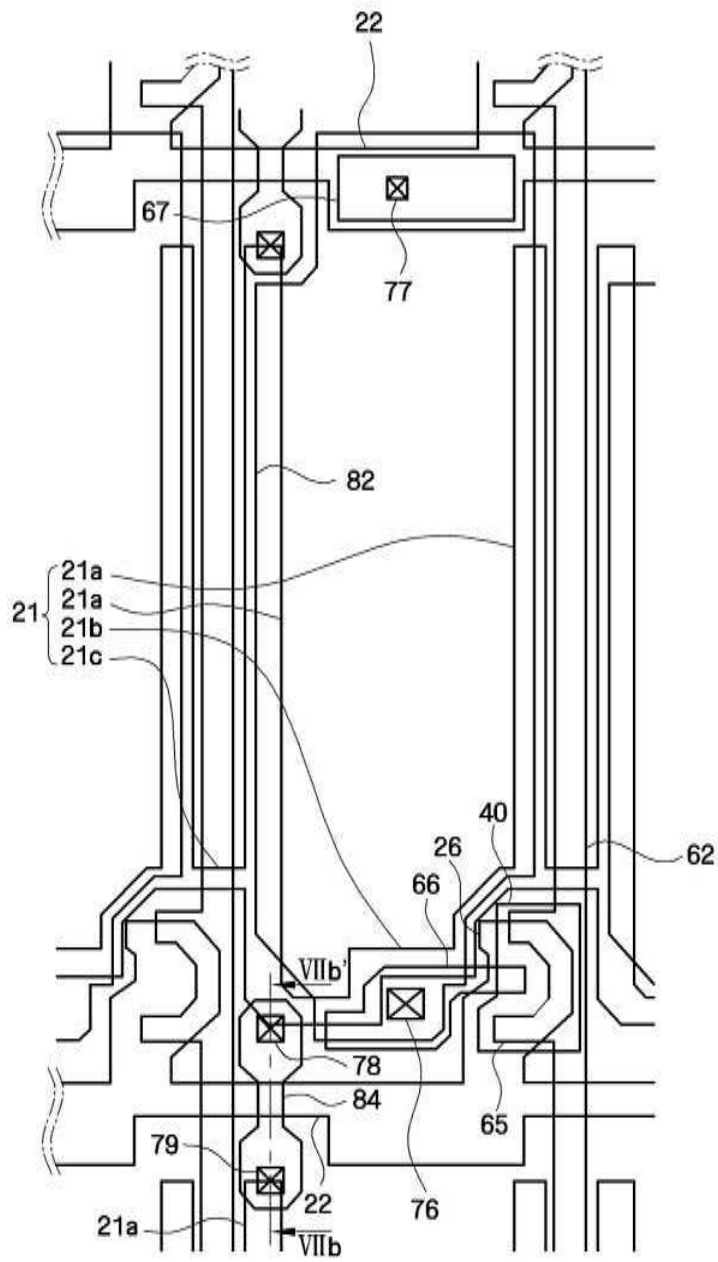
도면6b



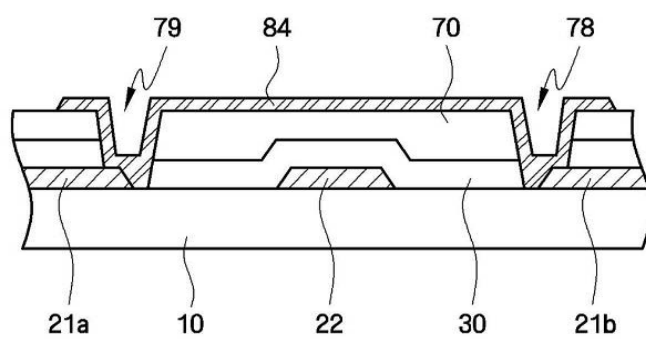
도면6c



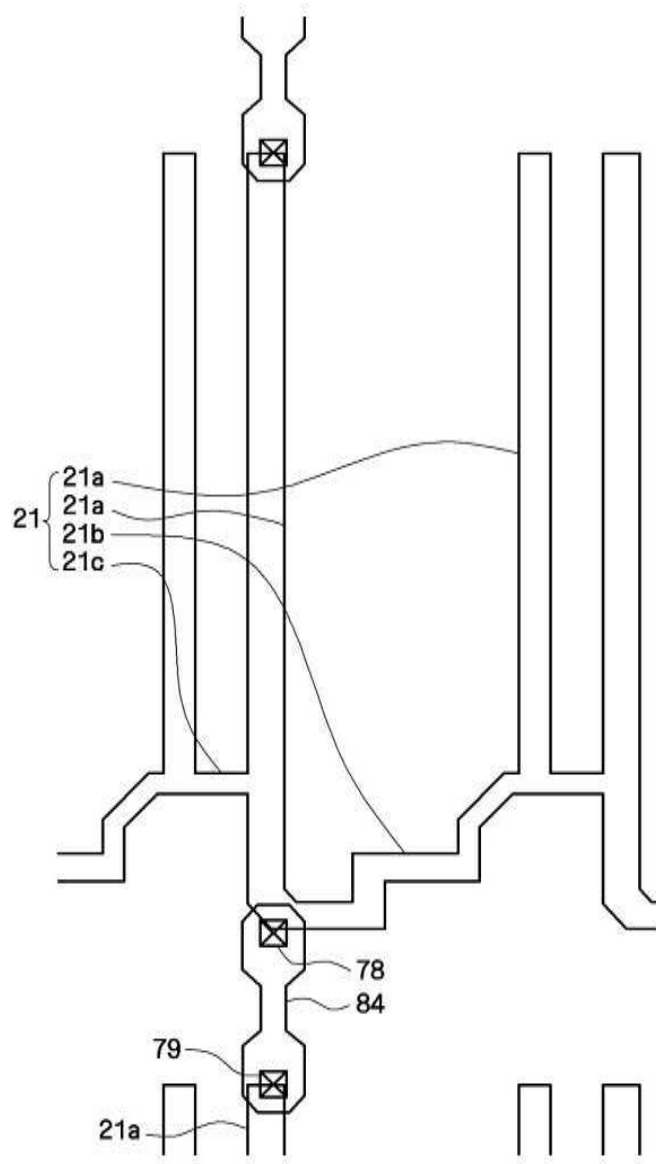
도면7a



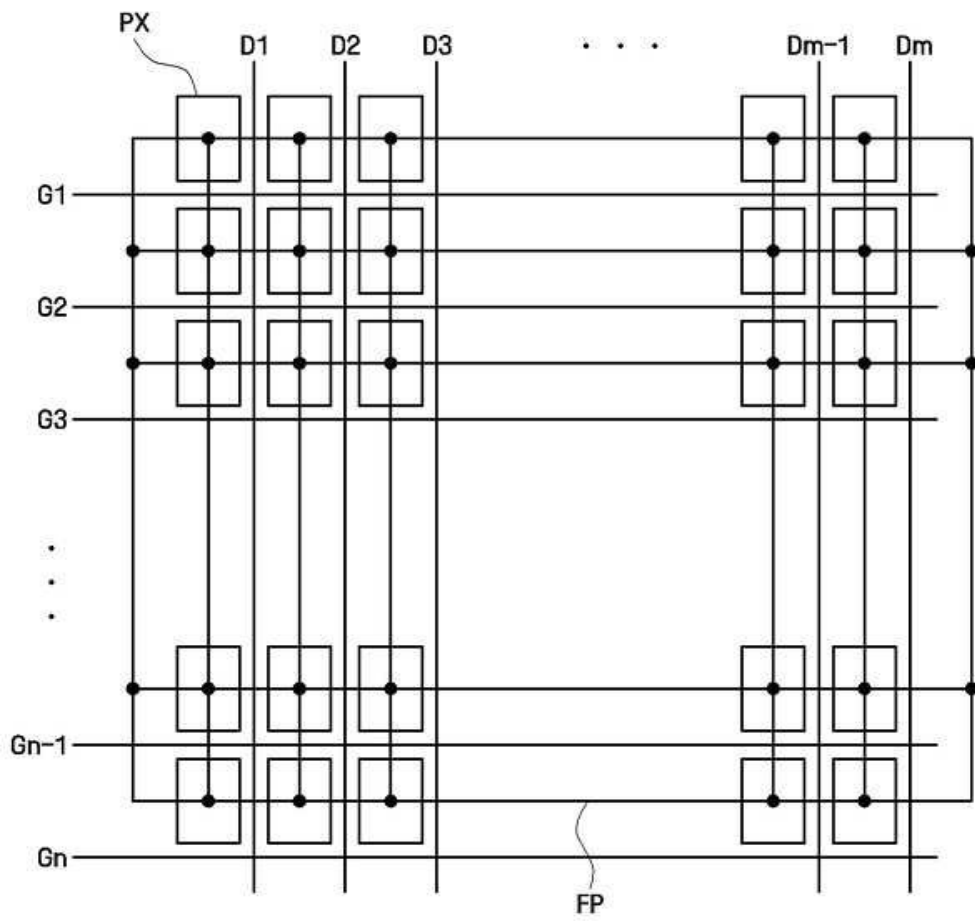
도면7b



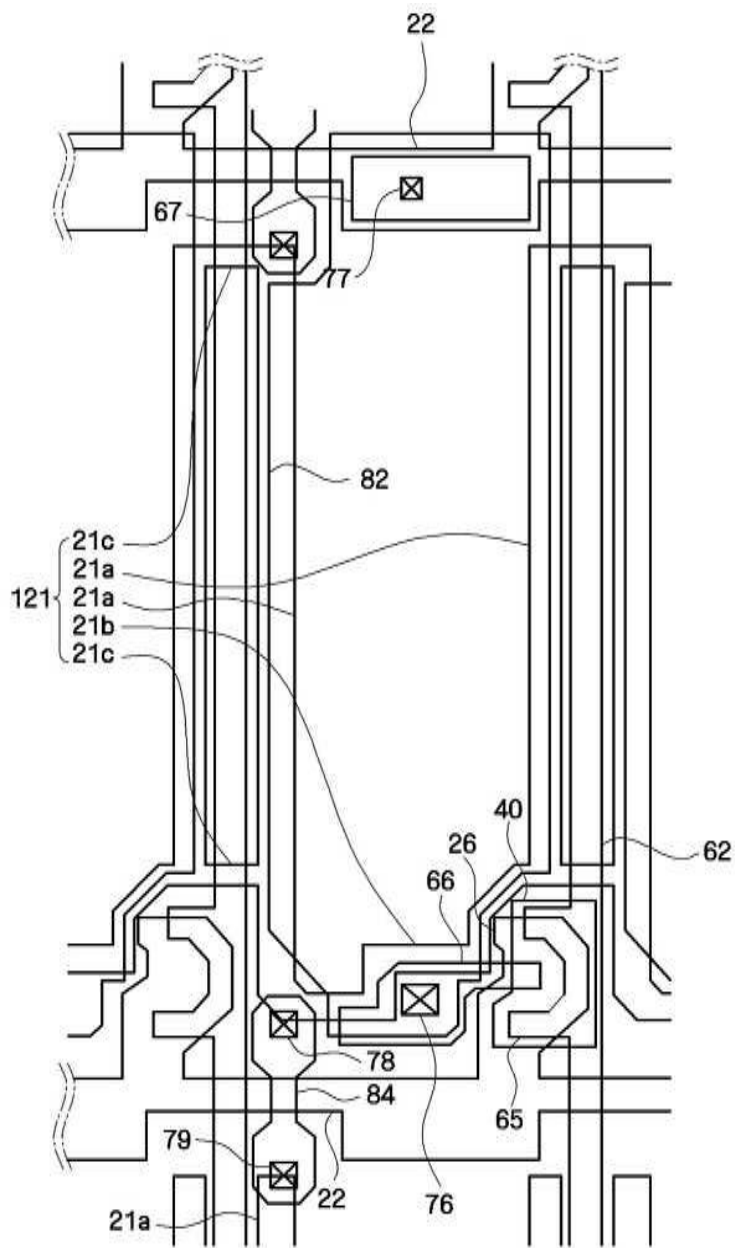
도면7c



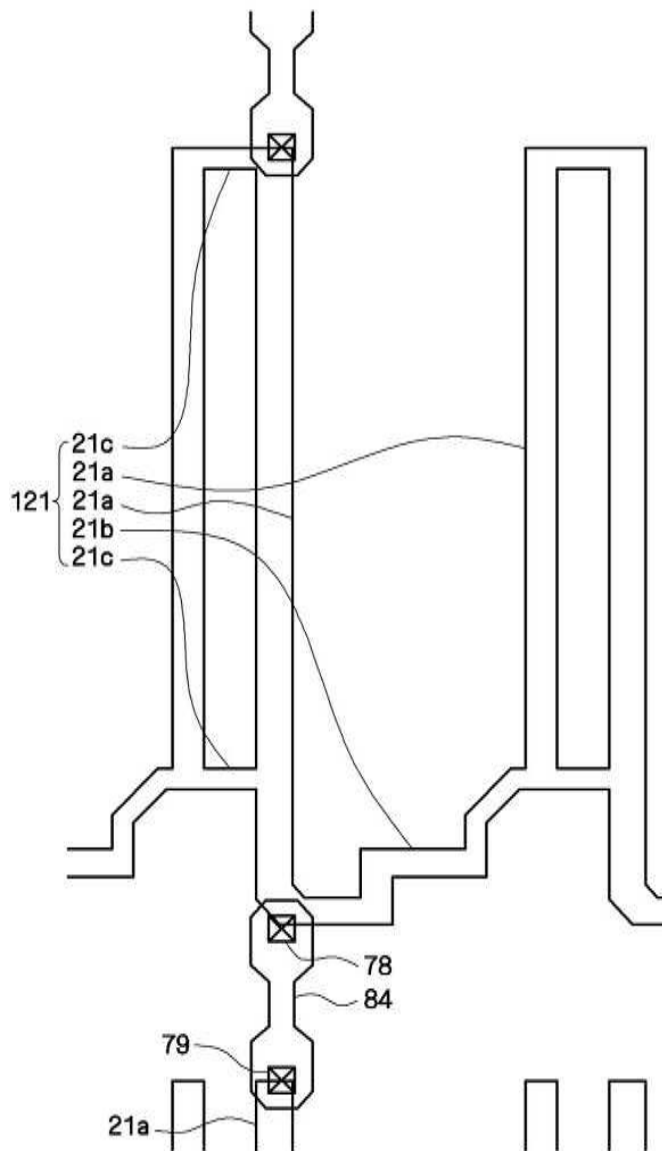
도면7d



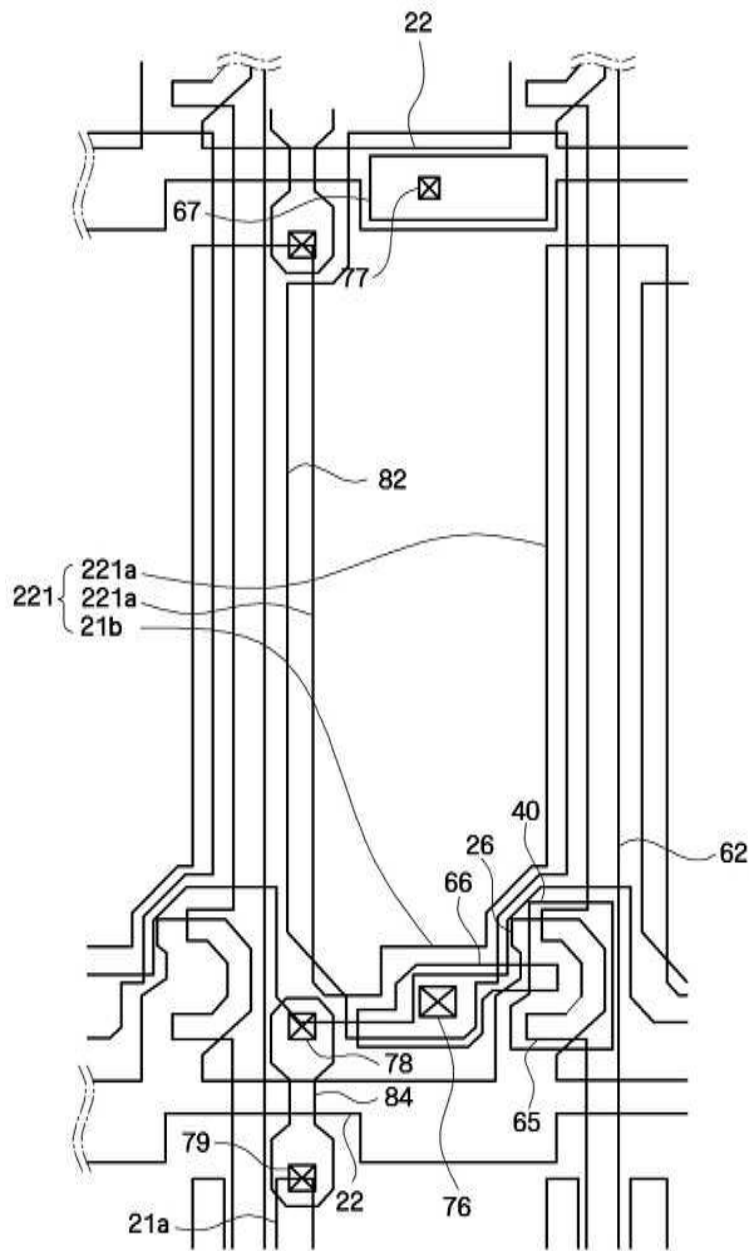
도면8a



도면8b



도면9a



专利名称(译)	液晶显示器		
公开(公告)号	KR1020140047649A	公开(公告)日	2014-04-22
申请号	KR1020140039393	申请日	2014-04-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHANG JONG WOONG 장종웅 KWON YEONG KEUN 권영근		
发明人	장종웅 권영근		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/136209 G02F1/133345 G02F1/13439 G02F1/1368 G02F2001/136218		
优先权	1020060077135 2006-08-16 KR		
外部链接	Espacenet		

摘要(译)

提供一种能够改善图像质量缺陷的液晶显示装置。一种液晶显示装置，包括：绝缘基板；形成在绝缘基板上并沿第一方向延伸的多条栅极线；多条数据线，与多条栅极线交叉以限定像素并沿第二方向延伸，浮动图案，电连接到多个像素并且彼此电连接并且相对于所有像素电连接并且电连接到像素的外部；并且包括彼此重叠的像素电极。

