



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0025066
(43) 공개일자 2013년03월11일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0088374

(22) 출원일자 2011년09월01일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

조세형

서울특별시 송파구 올림픽로 435, 101동 1001호
(신천동, 파크리오)

박홍조

충청남도 아산시 탕정면 탕정면로 37, 303동 190
5호 (탕정 삼성트라펠리스)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

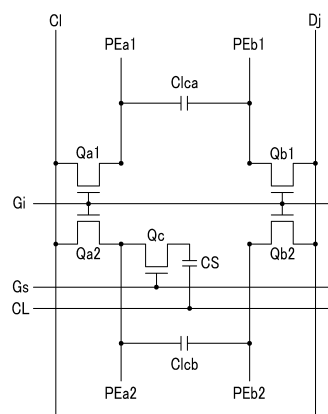
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 한 실시예에 따른 액정 표시 장치는 서로 마주하는 제1 기판 및 제2 기판, 상기 제1 및 제2 기판 사이에 개재되어 있으며 액정 분자를 포함하는 액정층, 상기 제1 기판 위에 배치되어 있으며, 서로 분리되어 있는 제1 화소 전극 및 제2 화소 전극을 포함하는 복수의 화소를 포함하고, 상기 제1 화소 전극은 제1 부화소 전극과 제2 부화소 전극을 포함하고, 상기 제2 화소 전극은 제3 부화소 전극과 제4 부화소 전극을 포함하고, 상기 제1 화소 전극 및 상기 제2 화소 전극은 줄기부와 상기 줄기부로부터 뻗어 나온 복수의 가지 전극을 포함하며, 상기 제1 화소 전극의 상기 제1 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있고, 상기 제1 화소 전극의 상기 제2 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있으며, 상기 제1 화소 전극의 상기 제1 부화소 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극 사이의 전압 차이는 상기 제1 화소 전극의 상기 제2 부화소 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 전압 차이보다 크다.

대표도 - 도4



(72) 발명자

김성훈

서울특별시 관악구 성현로 80, 102동 1103호 (봉천동, 관악드림타운)

김동규

경기도 용인시 수지구 진산로66번길 27, 삼성7차아파트 705동 903호 (풍덕천동)

기동현

충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트라펠리스아파트 103동 2902호

특허청구의 범위

청구항 1

서로 마주하는 제1 기관 및 제2 기관,

상기 제1 및 제2 기관 사이에 개재되어 있으며 액정 분자를 포함하는 액정층,

상기 제1 기관 위에 형성되어 있으며 게이트 신호를 전달하는 게이트선,

상기 제1 기관 위에 형성되어 있으며, 데이터 전압을 전달하는 복수의 데이터선,

상기 제1 기관 위에 형성되어 있으며, 일정한 크기의 전압을 전달하는 전압 전달선, 그리고

상기 제1 기관 위에 배치되어 있으며, 서로 분리되어 있는 제1 화소 전극 및 제2 화소 전극을 포함하는 복수의 화소를 포함하고,

상기 제1 화소 전극은 제1 부화소 전극과 제2 부화소 전극을 포함하고, 상기 제2 화소 전극은 제3 부화소 전극과 제4 부화소 전극을 포함하고,

상기 제1 화소 전극 및 상기 제2 화소 전극은 줄기부와 상기 줄기부로부터 뻗어 나온 복수의 가지 전극을 포함하며, 상기 제1 화소 전극의 상기 제1 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있고, 상기 제1 화소 전극의 상기 제2 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있으며,

상기 제1 화소 전극의 상기 제1 부화소 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극 사이의 전압 차이는 상기 제1 화소 전극의 상기 제2 부화소 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 전압 차이보다 큰 액정 표시 장치.

청구항 2

제1항에서,

상기 제1 화소 전극의 상기 제1 부화소 전극에 연결되어 있는 제1 스위칭 소자,

상기 제1 화소 전극의 상기 제2 부화소 전극에 연결되어 있는 제2 스위칭 소자,

상기 제2 화소 전극의 상기 제3 부화소 전극에 연결되어 있는 제3 스위칭 소자, 그리고

상기 제2 화소 전극의 상기 제4 부화소 전극에 연결되어 있는 제4 스위칭 소자를 포함하고,

상기 제1 스위칭 소자와 상기 제2 스위칭 소자는 상기 전압 전달선에 연결되고, 상기 제3 스위칭 소자와 상기 제4 스위칭 소자는 상기 데이터선에 연결된 액정 표시 장치.

청구항 3

제2항에서,

상기 제2 스위칭 소자의 출력 단자 또는 상기 제3 스위칭 소자에 연결되어 있는 제5 스위칭 소자를 더 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 제5 스위칭 소자는 상기 제1 내지 제4 스위칭 소자와 서로 다른 게이트선에 연결되어 있는 액정 표시

장치.

청구항 5

제4항에서,

상기 제5 스위칭 소자의 출력 단자는 감압 축전기에 연결되어 있는 액정 표시 장치.

청구항 6

제5항에서,

상기 액정층은 상기 액정층에 전기장이 생성되지 않은 경우 수직 배향되어 있는 액정 표시 장치.

청구항 7

제6항에서,

상기 전압 전달선은 상기 복수의 화소 중 세 개 마다 하나씩 배치되는 액정 표시 장치.

청구항 8

제3항에서,

상기 제5 스위칭 소자는 상기 제1 내지 제4 스위칭 소자와 서로 같은 게이트선에 연결되어 있는 액정 표시 장치.

청구항 9

제8항에서,

상기 제5 스위칭 소자의 출력 단자는 감압 축전기에 연결되어 있는 액정 표시 장치.

청구항 10

제9항에서,

상기 액정층은 상기 액정층에 전기장이 생성되지 않은 경우 수직 배향되어 있는 액정 표시 장치.

청구항 11

제10항에서,

상기 전압 전달선은 상기 복수의 화소 중 세 개 마다 하나씩 배치되는 액정 표시 장치.

청구항 12

제3항에서,

일정한 크기의 기준 전압을 인가하는 기준 전압선을 더 포함하고,

상기 제5 스위칭 소자의 제어 단자는 상기 기준 전압선에 연결된 액정 표시 장치.

청구항 13

제12항에서,

상기 제5 스위칭 소자의 출력 단자는 감압 축전기에 연결되어 있는 액정 표시 장치.

청구항 14

제13항에서,

상기 액정층은 상기 액정층에 전기장이 생성되지 않은 경우 수직 배향되어 있는 액정 표시 장치.

청구항 15

제14항에서,

상기 전압 전달선은 상기 복수의 화소 중 세 개 마다 하나씩 배치되는 액정 표시 장치.

청구항 16

제2항에서,

상기 복수의 화소 중 화소 열 방향으로 인접한 두 화소는 상기 전압 전달선과 연결된 상기 제1 부화소 전극과 상기 제2 부화소 전극이 마주보도록 배치되어 있는 액정 표시 장치.

청구항 17

제1항에서,

상기 전압 전달선은 상기 복수의 화소 중 세 개 마다 하나씩 배치되는 액정 표시 장치.

청구항 18

제1항에서,

상기 액정층은 상기 액정층에 전기장이 생성되지 않은 경우 수직 배향되어 있는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치 표시 품질을 높이기 위하여, 높은 대비비(contrast ratio)와 우수한 광시야각, 빠른 응답 속도

를 가질 수 있는 액정 표시 장치를 구현하는 것이 필요하다.

[0004] 액정 표시 장치 중에서 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode) 액정 표시 장치는 대비비가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다.

[0005] 한편 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 또 다른 기술적 과제는 액정 표시 장치의 높은 대비비와 광시야각을 동시에 확보할 수 있고, 액정 분자의 응답 속도를 빠르게 할 수 있는 동시에 측면 시인성을 높일 수 있는 액정 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 액정 표시 장치는 서로 마주하는 제1 기판 및 제2 기판, 상기 제1 및 제2 기판 사이에 개재되어 있으며 액정 분자를 포함하는 액정층, 상기 제1 기판 위에 형성되어 있으며 게이트 신호를 전달하는 게이트선, 상기 제1 기판 위에 형성되어 있으며, 데이터 전압을 전달하는 복수의 데이터선, 상기 제1 기판 위에 형성되어 있으며, 일정한 크기의 전압을 전달하는 전압 전달선, 그리고 상기 제1 기판 위에 배치되어 있으며, 서로 분리되어 있는 제1 화소 전극 및 제2 화소 전극을 포함하는 복수의 화소를 포함하고, 상기 제1 화소 전극은 제1 부화소 전극과 제2 부화소 전극을 포함하고, 상기 제2 화소 전극은 제3 부화소 전극과 제4 부화소 전극을 포함하고, 상기 제1 화소 전극 및 상기 제2 화소 전극은 줄기부와 상기 줄기부로부터 뻗어 나온 복수의 가지 전극을 포함하며, 상기 제1 화소 전극의 상기 제1 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있고, 상기 제1 화소 전극의 상기 제2 부화소 전극의 상기 가지 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 상기 가지 전극 전극은 교대로 배치되어 있으며, 상기 제1 화소 전극의 상기 제1 부화소 전극과 상기 제2 화소 전극의 상기 제3 부화소 전극 사이의 전압 차이는 상기 제1 화소 전극의 상기 제2 부화소 전극과 상기 제2 화소 전극의 상기 제4 부화소 전극의 전압 차이보다 크다.

[0008] 상기 제1 화소 전극의 상기 제1 부화소 전극에 연결되어 있는 제1 스위칭 소자, 상기 제1 화소 전극의 상기 제2 부화소 전극에 연결되어 있는 제2 스위칭 소자, 상기 제2 화소 전극의 상기 제3 부화소 전극에 연결되어 있는 제3 스위칭 소자, 그리고 상기 제2 화소 전극의 상기 제4 부화소 전극에 연결되어 있는 제4 스위칭 소자를 포함하고, 상기 제1 스위칭 소자와 상기 제2 스위칭 소자는 상기 전압 전달선에 연결되고, 상기 제3 스위칭 소자와 상기 제4 스위칭 소자는 상기 데이터선에 연결될 수 있다.

[0009] 상기 제2 스위칭 소자의 출력 단자 또는 상기 제3 스위칭 소자에 연결되어 있는 제5 스위칭 소자를 더 포함할 수 있다.

[0010] 상기 제5 스위칭 소자는 상기 제1 내지 제4 스위칭 소자와 서로 다른 게이트선에 연결될 수 있다.

[0011] 상기 제5 스위칭 소자의 출력 단자는 감압 축전기에 연결될 수 있다.

[0012] 상기 액정층은 상기 액정층에 전기장이 생성되지 않은 경우 수직 배향될 수 있다.

[0013] 상기 제5 스위칭 소자는 상기 제1 내지 제4 스위칭 소자와 서로 같은 게이트선에 연결될 수 있다.

[0014] 상기 액정 표시 장치는 일정한 크기의 기준 전압을 인가하는 기준 전압선을 더 포함하고, 상기 제5 스위칭 소자의 제어 단자는 상기 기준 전압선에 연결될 수 있다.

[0015] 상기 복수의 화소 중 화소 열 방향으로 인접한 두 화소는 상기 전압 전달선과 연결된 상기 제1 부화소 전극과 상기 제2 부화소 전극이 마주보도록 배치될 수 있다.

발명의 효과

[0016] 본 발명의 실시예에 따른 액정 표시 장치는 서로 다른 크기의 전압이 인가되며 서로 교대로 배치되어 있는 부화소 전극을 포함하여 액정 표시 장치의 높은 대비비와 광시야각을 동시에 확보할 수 있고 동시에, 각 부화소 전

극에 인가되는 전압을 조절하여, 하나의 화소 영역을 고계조 영역과 저계조 영역으로 구분하여, 측면 시인성을 높일 수 있다.

도면의 간단한 설명

[0017]

- 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.
- 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이다.
- 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 간략한 단면도이다.
- 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 5는 도 4에 도시한 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.
- 도 6은 도 4 및 도 5에 도시한 액정 표시 장치의 화소 영역에 인가되는 전기장의 크기를 비교한 한 예이다.
- 도 7은 도 4에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 8은 도 7의 액정 표시 장치를 VIII-VIII 선을 따라 잘라 도시한 단면도이다.
- 도 9는 도 4 및 도 5에 도시한 액정 표시 장치의 복수의 화소를 도시한 배치도이다.
- 도 10은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 11은 도 10에 도시한 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.
- 도 12는 도 10에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 13은 도 12의 액정 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.
- 도 14는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 15는 도 14에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 16은 도 15의 액정 표시 장치를 XVI-XVI 선을 따라 잘라 도시한 단면도이다.
- 도 17은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 18은 도 17에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 19는 도 18의 액정 표시 장치를 XIX-XIX 선을 따라 잘라 도시한 단면도이다.
- 도 20은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 21은 도 20에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 22는 도 21의 액정 표시 장치를 XXII-XXII 선을 따라 잘라 도시한 단면도이다.
- 도 23은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 24는 도 23에 도시한 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 25는 도 24의 액정 표시 장치를 XXV-XXV 선을 따라 잘라 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0018]

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0019]

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0020]

이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도면을 참고하여 상세하게 설명한다.

- [0021] 먼저, 도 1 내지 도 3을 참고하여, 본 발명의 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이고, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 간략한 단면도이다.
- [0022] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400), 데이터 구동부(data driver)(500), 계조 전압 생성부(gray voltage generator)(800) 및 신호 제어부(signal controller)(600)를 포함한다.
- [0023] 도 2를 참고하면, 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- [0024] 액정 축전기(C1c)는 하부 표시판(100)의 제1 화소 전극(PEa)과 제2 화소 전극(PEb)을 두 단자로 하며 제1 및 제2 화소 전극(PEa, PEb) 사이의 액정층(3)은 유전체로서 기능한다. 도시하지는 않았지만, 제1 화소 전극(PEa)는 제1 부화소 전극 및 제2 부화소 전극을 가지고, 제2 화소 전극(PEb)은 제3 부화소 전극 및 제4 부화소 전극을 가진다. 제1 부화소 전극과 제3 부화소 전극은 제1 화소 영역을 이루고, 제2 부화소 전극과 제4 부화소 전극은 제2 화소 영역을 이룬다.
- [0025] 액정층(3)은 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0026] 제1 화소 전극(PEa) 및 제2 화소 전극(PEb)은 서로 다른 층에 형성되거나 같은 층에 형성될 수 있다. 액정 축전기(C1c)의 보조적인 역할을 하는 제1 및 제2 유지 축전기(도시하지 않음)는 하부 표시판(100)에 구비된 별도의 전극(도시하지 않음)이 제1 및 제2 화소 전극(PEa, PEb) 각각과 절연체를 사이에 두고 중첩하여 형성될 수 있다. 도시하지는 않았지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 상부 표시판(200)에 형성되어 있으며, 일정한 크기의 전압이 인가되는 추가적인 전극을 포함할 수도 있으며, 추가 전극은 투명할 수 있다.
- [0027] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 또한, 각 화소는 적색, 녹색 및 청색의 삼원색 등 기본색 외에 백색(white)을 더 표시할 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 제1 및 제2 화소 전극(PEa, PEb)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 제1 및 제2 화소 전극(PEa, PEb) 위 또는 아래에 둘 수도 있다.
- [0028] 제1 화소 전극(PEa) 및 제2 화소 전극(PEb)에 전압이 인가되면, 제1 화소 전극(PEa) 및 제2 화소 전극(PEb)에 인가된 두 전압의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 축전기(C1c)의 양단에 전위차가 생기면 도 3에 도시한 바와 같이 표시판(100, 200)의 표면에 평행한 전기장이 제1 화소 전극(PEa) 및 제2 화소 전극(PEb) 사이의 액정층(3)에 생성된다. 예를 들어, 제1 화소 전극(PEa)의 제1 부화소 전극과 제2 화소 전극(PEb)의 제3 부화소 전극 사이의 액정층(3)에 표시판(100, 200)의 표면에 평행한 전기장이 생성되고, 제1 화소 전극(PEa)의 제2 부화소 전극과 제2 화소 전극(PEb)의 제4 부화소 전극 사이의 액정층(3)에 표시판(100, 200)의 표면에 평행한 전기장이 생성될 수 있다. 액정 분자(31)들이 양의 유전율 이방성을 가진 경우, 액정 분자(31)들은 그 장축이 전기장의 방향에 평행하도록 기울어지며 그 기울어진 정도는 화소 전압의 크기에 따라 다르다. 이러한 액정층(3)을 EOC(electrically-induced optical compensation) 모드라 한다. 또한 액정 분자(31)들의 기울어진 정도에 따라 액정층(3)을 통과하는 빛의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 원하는 소정의 휘도를 표시한다.
- [0029] 그러면, 도 1 내지 도 3과 함께 도 4 내지 도 6을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 5는 도 4에 도시한 액정 표시 장치의 화소에 인가되는 신호의 파형도이고, 도 6은 도 4 및 도 5에 도시한 액정 표시 장치의 화소 영역에 인가되는 전기장의 크기를 비교한 한 예이다.
- [0030] 도 1 및 도 4를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 등가 회로로 볼 때, 복수의 신호선(Gi, Gs, CL, C1, Dj)과 이에 연결되어 있으며, 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.

- [0031] 신호선(Gi, Gs, CL, C1, Dj)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(Gi) 및 보조 게이트선(Gs), 데이터 전압을 전달하는 복수의 데이터선(Dj), 그리고 일정한 크기의 전압을 인가하는 전압 전달선(C1), 그리고 일정한 크기의 전압을 전달하는 복수의 용량 전압선(capacitor electrode line)(CL)을 포함한다.
- [0032] 각 화소(PX)는 신호선(Gi, Gs, CL, C1, Dj)에 연결되어 있는 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2) 및 제5 스위칭 소자(Qc)와 이에 연결된 제1 액정 축전기(C1a) 및 제2 액정 축전기(C1b)를 포함한다.
- [0033] 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2) 및 제5 스위칭 소자(Qc)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자이다. 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 전압 전달선(C1)에 연결되고, 그 출력 단자는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 부화소 전극(PEa2)에 연결되어 있다. 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 데이터선(Dj)에 연결되고, 그 출력 단자는 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)과 제4 부화소 전극(PEb2)에 연결되어 있다. 제5 스위칭 소자(Qc)의 제어 단자는 보조 게이트선(Gs)에 연결되어 있고, 그 입력 단자는 제2 스위칭 소자(Qa2)의 출력 단자에 연결되어 있고, 그 출력 단자는 감압 축전기(CS)와 연결되어 있다.
- [0034] 제1 액정 축전기(C1ca)는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어지고, 제2 액정 축전기(C1cb)는 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어진다.
- [0035] 감압 축전기(CS)는 제5 스위칭 소자(Qc)의 출력 단자와 용량 전압선(CL)에 연결되어 있으며, 하부 표시판(100)에 구비된 용량 전압선(CL)과 제5 스위칭 소자(Qc)의 출력 전극이 절연체를 사이에 두고 중첩되어 이루어 진다.
- [0036] 그러면, 본 실시예에 따른 액정 표시 장치의 구동 방법에 대하여 설명한다.
- [0037] 도 1, 도 4 및 도 5를 참고하면, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0038] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.
- [0039] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(DL)에 인가한다.
- [0040] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(Gi) 및 보조 게이트선(Gs)에 인가하여 이에 연결된 스위칭 소자(Qa1, Qa2, Qb1, Qb2, Qc)를 턴온시킨다. 그러면, 전압 전달선(C1)에 인가된 일정한 크기의 전압(Vc)과 데이터선(Dj)에 인가된 데이터 전압(Vd)은 턴온된 스위칭 소자(Qa1, Qa2, Qb1, Qb2)를 통하여 해당 화소(PX)의 화소 전극(PEa1, PEa2, PEb1, PEb2)에 인가된다.
- [0041] 이제부터 특정 화소 행에 맞추어 설명한다.
- [0042] i 번째 행의 게이트선(Gi)에 제1 게이트 신호가 인가되며, 보조 게이트선(Gs)에 제2 게이트 신호가 인가된다. 제1 게이트 신호가 게이트 오프 전압에서 게이트 온 전압으로 바뀌면, 이에 연결된 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)가 턴 온된다. 이에 따라, 전압 전달선(C1)에 인가된 일정한 크기의 제1 전압(Vch)은 턴온된 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)를 통해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가되고, 데이터선(Dj)에 인가된 데이터 전압(Vd)은 턴 온된 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)를 통해, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된다. 이 때, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제

2 부화소 전극(PEa2)에 인가된 제1 전압(Vch)은 서로 동일하고, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된 데이터 전압(Vd)의 크기는 서로 동일하다. 따라서, 제1 및 제2 액정 축전기(C1ca, C1cb)는 제1 전압(Vch)과 데이터 전압(Vd)의 차이만큼 동일한 값으로 충전된다.

[0043] 그런 후, 제1 게이트 신호는 게이트 온 전압에서 게이트 오프 전압으로 바뀌고, 제2 게이트 신호가 게이트 오프 전압에서 게이트 온 전압으로 바뀌면, 1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)는 턴 오프되고, 제5 스위칭 소자(Qc)가 턴 온된다. 그러면, 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)으로부터 제5 스위칭 소자(Qc)를 통해 전하가 이동한다. 그러면, 제2 액정 축전기(C1cb)의 충전 전압은 감압 축전기(Cd)의 정전 용량만큼 낮아지므로, 제2 액정 축전기(C1cb)의 충전 전압은 제1 액정 축전기(C1ca)의 충전 전압보다 낮아진다. 구체적으로, 제1 부화소 전극(PEa1)에 인가된 전압(Vch)보다 제2 부화소 전극(PEa2)에 인가된 전압(Vc1)의 크기가 작아진다. 따라서, 제1 부화소 전극(PEa1)과 제3 부화소 전극(PEb1) 사이의 전압 차(ΔV_h)보다 제2 부화소 전극(PEa2)과 제4 부화소 전극(PEb2) 사이의 전압 차(ΔV_l)가 작아진다.

[0044] 이에 의해, 도 6에 도시한 바와 같이, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 제1 영역(Rh)과 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 제2 영역(RD)의 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

[0045] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 화소(PX)에 데이터 전압(Vd)을 인가하여 한 프레임(frame)의 영상을 표시한다.

[0046] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압(Vd)의 극성이 이전 프레임에서의 극성과 반대가 되고, 전압 전달선에 인가되는 제1 전압(Vch)의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다.

[0047] 이와 같이, 한 화소(PX)에 일정한 크기의 제1 전압과 데이터 전압을 인가하여, 액정층에 전기장을 생성하기 때문에, 구동 전압의 크기를 높일 수 있고, 액정 분자의 응답 속도를 빠르게 할 수 있으며 액정 표시 장치의 투과율을 높일 수 있다. 또한, 한 화소에서 스위칭 소자가 턴 오프될 때, 액정층에 전기장을 인가하는 두 화소 전극(PEa, PEb)에 인가되는 전압이 모두 각각의 킥백 전압(kickback voltage)만큼 하강하므로 화소(PX)의 충전 전압에는 거의 변화가 없다. 따라서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

[0048] 또한, 하나의 화소(PX) 영역을 하나의 데이터 전압에 대해 서로 다른 휘도를 나타내는 두 영역(Rh, Rl)으로 나눌 수 있어, 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 측면 시인성을 향상할 수 있으며 투과율을 높일 수 있다.

[0049] 그러면, 도 7 및 도 8을 참고하여, 도 4에 도시한 실시예에 따른 액정 표시 장치의 한 예에 대하여 상세하게 설명한다. 도 7은 도 4에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 8은 도 7의 액정 표시 장치를 VIII-VIII 선을 따라 잘라 도시한 단면도이다.

[0050] 도 7 및 도 8을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

[0051] 먼저, 하부 표시판(100)에 대하여 설명한다.

[0052] 절연 기판(110) 위에 복수의 게이트선(121)과 복수의 보조 게이트선(123) 및 복수의 용량 전압선(131a, 131b)을 포함하는 게이트 도전체가 형성되어 있다.

[0053] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)은 돌출한 복수 쌍의 제1 게이트 전극(gate electrode)(124a) 및 제2 게이트 전극(124b)을 포함한다. 보조 게이트선(123)은 게이트 신호를 전달하고, 게이트선(121)과 평행하게 뻗어 있으며, 각 보조 게이트선(123)은 돌출한 제3 게이트 전극(124c)을 포함한다.

[0054] 용량 전압선(131a, 131b) 소정의 전압을 인가 받으며, 주로 가로 방향으로 뻗어 있다. 용량 전압선(131a, 131b)은 확장되어 있는 복수의 용량 전극 및 유지 전극을 포함한다.

- [0055] 게이트 도전체는 단일막 또는 다중막 구조를 가질 수 있다.
- [0056] 게이트 도전체 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0057] 게이트 절연막(140) 위에는 수소화 비정질 또는 다결정 규소 등으로 만들어진 제1 반도체(154a), 제2 반도체(154b), 그리고 제3 반도체(154c)가 형성되어 있다.
- [0058] 각 반도체(154a, 154b, 154c) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)가 형성되어 있다. 저항성 접촉 부재는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 본 발명의 다른 실시예에 따른 액정 표시 장치의 경우, 저항성 접촉 부재는 생략될 수 있다, 보다 구체적으로, 각 반도체(154a, 154b, 154c)가 산화물 반도체를 포함하는 경우, 저항성 접촉 부재는 생략될 수 있다.
- [0059] 저항성 접촉 부재 및 게이트 절연막(140) 위에는 전압 전달선(172)과 데이터선(171), 제1 드레인 전극(drain electrode)(175a1), 제2 드레인 전극(175a2), 제3 드레인 전극(175b1), 제4 드레인 전극(175b2), 제5 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다.
- [0060] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121) 및 용량 전압선(131a, 131b)과 교차한다. 전압 전달선(172)은 일정한 크기의 전압을 전달하며, 데이터선(171)과 나란하게 뻗어, 게이트선(121) 및 용량 전압선(131a, 131b)과 교차한다.
- [0061] 전압 전달선(172)은 제1 게이트 전극(124a)을 향해 뻗어 있는 제1 소스 전극(173a1) 및 제2 소스 전극(173a2)을 포함한다.
- [0062] 데이터선(171)은 제2 게이트 전극(124b)을 향해 뻗어 있는 제3 소스 전극(173b1) 및 제4 소스 전극(173b2)을 포함한다.
- [0063] 전압 전달선(172)이 전달하는 전압은 일정한 크기를 가질 수 있으며, 프레임 별로 극성이 변화할 수 있다. 전압 전달선(172)은 인접하여 배치되어 있는 세 개의 화소 열에 연결되어 동일한 전압을 전달할 수 있다.
- [0064] 제1 드레인 전극(175a1)은 막대형인 한 쪽 끝 부분과 면적이 넓은 제1 확장부(176a1)를 포함하고, 제2 드레인 전극(175a2)은 막대형인 한 쪽 끝 부분과 면적이 넓은 제2 확장부(176a2)를 포함한다. 제3 드레인 전극(175b1)은 막대형인 한 쪽 끝 부분과 면적이 넓은 제3 확장부(176b1)를 포함하고, 제4 드레인 전극(175b2)은 막대형인 한 쪽 끝 부분과 면적이 넓은 제4 확장부(176b2)를 포함한다.
- [0065] 제1 드레인 전극(175a1)의 막대형 끝 부분과 제2 드레인 전극(175a2)의 막대형인 끝 부분은 제1 게이트 전극(124a)을 중심으로 제1 소스 전극(173a1)과 제2 소스 전극(173a2)과 마주하며, 구부러진 제1 소스 전극(173a1)과 제2 소스 전극(173a2)으로 일부 둘러싸여 있다. 면적이 넓은 제1 및 제2 확장부(176a1, 176a2)는 뒤에서 설명할 제1 접촉 구멍(185a1) 및 제2 접촉 구멍(185a2)를 통해 제1 화소 전극(191a)의 제1 부화소 전극(191a1)과 제2 부화소 전극(191a2)과 전기적으로 연결되어 있고, 용량 전압선(131a, 131b)의 유지 전극과 중첩한다.
- [0066] 제3 드레인 전극(175b1)의 막대형 끝 부분과 제4 드레인 전극(175b2)의 막대형인 끝 부분은 제2 게이트 전극(124b)을 중심으로 제3 소스 전극(173b1)과 제4 소스 전극(173b2)과 마주하며, 구부러진 제3 소스 전극(173b1)과 제4 소스 전극(173b2)으로 일부 둘러싸여 있다. 면적이 넓은 제3 및 제4 확장부(176b1, 176b2)는 뒤에서 설명할 제3 접촉 구멍(185b1) 및 제4 접촉 구멍(185b2)를 통해 제2 화소 전극(191b)의 제3 부화소 전극(191b1)과 제4 부화소 전극(191b2)과 전기적으로 연결되어 있고, 용량 전압선(131a, 131b)의 유지 전극과 중첩한다.
- [0067] 제2 드레인 전극(175a2)의 제2 확장부(176a2)는 제5 소스 전극(173c)과 연결되어 있으며, 제5 드레인 전극(175c)은 막대형 끝 부분과 확장된 제5 확장부(177)를 포함한다. 제5 드레인 전극(175c)은 제3 게이트 전극(124c) 위에서 제5 소스 전극(173c)과 마주보고, 제5 소스 전극(173c)으로 일부 둘러싸여 있다. 면적이 넓은 제5 확장부(177)는 용량 전압선(131a)의 용량 전극과 중첩한다.
- [0068] 제1 게이트 전극(124a), 제1 소스 전극(173a1) 및 제1 드레인 전극(175a1)은 제1 섬형 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Qa1)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a1)과 드레인 전극(175a1) 사이의 반도체(154a)에 형성된다. 제1 게이트 전극(124a), 제2 소스 전극(173a2) 및 제2 드레인 전극(175a2)은 제1 섬형 반도체(154a)와 함께 하나의 제2 박막 트랜지스터(Qa2)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a2)과 드레인 전극(175a2) 사이의 반도체(154a)에 형성된

다.

- [0069] 제2 게이트 전극(124b), 제3 소스 전극(173b1) 및 제3 드레인 전극(175b1)은 제2 섬형 반도체(154b)와 함께 하나의 제3 박막 트랜지스터(Qb1)를 이루고, 제2 게이트 전극(124b), 제4 소스 전극(173b2) 및 제4 드레인 전극(175b2)은 제2 섬형 반도체(154b)와 함께 하나의 제4 박막 트랜지스터(Qb2)를 이루고, 제3 게이트 전극(124c), 제5 소스 전극(173c) 및 제5 드레인 전극(175c)은 제3 섬형 반도체(154c)와 함께 하나의 제5 박막 트랜지스터(Qc)를 이룬다.
- [0070] 데이터 도전체(171, 172, 173c, 175a1, 175a2, 175b1, 175b2, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있다.
- [0071] 보호막(180)에는 제1 드레인 전극(175a1)의 제1 확장부(176a1)를 드러내는 제1 접촉 구멍(185a1), 제2 드레인 전극(175a2)의 제2 확장부(176a2)를 드러내는 제2 접촉 구멍(185a2), 제3 드레인 전극(175b1)의 제3 확장부(176b1)를 드러내는 제3 접촉 구멍(185b1), 그리고 제4 드레인 전극(175b2)의 제4 확장부(176b2)를 드러내는 제4 접촉 구멍(185b2)이 형성되어 있다. 또한, 보호막(180)에는 전압 전달선(172)과 제1 소스 전극(173a1) 및 제2 소스 전극(173a2) 사이의 일부를 드러내는 제5 접촉 구멍(186a)이 형성되어 있다. 제5 접촉 구멍(186a)은 전압 전달선(172)이 전달하는 전압을 이웃하는 화소에 전달하기 위한 연결부재(도시하지 않음)와 전압 전달선(172)을 연결하기 위한 것이다. 이에 대해서는 뒤에서 설명할 도 9를 참조하여 설명한다.
- [0072] 보호막(180) 위에는 제1 화소 전극(191a) 및 제2 화소 전극(191b)을 포함하는 화소 전극(191)이 형성되어 있다. 제1 화소 전극(191a)는 제1 부화소 전극(191a1) 및 제2 부화소 전극(191a2)을 포함하고, 제2 화소 전극(191b)은 제3 부화소 전극(191b1) 및 제4 부화소 전극(191b2)을 포함한다.
- [0073] 각 부화소 전극(191a1, 191a2, 191b1, 191b2)은 화소 영역의 가장자리의 일부를 따라 형성된 줄기부와 이로부터 뻗어 있는 복수의 가지부를 가진다. 제1 부화소 전극(191a1)의 가지부와 제3 부화소 전극(191b1)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제1 영역을 이룬다. 제2 부화소 전극(191a2)의 가지부와 제4 부화소 전극(191b2)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제2 영역을 이룬다.
- [0074] 각 가지부 사이의 간격은 약 30 μ m 이내인 것이 바람직하다. 도시하지는 않았지만, 화소 영역의 제1 영역과 제2 영역 중 적어도 하나는 이웃한 가지부 사이의 간격이 상대적으로 넓은 부분과 이웃한 가지부 사이의 간격이 상대적으로 좁은 부분을 포함할 수 있다. 이웃한 가지부의 간격에 의해, 계조를 다양하게 표시가능하다. 구체적으로, 서로 교대로 배치되어 있는 두 화소 전극(191a, 191b)의 가지부의 간격이 넓은 영역의 경우, 가지부 사이의 액정층(3)에 인가되는 전기장의 세기가 작아지게 되어, 이웃한 가지부 사이의 간격이 좁은 영역에 비하여, 동일한 전압이 인가되더라도 상대적으로 낮은 계조를 표시하게 된다. 또한 이와 유사하게, 서로 교대로 배치되어 있는 두 화소 전극(191a, 191b)의 가지부의 간격이 좁은 영역의 경우, 가지부 사이의 액정층(3)에 인가되는 전기장의 세기가 커지게 되어, 이웃한 가지부 사이의 간격이 넓은 영역에 비하여, 동일한 전압이 인가되더라도 상대적으로 높은 계조를 표시하게 된다. 이렇게 한 화소에서 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 가지부 사이의 간격을 다양하게 함으로써 액정층(3)의 액정 분자(31)들의 기울어진 각도를 다양하게 할 수 있고 하나의 영상 정보에 대해 서로 다른 휘도를 나타낼 수 있다.
- [0075] 도 7에 도시한 바와 같이, 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 가지부는 게이트선(121)과 일정한 각도를 이루도록 적어도 한번 굽어 있는 평면 형태를 가진다. 또한, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 데이터선(171) 및 전압 전달선(172)도 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 가지부와 평행하게 굽어 있는 평면 형태를 가질 수 있다.
- [0076] 그러나, 본 발명의 실시예에 따른 액정 표시 장치의 한 화소의 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 형태는 이에 한정되지 않고, 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 적어도 일부가 같은 층에 형성되어 서로 교대로 배치되는 모든 형태를 포함할 수 있다.
- [0077] 제1 화소 전극(191a)의 제1 화소 전극(191a1)은 제1 접촉 구멍(185a1)을 통하여 제1 드레인 전극(175a1)과 물리적, 전기적으로 연결되어 있고, 제1 화소 전극(191a)의 제2 화소 전극(191a2)은 제2 접촉 구멍(185a2)을 통하여 제2 드레인 전극(175a2)과 물리적, 전기적으로 연결되어 있으며, 전압 전달선(172)을 통해 전달되는 전압을 인가 받는다. 또한, 제2 화소 전극(191b)의 제3 화소 전극(191b1)은 제3 접촉 구멍(185b1)을 통하여 제3 드레인 전극(175b1)과 물리적, 전기적으로 연결되어 있고, 제2 화소 전극(191b)의 제4 화소 전극(191b2)은 제4 접촉 구멍(185b2)을 통하여 제4 드레인 전극(175b2)과 물리적, 전기적으로 연결되어 있으며, 데이터선(171)에 흐르는

데이터 전압을 인가 받는다.

- [0078] 제1 화소 전극(191a) 및 제2 화소 전극(191b)과 연결된 드레인 전극(175a1, 175a2, 175b1, 175b2)의 확장부(176a1, 176a2, 176b1, 176b2)는 게이트 절연막(140)을 사이에 두고 유지 전극과 중첩하여 유지 축전기를 이루며, 유지 축전기는 액정 축전기(C1ca, C1cb)의 전압 유지 능력을 강화한다.
- [0079] 용량 전압선(131a)의 용량 전극과 제5 드레인 전극(175c)의 제5 확장부(177)는 게이트 절연막(140)을 사이에 두고 서로 중첩하여 감압 축전기(CS)를 이룬다. 이처럼, 감압 축전기(CS)를 게이트 도전체와 데이터 도전체를 이용하여 형성함으로써, 감압 축전기(CS) 형성을 위한 추가 공정이 필요하지 않아, 액정 표시 장치의 제조 공정을 간단하게 할 수 있고, 감압 축전기(CS)의 두 전극 사이에 게이트 절연막(140)만이 존재하여, 두 전극 사이에 다른 절연막이 모두 존재하는 경우에 비하여 감압 축전기(CS)의 정전 용량이 클 수 있다.
- [0080] 표시판(100)의 안쪽 면에는 하부 배향막(alignment layer)(도시하지 않음)이 도포되어 있으며, 하부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 하부 배향막 위에는 고분자층이 형성되어 있을 수 있고, 고분자층은 액정 분자(31)의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응(polymerization)에 의해 경화되는 단량체(monomer) 등의 전중합체(prepolymer)를 광에 노출하여 중합하여 형성될 수 있으며, 중합체 가지에 따라 액정 분자의 배향력을 조절할 수 있다.
- [0081] 다음 상부 표시판(200)에 대하여 설명한다.
- [0082] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다.
- [0083] 기판(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색, 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등 기본색(primary color) 중 하나를 표시할 수 있고, 이 외에 다수의 색을 표시할 수 있다. 또한, 각 화소는 기본색 외에 기본색의 혼합색 또는 백색(white)을 더 표시할 수 있다.
- [0084] 그러나, 차광 부재(220) 및 색필터(230) 중 적어도 하나는 하부 표시판(100)에 형성될 수 있다.
- [0085] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0086] 표시판(200)의 안쪽 면에는 상부 배향막(도시하지 않음)이 도포되어 있으며 상부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 상부 배향막 위에도 역시 고분자층이 형성될 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응에 의해 경화되는 단량체 등의 전중합체가 광에 노출되어 형성될 수 있으며, 액정 분자의 배향력을 조절할 수 있다. 고분자층은 액정 분자의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다.
- [0087] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.
- [0088] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 양의 유전율 이방성을 가지는 액정 분자(31)를 포함하며 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0089] 제1 화소 전극(191a)과 제2 화소 전극(191b)에 크기가 다른 전압을 인가하면 표시판(100, 200)의 표면에 거의 수평인 전기장(electric field)이 생성된다. 그러면 초기에 표시판(100, 200)의 표면에 대해 수직으로 배향되어 있던 액정층(3)의 액정 분자들이 전기장에 응답하여 그 장축이 전기장의 방향에 수평한 방향으로 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0090] 이와 같이 수직 배향된 액정 분자(31)를 사용하면 액정 표시 장치의 대비비(contrast ratio)를 크게 할 수 있고 광시야각을 구현할 수 있다. 나아가 표시판(100, 200)에 대해 수직 배향된 액정 분자(31)를 사용하는 경우, 액정 표시 장치의 대비비(contrast ratio)를 크게 할 수 있고 광시야각을 구현할 수 있다. 또한 양의 유전율 이방성을 갖는 액정 분자(31)는 음의 유전율 이방성을 갖는 액정 분자에 비해 유전율 이방성이 크고 회전 점도가

낮아 빠른 응답 속도를 얻을 수 있다.

- [0091] 또한, 본 실시예에 따른 액정 표시 장치에서, 제1 화소 전극(191a) 및 제2 화소 전극(191b)의 가지부는 서로 맞물려 교대로 배치되어 빗살무늬를 이룬다. 제1 화소 전극(191a)의 제1 부화소 전극(191a1)과 제2 화소 전극(191b)의 제3 부화소 전극(191b1)은 제1 영역을 이루고, 제2 화소 전극(191a)의 제2 부화소 전극(191a2)과 제2 화소 전극(191b)의 제4 부화소 전극(191b2)은 제2 영역을 이룬다. 앞서 설명하였듯이 제2 영역의 제2 부화소 전극(191a2)에 충전된 전하 중 일부는 제5 소스 전극(173c)으로부터 제5 드레인 전극(175c)으로 이동하기 때문에, 제2 영역의 제2 액정 축전기(C1cb)의 전기장의 세기는 제1 영역의 제1 액정 축전기(C1ca)의 전기장의 세기보다 작아지게 된다. 이에 의해, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이에 의해 액정 표시 장치의 측면 시인성이 향상된다.
- [0092] 그러면, 도 9를 참고하여, 본 실시예에 따른 액정 표시 장치의 다른 특징에 대하여 설명한다. 도 9는 도 4 및 도 5에 도시한 액정 표시 장치의 복수의 화소를 도시한 배치도이다.
- [0093] 도 9를 참고하면, 본 발명의 실시예에 따른 액정 표시 장치의 전압 전달선(172)은 연결부(196)에 의해 화소 행 방향으로 서로 인접해 있는 세 개의 화소 열의 제1 소스 전극(173a1)과 연결되어 있다. 각 화소의 제1 소스 전극(173a1)은 접촉 구멍(186a, 186b, 186c)을 통해 연결부(196)와 연결된다. 연결부(196)는 화소 전극과 동일한 층으로 이루어질 수 있다.
- [0094] 또한, 도 9를 참고하면, 화소 열 방향으로 인접한 두 화소는 전압 전달선(172)으로부터 일정한 크기의 전압을 인가 받는 제1 화소 전극(191a)이 서로 마주보도록 배치된다. 따라서, 화소 열 방향으로 인접한 두 화소 사이의 신호 간섭이 존재하지 않게 되어, 신호 간섭에 의한 화질 저하를 방지할 수 있다.
- [0095] 또한, 도 9를 참고하면, 하나의 데이터선을 중심으로 서로 마주보는 두 개의 화소는 데이터선을 중심으로 제1 화소 전극(191a)은 제1 화소 전극(191a)과 마주보고, 제2 화소 전극(191b)은 제2 화소 전극(191b)과 마주보게 되고, 마주보는 가지부의 길이가 거의 같다. 따라서, 데이터선과 화소 전극 사이의 기생 용량 차이를 줄일 수 있고, 기생 용량 차이에 따른 화질 저하를 방지할 수 있다.
- [0096] 그러면, 도 10 내지 도 13을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 10은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 11은 도 10에 도시한 액정 표시 장치의 화소에 인가되는 신호의 파형도이고, 도 12는 도 10에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 13은 도 12의 액정 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.
- [0097] 본 실시예에 따른 액정 표시 장치는 도 4, 도 7 및 도 8에 도시한 액정 표시 장치와 유사하다. 이하에서는 동일한 구성 요소에 대해서는 설명을 생략한다.
- [0098] 그러나, 도 10을 참고하면, 본 실시예에 따른 액정 표시 장치의 제5 박막 트랜지스터(Qc)의 입력 단자는 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)에 연결된 제2 스위칭 소자(Qa2)의 출력 단자에 연결되지 않고, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결된 제3 스위칭 소자(Qb1)의 출력 단자에 연결된다. 이에 의하여, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)과 제4 부화소 전극(PEb2)에는 데이터선(Dj)을 통해 전달된 데이터 전압이 동일한 크기로 충전되었다가, 제2 부화소 전극(PEb1)의 전하 중 일부가 제5 스위칭 소자(Qc)를 통해 감압 축전기(CS)로 이동하게 된다.
- [0099] 이에 의해 제3 부화소 전극(PEb1)과 제1 부화소 전극(PEa1) 사이의 제1 액정 축전기(C1ca)의 충전 전압은 제4 부화소 전극(PEb2)과 제2 부화소 전극(PEa2) 사이의 제2 액정 축전기(C1cb)의 충전 전압보다 높아지게 작아지게 된다.
- [0100] 이에 대하여, 도 11을 참고하여 설명한다.
- [0101] i 번째 행의 게이트선(Gi)에 제1 게이트 신호가 인가되며, 보조 게이트선(Gs)에 제2 게이트 신호가 인가된다. 제1 게이트 신호가 게이트 오프 전압에서 게이트 온 전압으로 바뀌면, 이에 연결된 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)가 턴 온된다. 이에 따라, 전압 전달선(C1)에 인가된 일정한 크기의 제3 전압(Vc)은 턴 온된 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)를 통해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가되고, 데이터선(Dj)에 인가된 제1 데이터 전압(Vd1)은 턴 온된 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)를 통해, 제2 화소 전극(PEb)의 제3

부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된다. 이 때, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가된 제3 전압(Vc)의 크기는 서로 동일하고, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된 제1 데이터 전압(Vd1)의 크기는 서로 동일하다. 따라서, 제1 및 제2 액정 축전기(C1ca, C1cb)는 제3 전압(Vc)과 제1 데이터 전압(Vd1)의 차이만큼 동일한 값으로 충전된다.

[0102] 그런 후, 제1 게이트 신호는 게이트 온 전압에서 게이트 오프 전압으로 바뀌고, 제2 게이트 신호가 게이트 오프 전압에서 게이트 온 전압으로 바뀌면, 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)는 턴 오프되고, 제5 스위칭 소자(Qc)가 턴 온된다. 그러면, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)으로부터 제5 스위칭 소자(Qc)를 통해 전하가 이동하고, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)에 충전된 제1 데이터 전압(Vd1)은 감압 축전기(Cd)의 정전 용량만큼 제2 데이터 전압(Vd2)으로 낮아진다. 이에 의해, 제1 액정 축전기(C1ca)의 충전 전압은 제2 액정 축전기(C1cb)의 충전 전압보다 높아진다. 구체적으로, 제2 부화소 전극(PEa2)에 인가된 전압(Vd1)의 크기보다 제1 부화소 전극(PEa1)에 인가된 전압(Vd2)이 낮아진다. 따라서, 제2 부화소 전극(PEa2)과 제4 부화소 전극(PEb2) 사이의 전압 차($\Delta V1$)보다 제1 부화소 전극(PEa1)과 제3 부화소 전극(PEb1) 사이의 전압 차(ΔVh)가 커지게 되어, 제1 액정 축전기(C1ca)의 충전 전압은 제2 액정 축전기(C1cb)의 충전 전압보다 높아진다.

[0103] 이에 의해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역과 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

[0104] 도 12 및 도 13을 참고하면, 제5 소스 전극(173c)은 제2 드레인 전극(175a2)의 제2 확장부(176a2)에 연결되지 않고, 제3 드레인 전극(175b1)의 제3 확장부(176b1)와 연결되어 있다.

[0105] 도시한 실시예에서, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 면적보다 좁다. 이 경우, 상대적으로 넓은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 좁은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 저계조에서는 상대적으로 면적이 좁고 상대적으로 충전 전압이 높은 제1 액정 축전기(C1ca)의 충전 전압이 휘도 증가에 주된 영향을 주게 된다. 이에 의해, 저계조의 경우, 정면에 비하여, 측면에서 투과율이 크게 상승하는 것을 방지하여, 시인성 왜곡을 줄일 수 있다.

[0106] 그러나, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 면적보다 넓을 수 있다. 이 경우, 상대적으로 좁은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 넓은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 고계조에서는, 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb)의 충전 전압이 휘도 증가에 영향을 주게 되는데, 승압되는 제1 액정 축전기(C1ca)의 면적이 크기 때문에, 액정 표시 장치의 전체적인 휘도가 밝아질 수 있다.

[0107] 앞서 도 4, 도 7 및 도 8을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다.

[0108] 그러면, 도 11과 함께 도 14 내지 도 16을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 14는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 15는 도 14에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 16은 도 15의 액정 표시 장치를 XVI-XVI 선을 따라 잘라 도시한 단면도이다.

- [0109] 도 11과 함께, 도 14를 참고하면, 본 실시예에 따른 액정 표시 장치는 등가 회로로 볼 때, 복수의 신호선(Gi, RD, C1, Dj)과 이에 연결되어 있으며, 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0110] 신호선(Gi, RD, C1, Dj)은 게이트 신호를 전달하는 복수의 게이트선(Gi), 데이터 전압을 전달하는 복수의 데이터선(Dj), 그리고 일정한 크기의 전압을 인가하는 전압 전달선(C1), 그리고 일정한 크기의 분압 기준 전압을 전달하는 기준 전압선(RD)을 포함한다.
- [0111] 각 화소(PX)는 신호선(Gi, RD, C1, Dj)에 연결되어 있는 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2) 및 제6 스위칭 소자(Qd)와 이에 연결된 제1 액정 축전기(C1a) 및 제2 액정 축전기(C1b)를 포함한다.
- [0112] 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2) 및 제6 스위칭 소자(Qd)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자이다. 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 전압 전달선(C1)에 연결되고, 그 출력 단자는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 부화소 전극(PEa2)에 연결되어 있다. 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 데이터선(Dj)에 연결되고, 그 출력 단자는 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)과 제4 부화소 전극(PEb2)에 연결되어 있다. 제6 스위칭 소자(Qd)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 제3 스위칭 소자(Qb1)의 출력 단자에 연결되어 있고, 그 출력 단자는 기준 전압선(RD)에 연결되어 있다.
- [0113] 제1 액정 축전기(C1ca)는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어지고, 제2 액정 축전기(C1cb)는 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어진다.
- [0114] 게이트선(Gi)에 게이트 온 신호가 인가되면 이에 연결된 제1 내지 제4 스위칭 소자(Qa1, Qa2, Qb1, Qb2) 그리고 제6 스위칭 소자(Qd)가 턴 온된다. 이에 따라, 전압 전달선(C1)에 인가된 일정한 크기의 제3 전압(Vc)은 턴온된 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)를 통해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가되고, 데이터선(Dj)에 인가된 제1 데이터 전압(Vd1)은 턴 온된 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)를 통해, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된다. 이 때, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가된 제3 전압(Vc)은 서로 동일하고, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된 제1 데이터 전압(Vd1)의 크기는 서로 동일하다. 따라서, 제1 및 제2 액정 축전기(C1ca, C1cb)는 제3 전압(Vc)과 제1 데이터 전압(Vd1)의 차이만큼 동일한 값으로 충전된다. 이와 동시에, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 충전된 제1 데이터 전압(Vd1)은 턴온된 제6 스위칭 소자(Qd)를 통해 분압되어 제2 데이터 전압(Vd2)으로 낮아지게 된다. 이에 의해, 제3 부화소 전극(PEb1)의 제2 데이터 전압(Vd2)은 제4 부화소 전극(PEb2)에 인가된 데이터 전압의 크기보다 낮아진다.
- [0115] 따라서, 제2 부화소 전극(PEa2)과 제4 부화소 전극(PEb2) 사이의 전압 차($\Delta V1$)보다 제1 부화소 전극(PEa1)과 제3 부화소 전극(PEb1) 사이의 전압 차(ΔVh)가 커지게 되어, 제1 액정 축전기(C1ca)의 충전 전압은 제2 액정 축전기(C1cb)의 충전 전압보다 높아진다.
- [0116] 이에 의해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 제1 영역과 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 제2 영역의 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.
- [0117] 이와 같이, 본 실시예에 따른 액정 표시 장치는 한 화소(PX)에 일정한 크기의 제1 전압과 데이터 전압을 인가하여, 액정층에 전기장을 생성하기 때문에, 구동 전압의 크기를 높일 수 있고, 액정 분자의 응답 속도를 빠르게 할 수 있으며 액정 표시 장치의 투과율을 높일 수 있다. 또한, 한 화소에서 스위칭 소자가 턴 오프될 때, 액정층에 전기장을 인가하는 두 화소 전극(PEa, PEb)에 인가되는 전압이 모두 각각의 킥백 전압(kickback voltage)만큼 하강하므로 화소(PX)의 충전 전압에는 거의 변화가 없다. 따라서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

- [0118] 또한, 하나의 화소(PX) 영역을 하나의 데이터 전압에 대해 서로 다른 휘도를 나타내는 두 영역으로 나눌 수 있어, 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 측면 시인성을 향상할 수 있으며 투과율을 높일 수 있다.
- [0119] 그러면, 도 15 및 도 16을 참고하여, 도 14에 도시한 실시예에 따른 액정 표시 장치의 한 예에 대하여 설명한다.
- [0120] 도 15 및 도 16을 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0121] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0122] 절연 기판(110) 위에 복수의 게이트선(121)과 복수의 유지 전극선(131a, 131b)을 포함하는 게이트 도전체가 형성되어 있다.
- [0123] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)은 제1 게이트 전극(124a), 제2 게이트 전극(124b) 및 제3 게이트 전극(124c)을 포함한다.
- [0124] 게이트 도전체 위에는 게이트 절연막(140)이 형성되어 있다.
- [0125] 게이트 절연막(140) 위에는 수소화 비정질 또는 다결정 규소 등으로 만들어진 제1 반도체(154a), 제2 반도체(154b), 그리고 제3 반도체(154c)가 형성되어 있다.
- [0126] 각 반도체(154a, 154b, 154c) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)가 형성되어 있다.
- [0127] 저항성 접촉 부재 및 게이트 절연막(140) 위에는 전압 전달선(172)과 데이터선(171), 제1 드레인 전극(drain electrode)(175a1), 제2 드레인 전극(175a2), 제3 드레인 전극(175b1), 제4 드레인 전극(175b2), 제6 드레인 전극(175d), 그리고 기준 전압선(178)을 포함하는 데이터 도전체가 형성되어 있다.
- [0128] 전압 전달선(172)은 제1 게이트 전극(124a)을 향해 뻗어 있는 제1 소스 전극(173a1) 및 제2 소스 전극(173a2)을 포함하고, 데이터선(171)은 제2 게이트 전극(124b)을 향해 뻗어 있는 제3 소스 전극(173b1) 및 제4 소스 전극(173b2)을 포함한다.
- [0129] 기준 전압선(178)은 평행한 두 세로부와 두 세로부를 서로 연결하는 가로부를 포함한다. 기준 전압선의 두 세로부를 가로부로 연결함으로써, 기준 전압선(178)에 흐르는 신호의 지연을 방지할 수 있다. 기준 전압선(178)은 확장부(179)를 가진다.
- [0130] 제1 게이트 전극(124a1), 제1 소스 전극(173a1) 및 제1 드레인 전극(175a1)은 제1 섬형 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(Qa1)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173a1)과 드레인 전극(175a1) 사이의 반도체(154a)에 형성된다. 제2 게이트 전극(124a2), 제2 소스 전극(173a2) 및 제2 드레인 전극(175a2)은 제1 섬형 반도체(154a)와 함께 하나의 제2 박막 트랜지스터(Qa2)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173a2)과 드레인 전극(175a2) 사이의 반도체(154a)에 형성된다.
- [0131] 제2 게이트 전극(124b), 제3 소스 전극(173b1) 및 제3 드레인 전극(175b1)은 제2 섬형 반도체(154b)와 함께 하나의 제3 박막 트랜지스터(Qb1)를 이루고, 제2 게이트 전극(124b), 제4 소스 전극(173b2) 및 제4 드레인 전극(175b2)은 제2 섬형 반도체(154b)와 함께 하나의 제4 박막 트랜지스터(Qb2)를 이루고, 제3 게이트 전극(124c), 제6 소스 전극(173d) 및 제6 드레인 전극(175d)은 제3 섬형 반도체(154c)와 함께 하나의 제6 박막 트랜지스터(Qd)를 이룬다. 제6 소스 전극(173d)은 제3 드레인 전극(175b1)에 연결되어 있다.
- [0132] 데이터 도전체(171, 172, 173c, 175a1, 175a2, 175b1, 175b2, 175d, 178) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있다.
- [0133] 보호막(180)에는 제1 드레인 전극(175a1)의 제1 확장부(176a1)를 드러내는 제1 접촉 구멍(185a1), 제2 드레인 전극(175a2)의 제2 확장부(176a2)를 드러내는 제2 접촉 구멍(185a2), 제3 드레인 전극(175b1)의 제3 확장부(176b1)를 드러내는 제3 접촉 구멍(185b1), 그리고 제4 드레인 전극(175b2)의 제4 확장부(176b2)를 드러내는 제4 접촉 구멍(185b2)이 형성되어 있다. 또한, 보호막(180)에는 전압 전달선(172)과 제1 소스 전극(173a1) 및 제2 소스 전극(173a2) 사이의 일부를 드러내는 제5 접촉 구멍(186a)이 형성되어 있다. 앞서 설명한 바와 같이, 전압 전달선(172)은 제5 접촉 구멍(186a)을 통해 연결부와 연결되어, 이웃하는 화소에도 동일한 크기의 전압을 전달할 수 있다. 보호막(180) 위에는 제1 화소 전극(191a) 및 제2 화소 전극(191b)을 포함하는 화소 전극(191)이

형성되어 있다. 제1 화소 전극(191a)는 제1 부화소 전극(191a1) 및 제2 부화소 전극(191a2)을 포함하고, 제2 화소 전극(191b)은 제3 부화소 전극(191b1) 및 제4 부화소 전극(191b2)을 포함한다.

[0134] 각 부화소 전극(191a1, 191a2, 191b1, 191b2)은 화소 영역의 가장자리의 일부를 따라 형성된 줄기부와 이로부터 뻗어 있는 복수의 가지부를 가진다. 제1 부화소 전극(191a1)의 가지부와 제3 부화소 전극(191b1)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제1 영역을 이룬다. 제2 부화소 전극(191a2)의 가지부와 제4 부화소 전극(191b2)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제2 영역을 이룬다.

[0135] 제1 화소 전극(191a)의 제1 화소 전극(191a1)은 제1 접촉 구멍(185a1)을 통하여 제1 드레인 전극(175a1)과 물리적, 전기적으로 연결되어 있고, 제1 화소 전극(191a)의 제2 화소 전극(191a2)은 제2 접촉 구멍(185a2)을 통하여 제2 드레인 전극(175a2)과 물리적, 전기적으로 연결되어 있으며, 전압 전달선(172)을 통해 전달되는 전압을 인가 받는다. 또한, 제2 화소 전극(191b)의 제3 화소 전극(191b1)은 제3 접촉 구멍(185b1)을 통하여 제3 드레인 전극(175b1)과 물리적, 전기적으로 연결되어 있고, 제2 화소 전극(191b)의 제4 화소 전극(191b2)은 제4 접촉 구멍(185b2)을 통하여 제4 드레인 전극(175b2)과 물리적, 전기적으로 연결되어 있으며, 데이터선(171)에 흐르는 데이터 전압을 인가 받는다.

[0136] 제1 화소 전극(191a) 및 제2 화소 전극(191b)과 연결된 드레인 전극(175a1, 175a2, 175b1, 175b2)의 확장부(176a1, 176a2, 176b1, 176b2)는 게이트 절연막(140)을 사이에 두고 유지 전극과 중첩하여 유지 축전기를 이루며, 유지 축전기는 액정 축전기(C1ca, C1cb)의 전압 유지 능력을 강화한다.

[0137] 기준 전압선(178)에는 전압 전달선(172)에 인가되는 전압과 일정 크기만큼 차이나는 크기의 전압이 흐르는 것이 바람직하고, 그 전압의 차이는 약 1V 내지 약 4V인 것이 바람직하다.

[0138] 표시판(100)의 안쪽 면에는 하부 배향막이 도포되어 있으며, 하부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 하부 배향막 위에는 고분자층이 형성되어 있을 수 있고, 고분자층은 액정 분자(31)의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응(polymerization)에 의해 경화되는 단량체(monomer) 등의 전중합체(prepolymer)를 광에 노출하여 중합하여 형성될 수 있으며, 중합체 가지에 따라 액정 분자의 배향력을 조절할 수 있다.

[0139] 다음 상부 표시판(200)에 대하여 설명한다.

[0140] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있다.

[0141] 기판(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230) 및 차광 부재(220) 위에는 덮개막(250)이 형성되어 있다. 덮개막(250)은 생략할 수 있다.

[0142] 표시판(200)의 안쪽 면에는 상부 배향막(도시하지 않음)이 도포되어 있으며 상부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 상부 배향막 위에도 역시 고분자층이 형성될 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응에 의해 경화되는 단량체 등의 전중합체가 광에 노출되어 형성될 수 있으며, 액정 분자의 배향력을 조절할 수 있다. 고분자층은 액정 분자의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다.

[0143] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.

[0144] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 양의 유전율 이방성을 가지는 액정 분자(31)를 포함하며 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.

[0145] 제1 화소 전극(191a)과 제2 화소 전극(191b)에 크기가 다른 전압을 인가하면 표시판(100, 200)의 표면에 거의 수평인 전기장(electric field)이 생성된다. 그러면 초기에 표시판(100, 200)의 표면에 대해 수직으로 배향되어 있던 액정층(3)의 액정 분자들이 전기장에 응답하여 그 장축이 전기장의 방향에 수평한 방향으로 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.

[0146] 도시한 실시예에서, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는

영역의 면적보다 좁다. 이 경우, 상대적으로 넓은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 좁은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 저계조에서는 상대적으로 면적이 좁고 상대적으로 충전 전압이 높은 제1 액정 축전기(C1ca)의 충전 전압이 휘도 증가에 주된 영향을 주게 된다. 이에 의해, 저계조의 경우, 정면에 비하여, 측면에서 투과율이 크게 상승하는 것을 방지하여, 시인성 왜곡을 줄일 수 있다.

[0147] 그러나, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 면적보다 넓을 수 있다. 이 경우, 상대적으로 좁은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 넓은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 고계조에서는, 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb)의 충전 전압이 휘도 증가에 영향을 주게 되는데, 승압되는 제1 액정 축전기(C1ca)의 면적이 크기 때문에, 액정 표시 장치의 전체적인 휘도가 밝아질 수 있다.

[0148] 앞서 도 4, 도 7 및 도 8을 참고로 설명한 실시예에 따른 액정 표시 장치와, 도 10, 도 12 및 도 13을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다.

[0149] 그러면, 도 5와 함께, 도 17 내지 도 19를 참고하여 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 17은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 18은 도 17에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 19는 도 18의 액정 표시 장치를 XIX-XIX 선을 따라 잘라 도시한 단면도이다.

[0150] 본 실시예에 따른 액정 표시 장치는 도 14 내지 도 16에 도시한 액정 표시 장치와 유사하다. 이하에서는 동일한 구성 요소에 대해서는 설명을 생략한다.

[0151] 그러나, 도 17을 참고하면, 본 실시예에 따른 액정 표시 장치의 제6 스위칭 소자(Qd)의 입력 단자는 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결된 제3 스위칭 소자(Qb1)의 출력 단자에 연결되지 않고, 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)에 연결된 제2 스위칭 소자(Qa2)의 출력 단자에 연결된다. 이에 의하여, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 부화소 전극(PEa2)에는 전압 전달선(C1)을 통해 전달된 전압이 동일한 크기로 충전되었다가, 제2 부화소 전극(PEa2)의 전압 중 일부가 제6 스위칭 소자(Qd)를 통해 분압된다.

[0152] 이에 의해 도 5를 참고로 설명한 바와 유사하게, 제4 부화소 전극(PEb2)과 제2 부화소 전극(PEa2) 사이의 제2 액정 축전기(C1cb)의 충전 전압은 제3 부화소 전극(PEb1)과 제1 부화소 전극(PEa1) 사이의 제1 액정 축전기(C1ca)의 충전 전압보다 작아지게 된다.

[0153] 도 18 및 도 19를 참고하면, 제6 소스 전극(173d)은 제3 드레인 전극(175b1)의 제3 확장부(176b1)와 연결되지 않고, 제2 드레인 전극(175a2)의 제2 확장부(176a2)에 연결되어 있다.

[0154] 앞서 도 14 내지 도 17을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다. 또한, 앞서 도 4, 도 7 및 도 8을 참고로 설명한 실시예에 따른 액정 표시 장치와, 도 10, 도 12 및 도 13을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다.

[0155] 그러면, 도 11과 함께, 도 20 내지 도 22를 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 20은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 21은 도 20에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 22는 도 21의 액정 표시 장치를 XXII-XXII 선을 따라 잘라 도시한 단면도이다.

[0156] 도 20을 참고하면, 본 실시예에 따른 액정 표시 장치는 등가 회로로 볼 때, 복수의 신호선(Gi, SL, C1, Dj)과 이에 연결되어 있으며, 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.

[0157] 신호선(Gi, SL, C1, Dj)은 게이트 신호를 전달하는 복수의 게이트선(Gi), 데이터 전압을 전달하는 복수의 데이터선(Dj), 그리고 일정한 크기의 전압을 인가하는 전압 전달선(C1), 그리고 일정한 크기의 전압을 전달하는 공

통 전압선(SL)을 포함한다.

- [0158] 각 화소(PX)는 신호선(Gi, SL, C1, Dj)에 연결되어 있는 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2), 제7 스위칭 소자(Qe1) 및 제8 스위칭 소자(Qe2)와 이에 연결된 제1 액정 축전기(C1a) 및 제2 액정 축전기(C1b)를 포함한다.
- [0159] 제1 스위칭 소자(Qa1), 제2 스위칭 소자(Qa2), 제3 스위칭 소자(Qb1), 제4 스위칭 소자(Qb2), 제7 스위칭 소자(Qe1) 및 제8 스위칭 소자(Qe2)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자이다. 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 전압 전달선(C1)에 연결되고, 그 출력 단자는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 부화소 전극(PEa2)에 연결되어 있다. 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)의 제어 단자는 게이트선(Gi)에 연결되어 있고, 그 입력 단자는 데이터선(Dj)에 연결되고, 그 출력 단자는 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)과 제4 부화소 전극(PEb2)에 연결되어 있다. 제7 스위칭 소자(Qe1)의 제어 단자는 공통 전압선(SL)에 연결되어 있고, 그 입력 단자는 제3 스위칭 소자(Qb1)의 출력 단자에 연결되어 있고, 그 출력 단자는 제1 감압 축전기(Cp1)에 연결되어 있다. 제1 감압 축전기(Cp1)의 두 단자는 제7 스위칭 소자(Qe1)의 출력 단자와 공통 전압선(SL)에 연결되어 있다. 제8 스위칭 소자(Qe2)의 제어 단자는 공통 전압선(SL)에 연결되어 있고, 그 입력 단자는 제7 스위칭 소자(Qe1)의 출력 단자에 연결되고, 그 출력 단자는 제2 감압 축전기(Cp2)에 연결되어 있다. 제2 감압 축전기(Cp2)의 두 단자는 제8 스위칭 소자(Qe2)의 출력 단자와 공통 전압선(SL)에 연결되어 있다. 이처럼, 제1 감압 축전기(Cp1) 및 제2 감압 축전기(Cp2)는 제7 스위칭 소자(Qe1) 및 제8 스위칭 소자(Qe2)의 출력 단자와 공통 전압선(SL)의 일부가 절연체를 사이에 두고 중첩되어 이루어질 수 있다.
- [0160] 도시한 실시예에서는 제7 박막 트랜지스터(Qe1)와 제8 박막 트랜지스터(Qe2)의 두 개의 박막 트랜지스터와 연결된 두 개의 감압 축전기(Cp1, Cp2)를 포함하지만, 단지 제7 박막 트랜지스터(Qe1)에 연결된 하나의 감압 축전기만 포함할 수 있으며, 이 경우 제8 박막 트랜지스터(Qe2)와 이에 연결된 제2 감압 축전기(Cp2)는 생략 가능하다.
- [0161] 제1 액정 축전기(C1ca)는 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어지고, 제2 액정 축전기(C1cb)는 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)에 연결되어 두 부화소 전극 사이의 액정층을 절연층으로 하여 이루어진다.
- [0162] 게이트선(Gi)에 게이트 온 신호가 인가되면 이에 연결된 제1 내지 제4 스위칭 소자(Qa1, Qa2, Qb1, Qb2)가 턴온된다. 이에 따라, 전압 전달선(C1)에 인가된 일정한 크기의 제3 전압(Vc)은 턴온된 제1 스위칭 소자(Qa1) 및 제2 스위칭 소자(Qa2)를 통해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가되고, 데이터선(Dj)에 인가된 제1 데이터 전압(Vd1)은 턴온된 제3 스위칭 소자(Qb1) 및 제4 스위칭 소자(Qb2)를 통해, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된다. 이 때, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1) 및 제2 부화소 전극(PEa2)에 인가된 제3 전압(Vc)은 서로 동일하고, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1) 및 제4 부화소 전극(PEb2)에 인가된 제1 데이터 전압(Vd1)의 크기는 서로 동일하다. 따라서, 제1 및 제2 액정 축전기(C1ca, C1cb)는 제1 전압과 데이터 전압의 차이만큼 동일한 값으로 충전된다. 이와 동시에, 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 충전된 제1 데이터 전압(Vd1)은 제7 스위칭 소자(Qe1) 및 제8 스위칭 소자(Qe2)를 통해 감압되어, 제2 데이터 전압(Vd2)으로 낮아지게 된다. 이에 의해, 제3 부화소 전극(PEb1)의 제2 데이터 전압(Vd2)은 제4 부화소 전극(PEb2)에 인가된 데이터 전압의 크기보다 낮아진다.
- [0163] 따라서, 제2 부화소 전극(PEa2)과 제4 부화소 전극(PEb2) 사이의 전압 차($\Delta V1$)보다 제1 부화소 전극(PEa1)과 제3 부화소 전극(PEb1) 사이의 전압 차(ΔVh)가 커지게 되어, 제1 액정 축전기(C1ca)의 충전 전압은 제2 액정 축전기(C1cb)의 충전 전압보다 높아진다.
- [0164] 이에 의해, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 제1 영역과 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 제2 영역의 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

- [0165] 이와 같이, 본 실시예에 따른 액정 표시 장치는 한 화소(PX)에 일정한 크기의 제1 전압과 데이터 전압을 인가하여, 액정층에 전기장을 생성하기 때문에, 구동 전압의 크기를 높일 수 있고, 액정 분자의 응답 속도를 빠르게 할 수 있으며 액정 표시 장치의 투과율을 높일 수 있다. 또한, 한 화소에서 스위칭 소자가 턴 오프될 때, 액정층에 전기장을 인가하는 두 화소 전극(PEa, PEb)에 인가되는 전압이 모두 각각의 킥백 전압(kickback voltage)만큼 하강하므로 화소(PX)의 충전 전압에는 거의 변화가 없다. 따라서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.
- [0166] 또한, 하나의 화소(PX) 영역을 하나의 데이터 전압에 대해 서로 다른 휘도를 나타내는 두 영역으로 나눌 수 있어, 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 측면 시인성을 향상할 수 있으며 투과율을 높일 수 있다.
- [0167] 그러면, 도 21 및 도 22를 참고하여, 도 20에 도시한 실시예에 따른 액정 표시 장치의 한 예에 대하여 설명한다.
- [0168] 도 21 및 도 22를 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0169] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0170] 절연 기판(110) 위에 복수의 게이트선(121)과 복수의 공통 전압선(131a, 131b)을 포함하는 게이트 도전체가 형성되어 있다.
- [0171] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있으며, 각 게이트선(121)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 포함하고, 제1 공통 전압선(131a)은 제3 게이트 전극(124c)을 포함한다.
- [0172] 게이트 도전체 위에는 게이트 절연막(140)이 형성되어 있다.
- [0173] 게이트 절연막(140) 위에는 수소화 비정질 또는 다결정 규소 등으로 만들어진 제1 반도체(154a), 제2 반도체(154b), 그리고 제3 반도체(154c)가 형성되어 있다.
- [0174] 각 반도체(154a, 154b, 154c) 위에는 한 쌍의 저항성 접촉 부재(ohmic contact)가 형성되어 있다.
- [0175] 저항성 접촉 부재 및 게이트 절연막(140) 위에는 전압 전달선(172)과 데이터선(171), 제1 드레인 전극(drain electrode)(175a1), 제2 드레인 전극(175a2), 제3 드레인 전극(175b1), 제4 드레인 전극(175b2), 그리고 제7 드레인 전극(175e1) 및 제8 드레인 전극(175e2)을 포함하는 데이터 도전체가 형성되어 있다.
- [0176] 전압 전달선(172)은 제1 게이트 전극(124a)을 향해 뻗어 있는 제1 소스 전극(173a1) 및 제2 소스 전극(173a2)을 포함하고, 데이터선(171)은 제2 게이트 전극(124b)을 향해 뻗어 있는 제3 소스 전극(173b1) 및 제4 소스 전극(173b2)을 포함한다.
- [0177] 제3 드레인 전극(175b1)의 제3 확장부(176b1)는 연장되어 제7 소스 전극(173e1)을 이루고, 제7 소스 전극(173e1)은 제7 드레인 전극(175e1)과 마주한다. 제7 드레인 전극(175e1)의 일부는 제8 소스 전극(173e2)을 이룬다. 제7 드레인 전극(175e1)과 제8 소스 전극(173e2)을 함께 제7 확장부(177e1)라 일컫는다. 제8 소스 전극(173e2)은 제8 드레인 전극(175e2)과 마주한다. 제8 드레인 전극(175e2)의 제8 확장부(177e2)는 제2 공통 전압선(131b)의 확장부(137b)와 중첩한다.
- [0178] 제1 게이트 전극(124a1), 제1 소스 전극(173a1) 및 제1 드레인 전극(175a1)은 제1 섬형 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(Qa1)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173a1)과 드레인 전극(175a1) 사이의 반도체(154a)에 형성된다. 제2 게이트 전극(124a2), 제2 소스 전극(173a2) 및 제2 드레인 전극(175a2)은 제1 섬형 반도체(154a)와 함께 하나의 제2 박막 트랜지스터(Qa2)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173a2)과 드레인 전극(175a2) 사이의 반도체(154a)에 형성된다.
- [0179] 제2 게이트 전극(124b), 제3 소스 전극(173b1) 및 제3 드레인 전극(175b1)은 제2 섬형 반도체(154b)와 함께 하나의 제3 박막 트랜지스터(Qb1)를 이루고, 제2 게이트 전극(124b), 제4 소스 전극(173b2) 및 제4 드레인 전극(175b2)은 제2 섬형 반도체(154b)와 함께 하나의 제4 박막 트랜지스터(Qb2)를 이룬다.
- [0180] 제3 게이트 전극(124c), 제7 소스 전극(173e1) 및 제7 드레인 전극(175e1)은 제3 섬형 반도체(154c)와 함께 하나의 제7 박막 트랜지스터(Qe1)를 이룬다. 추가적으로, 제8 게이트 전극(124c), 제8 소스 전극(173e2) 및 제8 드레인 전극(175e2)은 제3 섬형 반도체(154c)와 함께 하나의 제8 박막 트랜지스터(Qe2)를 이룬다. 도시한 실시

예에서는 제7 박막 트랜지스터(Qe1)와 제8 박막 트랜지스터(Qe2)의 두 개의 박막 트랜지스터와 연결된 두 개의 감압 축전기를 포함하지만, 단지 제7 박막 트랜지스터(Qe1)에 연결된 하나의 감압 축전기만 포함할 수 있으며, 제8 박막 트랜지스터(Qe2)와 이에 연결된 감압 축전기는 생략 가능하다.

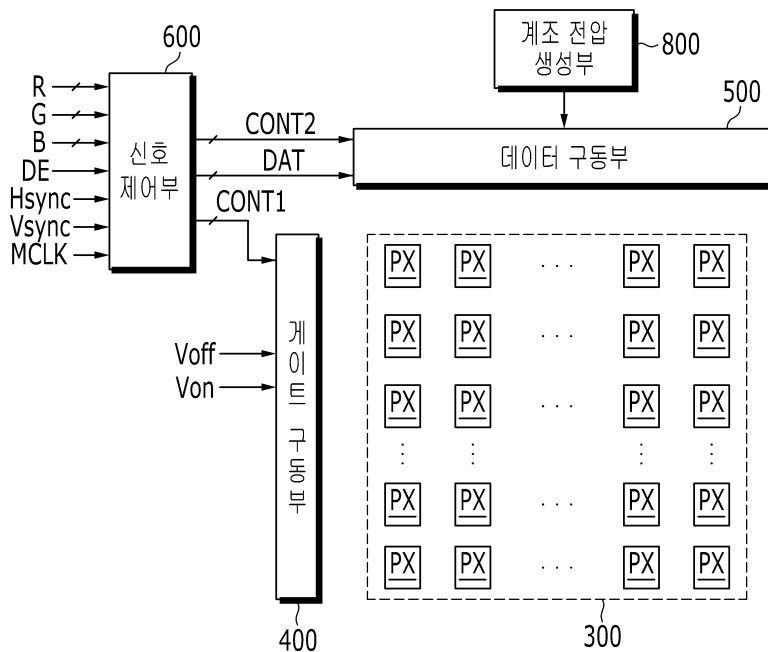
- [0181] 데이터 도전체(171, 172, 173c, 175a1, 175a2, 175b1, 175b2, 175c, 173e1, 175e1, 175e2) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있다.
- [0182] 보호막(180)에는 제1 드레인 전극(175a1)의 제1 확장부(176a1)를 드러내는 제1 접촉 구멍(185a1), 제2 드레인 전극(175a2)의 제2 확장부(176a2)를 드러내는 제2 접촉 구멍(185a2), 제3 드레인 전극(175b1)의 제3 확장부(176b1)를 드러내는 제3 접촉 구멍(185b1), 그리고 제4 드레인 전극(175b2)의 제4 확장부(176b2)를 드러내는 제4 접촉 구멍(185b2)이 형성되어 있다.
- [0183] 보호막(180) 위에는 제1 화소 전극(191a) 및 제2 화소 전극(191b)을 포함하는 화소 전극(191)이 형성되어 있다. 제1 화소 전극(191a)는 제1 부화소 전극(191a1) 및 제2 부화소 전극(191a2)을 포함하고, 제2 화소 전극(191b)은 제3 부화소 전극(191b1) 및 제4 부화소 전극(191b2)을 포함한다.
- [0184] 각 부화소 전극(191a1, 191a2, 191b1, 191b2)은 화소 영역의 가장자리의 일부를 따라 형성된 줄기부와 이로부터 뻗어 있는 복수의 가지부를 가진다. 제1 부화소 전극(191a1)의 가지부와 제3 부화소 전극(191b1)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제1 영역을 이룬다. 제2 부화소 전극(191a2)의 가지부와 제4 부화소 전극(191b2)의 가지부는 일정한 간격을 두고 서로 맞물려서 교대로 배치되어 빗살 무늬를 이루어, 화소 영역의 제2 영역을 이룬다.
- [0185] 제1 화소 전극(191a)의 제1 화소 전극(191a1)은 제1 접촉 구멍(185a1)을 통하여 제1 드레인 전극(175a1)과 물리적, 전기적으로 연결되어 있고, 제1 화소 전극(191a)의 제2 화소 전극(191a2)은 제2 접촉 구멍(185a2)을 통하여 제2 드레인 전극(175a2)과 물리적, 전기적으로 연결되어 있으며, 전압 전달선(172)을 통해 전달되는 전압을 인가 받는다. 또한, 제2 화소 전극(191b)의 제3 화소 전극(191b1)은 제3 접촉 구멍(185b1)을 통하여 제3 드레인 전극(175b1)과 물리적, 전기적으로 연결되어 있고, 제2 화소 전극(191b)의 제4 화소 전극(191b2)은 제4 접촉 구멍(185b2)을 통하여 제4 드레인 전극(175b2)과 물리적, 전기적으로 연결되어 있으며, 데이터선(171)에 흐르는 데이터 전압을 인가 받는다.
- [0186] 제1 화소 전극(191a) 및 제2 화소 전극(191b)과 연결된 드레인 전극(175a1, 175a2, 175b1, 175b2)의 확장부(176a1, 176a2, 176b1, 176b2)는 게이트 절연막(140)을 사이에 두고 유지 전극과 중첩하여 유지 축전기를 이루며, 유지 축전기는 액정 축전기(C1ca, C1cb)의 전압 유지 능력을 강화한다.
- [0187] 표시판(100)의 안쪽 면에는 하부 배향막이 도포되어 있으며, 하부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 하부 배향막 위에는 고분자층이 형성되어 있을 수 있고, 고분자층은 액정 분자(31)의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응(polymerization)에 의해 경화되는 단량체(monomer) 등의 전중합체(prepolymer)를 광에 노출하여 중합하여 형성될 수 있으며, 중합체 가지에 따라 액정 분자의 배향력을 조절할 수 있다.
- [0188] 다음 상부 표시판(200)에 대하여 설명한다.
- [0189] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기관(210) 위에 차광 부재(220)가 형성되어 있다.
- [0190] 기관(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230) 및 차광 부재(220) 위에는 덮개막(250)이 형성되어 있다. 덮개막(250)은 생략할 수 있다.
- [0191] 표시판(200)의 안쪽 면에는 상부 배향막(도시하지 않음)이 도포되어 있으며 상부 배향막은 수직 배향막일 수 있다. 도시하지는 않았지만, 상부 배향막 위에도 역시 고분자층이 형성될 수 있다. 고분자층은 자외선 등의 광에 의한 중합 반응에 의해 경화되는 단량체 등의 전중합체가 광에 노출되어 형성될 수 있으며, 액정 분자의 배향력을 조절할 수 있다. 고분자층은 액정 분자의 초기 배향 방향에 따라 형성되어 있는 중합체 가지를 포함할 수 있다.
- [0192] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.
- [0193] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 양의 유전율 이방성을 가지는 액정 분자(31)를 포함하며 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.

- [0194] 제1 화소 전극(191a)과 제2 화소 전극(191b)에 크기가 다른 전압을 인가하면 표시판(100, 200)의 표면에 거의 수평인 전기장(electric field)이 생성된다. 그러면 초기에 표시판(100, 200)의 표면에 대해 수직으로 배향되어 있던 액정층(3)의 액정 분자들이 전기장에 응답하여 그 장축이 전기장의 방향에 수평한 방향으로 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0195] 도시한 실시예에서, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 면적보다 좁다. 이 경우, 상대적으로 넓은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 좁은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 저계조에서는 상대적으로 면적이 좁고 상대적으로 충전 전압이 높은 제1 액정 축전기(C1ca)의 충전 전압이 휘도 증가에 주된 영향을 주게 된다. 이에 의해, 저계조의 경우, 정면에 비하여, 측면에서 투과율이 크게 상승하는 것을 방지하여, 시인성 왜곡을 줄일 수 있다.
- [0196] 그러나, 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 경우, 제1 액정 축전기(C1ca)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)이 이루는 영역의 면적은 제2 액정 축전기(C1cb)가 차지하는 영역, 즉 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)과 제2 화소 전극(PEb)의 제4 부화소 전극(PEb2)이 이루는 영역의 면적보다 넓을 수 있다. 이 경우, 상대적으로 좁은 영역을 차지하는 제2 액정 축전기(C1cb)의 충전 전압은 일정하게 유지하고, 상대적으로 넓은 영역을 차지하는 제1 액정 축전기(C1ca)의 충전 전압을 높임으로써, 두 액정 축전기(C1ca, C1cb)의 충전 전압은 서로 다른 감마 곡선을 나타도록 한다. 이에 의해, 고계조에서는, 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb)의 충전 전압이 휘도 증가에 영향을 주게 되는데, 승압되는 제1 액정 축전기(C1ca)의 면적이 크기 때문에, 액정 표시 장치의 전체적인 휘도가 밝아질 수 있다.
- [0197] 앞서 도 4, 도 7 및 도 8을 참고로 설명한 실시예에 따른 액정 표시 장치와, 도 14 내지 도 16을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다.
- [0198] 그러면, 도 5와 함께, 도 23 내지 도 25를 참고하여 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 23은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 한 화소의 등가 회로도이고, 도 24는 도 23에 도시한 실시예에 따른 액정 표시 장치의 배치도이고, 도 25는 도 24의 액정 표시 장치를 XXV-XXV 선을 따라 잘라 도시한 단면도이다.
- [0199] 본 실시예에 따른 액정 표시 장치는 도 20 내지 도 22에 도시한 액정 표시 장치와 유사하다. 이하에서는 동일한 구성 요소에 대해서는 설명을 생략한다.
- [0200] 그러나, 도 23을 참고하면, 본 실시예에 따른 액정 표시 장치의 제7 박막 트랜지스터(Qe1)의 입력 단자는 제2 화소 전극(PEb)의 제3 부화소 전극(PEb1)에 연결된 제3 스위칭 소자(Qb1)의 출력 단자에 연결되지 않고, 제1 화소 전극(PEa)의 제2 부화소 전극(PEa2)에 연결된 제2 스위칭 소자(Qa2)의 출력 단자에 연결된다. 이에 의하여, 제1 화소 전극(PEa)의 제1 부화소 전극(PEa1)과 제2 부화소 전극(PEa2)에는 전압 전달선(C1)을 통해 전달된 전압이 동일한 크기로 충전되었다가, 제2 부화소 전극(PEa2)의 전압 중 일부가 제7 스위칭 소자(Qe1) 및 제8 스위칭 소자(Qe2)를 통해 감압된다.
- [0201] 이에 의해 도 5를 참고로 설명한 바와 유사하게, 제4 부화소 전극(PEb2)과 제2 부화소 전극(PEa2) 사이의 제2 액정 축전기(C1cb)의 충전 전압은 제3 부화소 전극(PEb1)과 제1 부화소 전극(PEa1) 사이의 제1 액정 축전기(C1ca)의 충전 전압보다 작아지게 된다.
- [0202] 도 24 및 도 25를 참고하면, 제7 소스 전극(173e1)은 제3 드레인 전극(175b1)의 제3 확장부(176b1)와 연결되지 않고, 제2 드레인 전극(175a2)의 제2 확장부(176a2)에 연결되어 있다.
- [0203] 앞서 도 20 내지 도 22를 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다. 또한, 앞서 도 4, 도 7 및 도 8을 참고로 설명한 실시예에 따른 액정 표시 장치와, 도 14 내지 도 16을 참고로 설명한 실시예에 따른 액정 표시 장치의 많은 특징들은 본 실시예에 따른 액정 표시 장치에도 모두 적용 가능하다.

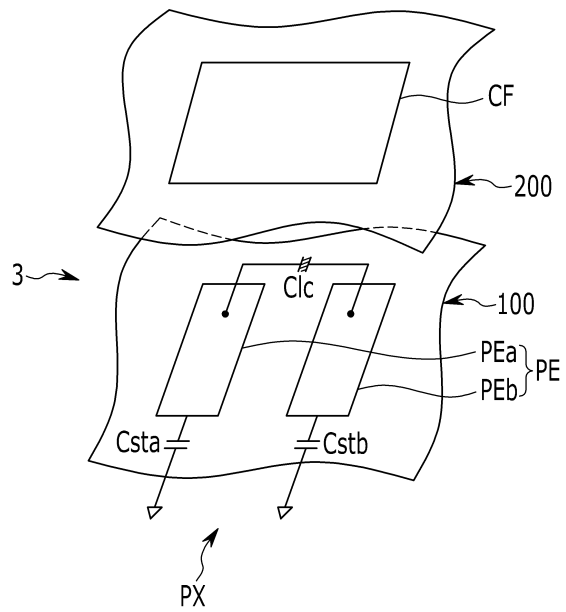
- [0204] 이와 같이, 본 발명의 실시예에 따른 액정 표시 장치는 한 화소(PX)에 일정한 크기의 전압과 데이터 전압을 인가하여, 액정층에 전기장을 생성하기 때문에, 구동 전압의 크기를 높일 수 있고, 액정 분자의 응답 속도를 빠르게 할 수 있으며 액정 표시 장치의 투과율을 높일 수 있다. 또한, 한 화소에서 스위칭 소자가 턴 오프될 때, 액정층에 전기장을 인가하는 두 화소 전극(PEa, PEb)에 인가되는 전압이 모두 각각의 킥백 전압(kickback voltage)만큼 하강하므로 화소(PX)의 충전 전압에는 거의 변화가 없다. 따라서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.
- [0205] 또한, 하나의 화소(PX) 영역을 하나의 데이터 전압에 대해 서로 다른 휘도를 나타내는 두 영역(Rh, Rl)으로 나눌 수 있어, 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며 측면 시인성을 향상할 수 있으며 투과율을 높일 수 있다.
- [0206] 위에서 설명한 실시예에 따른 액정 표시 장치의 신호선 및 화소의 배치와 구동 방법들은 적어도 일부분이 같은 층에 형성되어 서로 교대로 배치되는 제1 화소 전극과 제2 화소 전극을 포함하는 모든 형태의 화소 구조에 적용될 수 있다.
- [0207] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

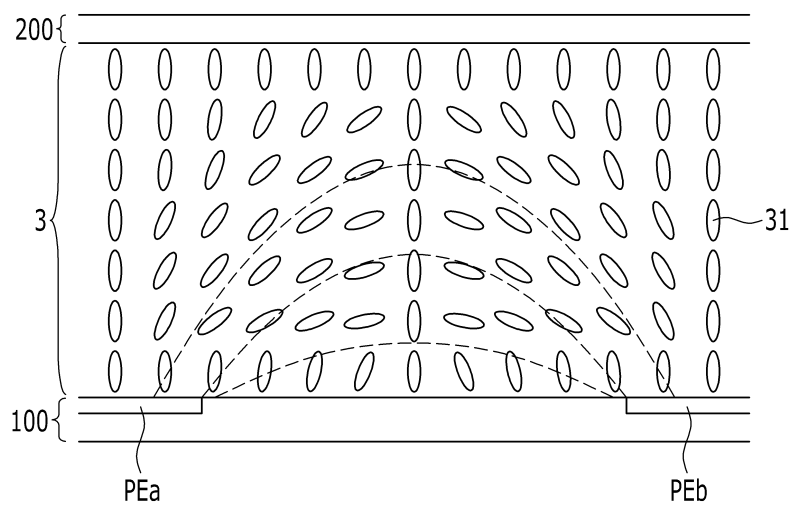
도면1



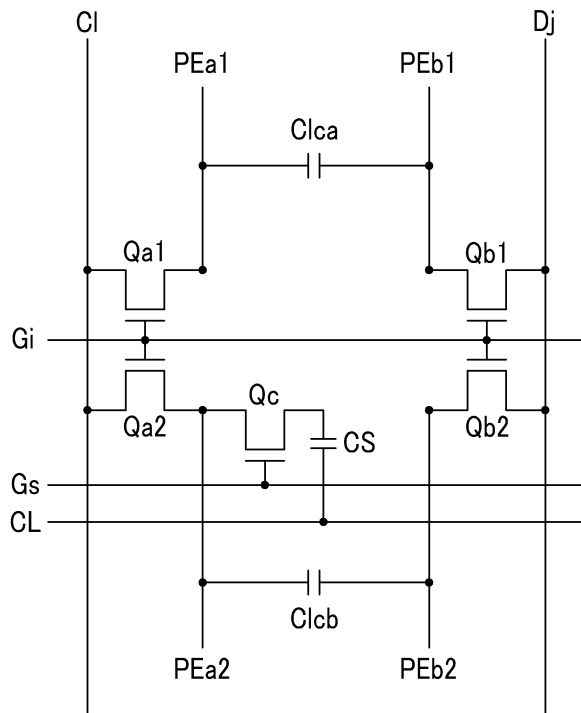
도면2



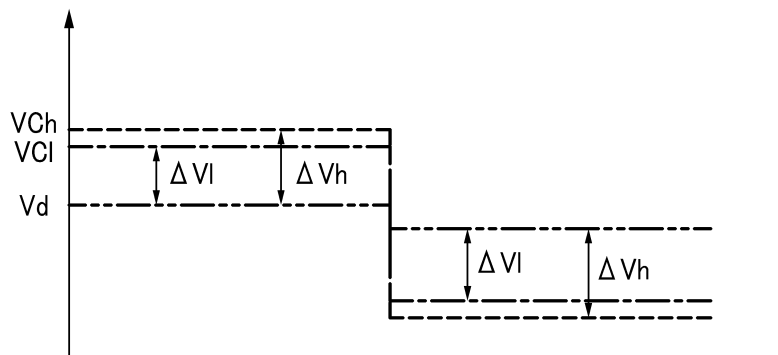
도면3



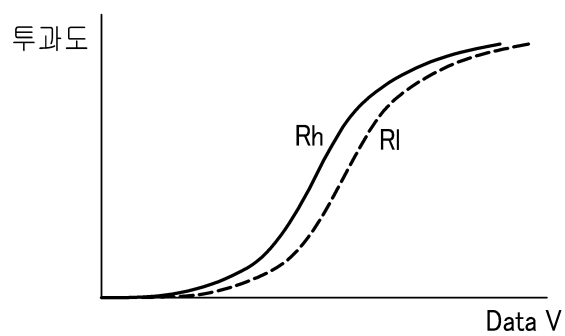
도면4



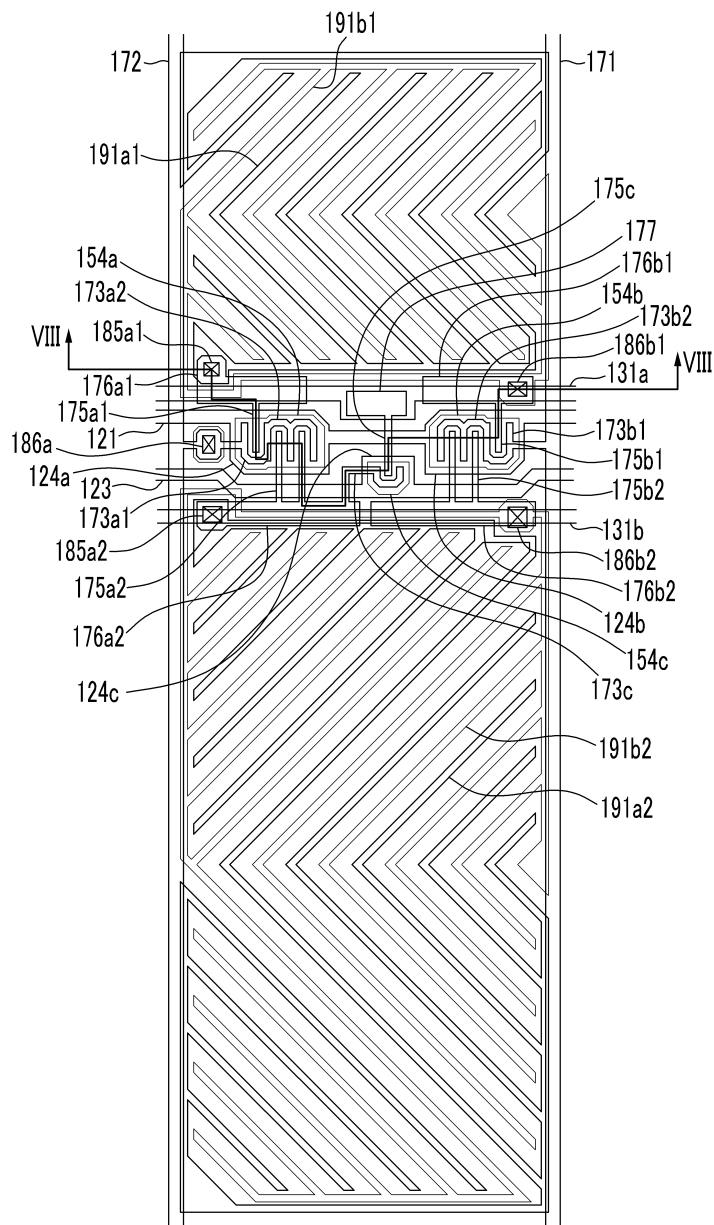
도면5



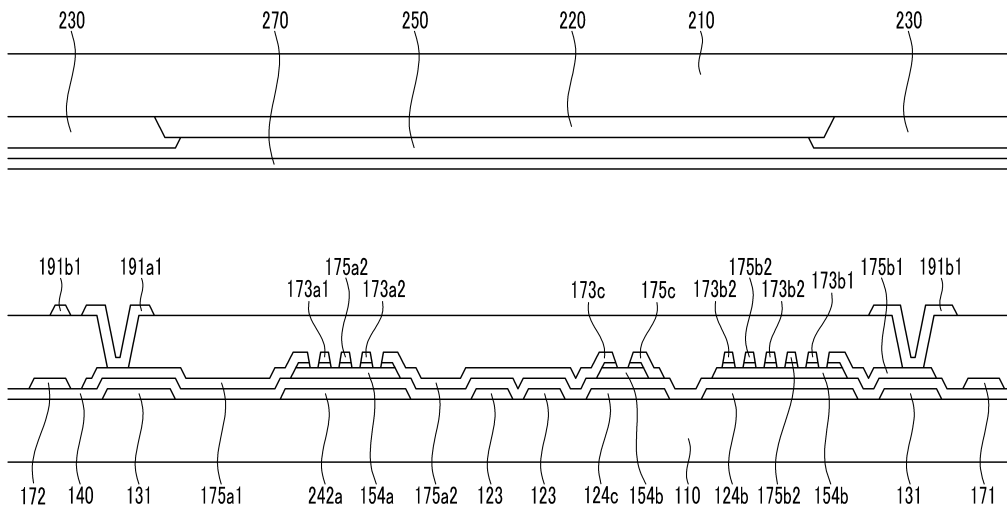
도면6



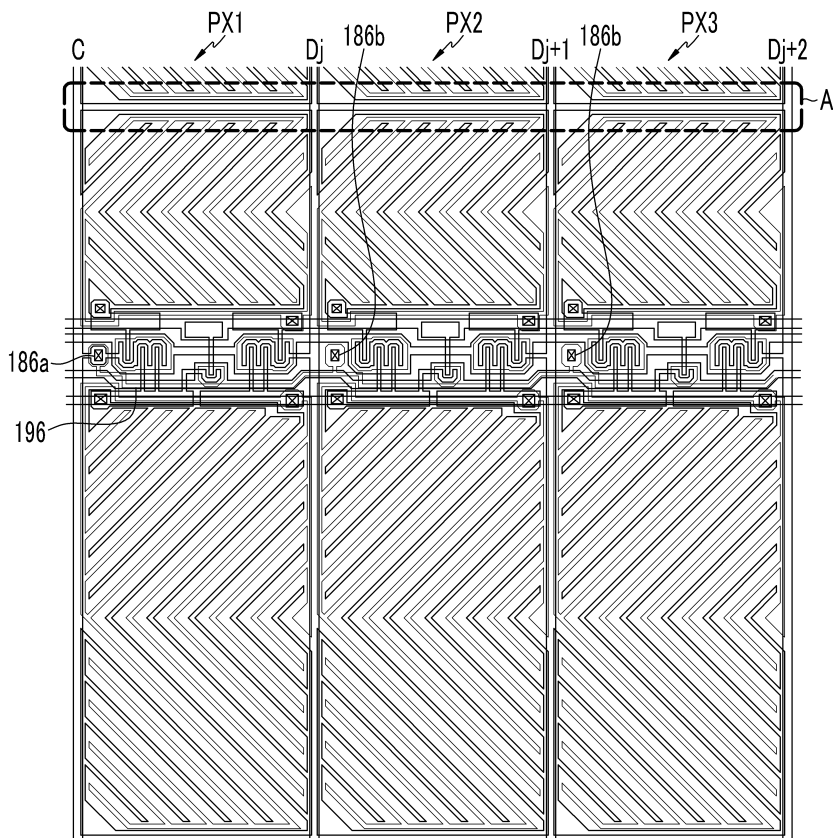
도면7



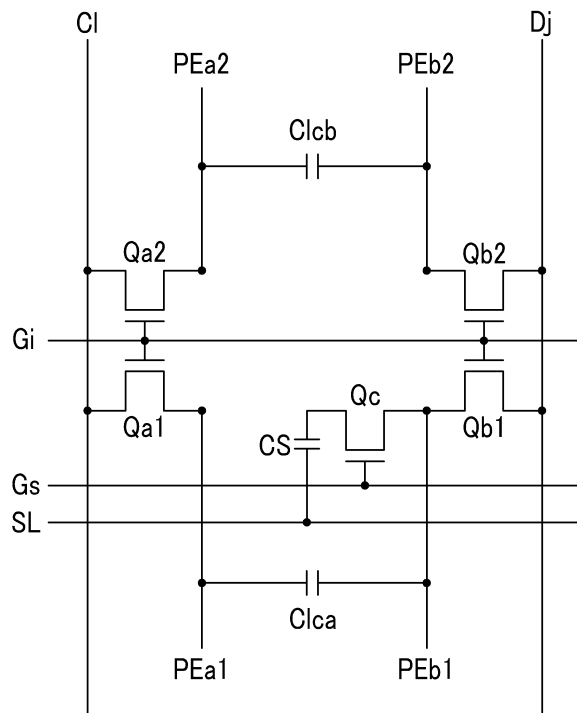
도면8



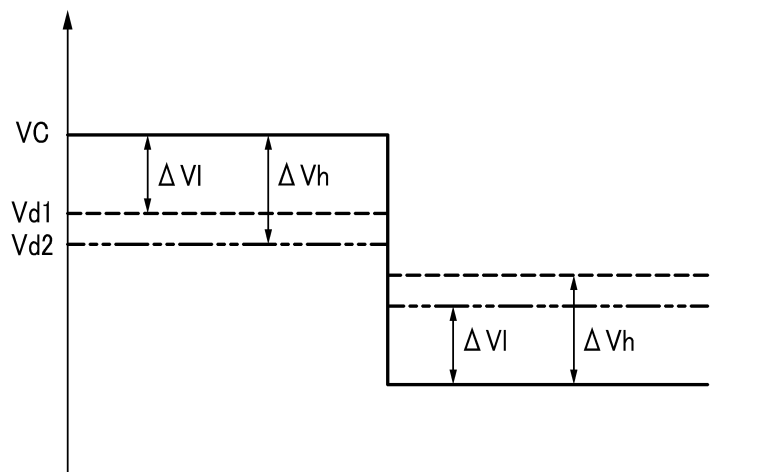
도면9



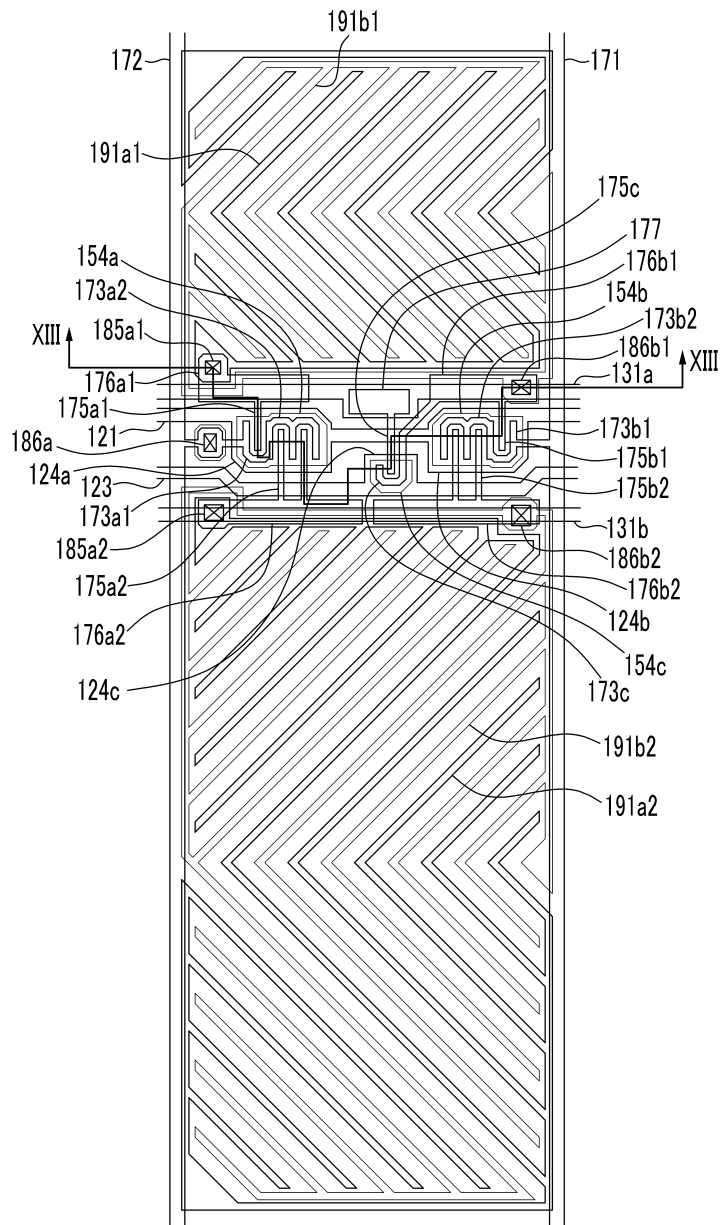
도면10



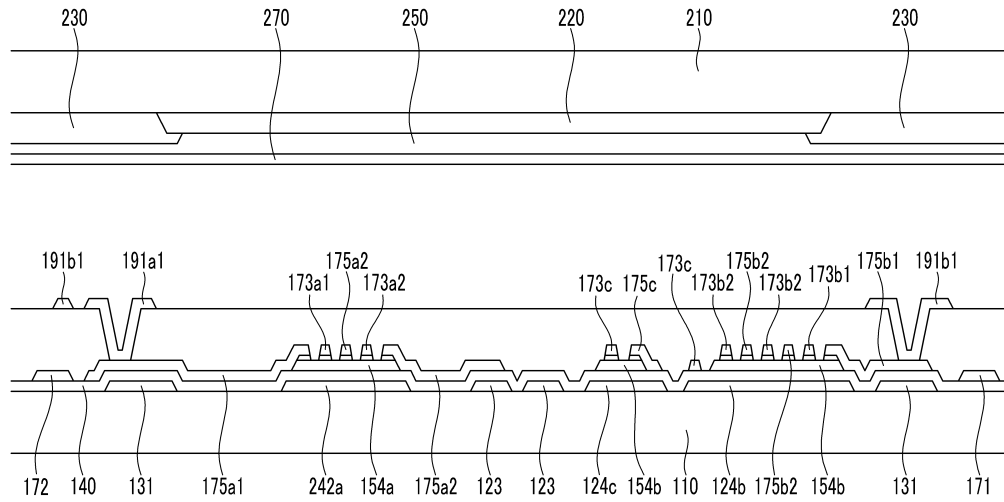
도면11



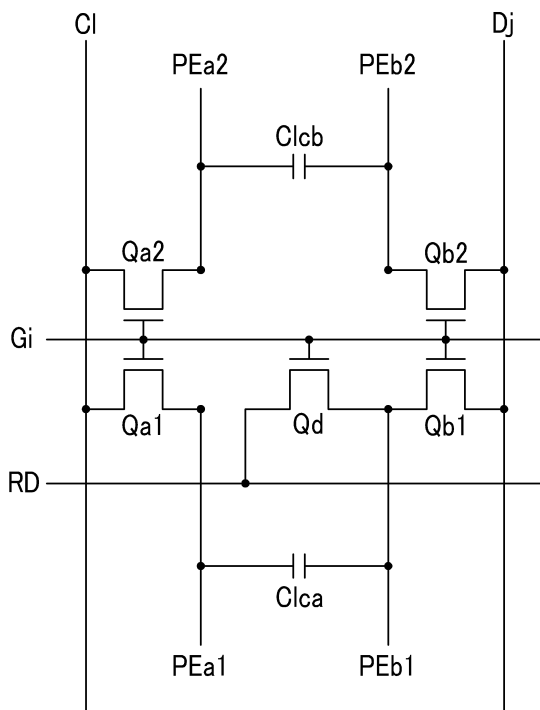
도면12



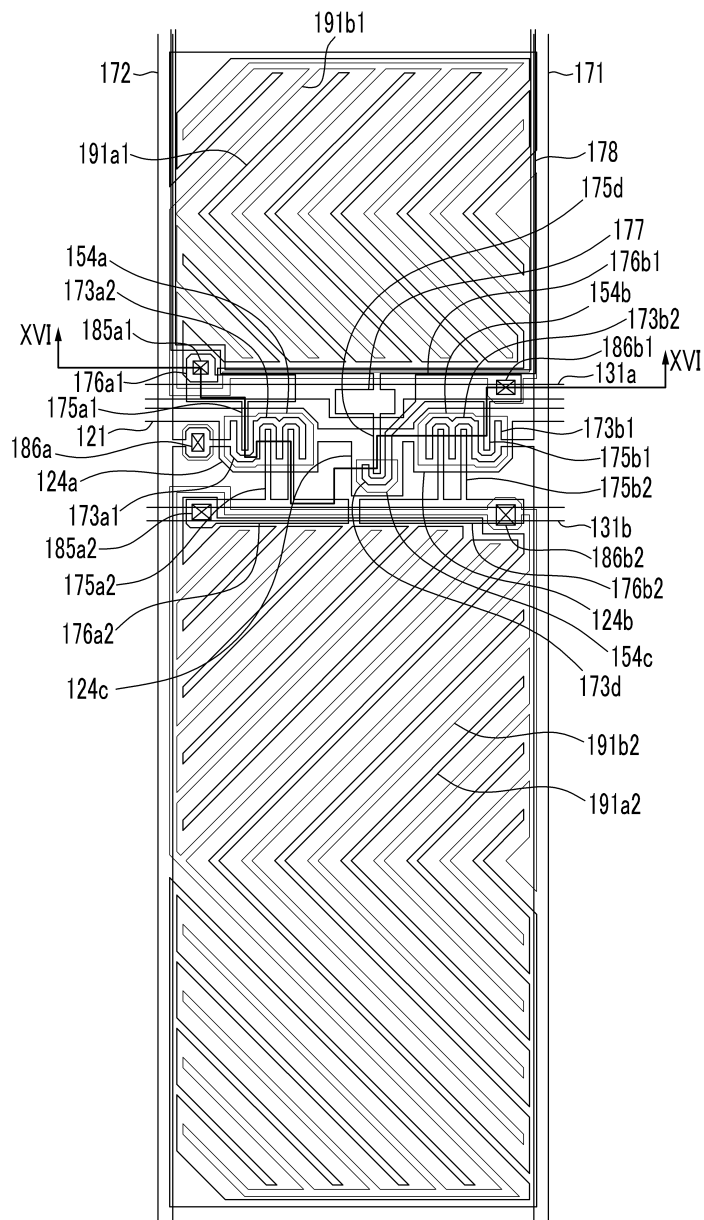
도면13



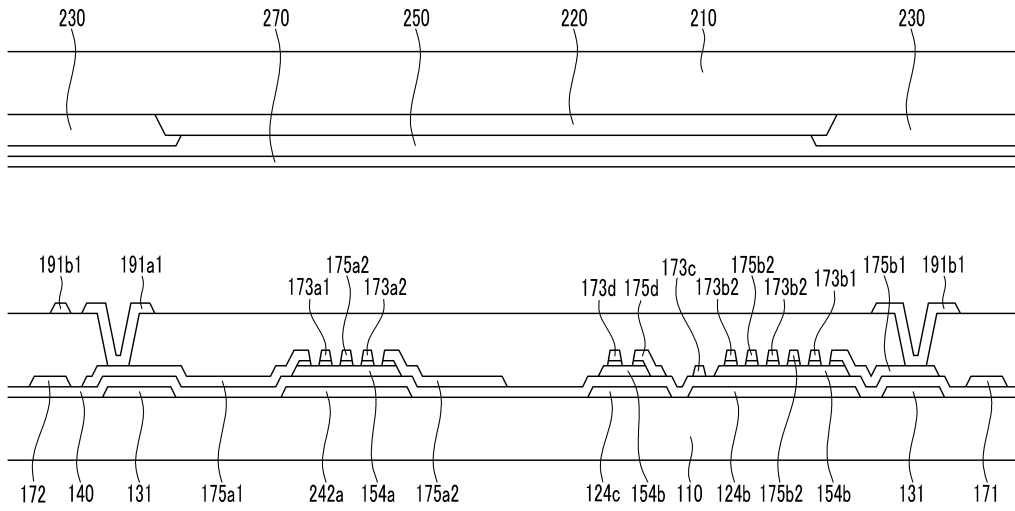
도면14



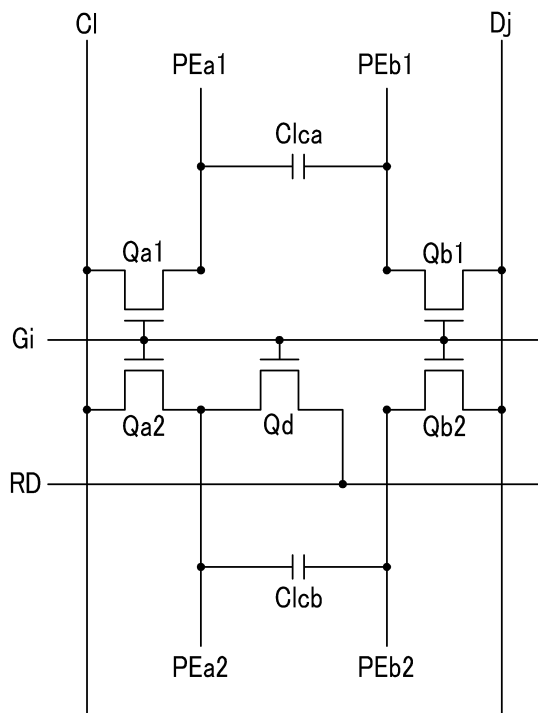
도면15



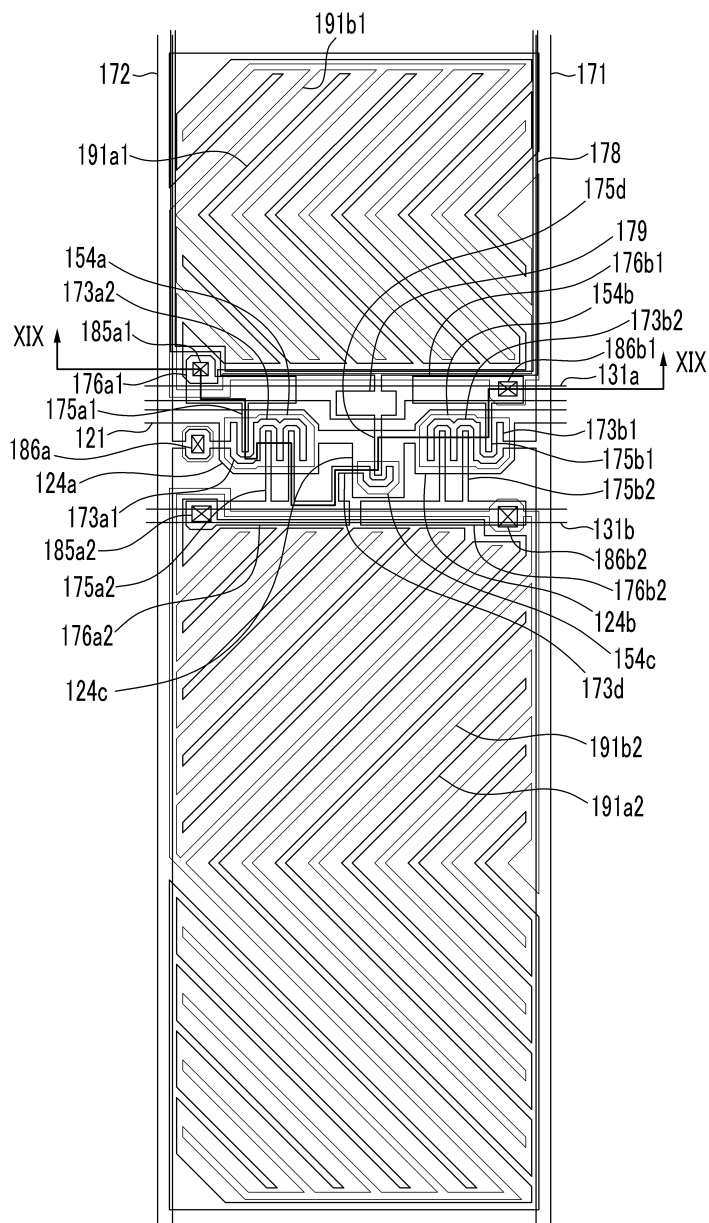
도면16



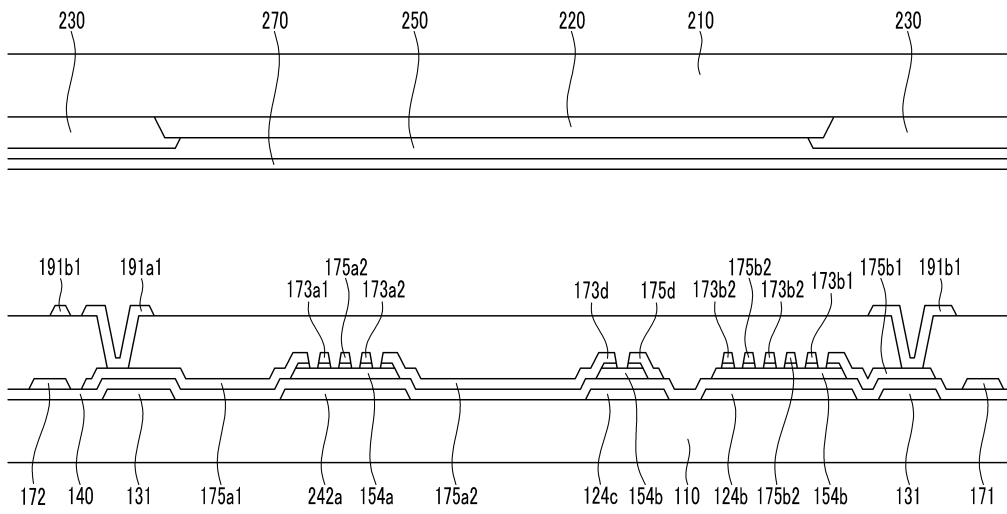
도면17



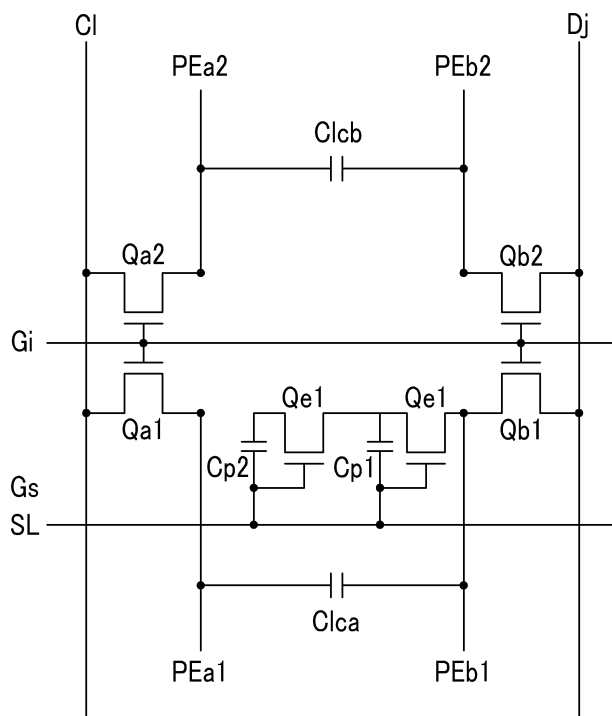
도면18



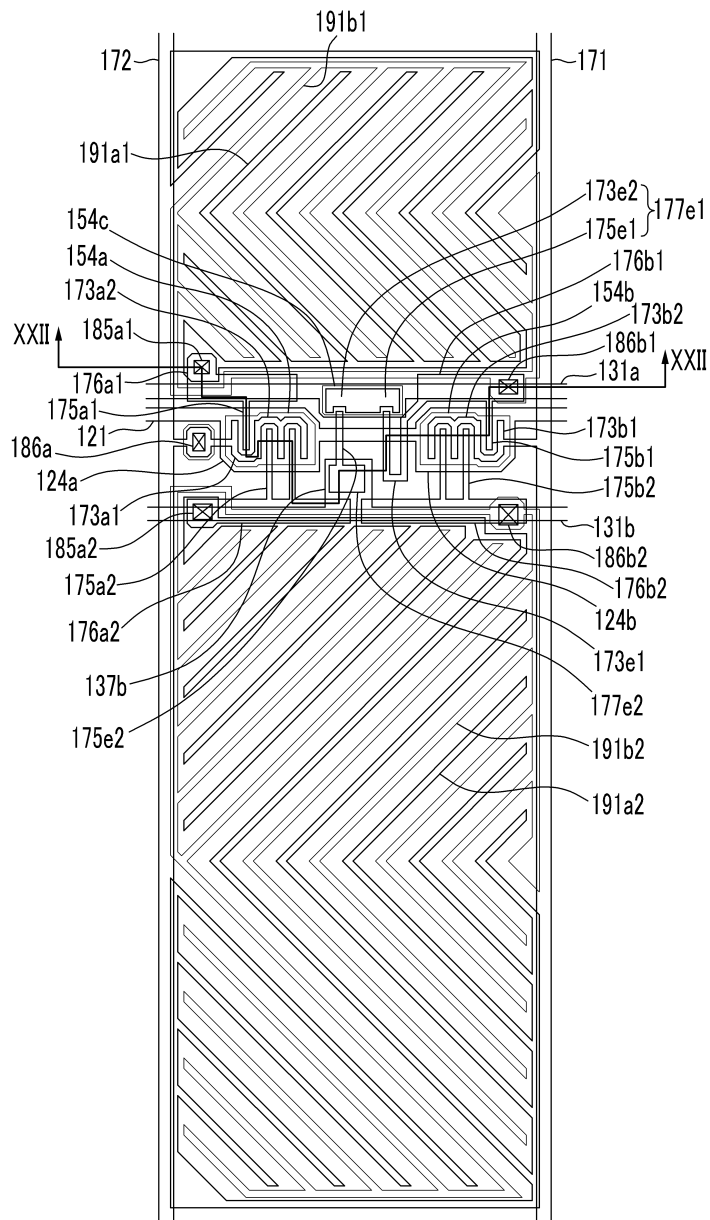
도면19



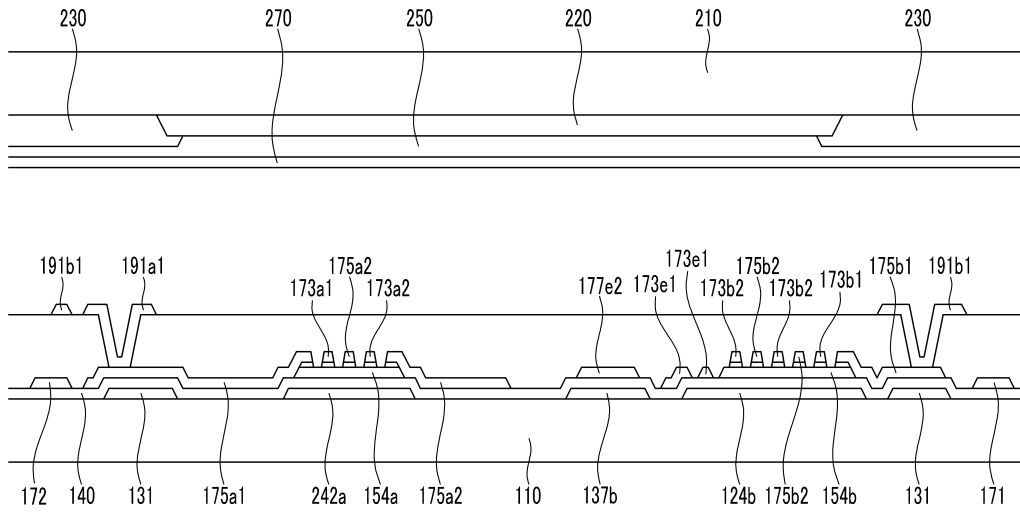
도면20



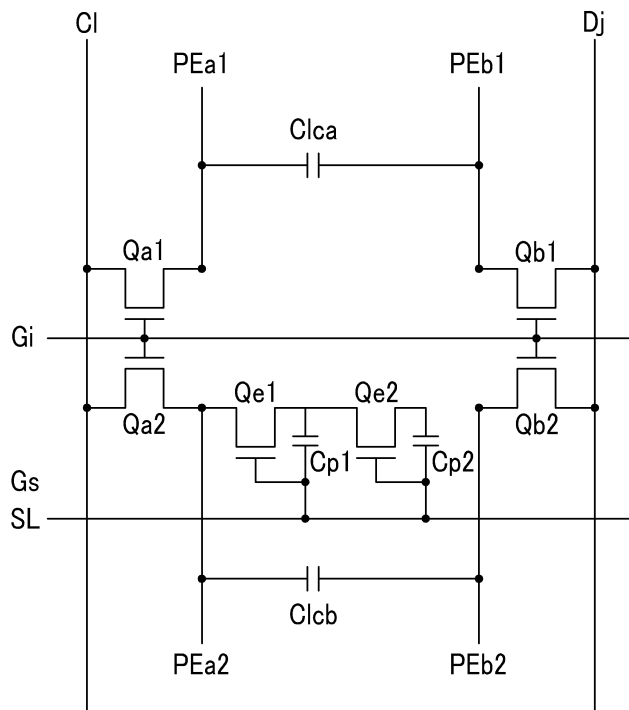
도면21



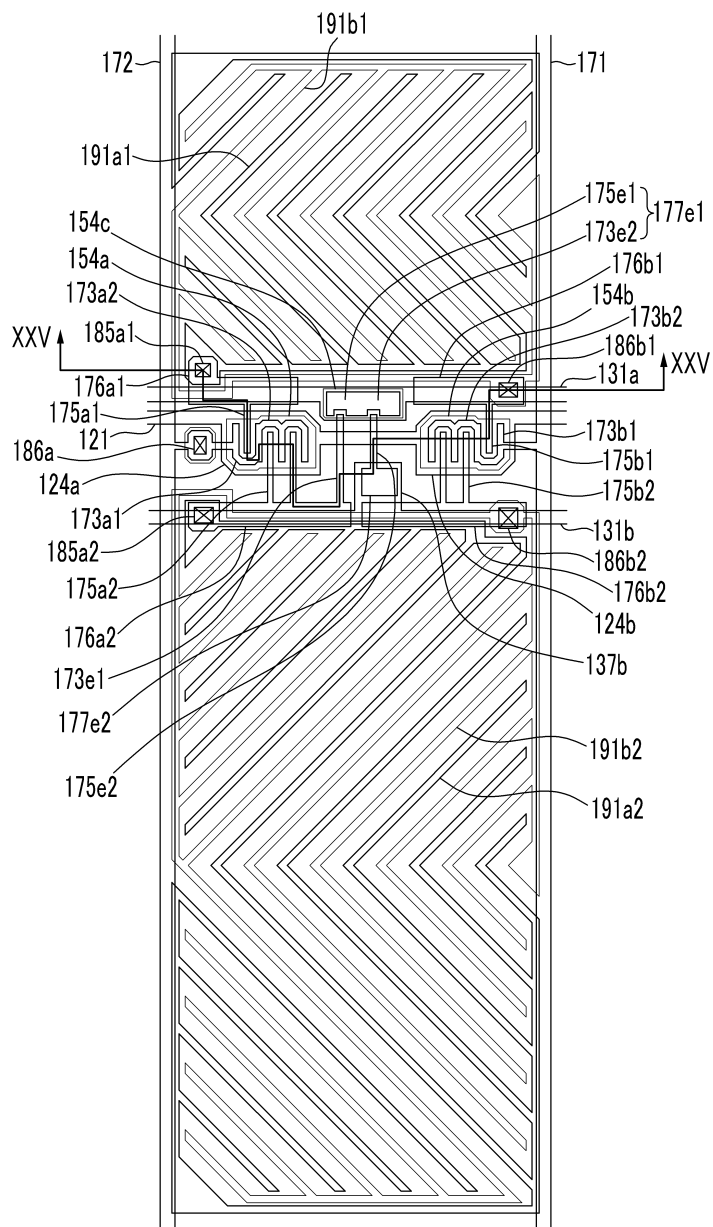
도면22



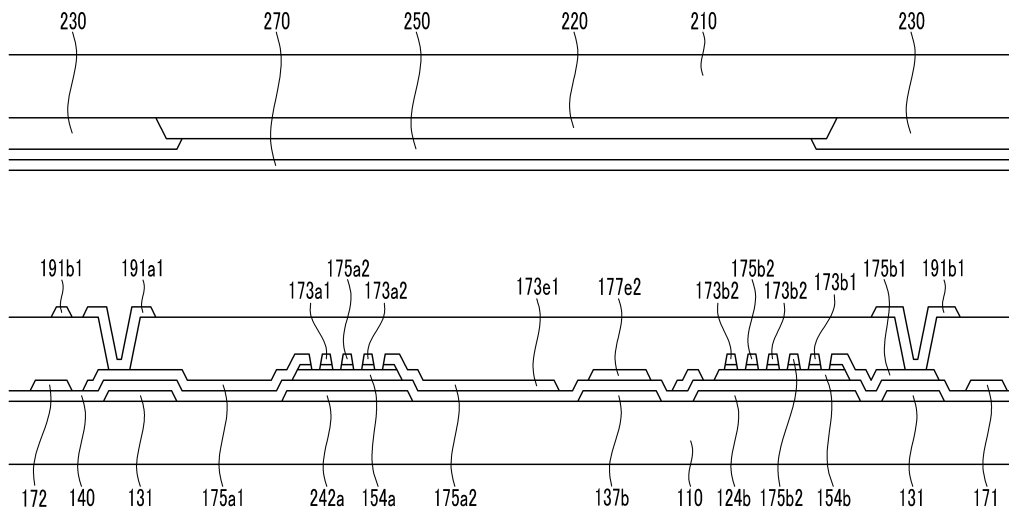
도면23



도면24



도면25



The schematic diagram illustrates a 2T1C1D1 circuit for a 1T1C1D1 memory array. The circuit is connected to four word lines: Cl, Gi, Gs, and CL. It also includes four bit lines: PEa1, PEa2, PEb1, and PEb2, and a data line Dj. The circuit consists of four access transistors (Qa1, Qa2, Qb1, Qb2) and one storage transistor (Qc). Qa1 and Qb1 are connected to Cl and PEa1/PEb1. Qa2 and Qb2 are connected to Gi and PEa2/PEb2. Qc is connected to Gs and CL. Capacitors Clca and Clcb are connected between PEa1 and PEb1, and between PEa2 and PEb2, respectively. Capacitor CS is connected between the storage transistor Qc and CL.