



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0133788
(43) 공개일자 2012년12월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2011-0052629

(22) 출원일자 2011년06월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박만규

서울특별시 은평구 은평터널로2길 13, 수색아파트 201호 (수색동)

홍진철

경기도 파주시 책향기로 420, 책향기마을 신동아 아파트 1107동 902호 (동패동)

(74) 대리인

특허법인로알

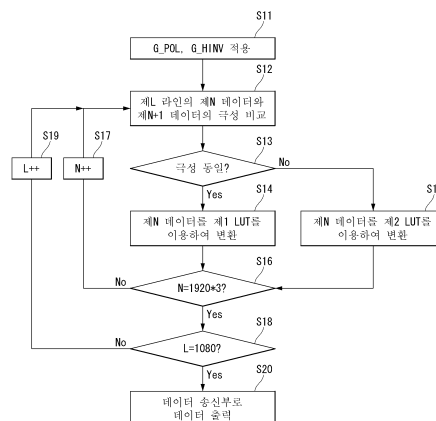
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 데이터전압의 극성 제어 방법과 이를 이용한 액정표시장치

(57) 요약

본 발명은 데이터전압의 극성 제어 방법과 이를 이용한 액정표시장치에 관한 것이다. 본 발명의 데이터전압의 극성 제어 방법은 (a) I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상 데이터의 극성 균형 정도를 분석하고, 상기 I 도트 단위로 디폴트 극성제어신호의 극성 패턴과, 상기 디폴트 극성제어신호의 반전신호로 발생하는 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 단계; (b) 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시패널의 게이트라인의 수) 라인의 제N(N은 $1 \leq N \leq q$ 를 만족하는 자연수, q는 표시패널의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하는 단계; 및 (c) 변환된 상기 영상 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하고 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 단계를 포함하고, 상기 제1 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터는 상기 제2 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터보다 높은 휘도를 갖는 것을 특징으로 한다.

대표도 - 도13



특허청구의 범위

청구항 1

(a) I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상 데이터의 극성 균형 정도를 분석하고, 상기 I 도트 단위로 디폴트 극성제어신호의 극성 패턴과, 상기 디폴트 극성제어신호의 반전신호로 발생하는 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 단계;

(b) 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시패널의 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 표시패널의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하는 단계; 및

(c) 변환된 상기 영상 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하고 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 단계를 포함하고,

상기 제1 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터는 상기 제2 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터보다 높은 휘도를 갖는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 2

제 1 항에 있어서,

상기 (b) 단계는,

상기 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 8비트에서 10비트로 변환함으로써 상기 제N 픽셀 데이터의 감마커브를 비선형에서 선형으로 변환하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 3

제 2 항에 있어서,

상기 (b) 단계는,

상기 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 8비트에서 10비트로 변환하나 상기 제N 픽셀 데이터의 감마커브를 그대로 유지하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 4

제 1 항에 있어서,

상기 (a) 단계는,

입력 영상의 데이터 각각에 대하여 그 데이터의 제조 레벨에 따라 서로 다른 값의 가중치를 부여하는 단계;

n(n은 양의 정수) 번째 I 도트 데이터들에 대하여 가중치가 가장 높은 데이터에 상기 디폴트 극성제어신호의 극성 패턴과, 반전 극성제어신호의 극성 패턴을 각각 적용하는 단계;

상기 디폴트 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제1 정극성 카운트 결과와 제1 부극성 카운트 결과를 산출하고, 상기 반전 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제2 정극성 카운트 결과와 제2 부극성 카운트 결과를 산출하는 단계;

상기 제1 정극성 카운트 결과와 상기 제1 부극성 카운트 결과의 차를 n-1 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제1 누적 카운트 결과를 산출하고, 상기 제2 정극성 카운트 결과와 상기 제2 부극성 카운트 결과의 차를 상기 n-1 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제2 누적 카운트 결과를 산출하는 단계; 및

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과를 비교하여 그 비교 결과에 따라 상기 입력 영상의 극

성 균형 정도를 판단하는 단계를 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 5

제 4 항에 있어서,

상기 (a) 단계는,

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과 중 작은 값의 카운트 결과를 선택하고, 상기 디폴트 극성제어신호의 극성 패턴과 상기 반전 극성제어신호의 극성 패턴 중에서 상기 선택된 카운트 결과가 반영된 극성 패턴을 선택하는 단계; 및

상기 제1 및 제2 누적 카운트 결과가 동일하면 상기 디폴트 극성제어신호의 극성 패턴을 선택하는 단계를 더 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 6

제 1 항에 있어서,

상기 (c) 단계는,

상기 n 번째 I 도트 중에서 첫 번째 도트의 극성을 지시하는 제1 극성 제어 데이터와, 수평 1 도트 인버전의 극성 패턴과 수평 2 도트 인버전의 극성 패턴 중 어느 하나를 지시하는 제2 극성 제어 데이터를 이용하여 상기 선택된 극성제어신호의 극성 패턴을 정의하는 단계;

상기 n 번째 I 도트 데이터들이 전송되는 데이터 버스 전송라인들을 통해 상기 n 번째 I 도트 데이터들과 함께 상기 제1 및 제2 극성 제어 데이터를 소스 드라이브 IC들로 전송하는 단계; 및

상기 소스 드라이브 IC 내에서 상기 제1 및 제2 극성 제어 데이터에 기초하여 상기 선택된 극성제어신호를 복원하여 액정표시패널의 데이터라인들로 출력되는 데이터전압들의 수평 극성을 반전시키는 단계를 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 7

데이터라인들과 게이트라인들이 교차되는 액정표시패널;

I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상의 극성 균형 정도를 분석하여 디폴트 극성제어신호의 극성 패턴과 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 파리논 극성 선택부와, 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 상기 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 상기 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하는 데이터 보상부를 포함하는 타이밍 컨트롤러;

변환된 상기 영상 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하고 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 소스 드라이브 IC를 구비하고,

상기 제1 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터는 상기 제2 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터보다 높은 휘도를 갖는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터 보상부는,

상기 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 8비트에서 10비트로 변환함으로써 상기 제N 픽셀 데이터의 감마커브를 비선형에서 선형으로 변환하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 데이터 보상부는,

상기 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 8비트에서 10비트로 변환하나 상기 제N 픽셀 데이터의 감마커브를 그대로 유지하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 파리눈 극성 선택부는,

입력 영상의 데이터 각각에 대하여 그 데이터의 계조 레벨에 따라 서로 다른 값의 가중치를 부여하는 가중치 부여부;

n (n 은 양의 정수) 번째 I 도트 데이터들에 대하여 가중치가 가장 높은 데이터에 상기 디폴트 극성제어신호의 극성 패턴과, 반전 극성제어신호의 극성 패턴을 각각 적용하는 극성 적용부;

상기 디폴트 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제1 정극성 카운트 결과와 제1 부극성 카운트 결과를 산출하고, 상기 반전 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제2 정극성 카운트 결과와 제2 부극성 카운트 결과를 산출하는 카운터;

상기 제1 정극성 카운트 결과와 상기 제1 부극성 카운트 결과의 차를 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제1 누적 카운트 결과를 산출하고, 상기 제2 정극성 카운트 결과와 상기 제2 부극성 카운트 결과의 차를 상기 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제2 누적 카운트 결과를 산출하는 누적 카운터; 및

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과를 비교하여 그 비교 결과에 따라 상기 입력 영상의 극성 균형 정도를 판단하는 극성 선택부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 극성 선택부는,

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과 중 작은 값의 카운트 결과를 선택하고, 상기 디폴트 극성제어신호의 극성 패턴과 상기 반전 극성제어신호의 극성 패턴 중에서 상기 선택된 카운트 결과가 반영된 극성 패턴을 선택하고, 상기 제1 및 제2 누적 카운트 결과가 동일하면 상기 디폴트 극성제어신호의 극성 패턴을 선택하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 7 항에 있어서,

상기 타이밍 컨트롤러는,

상기 n 번째 I 도트 중에서 첫 번째 도트의 극성을 지시하는 제1 극성 제어 데이터와, 수평 1 도트 인버전의 극성 패턴과 수평 2 도트 인버전의 극성 패턴 중 어느 하나를 지시하는 제2 극성 제어 데이터를 이용하여 상기 선택된 극성제어신호의 극성 패턴을 정의하는 데이터 로직 처리부; 및

상기 n 번째 I 도트 데이터들이 전송되는 데이터 버스 전송라인들을 통해 상기 n 번째 I 도트 데이터들과 함께 상기 제1 및 제2 극성 제어 데이터를 소스 드라이브 IC들로 전송하는 데이터 출력부를 더 포함하고,

상기 소스 드라이브 IC는,

상기 제1 및 제2 극성 제어 데이터에 기초하여 상기 선택된 극성제어신호를 복원하여 액정표시패널의 데이터라인들로 출력되는 데이터전압들의 수평 극성을 반전시키는 것을 특징으로 하는 액정표시장치.

청구항 13

(a) I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상 데이터의 극성 균형 정도를 분석하고,

상기 I 도트 단위로 디폴트 극성제어신호의 극성 패턴과, 상기 디폴트 극성제어신호의 반전신호로 발생되는 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 단계;

(b) 제L (L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시패널의 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 표시패널의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 상기 제N 픽셀 데이터에 제1 논리값의 헤더 데이터를 추가하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 상기 제N 픽셀 데이터에 제2 논리값의 헤더 데이터를 추가하여 변환된 영상 데이터를 출력하는 단계; 및

(c) 상기 변환된 영상 데이터를 상기 헤더 데이터와 상기 영상 데이터로 구분한 후, 상기 헤더 데이터로부터 제1 정극성/부극성 감마보상전압 및 제2 정극성/부극성 감마보상전압 중 어느 하나를 선택하는 선택 신호를 출력하고, 상기 영상 데이터를 상기 선택 신호에 따라 제1 정극성/부극성 아날로그 데이터전압 또는 제2 정극성/부극성 아날로그 데이터전압 중 어느 하나로 변환하며, 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 단계를 포함하고,

동일 계조에서 상기 제1 정극성/부극성 아날로그 데이터 전압은 상기 제2 정극성/부극성 아날로그 데이터 전압보다 높은 휘도를 갖는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 14

제 13 항에 있어서,

상기 (c) 단계는,

제1 감마커브곡선에 기초하여 제1 정극성/부극성 감마기준전압과 제2 감마커브곡선에 기초하여 제2 정극성/부극성 감마기준전압을 발생하는 단계;

상기 제1 정극성/부극성 감마기준전압을 분압하여 상기 제1 정극성/부극성 감마보상전압들을 발생하고, 상기 제2 정극성/부극성 감마기준전압을 분압하여 상기 제2 정극성/부극성 감마보상전압들을 발생하는 단계;

상기 제1 정극성/부극성 감마보상전압들 중 입력되는 상기 영상 데이터의 계조값에 해당하는 제1 정극성/부극성 감마보상전압을 출력하고, 상기 제2 정극성/부극성 감마보상전압들 중 입력되는 상기 영상 데이터의 계조값에 해당하는 제2 정극성/부극성 감마보상전압을 출력하는 단계; 및

제1 논리값의 선택 신호가 입력되는 경우 상기 제1 정극성/부극성 감마보상전압을 출력하고, 제2 논리값의 선택 신호가 입력되는 경우 제2 정극성/부극성 감마보상전압을 출력하는 단계를 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 15

제 14 항에 있어서,

상기 (c) 단계는,

상기 n 번째 I 도트 중에서 첫 번째 도트의 극성을 지시하는 제1 극성 제어 데이터와, 수평 1 도트 인버전의 극성 패턴과 수평 2 도트 인버전의 극성 패턴 중 어느 하나를 지시하는 제2 극성 제어 데이터를 이용하여 상기 선택된 극성제어신호의 극성 패턴을 정의하는 단계;

상기 n 번째 I 도트 데이터들이 전송되는 데이터 버스 전송라인들을 통해 상기 n 번째 I 도트 데이터들과 함께 상기 제1 및 제2 극성 제어 데이터를 소스 드라이브 IC들로 전송하는 단계; 및

상기 소스 드라이브 IC 내에서 상기 제1 및 제2 극성 제어 데이터에 기초하여 상기 선택된 극성제어신호를 복원하고, 상기 선택된 극성제어신호에 따라 상기 제1 정극성/부극성 감마보상전압 중 어느 하나를 출력하거나 상기 제2 정극성/부극성 감마보상전압 중 어느 하나를 출력하여 액정표시패널의 데이터라인들로 출력되는 데이터전압들의 수평 극성을 반전시키는 단계를 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 16

제 13 항에 있어서,

상기 (a) 단계는,

입력 영상의 데이터 각각에 대하여 그 데이터의 제조 레벨에 따라 서로 다른 값의 가중치를 부여하는 단계;

n (n 은 양의 정수) 번째 I 도트 데이터들에 대하여 가중치가 가장 높은 데이터에 상기 디폴트 극성제어신호의 극성 패턴과, 반전 극성제어신호의 극성 패턴을 각각 적용하는 단계;

상기 디폴트 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제1 정극성 카운트 결과와 제1 부극성 카운트 결과를 산출하고, 상기 반전 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제2 정극성 카운트 결과와 제2 부극성 카운트 결과를 산출하는 단계;

상기 제1 정극성 카운트 결과와 상기 제1 부극성 카운트 결과의 차를 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제1 누적 카운트 결과를 산출하고, 상기 제2 정극성 카운트 결과와 상기 제2 부극성 카운트 결과의 차를 상기 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제2 누적 카운트 결과를 산출하는 단계; 및

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과를 비교하여 그 비교 결과에 따라 상기 입력 영상의 극성 균형 정도를 판단하는 단계를 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 17

제 16 항에 있어서,

상기 (a) 단계는,

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과 중 작은 값의 카운트 결과를 선택하고, 상기 디폴트 극성제어신호의 극성 패턴과 상기 반전 극성제어신호의 극성 패턴 중에서 상기 선택된 카운트 결과가 반영된 극성 패턴을 선택하는 단계; 및

상기 제1 및 제2 누적 카운트 결과가 동일하면 상기 디폴트 극성제어신호의 극성 패턴을 선택하는 단계를 더 포함하는 것을 특징으로 하는 데이터전압의 극성 제어 방법.

청구항 18

데이터라인들과 게이트라인들이 교차되는 액정표시패널;

I(I 는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상의 극성 균형 정도를 분석하여 디폴트 극성제어신호의 극성 패턴과 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 파리는 극성 선택부와, 제L(L 은 $1 \leq L \leq p$ 를 만족하는 자연수, p 는 상기 게이트라인의 수) 라인의 제N(N 은 $1 \leq L \leq q$ 를 만족하는 자연수, q 는 상기 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 상기 제N 픽셀 데이터에 제1 논리 값의 헤더 데이터를 추가하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 상기 제N 픽셀 데이터에 제2 논리 값의 헤더 데이터를 추가하여 변환된 영상 데이터를 출력하는 데이터 변환부를 포함하는 타이밍 컨트롤러; 및

상기 변환된 영상 데이터를 상기 헤더 데이터와 상기 영상 데이터로 구분한 후, 헤더 데이터로부터 제1 정극성/부극성 감마보상전압 및 제2 정극성/부극성 감마보상전압 중 어느 하나를 선택하는 선택 신호를 출력하고, 상기 영상 데이터를 상기 선택 신호에 따라 제1 정극성/부극성 아날로그 데이터전압 또는 제2 정극성/부극성 아날로그 데이터전압 중 어느 하나로 변환하며, 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 소스 드라이브 IC를 구비하고,

동일 제조에서 상기 제1 정극성/부극성 아날로그 데이터 전압은 상기 제2 정극성/부극성 아날로그 데이터 전압보다 높은 휘도를 갖는 것을 특징으로 하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 소스 드라이브 IC는,

제1 감마커브곡선에 기초하여 제1 정극성/부극성 감마기준전압과 제2 감마커브곡선에 기초하여 제2 정극성/부극

성 감마기준전압을 발생하는 감마기준전압 발생회로;

상기 제1 정극성/부극성 감마기준전압을 분압하여 상기 제1 정극성/부극성 감마보상전압들을 발생하고, 상기 제2 정극성/부극성 감마기준전압을 분압하여 상기 제2 정극성/부극성 감마보상전압들을 발생하는 분압회로; 및

상기 제1 정극성/부극성 감마보상전압들 중 입력되는 상기 영상 데이터의 계조값에 해당하는 제1 정극성/부극성 감마보상전압을 출력하고, 상기 제2 정극성/부극성 감마보상전압들 중 입력되는 상기 영상 데이터의 계조값에 해당하는 제2 정극성/부극성 감마보상전압을 출력하는 디코더와, 제1 논리 값의 선택 신호가 입력되는 경우 상기 제1 정극성/부극성 감마보상전압을 출력하고, 제2 논리 값의 선택 신호가 입력되는 경우 제2 정극성/부극성 감마보상전압을 출력하는 제3 멀티플렉서를 포함하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 20

제 19 항에 있어서,

상기 타이밍 컨트롤러는,

상기 n 번째 I 도트 중에서 첫 번째 도트의 극성을 지시하는 제1 극성 제어 데이터와, 수평 1 도트 인버전의 극성 패턴과 수평 2 도트 인버전의 극성 패턴 중 어느 하나를 지시하는 제2 극성 제어 데이터를 이용하여 상기 선택된 극성제어신호의 극성 패턴을 정의하는 데이터 로직 처리부; 및

상기 n 번째 I 도트 데이터들이 전송되는 데이터 버스 전송라인들을 통해 상기 n 번째 I 도트 데이터들과 함께 상기 제1 및 제2 극성 제어 데이터를 소스 드라이브 IC들로 전송하는 데이터 출력부를 더 포함하고,

상기 소스 드라이브 IC는,

상기 제1 및 제2 극성 제어 데이터에 기초하여 상기 선택된 극성제어신호를 복원하는 내부 제어신호 발생부; 및

상기 선택된 극성제어신호에 따라 상기 제1 정극성/부극성 감마보상전압 중 어느 하나를 출력하거나 상기 제2 정극성/부극성 감마보상전압 중 어느 하나를 출력하여 액정표시패널의 데이터라인들로 출력되는 데이터전압들의 수평 극성을 반전시키는 멀티플렉서들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 21

제 18 항에 있어서,

상기 파리논 극성 선택부는,

입력 영상의 데이터 각각에 대하여 그 데이터의 계조 레벨에 따라 서로 다른 값의 가중치를 부여하는 가중치 부여부;

n (n 은 양의 정수) 번째 I 도트 데이터들에 대하여 가중치가 가장 높은 데이터에 상기 디폴트 극성제어신호의 극성 패턴과, 반전 극성제어신호의 극성 패턴을 각각 적용하는 극성 적용부;

상기 디폴트 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제1 정극성 카운트 결과와 제1 부극성 카운트 결과를 산출하고, 상기 반전 극성제어신호가 적용된 데이터의 정극성 개수와 부극성 개수를 카운트하여 상기 n 번째 I 도트 데이터들의 제2 정극성 카운트 결과와 제2 부극성 카운트 결과를 산출하는 카운터;

상기 제1 정극성 카운트 결과와 상기 제1 부극성 카운트 결과의 차를 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제1 누적 카운트 결과를 산출하고, 상기 제2 정극성 카운트 결과와 상기 제2 부극성 카운트 결과의 차를 상기 $n-1$ 번째 누적 카운트값에 가산하여 상기 n 번째 I 도트 데이터들에 대한 제2 누적 카운트 결과를 산출하는 누적 카운터; 및

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과를 비교하여 그 비교 결과에 따라 상기 입력 영상의 극성 균형 정도를 판단하는 극성 선택부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

제 21 항에 있어서,

상기 극성 선택부는,

상기 제1 누적 카운트 결과와 상기 제2 누적 카운트 결과 중 작은 값의 카운트 결과를 선택하고, 상기 디폴트 극성제어신호의 극성 패턴과 상기 반전 극성제어신호의 극성 패턴 중에서 상기 선택된 카운트 결과가 반영된 극성 패턴을 선택하고, 상기 제1 및 제2 누적 카운트 결과가 동일하면 상기 디폴트 극성제어신호의 극성 패턴을 선택하는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 데이터전압의 극성 제어 방법과 이를 이용한 액정표시장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다. 액정표시장치는 잔상을 줄이고 액정의 열화를 방지하기 위하여 액정에 인가되는 데이터전압의 극성을 주기적으로 반전시키는 인버전 방식으로 구동되고 있다.

[0004] 액정표시장치가 인버전 방식으로 구동되면 액정셀들에 충전되는 데이터전압의 극성과 입력 영상의 데이터 패턴의 상관 관계에 따라 액정표시장치의 화질이 떨어질 수 있다. 입력 영상에서 도 1과 같은 문제 패턴(problem pattern)의 데이터가 포함되면 액정표시패널에 충전되는 데이터전압들의 극성이 정극성과 부극성이 균형을 맞추지 않고 어느 한 극성이 우세 극성으로 나타날 수 있다. 이 경우에, 우세 극성 방향으로 공통전극에 인가되는 공통전압이 쉬프트된다. 공통전압이 쉬프트되면 액정셀들의 기준 전위가 흔들리기 때문에 관찰자는 액정표시장치에 표시된 화상에서 플리커(flicker)나 스메어(smear) 현상을 느낄 수 있다.

[0005] 도 1은 액정표시장치를 도트 인버전으로 구동할 때, 화질이 떨어질 수 있는 문제 패턴의 데이터 예들을 나타낸다. 도 1을 참조하면, 화이트 계조의 픽셀 데이터(백색)와 블랙 계조의 픽셀 데이터(흑색)가 1 픽셀 단위로 교번하는 패턴을 섀다운 패턴(Shutdown pattern)이라 한다. 픽셀 데이터 각각은 적색 서브픽셀 데이터(R), 녹색 서브픽셀 데이터(G) 및 청색 서브픽셀 데이터(B)를 포함한다. 섀다운 패턴의 검출방법은 입력 영상에 포함된 섀다운 패턴을 카운트하여 그 카운트값에 따라 섀다운 패턴 여부를 판단할 수 있다. 예컨대, 섀다운 패턴의 검출방법은 제N(N은 자연수) 픽셀 데이터가 화이트 계조의 픽셀 데이터이고, 제N+1 픽셀 데이터가 블랙 계조의 픽셀 데이터일 때 문제 픽셀 카운터의 카운트값을 1씩 증가시키고 그 카운트값이 소정의 문턱값 이상일 때 입력 영상의 데이터를 섀다운 패턴으로 판단한다. 섀다운 패턴을 인식하기 위해서는 6 개의 서브픽셀들에서 나타날 수 있는 최대 $(2^3-1) \times 2 = 14$ 개의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 로직 회로가 필요하다.

[0006] 또한, 화이트 계조의 픽셀 데이터(백색)와 블랙 계조의 픽셀 데이터(흑색)가 2 픽셀 단위로 교번하는 패턴을 스메어 패턴(Smear pattern)이라 한다. 픽셀 데이터 각각은 적색 서브픽셀 데이터(R), 녹색 서브픽셀 데이터(G) 및 청색 서브픽셀 데이터(B)를 포함한다. 스메어 패턴의 검출방법은 입력 영상에 포함된 스메어 패턴을 카운트하여 그 카운트값에 따라 스메어 패턴 여부를 판단할 수 있다. 예컨대, 스메어 패턴의 검출방법은 제N 및 N+1 픽셀 데이터들이 화이트 계조의 픽셀 데이터이고, 제N+2 및 제N+3 픽셀 데이터가 블랙 계조의 픽셀 데이터일 때 문제 픽셀 카운터의 카운트값을 1씩 증가시키고 그 카운트값이 소정의 문턱값 이상일 때 입력 영상의 데이터를 스메어 패턴으로 판단한다. 스메어 패턴의 경우에는, 12 개의 서브픽셀 데이터들에서 나타날 수 있는 최대 $(2^6-1) \times 2 = 126$ 개의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 검출 로직 회로가 필요하다.

[0007] 또한, 공통전압(Vcom)의 쉬프트를 유발하는 문제 패턴들은 섀다운 패턴이나 스메어 패턴에 한정되지 않는다. 문제 패턴은 1 픽셀의 데이터들이 화이트 계조의 서브 픽셀 데이터(백색)와 블랙 계조의 서브 픽셀 데이터를 포

합하는 플리커 패턴을 포함한다.

[0008] 종래 기술은 다양한 유형의 문제 패턴을 인식하기 위하여, 문제 패턴 각각을 정의하기 위한 많은 양의 기본 패턴들을 미리 정의하여야 한다. 따라서, 종래 기술은 기본 패턴들을 정의하기 위한 메모리 저장용량이 커야 하고, 그 기본 패턴들과 입력 패턴을 비교하여 그 결과를 문턱값과 비교하는 로직 회로가 필요하므로 하드웨어의 복잡도가 높고 회로 비용이 높다. 또한, 종래 기술은 문제 패턴이 인식되면 공통전압의 쉬프트를 억제하는 방향으로 데이터 전압의 극성을 변경할 수 있는데, 그 극성 변환 시점을 다음 라인 데이터나 혹은 다음 프레임 데이터에 적용할 수 밖에 없다. 데이터 전압의 극성 변환은 문턱값 보다 작은 비문제 패턴들에도 동일하게 적용된다.

[0009] 극성 변환 방법은 문제 패턴 유형에 따라 수평 1 도트 인버전(Horizontal 1 dot inversion)과 수평 2 도트 인버전 중 어느 하나를 선택하는 방법이 있다. 수평 1 도트 인버전은 액정표시패널에서 동일한 수평 표시라인에 나란히 배열된 제 $4k$ (k 는 양의 정수) 내지 제 $4k+4$ 도트의 액정셀들에 충전되는 데이터전압의 극성을 다음과 같이 변환한다. 수평 1 도트 인버전은 제 N (N 은 양의 정수) 프레임기간 동안, 제 $4k$ (k 는 양의 정수)+1 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+2$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+3$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+4$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로 변환한다. 그리고 수평 1 도트 인버전은 제 $N+1$ 프레임기간 동안, 제 $4k+1$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+2$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+3$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+4$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로 각각 변환한다. 따라서, 수평 1 도트 인버전은 액정표시패널에서 동일한 수평 표시라인에 배열된 액정셀들에 충전되는 데이터전압들의 극성을 좌측으로부터 우측 순으로 "+ - + -" 또는 "- + - +"가 반복되는 형태로 변환한다.

[0010] 수평 2 도트 인버전은 액정표시패널에서 동일한 수평 표시라인에 나란히 배열된 제 $4k$ 내지 제 $4k+4$ 도트의 액정셀들에 충전되는 데이터전압의 극성을 다음과 같이 변환한다. 수평 2 도트 인버전은 제 N 프레임기간 동안, 제 $4k+1$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+2$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+3$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+4$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로 변환한다. 그리고 수평 2 도트 인버전은 제 $N+1$ 프레임기간 동안, 제 $4k+1$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로, 제 $4k+2$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+3$ 도트의 액정셀에 충전되는 데이터전압의 극성을 정극성(+)으로, 제 $4k+4$ 도트의 액정셀에 충전되는 데이터전압의 극성을 부극성(-)으로 각각 변환한다. 따라서, 수평 2 도트 인버전은 액정표시패널에서 동일한 수평 표시라인에 배열된 액정셀들에 충전되는 데이터전압들의 극성을 좌측으로부터 우측 순으로 "+ - - +" 또는 "- + + -"가 반복되는 형태로 변환한다.

[0011] 첫다운 패턴에서 수평 1 도트 인버전으로 데이터 전압들의 극성 패턴을 변환하면 도 2와 같이 정극성 데이터전압의 개수가 부극성 데이터전압의 그것에 비하여 약 2 배 정도 많아져 데이터전압의 극성이 정극성 쪽으로 치우치고, 이로 인하여 공통전압(V_{com})이 정극성 데이터전압 쪽으로 쉬프트된다. 동일한 첫다운 패턴에서 데이터의 극성을 수평 2 도트 인버전으로 데이터의 극성을 변환하면 도 3과 같이 정극성 데이터 전압과 부극성 데이터 전압이 균형을 맞추게 되어 공통전압(V_{com})이 쉬프트되지 않는다.

[0012] 그런데, 종래 기술은 수평 1 도트 인버전과 수평 2 도트 인버전 모두에서 공통전압(V_{com})이 쉬프트되는 문제 패턴의 데이터들이 있다. 예를 들어, 종래 수평 1 도트 인버전과 수평 2 도트 인버전 모두는 도 4 및 도 5와 같이 플리커 패턴을 포함한 입력 영상 데이터에 대하여 데이터전압들의 극성 불균일을 초래하므로 공통전압 쉬프트 현상 문제를 개선할 수 없다. 따라서, 종래 기술은 일부 문제 패턴에서 데이터전압들의 극성 균형을 맞추지 못한다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 문제 패턴 인식에 필요한 기본 패턴이 필요 없고 어떠한 유형의 문제 패턴에서도 데이터전압들의 극성 균형 효과를 얻을 수 있을 뿐만 아니라, 극성 균형 효과로 인해 발생할 수 있는 픽셀 간 휘도 차를 보상할 수 있는 데이터전압의 극성 제어 방법과 이를 이용한 액정표시장치를 제공한다.

과제의 해결 수단

- [0014] 본 발명의 데이터전압의 극성 제어 방법은 (a) I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상 데이터의 극성 균형 정도를 분석하고, 상기 I 도트 단위로 디폴트 극성제어신호의 극성 패턴과, 상기 디폴트 극성제어신호의 반전신호로 발생하는 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 단계; (b) 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시패널의 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 표시패널의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하는 단계; 및 (c) 변환된 상기 영상 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하고 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 단계를 포함하고, 상기 제1 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터는 상기 제2 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터보다 높은 휘도를 갖는 것을 특징으로 한다.
- [0015] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되는 액정표시패널; I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상의 극성 균형 정도를 분석하여 디폴트 극성제어신호의 극성 패턴과 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 과리논 극성 선택부와, 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 상기 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 상기 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 제1 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제2 룩-업 테이블을 이용하여 상기 제N 픽셀 데이터를 변환하는 데이터 보상부를 포함하는 타이밍 컨트롤러; 변환된 상기 영상 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하고 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 소스 드라이브 IC를 구비하고, 상기 제1 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터는 상기 제2 룩-업 테이블을 이용하여 변환된 제N 픽셀 데이터보다 높은 휘도를 갖는 것을 특징으로 한다.
- [0016] 본 발명의 데이터전압의 극성 제어 방법은 (a) I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상 데이터의 극성 균형 정도를 분석하고, 상기 I 도트 단위로 디폴트 극성제어신호의 극성 패턴과, 상기 디폴트 극성제어신호의 반전신호로 발생하는 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 단계; (b) 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시패널의 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 표시패널의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 상기 제N 픽셀 데이터에 제1 헤더 데이터를 추가하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 상기 제N 픽셀 데이터에 제2 헤더 데이터를 추가하여 변환된 영상 데이터를 출력하는 단계; 및 (c) 상기 변환된 영상 데이터를 상기 제1 및 제2 헤더 데이터와 상기 영상 데이터로 구분한 후, 상기 제1 및 제2 헤더 데이터로부터 제1 정극성/부극성 감마보상전압 및 제2 정극성/부극성 감마보상전압 중 어느 하나를 선택하는 선택 신호를 출력하고, 상기 영상 데이터를 상기 선택 신호에 따라 제1 정극성/부극성 아날로그 데이터전압 또는 제2 정극성/부극성 아날로그 데이터전압 중 어느 하나로 변환하며, 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 단계를 포함하고, 동일 계조에서 상기 제1 정극성/부극성 아날로그 데이터 전압은 상기 제2 정극성/부극성 아날로그 데이터 전압보다 높은 휘도를 갖는 것을 특징으로 한다.
- [0017] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되는 액정표시패널; I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트 단위로 입력 영상의 극성 균형 정도를 분석하여 디폴트 극성제어신호의 극성 패턴과 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택하는 과리논 극성 선택부와, 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 상기 게이트라인의 수) 라인의 제N(N은 $1 \leq L \leq q$ 를 만족하는 자연수, q는 상기 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한 후, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일한 경우 상기 제N 픽셀 데이터에 제1 헤더 데이터를 추가하고, 상기 제N 픽셀 데이터의 극성과 상기 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 상기 제N 픽셀 데이터에 제2 헤더 데이터를 추가하여 변환된 영상 데이터를 출력하는 데이터 변환부를 포함하는 타이밍 컨트롤러; 및 상기 변환된 영상 데이터를

상기 제1 및 제2 헤더 데이터와 상기 영상 데이터로 구분한 후, 상기 제1 및 제2 헤더 데이터로부터 제1 정극성/부극성 감마보상전압 및 제2 정극성/부극성 감마보상전압 중 어느 하나를 선택하는 선택 신호를 출력하고, 상기 영상 데이터를 상기 선택 신호에 따라 제1 정극성/부극성 아날로그 데이터전압 또는 제2 정극성/부극성 아날로그 데이터전압 중 어느 하나로 변환하며, 상기 선택된 극성 패턴으로 상기 데이터전압의 극성을 반전시켜 액정표시패널의 데이터라인들로 출력하는 소스 드라이브 IC를 구비하고, 동일 계조에서 상기 제1 정극성/부극성 아날로그 데이터 전압은 상기 제2 정극성/부극성 아날로그 데이터 전압보다 높은 휘도를 갖는 것을 특징으로 한다.

발명의 효과

- [0018] 본 발명은 1 도트 단위로 입력 영상의 극성 균형 정도를 분석하여 디폴트 극성제어신호의 극성 패턴과 반전 극성제어신호의 극성 패턴 중 어느 하나를 선택한다. 그 결과, 본 발명은 입력 영상에서 사전에 정의된 문제 패턴을 인식하기 위한 기준 패턴들이 필요 없고, 입력 영상의 데이터 패턴에 따라 데이터의 극성을 상기 1 도트 단위로 극성 패턴을 미세하게 조정하여 어떠한 데이터 패턴에서도 극성 불균형을 미세하게 실시간 보정할 수 있다.
- [0019] 또한, 본 발명은 상기 극성 불균형이 보정된 픽셀 데이터들 간에 극성을 비교하여 상기 픽셀 데이터들 간 극성이 동일한 경우 기준 픽셀 데이터의 휘도를 보상한다. 그 결과, 본 발명은 극성 불균형이 보정된 픽셀 데이터들 간에 발생할 수 있는 휘도 차를 보상할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 수평 1 도트 인버전에서 액정표시장치에서 문제 패턴들을 예시한 도면이다.
- 도 2는 수평 1 도트 인버전에서 섀다운 패턴의 데이터 극성 불균일을 보여주는 도면이다.
- 도 3은 수평 2 도트 인버전에서 섀다운 패턴의 데이터 극성 균일을 보여주는 도면이다.
- 도 4는 수평 1 도트 인버전에서 플리커 패턴의 데이터 극성 불균일을 보여주는 도면이다.
- 도 5는 수평 2 도트 인버전에서 플리커 패턴의 데이터 극성 불균일을 보여주는 도면이다.
- 도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- 도 7은 타이밍 컨트롤러를 상세히 보여주는 블록도이다.
- 도 8은 도 7에 도시된 파리는 극성 선택부를 상세히 보여주는 블록도이다.
- 도 9는 파리는 극성 선택부의 제어 수순을 보여주는 흐름도이다.
- 도 10은 제1 및 제2 극성 제어 데이터를 정의하기 위한 테이블이다.
- 도 11은 Z 인버전 구동시 파리는 극성 제어 수순에 따라 픽셀 데이터 간 휘도 차가 발생할 수 있는 문제 패턴을 보여주는 도면이다.
- 도 12는 본 발명의 제1 실시예에 따른 데이터 보상부를 상세히 보여주는 블록도이다.
- 도 13은 도 12의 데이터 보상부의 제어 수순을 보여주는 흐름도이다.
- 도 14a는 8비트 데이터의 감마커브곡선, 도 14b는 제1 룩-업 테이블에 저장된 10비트 데이터의 감마커브곡선, 도 14c는 제2 룩-업 테이블에 저장된 10비트 데이터의 감마커브곡선을 보여주는 도면이다.
- 도 15는 타이밍 컨트롤러로부터 소스 드라이브 IC들에 전송되는 디지털 데이터 스트림의 일예를 보여 주는 파형도이다.
- 도 16은 본 발명의 제1 실시예에 따른 소스 드라이브 IC를 상세히 보여 주는 블록도이다.
- 도 17은 도 16에 도시된 감마기준전압 발생회로를 상세히 보여주는 회로도이다.
- 도 18은 도 16에 도시된 디지털-아날로그 변환기를 상세히 보여주는 회로도이다.

도 19는 본 발명의 제2 실시예에 따른 데이터 보상부를 상세히 보여주는 블록도이다.

도 20은 도 19의 데이터 보상부의 제어 수순을 보여주는 흐름도이다.

도 21은 본 발명의 제2 실시예에 따른 소스 드라이브 IC를 상세히 보여 주는 블록도이다.

도 22는 도 21에 도시된 감마기준전압 발생회로를 상세히 보여주는 회로도이다.

도 23은 도 21에 도시된 디지털-아날로그 변환기를 상세히 보여 주는 회로도이다.

도 24는 도 22에 도시된 감마기준전압 발생회로에 입력되는 감마기준전압의 감마커브곡선들을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0022] 도 6은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다. 도 6을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(101), 데이터 구동회로(102), 및 게이트 구동회로(103)를 구비한다. 데이터 구동회로(102)는 다수의 소스 드라이브 IC들(Integrated Circuit)을 포함한다. 게이트 구동회로(103)는 다수의 게이트 드라이브 IC들을 포함한다.
- [0023] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널(100)은 데이터라인들(105)과 게이트라인들(106)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(Clc)을 포함한다. 액정표시패널(100)의 하부 유리기관에는 TFT 어레이가 형성된다. TFT 어레이는 데이터라인들(105)과 게이트라인들(106)의 교차부에 형성된 액정셀들(Clc), 액정셀들의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러필터 어레이가 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0024] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0025] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0026] 타이밍 컨트롤러(101)는 시스템 보드(104)로부터 입력된 8비트(Bits)의 디지털 비디오 데이터(RGB)를 픽셀 간 휘도 차가 보상된 10비트의 디지털 비디오 데이터(RGB')로 변환하여 데이터 구동회로(102)에 공급한다. 또는, 타이밍 컨트롤러(101)는 시스템 보드(104)로부터 입력된 8비트의 디지털 비디오 데이터(RGB)를 휘도 보상이 필요한지 구분해주는 헤더부를 포함한 10비트의 디지털 비디오 데이터(RGB')로 변환하여 데이터 구동회로(102)에 공급한다.
- [0027] 타이밍 컨트롤러(101)는 시스템 보드(104)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(102)와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

- [0028] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생하는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 타이밍 컨트롤러(101)는 게이트 타이밍 제어신호를 별도의 제어신호 버스 전송라인을 통해 게이트 드라이브 IC들에 전송한다.
- [0029] 데이터 타이밍 제어신호는 제1 극성 제어 데이터(G_POL), 제2 극성 제어 데이터(G_HINV), 소스 출력 인에이블신호(Source Output Enable, SOE), 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2) 등을 포함한다. 제1 극성 제어 데이터(G_POL)는 동일 수평 라인에 이웃하게 배열된 I(I는 3~18 사이의 3의 배수 중 어느 하나) 도트의 액정셀들(C1c)에 충전될 데이터전압들 중에서 최좌측의 제1 데이터전압의 극성을 제어한다. 제2 극성 제어 데이터(G_HINV)는 동일 수평 라인에 이웃하게 배열된 I 도트의 액정셀들(C1c)에 충전될 데이터전압들의 수평 극성 패턴을 제어한다. 이하의 실시예에서, I 도트는 6 도트를 예로 들어 설명되지만, 3 도트, 9 도트, 12 도트, 15 도트, 18 도트도 본 발명의 극성 패턴 변환 단위로 적용 가능하므로 6 도트에 한정되지 않는다는 것에 주의하여야 한다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC들의 출력 타이밍을 제어한다. 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)는 멀티 채널을 지원하는 소스 드라이브 IC들에 입력되어 그 소스 드라이브 IC들의 출력 채널 개수를 선택하고 비선택된 출력 채널을 디스에이블시킨다. 타이밍 컨트롤러(101)는 제1 및 제2 극성 제어 데이터(G_POL, G_HINV), 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2) 등의 데이터 타이밍 제어신호를 10비트의 디지털 비디오 데이터(RGB')와 함께 데이터 버스 전송라인들을 통해 소스 드라이브 IC들에 전송한다. 타이밍 컨트롤러(101)는 소스 출력 인에이블신호(SOE)를 별도의 제어신호 버스 전송라인을 통해 소스 드라이브 IC들에 전송한다.
- [0030] 타이밍 컨트롤러(101)는 내부에서 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)를 발생한다. 타이밍 컨트롤러(101)는 입력 영상 데이터 각각에 계조 레벨에 따른 가중치를 부여하고 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)를 가산 적용하여 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL) 각각에서 액정표시패널(100)의 액정셀들에 충전될 데이터전압들의 극성 불균형 정도를 예측한다. 그리고 타이밍 컨트롤러(101)는 액정표시패널(100)의 액정셀들에 충전될 데이터전압들의 정극성과 부극성이 균형을 이루도록 I 도트 단위로 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)를 선택적으로 적용한다.
- [0031] 디폴트 극성제어신호(POL)는 액정표시패널에서 동일 수평 표시라인에 배열된 액정셀들에 충전되는 데이터전압들의 수평 극성 패턴으로서, 타이밍 컨트롤러(101) 내에서 수평 1 도트 인버전 또는 수평 2 도트 인버전 패턴으로 발생된다. 반전 극성제어신호(/POL)는 그 위상이 디폴트 극성제어신호(POL)의 역위상이며, 수평 1 도트 인버전 또는 수평 2 도트 인버전 패턴으로 발생된다. 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)의 정보는 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)로 코딩되어 소스 드라이브 IC들에 전송되고, 소스 드라이브 IC들은 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)에 응답하여 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)를 복원한다.
- [0032] 데이터 구동회로(102)는 데이터 타이밍 제어신호에 응답하여 10비트의 디지털 비디오 데이터(RGB')를 래치한다. 그리고 데이터 구동회로(102)는 수직 극성제어신호(POL)에 응답하여 10비트의 디지털 비디오 데이터(RGB')를 아날로그 정극성/부극성 감마보상전압(PGMA, NGMA)으로 변환하여 정극성/부극성 데이터전압을 생성하고, 수평 극성제어신호(HINV)에 따라 결정된 수평 도트 인버전의 극성패턴을 갖는 데이터전압들을 동시에 출력한다.
- [0033] 게이트 구동회로(103)는 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들(106)에 순차적으로 공급한다.
- [0034] 도 7은 타이밍 컨트롤러(101)를 상세히 보여 주는 블록도이다. 도 7을 참조하면, 타이밍 컨트롤러(101)는 데이터 수신부(11), 내부 알고리즘 처리부(12), 파리닝 극성 선택부(13), 데이터 로직 처리부(14), 데이터 보상부(15), 데이터 송신부(16) 등을 포함한다.
- [0035] 데이터 수신부(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스 또는 TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 시스템 보드(104)로부터 디지털 비디오 데이터(RGB), 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 외

부 타이밍신호를 입력 받는다.

- [0036] 내부 알고리즘 처리부(12)는 FRC(Frame rate control), ODC(Over Driving Control) 알고리즘, MEMC(Motion Estimation/Motion Compensation) 알고리즘, BDI(Black data insertion) 등 미리 설정된 알고리즘을 처리한다. 또한, 내부 알고리즘 처리부(12)는 시스템 보드(104)로부터 입력된 타이밍 신호를 카운트하여 게이트 타이밍 신호, 데이터 타이밍 신호, 및 디폴트 극성제어신호(POL)를 발생한다.
- [0037] 파리는 극성 선택부(13)는 도 8 및 도 9와 같이 내부 알고리즘 처리부(12)로부터 입력된 디지털 비디오 데이터(RGB)의 계조 레벨에 따라 가중치를 부여하고, 가중치가 부여된 I 도트 단위로 데이터들에 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)의 극성 패턴을 가상 적용한다. 파리는 극성 선택부(13)는 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)가 적용된 I 도트의 데이터들의 정극성 개수와 부극성 개수를 카운트하고, 그 카운트 결과에 이전 카운트 결과를 반영하여 극성 불균형 정도를 판단한다. 파리는 극성 선택부(13)는 디폴트 극성제어신호(POL)의 극성 패턴이 적용된 I 도트 데이터의 누적 극성 카운트 결과와, 반전 극성제어신호(/POL)의 극성 패턴이 적용된 I 도트 데이터의 누적 극성 카운트 결과 중 작은 것을 지시하는 극성선택 제어신호(CTRPOL)를 발생한다. 그리고 파리는 극성 선택부(13)는 극성선택 제어신호(CTRPOL)에 응답하여 I 도트 단위로 데이터의 극성을 미세하게 조정하기 위한 파리는 극성 선택신호(FEPOL)를 발생한다.
- [0038] 데이터 로직 처리부(14)는 내부 알고리즘 처리부(12)로부터 디지털 비디오 데이터(RGB)를 입력받고, 파리는 극성 선택부(13)로부터 파리는 극성 선택신호(FEPOL)를 입력받는다. 데이터 로직 처리부(14)는 소스 드라이브 IC들에 의해 파리는 극성 선택신호(FEPOL)가 복원될 수 있도록 파리는 극성 선택신호(FEPOL)의 수평 극성 반전 주기와 I 도트의 첫 번째 극성을 지시하는 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)를 발생한다. 데이터 로직 처리부(14)는 디지털 비디오 데이터(RGB)와, 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)를 데이터 보상부(15)에 공급한다. 또한, 데이터 로직 처리부(14)는 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2) 등의 제어 데이터를 데이터 송신부(16)에 공급한다.
- [0039] 데이터 보상부(15)는 데이터 로직 처리부(14)로부터 입력된 디지털 비디오 데이터(RGB)에 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)를 가상 적용한다. 데이터 보상부(15)는 제L(L은 $1 \leq L \leq p$ 를 만족하는 자연수, p는 표시 패널(10)의 게이트라인의 수) 라인의 제N(N은 $1 \leq N \leq q$ 를 만족하는 자연수, q는 표시패널(10)의 데이터라인의 수) 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한다. 데이터 보상부(15)는 제L 라인의 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성에 따라 제N 픽셀 데이터를 다르게 변환한다. 데이터 보상부(15)는 10비트의 디지털 비디오 데이터(RGB'), 제1 및 제2 극성 제어 데이터(G_POL, G_HINV)를 데이터 송신부(16)에 공급한다.
- [0040] 데이터 송신부(16)는 데이터 로직 처리부(14) 및 데이터 보상부(15)로부터 입력되는 10비트의 디지털 비디오 데이터(RGB'), 제1 및 제2 극성 제어 데이터(G_POL, G_HINV), 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2) 등의 데이터를 도 15와 같이 mini-LVDS 인터페이스 규격으로 데이터 버스 전송라인들을 통해 소스 드라이브 IC들로 전송한다.
- [0041] 도 8은 도 7에 도시된 파리는 극성 선택부를 상세히 보여주는 블록도이다. 도 9는 파리는 극성 선택부의 제어 수순을 보여주는 흐름도이다. 도 8 및 도 9를 참조하면, 파리는 극성 선택부(13)는 가중치 부여부(31), 제1 극성 적용부(32), 제2 극성 적용부(33), 제1 카운터(34), 제2 카운터(35), 제1 누적 카운터(36), 제2 누적 카운터(37), 극성 선택부(38), 제1 멀티플렉서(39) 등을 포함한다.
- [0042] 가중치 부여부(31)는 기수 픽셀의 RGB 디지털 비디오 데이터와 우수 픽셀의 RGB 디지털 비디오 데이터 각각에 계조 레벨에 따른 가중치를 부여 한다.(S1) 가중치 부여부(31)는 화이트 계조 데이터에 가중치 '1'을 부여하고 블랙 계조 데이터에 가중치 '0'을 부여한다. 화이트 계조 데이터와 블랙 계조 데이터는 최상위(Most Significant Bit, MSB)로 판단될 수 있다. 가중치 부여부(31)는 최상위 2 비트가 "11₂"인 데이터를 화이트 계조 데이터로 판단하고, 최상위 2 비트가 "00₂"인 데이터를 블랙 계조 데이터로 판단한다.
- [0043] 제1 극성 적용부(32)는 데이터마다 부여된 가중치(W6RGB)에 디폴트 극성제어신호(POL)의 극성 패턴을 가상 적용한다.(S2) 제2 극성 적용부(33)는 데이터마다 부여된 가중치(W6RGB)에 부여된 가중치에 반전 극성제어신호(/POL)의 극성 패턴을 가상 적용한다.(S3) 제1 및 제2 극성 적용부(32, 33)는 블랙 계조 데이터의 가중치는 '0'이므로 화이트 계조 데이터에만 극성제어신호(POL 또는 /POL)의 극성 패턴을 적용한다. 반전 극성제어신호

(/POL)는 디폴트 극성제어신호(POL)를 반전시키는 인버터를 통해 출력된다.

- [0044] 제1 카운터(34)는 제1 극성 적용부(32)로부터 입력된 극성 적용 결과들에 대하여 I 도트 단위로 화이트 계조 데이터의 정극성 개수와 부극성 개수를 카운트한 결과인 제1 정극성 카운트 결과와 제1 부극성 카운트 결과를 제1 누적 카운터(36)에 공급한다.(S4) 제2 카운터(35)는 제2 극성 적용부(33)로부터 입력된 극성 적용 결과들에 대하여 I 도트 단위로 화이트 계조 데이터의 정극성 개수와 부극성 개수를 카운트한 결과인 제2 정극성 카운트 결과와 제2 부극성 카운트 결과를 제2 누적 카운터(37)에 공급한다.(S5)
- [0045] 제1 누적 카운터(36)는 디폴트 극성제어신호(POL)의 극성 패턴이 적용된 제1 이전 카운트 결과에, 제1 카운터(34)로부터 입력된 제1 정극성 카운트 결과와 제1 부극성 카운트 결과의 차를 가산하여 제1 누적 카운트 결과를 출력한다.(S6) 제2 누적 카운터(37)는 반전 극성제어신호(/POL)의 극성 패턴이 적용된 제2 이전 카운트 결과에, 제2 카운터(35)로부터 입력된 제2 정극성 카운트 결과와 제2 부극성 카운트 결과의 차를 가산하여 제2 누적 카운트 결과를 출력한다.(S7) 제n I 도트 데이터에 대한 제1 정극성 카운트 결과를 P-count#1(n), 제1 부극성 카운트 결과를 N-count#1(n), 제2 정극성 카운트 결과를 P-count#2(n), 제2 부극성 카운트 결과를 N-count#2(n), 제1 누적 카운트 결과를 Accum-count#1(n), 제2 누적 카운트 결과를 Accum-count#2(n), 제n-1 I 도트 데이터에 대하여 최종 선택된 극성 패턴의 이전 누적 카운트 결과를 Accum-count(n-1)라 할 때, $Accum-count\#1(n) = Accum-count(n-1) + P-count\#1(n) - N-count\#1(n)$ 이고, $Accum-count\#2(n) = Accum-count(n-1) + P-count\#2(n) - N-count\#2(n)$ 이다.
- [0046] 극성 선택부(38)는 이전 누적 카운트 결과를 제1 및 제2 누적 카운터(36, 37)에 입력한다. 극성 선택부(38)는 제1 누적 카운트 결과와 제2 누적 카운트 결과 중 최소값을 선택하고, 최소값에 적용된 극성 패턴을 지시하는 극성선택 제어신호(CTRPOL)를 발생한다.(S8) 제1 멀티플렉서(39)는 극성 선택부(38)로부터 입력된 극성선택 제어신호(CTRPOL)에 응답하여 디폴트 극성제어신호(POL)와 반전 극성제어신호(/POL)를 선택하여 파리는 극성 선택 신호(FEPOL)를 발생한다. 파리는 극성 선택신호(FEPOL)는 액정표시패널(100)에서 동일 수평라인에 이웃하게 배치된 액정셀들에 대하여 I 도트 단위로 데이터전압의 극성을 미세하게 제어하는 최종 극성제어신호로서 데이터로직 처리부(14)에 입력된다.
- [0047] 도 10은 제1 및 제2 극성 제어 데이터를 정의하기 위한 테이블이다. 도 10을 참조하면, 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 하이 논리이면 극성제어신호(POL 또는 /POL)에서 I 도트의 첫 번째 극성을 부극성(-)으로 발생한다. 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 로우 논리이면 극성제어신호(POL 또는 /POL)에서 I 도트의 첫 번째 극성을 정극성(+)으로 발생한다. 소스 드라이브 IC는 제2 극성 제어 데이터(G_HINV)가 하이 논리이면 수평 극성제어신호(HINV)를 수평 2 도트 인버전(H2Dot) 형태로 발생하고, 제2 극성 제어 데이터(G_HINV)가 로우 논리이면 수평 극성제어신호(HINV)를 수평 1 도트 인버전(H1Dot) 형태로 발생한다. 소스 드라이브 IC는 도 10의 테이블들을 기초로 하여 타이밍 콘트롤러(101)로부터 입력된 제1 및 제2 극성 제어 데이터들(G_POL, G_HINV)에 응답하여 데이터라인들로 출력되는 데이터전압의 극성을 변환한다.
- [0048] 예를 들어, 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 하이 논리이고 제2 극성 제어 데이터(G_HINV)가 하이 논리이면 I 도트가 6 도트일 때 수평으로 이웃하는 6 개의 액정셀들에 충전될 데이터전압들의 극성을 정극성부터 시작하는 수평 2 도트 인버전(+ - - + + -)으로 변환한다. 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 하이 논리이고 제2 극성 제어 데이터(G_HINV)가 로우 논리이면 I 도트가 6 도트일 때 수평으로 이웃하는 6 개의 액정셀들에 충전될 데이터전압들의 극성을 정극성부터 시작하는 수평 1 도트 인버전(+ - + - + -)으로 변환한다. 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 로우 논리이고 제2 극성 제어 데이터(G_HINV)가 하이 논리이면 I 도트가 6 도트일 때 수평으로 이웃하는 6 개의 액정셀들에 충전될 데이터전압들의 극성을 부극성부터 시작하는 수평 2 도트 인버전(- + + - - +)으로 변환한다. 소스 드라이브 IC는 제1 극성 제어 데이터(G_POL)가 로우 논리이고 제2 극성 제어 데이터(G_HINV)가 로우 논리이면 I 도트가 6 도트일 때 수평으로 이웃하는 6 개의 액정셀들에 충전될 데이터전압들의 극성을 부극성부터 시작하는 수평 1 도트 인버전(- + - + - +)으로 변환한다.
- [0049] 도 11은 Z 인버전 구동시 파리는 극성 제어 수순에 따라 픽셀 데이터 간 휘도 차가 발생할 수 있는 문제 패턴을 보여주는 도면이다. 도 11을 참조하면, Z 인버전의 경우 소스 드라이브 IC는 컬럼 라인마다 데이터전압의 극성을 인버전하는 컬럼 인버전 방식으로 구동되나, 표시패널(10)의 픽셀들은 도트마다 데이터전압의 극성을 인버전

하는 도트 인버전 방식으로 구동되는 것이 특징이다. 따라서, Z 인버전 방식은 도트 인버전 방식으로 구동함에 도 소비전력을 절감할 수 있는 장점이 있다.

[0050] 도 11에는 본 발명의 파리는 극성 제어 방법의 일 예로 I 도트가 6 도트인 경우 Z 인버전 방식으로 제1 내지 제12 데이터 라인들(DL1~DL12)에 공급되는 데이터전압의 극성과 표시패널(10)의 픽셀들의 극성이 나타나 있다. 도 11에서 소스 드라이브 IC는 제1 내지 제6 데이터 라인들(DL1~DL6)에 수평 1 도트 인버전으로 데이터전압을 공급하고, 제7 내지 제12 데이터 라인들(DL7~DL12)에 수평 2 도트 인버전으로 데이터전압을 공급하는 것을 예시하였다. 이때, 수평 2 도트 인버전으로 데이터전압을 공급받는 제7 내지 제12 컬럼의 픽셀들(C7~C12) 중 제8 컬럼의 픽셀들(C8)의 극성은 도 11과 같이 인접하는 제9 데이터 라인(DL9)의 극성과 동일하고, 제10 컬럼의 픽셀들(C10)의 극성은 인접하는 제11 데이터 라인(DL11)의 극성과 동일하다. 하지만, 다음 프레임에서 게이트 라인(GL)으로부터 게이트 펄스가 공급되기 전까지 제8 및 제10 컬럼의 픽셀들(C8, C10)은 이전 프레임의 데이터전압의 극성을 유지하나, 제9 및 제11 데이터 라인(DL9, DL11)의 극성은 반전되므로, 제8 및 제10 컬럼의 픽셀들(C8, C10)은 극성이 반전된 제9 및 제11 데이터 라인(DL9, DL11)에 의해 영향을 받게 된다. 이로 인해, 제1 내지 제12 컬럼의 픽셀들(C1~C12)에 동일한 크기의 정극성/부극성의 데이터전압이 공급되더라도, 제8 및 제10 컬럼의 픽셀들(C8, C10)의 휘도가 제1 내지 제7, 제9, 제11, 및 제12 컬럼의 픽셀들(C1~C7, C9, C11, C12)의 휘도보다 낮아지는 문제가 발생한다. 따라서, 파리는 극성 선택부(13)에 의해 휘도가 낮아진 픽셀들의 휘도를 보상할 필요가 있다. 이하에서, 도 12 내지 도 18을 참조하여 본 발명의 제1 실시예에 따른 픽셀 간 휘도 차를 보상하는 방법을 설명하고, 도 19 내지 도 24를 참조하여 본 발명의 제2 실시예에 따른 픽셀 간 휘도 차를 보상하는 방법에 대하여 설명한다.

[0051] 도 12는 본 발명의 제1 실시예에 따른 데이터 보상부를 상세히 보여주는 블록도이다. 도 13은 도 12의 데이터 보상부의 제어 수순을 보여주는 흐름도이다. 도 12 및 도 13을 참조하면, 데이터 보상부(15)는 제3 극성 적용부(41), 데이터 비교부(42), 제1 및 제2 룩-업 테이블(43a, 43b), 및 데이터 출력부(44) 등을 포함한다.

[0052] 제3 극성 적용부(41)는 데이터 로직 처리부(14)로부터 입력된 디지털 비디오 데이터(RGB)에 제1 극성 제어 데이터(G_POL)와 제2 극성 제어 데이터(G_HINV)를 가산 적용한다. 예를 들어, 제3 극성 적용부(41)는 정극성/부극성 여부에 따라 제N 픽셀 데이터의 헤더부에 1비트의 데이터를 추가할 수 있다. 즉, 제N 픽셀 데이터가 정극성인 경우, 제3 극성 적용부(41)는 제N 픽셀 데이터의 헤더부에 '1'(또는 '0')을 추가할 수 있다. 또한, 제N 픽셀 데이터가 부극성인 경우, 제3 극성 적용부(41)는 제N 픽셀 데이터의 헤더부에 '0'(또는 '1')을 추가할 수 있다. (S11)

[0053] 데이터 비교부(42)는 제L 라인의 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한다. 데이터 비교부(42)는 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우, 제N 픽셀 데이터를 제1 룩-업 테이블(43a)을 이용하여 변환한다. 제1 룩-업 테이블(43a)은 8비트의 제N 픽셀 데이터를 입력 어드레스로 입력받고, 그 입력 어드레스에 저장된 10비트의 제N 픽셀 데이터를 출력한다. 데이터 비교부(42)는 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 다른 경우, 제N 픽셀 데이터를 제2 룩-업 테이블(43b)을 이용하여 변환한다. 제2 룩-업 테이블(43b)은 8비트의 제N 픽셀 데이터를 입력 어드레스로 입력받고, 그 입력 어드레스에 저장된 10비트의 제N 픽셀 데이터를 출력한다. 본 발명은 제1 룩-업 테이블(43a)을 이용하여 제N 픽셀 데이터를 8비트에서 10비트로 변환함으로써, 제N 픽셀 데이터의 감마커브를 비선형에서 선형으로 변환한다. 본 발명은 제2 룩-업 테이블(43b)을 이용하여 제N 픽셀 데이터를 8비트에서 10비트로 변환하나, 이 경우 제N 픽셀 데이터의 감마커브는 그대로 유지된다. 제1 및 제2 룩-업 테이블(43a, 43b)에 대한 자세한 설명은 도 14a 내지 도 14c를 결부하여 후술한다. (S12~S15)

[0054] 데이터 비교부(42)는 1 프레임 기간의 모든 픽셀 데이터들에 대하여 S12~S15 단계를 수행한다. (S16~S19)

[0055] 데이터 출력부(44)는 데이터 비교부(42)의 선택에 따라 제1 룩-업 테이블(43a) 또는 제2 룩-업 테이블(43b)을 이용하여 10비트로 변환된 디지털 비디오 데이터(RGB')를 데이터 송신부(16)로 출력한다. (S20)

[0056] 도 14a는 8비트 데이터의 감마커브곡선, 도 14b는 제1 룩-업 테이블에 저장된 10비트 데이터의 감마커브곡선, 도 14c는 제2 룩-업 테이블에 저장된 10비트 데이터의 감마커브곡선을 보여주는 도면이다. 도 14a 내지 도 14c를 참조하면, x축은 계조(Gray level), y축은 감마기준전압(GMA)이 나타나 있다. 도 14a에서 계조(Gray level)는 0~255로 표현되나, 도 14b 및 도 14c에서 계조(Gray level)는 0~1023으로 표현된다. 한편, 도 14a와

같이 타이밍 콘트롤러(101)로 입력되는 8비트 데이터의 감마커브곡선과 도 14c와 같이 제2 룩-업 테이블의 입력 어드레스에 대응되는 출력 값으로 저장된 10비트 데이터의 감마커브곡선은 동일하게 설정될 수 있다.

[0057] 제1 룩-업 테이블(43a)은 도 14a와 같이 감마커브가 비선형(non-linear)으로 표현되는 8비트의 제N 픽셀 데이터를 입력 어드레스로 저장하고 있다. 제1 룩-업 테이블(43a)은 도 14b와 같이 감마커브가 선형(linear)인 10비트의 제N 픽셀 데이터를 입력 어드레스에 대응되는 출력 값으로 저장하고 있다.

[0058] 제2 룩-업 테이블(43b)은 도 14a와 같이 감마커브가 비선형(non-linear)으로 표현되는 8비트의 제N 픽셀 데이터를 입력 어드레스로 저장하고 있다. 제2 룩-업 테이블(43b)은 도 14c와 같이 감마커브가 비선형(non-linear)인 10비트의 제N 픽셀 데이터를 입력 어드레스에 대응되는 출력 값으로 저장하고 있다.

[0059] 도 14b의 선형(linear)인 감마커브는 도 14a 및 도 14c의 비선형(non-linear)인 감마커브보다 저계조 영역의 동일한 계조에서는 더 낮은 데이터전압을 갖지만, 고계조 영역의 동일한 계조에서는 더 높은 데이터전압을 갖게 된다. 하지만, 도 14a 및 도 14c의 비선형(non-linear)인 감마커브보다 도 14b의 선형(linear)인 감마커브에서 휘도가 높게 나타나는 효과가 있다. 이는 도 14b의 선형(linear)인 감마커브가 도 14a 및 도 14c의 비선형(non-linear)인 감마커브보다 고계조 영역의 동일한 계조에서 더 높은 데이터전압을 가짐으로 인해 휘도가 높아지는 효과가 저계조 영역의 동일한 계조에서 더 낮은 데이터전압을 가짐으로 인해 휘도가 낮아지는 효과보다 더 크기 때문이다.

[0060] 한편, 저계조 영역은 제5 내지 제14 감마기준전압을 갖는 계조 영역을 의미하고, 고계조 영역은 제1 내지 제4 감마기준전압 및 제15 내지 제18 감마기준전압을 갖는 계조 영역을 의미한다. 도 14a 내지 도 14c의 감마커브 곡선은 사전실험에 의해 결정될 수 있다.

[0061] 결국, 본 발명은 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우, 제N 픽셀 데이터를 제1 룩-업 테이블(43a)을 이용하여 변환한다. 이 경우, 제N 픽셀 데이터는 입력된 데이터 값보다 더 높은 데이터 값으로 변환되므로, 휘도가 높아지게 된다. 따라서, 본 발명은 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우, 제N+1 데이터 라인의 영향을 받아, 제N 픽셀 데이터의 휘도가 낮아지는 문제를 해결할 수 있다.

[0062] 도 15는 타이밍 콘트롤러로부터 소스 드라이브 IC들에 전송되는 디지털 데이터 스트림의 일예를 보여 주는 파형도이다. 도 15는 타이밍 콘트롤러(101)와 소스 드라이브 IC들 사이에서 디지털 데이터 스트림이 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송되는 예를 보여 준다.

[0063] 도 15를 참조하면, 타이밍 콘트롤러(101)는 mini LVDS 인터페이스 규격의 차동 신호쌍(differential signal pair)으로 클럭신호(CLK+), R, G 및 B의 디지털 비디오 데이터, 극성 제어 데이터(G_POL, G_HINV), 및 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)를 데이터 버스 전송라인들을 통해 소스 드라이브 IC들로 전송한다. 도 15는 차동 신호쌍 중에서 정극성 데이터만을 보여 준다. CLK+는 정극성 클럭신호가 전송되는 클럭 버스 전송라인이고, LV1+ ~ LV7+는 정극성 데이터 스트림이 전송되는 데이터 버스 전송라인들이다. D00~D29는 각각 10비트의 기수 번째 디지털 비디오 데이터(RGB')이다. D30~D59는 각각 10비트의 우수 번째 디지털 비디오 데이터(RGB')이다.

[0064] 도 16은 본 발명의 제1 실시예에 따른 소스 드라이브 IC를 상세히 보여 주는 블록도이다. 도 17은 도 16에 도시된 감마기준전압 발생회로를 상세히 보여주는 회로도이다. 도 18은 도 16에 도시된 디지털-아날로그 변환기를 상세히 보여주는 회로도이다. 도 16 내지 도 18을 참조하면, 소스 드라이브 IC들 각각은 j(j는 데이터라인들의 개수보다 작은 양의 정수) 개의 데이터라인들(D1 내지 Dj)에 데이터전압들을 공급한다. 소스 드라이브 IC들 각각은 데이터 수신부(201), 내부 제어신호 발생부(202), 쉬프트 레지스터(203), 래치(204), 디지털-아날로그 변환기(이하, "DAC"라 한다)(205), 출력회로(206), 분압회로(207), 감마기준전압 발생회로(208)를 포함한다.

[0065] 데이터 수신부(201)는 차동 신호쌍이 공급되는 데이터 버스 전송라인들(LV0+ ~ LV7-, CLK+, CLK-)을 통해 클럭신호, 디지털 비디오 데이터, 극성 제어 데이터(G_POL, G_HINV), 및 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)를 포함한 차동 신호쌍들을 수신한다. 데이터 수신부(201)는 클럭신호를 기준으로 차동 신호쌍에서 극성 제어 데이터(G_POL, G_HINV)와 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)를 샘플링하고 그 디지털 데이터들을 내부 제어신호 발생부(202)에 공급한다. 그리고 데이터 수신부(201)는 클럭신호를 기준으로 차동 신호

쌍에서 RGB 디지털 비디오 데이터들 샘플링하고, 그 디지털 비디오 데이터들을 래치(204)에 전송한다. 데이터 수신부(201)에 입력되는 SB는 데이터 정렬 순서를 변경하기 위한 옵션 신호이다. 데이터 수신부(201)에 입력되는 EI01 및 EI02는 쉬프트 레지스터(203)의 스타트 펄스이다. 데이터 수신부(201)는 EI01 및 EI02에 응답하여 쉬프트 레지스터(203)에 동기된다.

[0066] 내부 제어신호 발생부(202)는 극성 제어 데이터(G_POL, G_HINV)에 따라 디폴트 극성제어신호(POL)와 반전 극성 제어신호(/POL)를 복원하고, 수평 극성제어신호(HINV)를 발생한다. 디폴트 극성제어신호(POL), 반전 극성제어신호(/POL) 및 수평 극성제어신호(HINV)는 DAC(205)에 공급된다. 내부 제어신호 발생부(202)는 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)에 따라 채널 인에이블/디스에이블 신호(도시하지 않음)를 생성하고 그 신호를 출력부(206)에 공급한다.

[0067] 쉬프트 레지스터(203)는 EI01 및 EI02를 쉬프트시켜 내부 클럭신호를 발생하고 그 내부 클럭신호를 래치(204)에 공급한다. L/R은 쉬프트 레지스터(203)의 쉬프트 방향을 변경하기 위한 옵션신호이다. 래치(204)는 쉬프트 레지스터(203)로부터 순차적으로 입력되는 내부 클럭신호에 응답하여 데이터 수신부(201)로부터의 RGB 디지털 비디오 데이터들 순차적으로 래치하고 그 데이터들을 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.

[0068] 감마기준전압 발생회로(208)는 정극성 감마기준전압 발생회로와 부극성 감마기준전압 발생회로를 포함한다. 감마기준전압 발생회로(208)는 도 17과 같이 저항 연결 회로(R-String)를 이용하여 정극성의 제1 내지 제9 감마기준전압(GMA1~GMA9)과 부극성의 제10 내지 제18(GMA10~GMA18)을 발생시킨다. 감마기준전압 발생회로(208)로부터 발생되는 제1 내지 제18 감마기준전압(GMA1~GMA18)은 도 14c와 같은 감마커브곡선을 가진다.

[0069] 분압회로(209)는 감마기준전압 발생회로(208)로부터 입력되는 정극성 감마기준전압들과 부극성 감마기준전압들을 분압한다. 분압회로(209)는 10비트의 디지털 비디오 데이터(RGB')의 제조 각각에 대응하는 정극성 감마보상전압들(PGMA)과 부극성 감마보상전압들(NGMA)을 발생한다. 분압회로(209)는 정극성 감마보상전압들(PGMA)과 부극성 감마보상전압들(NGMA)을 DAC(205)에 공급한다.

[0070] DAC(205)는 도 18과 같이 정극성 감마보상전압들(PGMA)이 공급되는 P-디코더(21A), 부극성 감마보상전압들(NGMA)이 공급되는 N-디코더(21B), 극성제어신호들(POL, /POL) 중 어느 하나에 응답하여 P-디코더(21A)의 출력과 N-디코더(21B)의 출력을 선택하는 멀티플렉서들(22#1~#6), 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)를 반전시키는 수평 극성 제어회로(23)를 포함한다. P-디코더(21A)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 제조값에 해당하는 정극성 감마보상전압을 출력한다. N-디코더(21B)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 제조값에 해당하는 부극성 감마보상전압을 출력한다.

[0071] 멀티플렉서들(22#1~#6)은 I 개씩 나뉘어 디폴트 극성 제어신호(POL) 또는 반전 극성 제어신호(/POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택한다. I가 6일 때 파리는 극성 선택신호(Fly eyed polarity selection, FEPOL)에 의해 제1 내지 제6 멀티플렉서들(22#1~#6)의 제어 단자에는 디폴트 극성 제어신호(POL)가 입력되고, 도시하지 않은 제7 내지 제12 멀티플렉서들의 제어 단자에는 반전 극성 제어신호(/POL)가 입력될 수 있다. 수평 극성 제어회로(23)는 수평 극성제어신호(HINV)에 응답하여 제4j+3 및 제4j+4 멀티플렉서들(22#3, 22#4)의 제어단자에 공급되는 극성제어신호(POL 또는 /POL)를 반전시켜 수평 1 도트 인버전과 수평 2 도트 인버전을 스위칭한다.

[0072] 제1 멀티플렉서(22#1)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고, 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT1)으로서 출력한다. 제2 멀티플렉서(22#2)는 자신의 반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT2)으로서 출력한다. 제3 멀티플렉서(22#3)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT3)으로서 출력한다. 제4 멀티플렉서(22#4)는 자신의 반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT#4)으로서 출력한다. 제5 멀티플렉서(22#5)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고, 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT5)으로서 출력한다. 제6 멀티플렉서(22#2)는 자신의 반전 제어 단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느

하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT6)으로서 출력한다.

- [0073] 수평 극성 제어회로(23)는 스위치소자들(S1, S2), 및 인버터(INV)를 포함한다. 수평 극성제어회로(23)는 수평 극성제어신호(HINV)에 응답하여 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자에 공급되는 극성제어신호(POL 또는 /POL)를 반전시킨다. 제1 스위치소자(S1)는 로우 논리값의 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)를 그대로 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자로 전달한다. 제2 스위치소자(S2)는 하이 논리값의 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)의 논리값을 반전시켜 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자로 전달한다. 따라서, 수평 극성제어신호(HINV)가 하이 논리값이면 제1 내지 제4 데이터전압들(OUT1~OUT4)의 극성은 수평 2 도트 인버전 패턴 즉, "+ - - +" 또는 "- + + -"으로 반전된다. 반면에, 수평 극성제어신호(HINV)가 로우 논리값이면 제1 내지 제4 데이터전압들(OUT1~OUT4)의 극성은 수평 1 도트 인버전 패턴 즉, "+ - + -" 또는 "- + - +"로 반전된다.
- [0074] 출력부(206)는 출력 버퍼를 통해 DAC(205)로부터의 데이터전압을 데이터라인들로 출력한다. 출력부(206)는 내부 제어신호 발생부(202)로부터 입력되는 채널 인에이블/디스에이블 신호에 응답하여 데이터전압이 출력되지 않는 출력 채널을 디스에이블시킨다.
- [0075] 도 19는 본 발명의 제2 실시예에 따른 데이터 보상부를 상세히 보여주는 블록도이다. 도 20은 도 19의 데이터 보상부의 제어 수순을 보여주는 흐름도이다. 도 19 및 도 20을 참조하면, 데이터 보상부(15)는 제3 극성 적용부(41), 데이터 비교부(42), 데이터 변환부(45), 및 데이터 출력부(46) 등을 포함한다.
- [0076] 제3 극성 적용부(41)는 데이터 로직 처리부(14)로부터 입력된 디지털 비디오 데이터(RGB)에 제1 극성 제어 데이터(G_POL)와 제2 극성 제어 데이터(G_HINV)를 가상 적용한다. 예를 들어, 제3 극성 적용부(41)는 정극성/부극성 여부에 따라 제N 픽셀 데이터의 헤더부에 1비트(또는 2비트)의 데이터를 추가할 수 있다. 즉, 제N 픽셀 데이터가 정극성인 경우, 제3 극성 적용부(41)는 제N 픽셀 데이터의 헤더부에 '1'(또는 '0')을 추가할 수 있다. 또한, 제N 픽셀 데이터가 부극성인 경우, 제3 극성 적용부(41)는 제N 픽셀 데이터의 헤더부에 '0'(또는 '1')을 추가할 수 있다. (S101)
- [0077] 데이터 비교부(42)는 제L 라인의 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성을 비교한다. 데이터 변환부(45)는 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우 제N 픽셀 데이터의 헤더부에 제1 논리 값의 헤더 데이터를 추가하고, 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일하지 않은 경우 제N 픽셀 데이터의 헤더부에 제2 논리 값의 헤더 데이터를 추가한다. 예를 들어, 데이터 변환부(45)는 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우, 제N 픽셀 데이터의 헤더부에 2비트 데이터 '00'을 추가할 수 있다. 데이터 변환부(45)는 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 다른 경우, 제N 픽셀 데이터의 헤더부에 2비트 데이터 '11'을 추가할 수 있다. 상기 '00'과 '11'은 하나의 실시예에 불과하므로, 이에 한정되지 않음에 주의하여야 한다. 또한, 데이터 변환부(45)는 제N 픽셀 데이터의 헤더부에 헤더 데이터를 추가할 때, 제3 극성 적용부(41)에서 제N 픽셀 데이터가 정극성/부극성인지를 구분하기 위해 추가한 1비트(또는 2비트)의 데이터를 삭제할 수 있다. (S102~S105)
- [0078] 데이터 비교부(42)와 데이터 변환부(45)는 1 프레임 기간의 모든 픽셀 데이터들에 대하여 S102~S105 단계를 수행한다. (S106~S109)
- [0079] 데이터 출력부(46)는 데이터 변환부(45)에 의해 변환된 10비트의 디지털 비디오 데이터(RGB')를 데이터 송신부(16)로 출력한다. (S110)
- [0080] 도 21은 본 발명의 제2 실시예에 따른 소스 드라이브 IC를 상세히 보여 주는 블록도이다. 도 22는 도 21에 도시된 감마기준전압 발생회로를 상세히 보여주는 회로도이다. 도 23은 도 21에 도시된 디지털-아날로그 변환기를 상세히 보여 주는 회로도이다.
- [0081] 도 21 내지 도 23을 참조하면, 소스 드라이브 IC들 각각은 j(j는 데이터라인들의 개수보다 작은 양의 정수) 개의 데이터라인들(D1 내지 Dj)에 데이터전압들을 공급한다. 소스 드라이브 IC들 각각은 데이터 수신기(201), 내부 제어신호 발생부(202), 쉬프트 레지스터(203), 래치(204), 디지털-아날로그 변환기(이하, "DAC"라 한다)(205), 출력회로(206), 분압회로(207), 감마기준전압 발생회로(208)를 포함한다.
- [0082] 데이터 수신부(201)는 차동 신호쌍이 공급되는 데이터 버스 전송라인들(LV0+ ~ LV7-, CLK+, CLK-)을 통해 클럭

신호, 디지털 비디오 데이터, 극성 제어 데이터(G_POL, G_HINV), 및 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)를 포함한 차동 신호쌍들을 수신한다. 데이터 수신부(201)는 클럭신호를 기준으로 차동 신호쌍에서 극성 제어 데이터(G_POL, G_HINV)와 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)를 샘플링하고 그 디지털 데이터들을 내부 제어신호 발생부(202)에 공급한다.

[0083] 데이터 수신부(201)는 10비트의 디지털 비디오 데이터(RGB')를 2비트의 헤더 데이터와 8비트의 디지털 비디오 데이터로 분리한다. 데이터 수신부(201)는 클럭신호를 기준으로 차동 신호쌍에서 제1 내지 제j 헤더 데이터(Hd1~Hdj)를 샘플링하고 그 디지털 데이터들을 내부 제어신호 발생부(202)에 공급한다. 데이터 수신부(201)는 클럭신호를 기준으로 차동 신호쌍에서 8비트의 디지털 비디오 데이터를 샘플링하고 래치(204)에 전송한다. 데이터 수신부(201)에 입력되는 SB는 데이터 정렬 순서를 변경하기 위한 옵션 신호이다. 데이터 수신부(201)에 입력되는 EI01 및 EI02는 쉬프트 레지스터(203)의 스타트 펄스이다. 데이터 수신부(201)는 EI01 및 EI02에 응답하여 쉬프트 레지스터(203)에 동기된다.

[0084] 내부 제어신호 발생부(202)는 극성 제어 데이터(G_POL, G_HINV)에 따라 디폴트 극성제어신호(POL)와 반전 극성 제어신호(/POL)를 복원하고, 수평 극성제어신호(HINV)를 발생한다. 내부 제어신호 발생부(202)는 디폴트 극성 제어신호(POL), 반전 극성제어신호(/POL) 및 수평 극성제어신호(HINV)를 DAC(205)에 공급한다. 내부 제어신호 발생부(202)는 출력 채널 선택 옵션 데이터(G_MODE1, G_MODE2)에 따라 채널 인에이블/디스에이블 신호(도시하지 않음)를 생성하고 그 신호를 출력부(206)에 공급한다. 내부 제어신호 발생부(202)는 제1 내지 제j 헤더 데이터(Hd1~Hdj)에 따라 제1 내지 제j 선택 신호(S1~Sj)를 발생한다. 내부 제어신호 발생부(202)는 제1 내지 제j 선택 신호(S1~Sj)를 DAC(205)에 공급한다.

[0085] 쉬프트 레지스터(203)는 EI01 및 EI02를 쉬프트시켜 내부 클럭신호를 발생하고 그 내부 클럭신호를 래치(204)에 공급한다. L/R은 쉬프트 레지스터(203)의 쉬프트 방향을 변경하기 위한 옵션신호이다. 래치(204)는 쉬프트 레지스터(203)로부터 순차적으로 입력되는 내부 클럭신호에 응답하여 데이터 수신부(201)로부터의 RGB 디지털 비디오 데이터를 순차적으로 래치하고 그 데이터들을 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다.

[0086] 감마기준전압 발생회로(208)는 정극성 감마기준전압 발생회로와 부극성 감마기준전압 발생회로를 포함한다. 감마기준전압 발생회로(208)는 도 22과 같이 제1 저항 연결 회로(R-String1)와 제2 저항 연결 회로(R-String2)를 이용하여 제1 정극성/부극성 감마기준전압들(GMA1~GMA18)과 제2 정극성/부극성 감마기준전압들(GMA1'~GMA18')을 발생시킨다. 감마기준전압 발생회로(208)로부터 발생된 제1 정극성 감마기준전압들(GMA1~GMA9)과 제1 부극성 감마기준전압들(GMA10~GMA18)은 도 24의 제1 감마커브곡선(C1)을 가지고, 제2 정극성 감마기준전압들(GMA1'~GMA9')과 제2 부극성 감마기준전압들(GMA10'~GMA18')은 도 24의 제2 감마커브곡선(C2)을 가진다. 이에 대한 자세한 설명은 도 24를 결부하여 후술한다.

[0087] 분압회로(209)는 감마기준전압 발생회로(208)로부터 입력되는 제1 정극성 감마기준전압들(GMA1~GMA9)과 제1 부극성 감마기준전압들(GMA10~GMA18)을 분압한다. 분압회로(209)는 8비트의 디지털 비디오 데이터의 계조 각각에 대응하는 제1 정극성 감마보상전압들(PGMA1)과 제1 부극성 감마보상전압들(NGMA1)을 발생한다. 분압회로(209)는 감마기준전압 발생회로(208)로부터 입력되는 제2 정극성 감마기준전압들(GMA1'~GMA9')과 제2 부극성 감마기준전압들(GMA10'~GMA18')을 분압한다. 분압회로(209)는 8비트의 디지털 비디오 데이터의 계조 각각에 대응하는 제2 정극성 감마보상전압들(PGMA2)과 제2 부극성 감마보상전압들(NGMA2)을 발생한다. 분압회로(209)는 제1 및 제2 정극성 감마보상전압들(PGMA1, PGMA2)과 제1 및 제2 부극성 감마보상전압들(NGMA1, NGMA2)을 DAC(205)에 공급한다.

[0088] DAC(205)는 도 23과 같이 제1 및 제2 정극성 감마보상전압들(PGMA1, PGMA2)과, 제1 및 제2 부극성 감마보상전압들(NGMA1, NGMA2)과, 제1 내지 제j 선택 신호(S1~Sj) 중 어느 하나가 공급되는 디코더(21), 극성제어신호들(POL, /POL) 중 어느 하나에 응답하여 상기 디코더(21)의 출력들 중 어느 하나를 선택하는 멀티플렉서들(22#1~#6), 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)를 반전시키는 수평 극성 제어회로(23)를 포함한다.

[0089] 디코더(21)는 제1 정극성 감마보상전압들(PGMA1)이 공급되는 제1 P-디코더(201A), 제2 정극성 감마보상전압들(PGMA2)이 공급되는 제2 P-디코더(202A), 제1 부극성 감마보상전압들(NGMA1)이 공급되는 제1 N-디코더(201B), 제2 부극성 감마보상전압들(NGMA2)이 공급되는 제2 N-디코더(202B), 제k(k는 $1 \leq k \leq j$ 을 만족하는 자연수) 선택 신호(Sk)에 응답하여 제1 P-디코더(201A)의 출력과 제2 P-디코더(202A)의 출력을 선택하는 제2 멀티플렉서

(203), 및 제k 선택 신호(Sk)에 응답하여 제1 N-디코더(201B)의 출력과 제2 N-디코더(202B)의 출력을 선택하는 제3 멀티플렉서(204)를 포함한다.

[0090] 제1 P-디코더(201A)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 제1 정극성 감마보상전압을 출력한다. 제2 P-디코더(202A)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 제2 정극성 감마보상전압을 출력한다. 제1 N-디코더(201B)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 제1 부극성 감마보상전압을 출력한다. 제2 N-디코더(202B)는 래치(204)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 제2 부극성 감마보상전압을 출력한다. 제2 멀티플렉서(203)는 제k 선택 신호(Sk)에 응답하여 제1 P-디코더(201A)의 출력인 제1 정극성 감마보상전압과 제2 P-디코더(202A)의 출력인 제2 정극성 감마보상전압 중 어느 하나를 선택하여 출력한다. 예를 들어, 제2 멀티플렉서(203)는 제k 선택 신호가 제3 논리 값인 경우 제1 정극성 감마보상전압을 선택하여 출력하고, 제k 선택 신호가 제4 논리 값인 경우 제2 정극성 감마보상전압을 선택하여 출력하도록 설계될 수 있다. 제3 멀티플렉서(204)는 제k 선택 신호(Sk)에 응답하여 제1 N-디코더(201B)의 출력인 제1 부극성 감마보상전압과 제2 N-디코더(202B)의 출력인 제2 부극성 감마보상전압 중 어느 하나를 선택하여 출력한다. 예를 들어, 제3 멀티플렉서(204)는 제k 선택 신호가 제3 논리 값인 경우 제1 부극성 감마보상전압을 선택하여 출력하고, 제k 선택 신호가 제4 논리 값인 경우 제2 부극성 감마보상전압을 선택하여 출력하도록 설계될 수 있다. 상기 제3 논리 값은 하이 논리 값(또는 '1')으로 설정될 수 있고, 상기 제4 논리 값은 로우 논리 값(또는 '0')으로 설정될 수 있다.

[0091] 멀티플렉서들(22#1~#6)은 I 개씩 나뉘어 디폴트 극성 제어신호(POL) 또는 반전 극성 제어신호(/POL)에 응답하여 디코더(21)로부터 출력된 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택한다. I가 6일 때 파리는 극성 선택신호(Fly eyed polarity selection, FEPOL)에 의해 제1 내지 제6 멀티플렉서들(22#1~#6)의 제어 단자에는 디폴트 극성 제어신호(POL)가 입력되고, 도시하지 않은 제7 내지 제12 멀티플렉서들의 제어 단자에는 반전 극성 제어신호(/POL)가 입력될 수 있다. 수평 극성 제어회로(23)는 수평 극성제어신호(HINV)에 응답하여 제4j+3 및 제4j+4 멀티플렉서들(22#3, 22#4)의 제어단자에 공급되는 극성제어신호(POL 또는 /POL)를 반전시켜 수평 1 도트 인버전과 수평 2 도트 인버전을 스위칭한다.

[0092] 제1 멀티플렉서(22#1)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고, 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT1)으로서 출력한다. 제2 멀티플렉서(22#2)는 자신의 반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT2)으로서 출력한다. 제3 멀티플렉서(22#3)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT3)으로서 출력한다. 제4 멀티플렉서(22#4)는 자신의 반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT#4)으로서 출력한다. 제5 멀티플렉서(22#5)는 자신의 비반전 제어단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고, 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT5)으로서 출력한다. 제6 멀티플렉서(22#2)는 자신의 반전 제어 단자에 공급되는 극성제어신호(POL 또는 /POL)에 응답하여 정극성 감마보상전압과 부극성 감마보상전압 중 어느 하나를 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압(OUT6)으로서 출력한다.

[0093] 수평 극성 제어회로(23)는 스위치소자들(S1, S2), 및 인버터(INV)를 포함한다. 수평 극성제어회로(23)는 수평 극성제어신호(HINV)에 응답하여 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자에 공급되는 극성제어신호(POL 또는 /POL)를 반전시킨다. 제1 스위치소자(S1)는 로우 논리값의 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)를 그대로 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자로 전달한다. 제2 스위치소자(S2)는 하이 논리값의 수평 극성제어신호(HINV)에 응답하여 극성제어신호(POL 또는 /POL)의 논리값을 반전시켜 제4j+3 및 제4j+4 멀티플렉서(22#3, 22#4)의 제어단자로 전달한다. 따라서, 수평 극성제어신호(HINV)가 하이 논리값이면 제1 내지 제4 데이터전압들(OUT1~OUT4)의 극성은 수평 2 도트 인버전 패턴 즉, "+ - - +" 또는 "- + + -"으로 반전된다. 반면에, 수평 극성제어신호(HINV)가 로우 논리값이면 제1 내지 제4 데이터전압들(OUT1~OUT4)의 극성은 수평 1 도트 인버전 패턴 즉, "+ - + -" 또는 "- + - +"로 반전된다.

[0094] 출력부(206)는 출력 버퍼를 통해 DAC(205)로부터의 데이터전압을 데이터라인들로 출력한다. 출력부(206)는 내부 제어신호 발생부(202)로부터 입력되는 채널 인에이블/디스에이블 신호에 응답하여 데이터전압이 출력되지 않

는 출력 채널을 디스에이블시킨다.

- [0095] 도 24는 도 22에 도시된 감마기준전압 발생회로에 입력되는 감마기준전압의 감마커브곡선들을 보여주는 도면이다. 도 24를 참조하면, x축은 계조(Gray level), y축은 감마기준전압(GMA)이 나타나 있다. 이때, 계조(Gray level)는 0~255로 표현된다.
- [0096] 제2 감마커브곡선(C2)은 제1 감마커브곡선(C1)에 비해 더 높은 정극성의 감마기준전압을 가진다. 즉, 제2 감마커브곡선(C2)의 제1 감마기준전압(GMA1')은 제1 감마커브곡선(C1)의 제1 감마기준전압(GMA1)보다 높게 설정되므로, 제2 감마커브곡선(C2)의 제2 내지 제8 감마기준전압(GMA2'~GMA8')도 제1 감마커브곡선(C1)의 제2 내지 제8 감마기준전압(GMA2~GMA8)보다 높게 설정된다. 그러므로, 동일 계조에서 제2 감마커브곡선(C2)의 정극성 감마기준전압이 제1 감마커브곡선(C1)의 정극성 감마기준전압보다 높고, 이로 인해 동일 계조에서 제2 감마커브곡선(C2)의 휘도가 제1 감마커브곡선(C1)의 휘도보다 높게 나타난다.
- [0097] 제2 감마커브곡선(C2)은 제1 감마커브곡선(C1)에 비해 더 낮은 부극성의 감마기준전압을 가진다. 즉, 제2 감마커브곡선(C2)의 제18 감마기준전압(GMA18')은 제1 감마커브곡선(C1)의 제18 감마기준전압(GMA18)보다 낮게 설정되므로, 제2 감마커브곡선(C2)의 제11 내지 제17 감마기준전압(GMA11'~GMA17')도 제1 감마커브곡선(C1)의 제11 내지 제17 감마기준전압(GMA11~GMA17)보다 낮게 설정된다. 그러므로, 동일 계조에서 제2 감마커브곡선(C2)의 부극성 감마기준전압이 제1 감마커브곡선(C1)의 부극성 감마기준전압보다 낮으며, 이로 인해 동일 계조에서 제2 감마커브곡선(C2)의 휘도가 제1 감마커브곡선(C1)의 휘도보다 높게 나타난다.
- [0098] 결국, 본 발명은 감마기준전압 발생회로(208)의 제1 저항 연결 회로(R-String)를 이용하여 제1 감마커브곡선(C1)의 정극성 및 부극성 감마기준전압들을 발생하고, 제2 저항 연결 회로(R-String)를 이용하여 제2 감마커브곡선(C2)의 정극성 및 부극성 감마기준전압들을 발생한다. 이때, 제2 저항 연결 회로(R-String)를 이용하여 발생한 제2 감마커브곡선(C2)의 정극성 및 부극성 감마기준전압들이 제1 저항 연결 회로(R-String)를 이용하여 발생한 제1 감마커브곡선(C1)의 정극성 및 부극성 감마기준전압들보다 크다. 따라서 동일 계조에서 제2 저항 연결 회로(R-String)를 이용하여 발생한 제2 감마커브곡선(C2)의 정극성 및 부극성 감마기준전압들의 휘도가 제1 저항 연결 회로(R-String)를 이용하여 발생한 제1 감마커브곡선(C1)의 정극성 및 부극성 감마기준전압들의 휘도보다 높게 나타난다. 따라서, 본 발명은 제N 픽셀 데이터의 극성과 제N+1 픽셀 데이터의 극성이 동일한 경우, 제k 선택 신호(Sk)에 의해 제2 저항 연결 회로(R-String)를 이용하여 발생한 제2 감마커브곡선(C2)의 정극성 및 부극성 감마기준전압들에 의해 데이터 전압을 생성함으로써, 제N+1 데이터 라인의 영향을 받아, 제N 픽셀 데이터의 휘도가 낮아지는 문제를 해결할 수 있다. 한편, 제1 감마커브곡선(C1)과 제2 감마커브곡선(C2)는 사전실험에 의해 결정될 수 있다.
- [0099] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0100]
- | | |
|-----------------|------------------|
| 11 : 데이터 수신부 | 12 : 내부 알고리즘 처리부 |
| 13 : 파리논 극성 선택부 | 14 : 데이터 로직 처리부 |
| 15: 데이터 보상부 | 16 : 데이터 송신부 |
| 31 : 가중치 부여부 | 32 : 제1 극성 적용부 |
| 33 : 제2 극성 적용부 | 34 : 제1 카운터 |
| 35 : 제2 카운터 | 36 : 제1 누적 카운터 |
| 37 : 제2 누적 카운터 | 38 : 극성 선택부 |
| 39 : 멀티플렉서 | 41: 제3 극성 적용부 |

42: 데이터 비교부

43a: 제1 룩-업 테이블

43b: 제2 룩-업 테이블

44, 46: 데이터 출력부

45: 데이터 변환부

100 : 액정표시패널

101 : 타이밍 콘트롤러

102 : 데이터 구동회로

104 : 게이트 구동회로

201: 데이터 수신기

202: 내부 제어신호 발생부

203: 쉬프트 레지스터

204: 래치

205: DAC

206: 출력회로

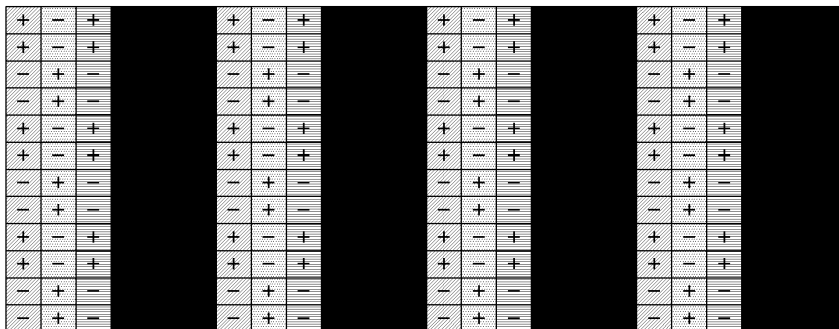
207: 분압회로

208: 감마기준전압 발생회로

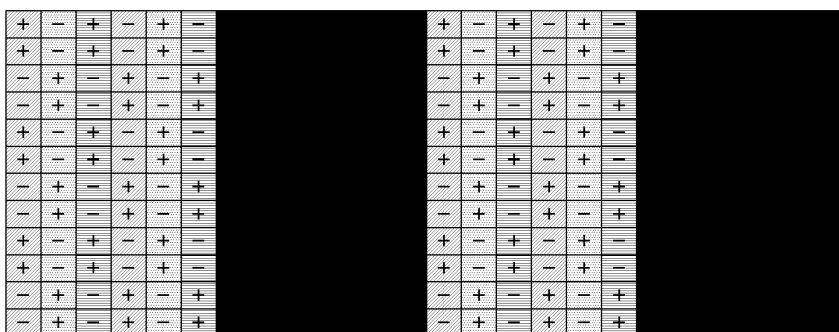
도면

도면1

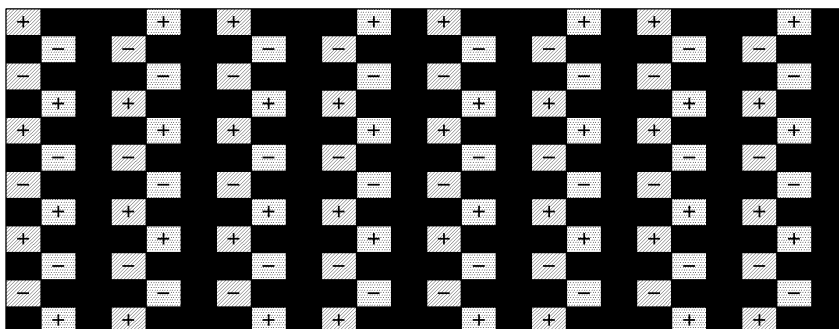
Shutdown pattern



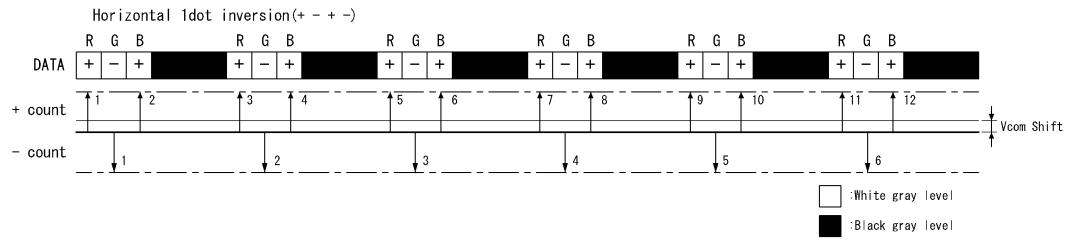
Smear pattern



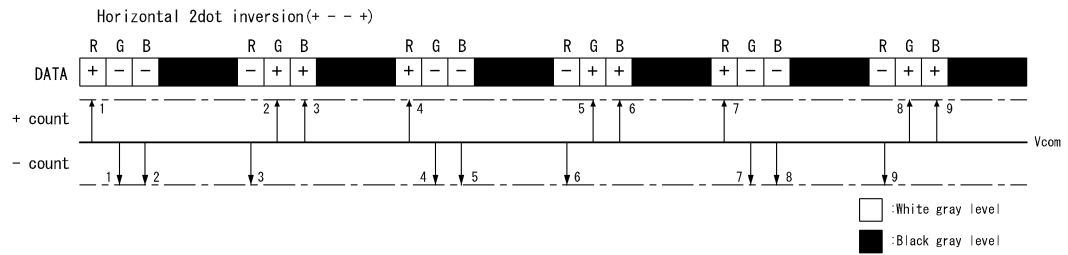
Flicker pattern



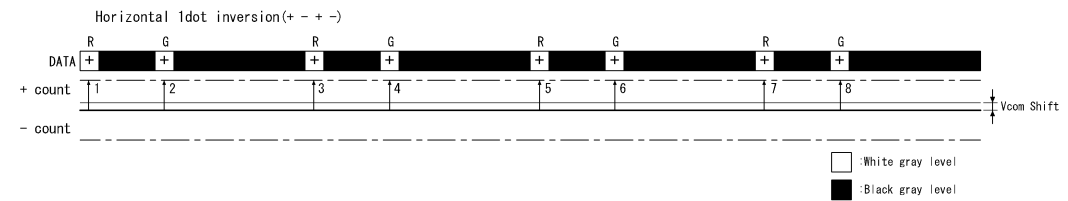
도면2



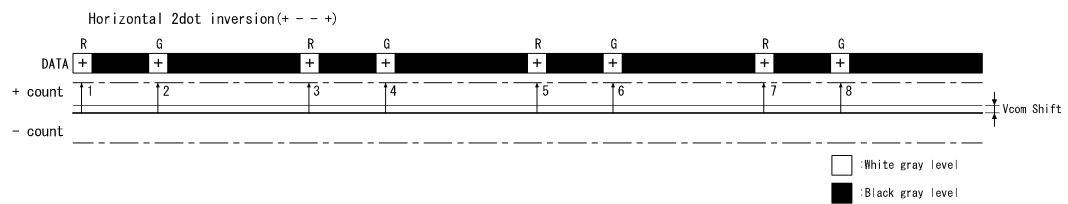
도면3



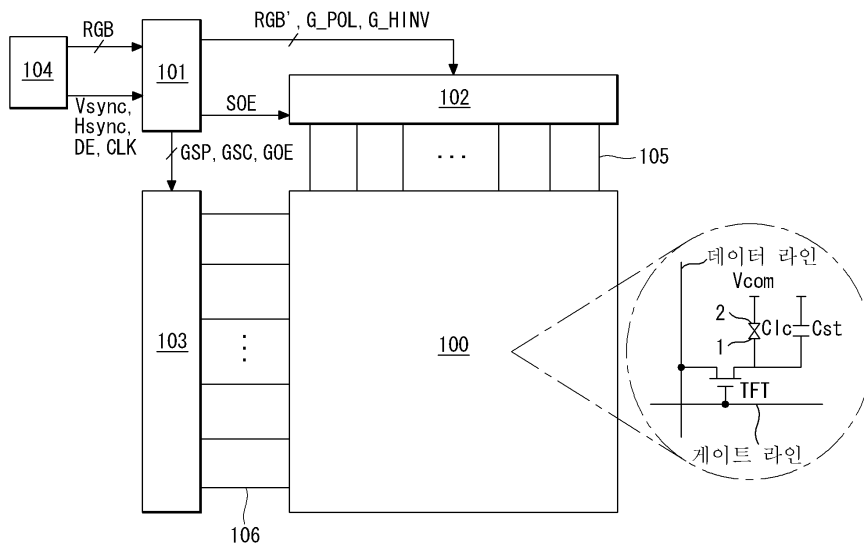
도면4



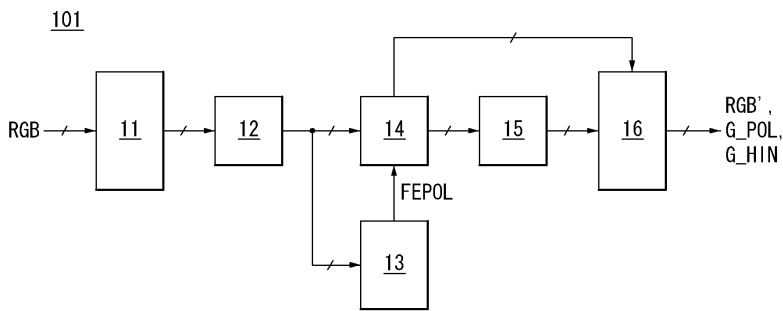
도면5



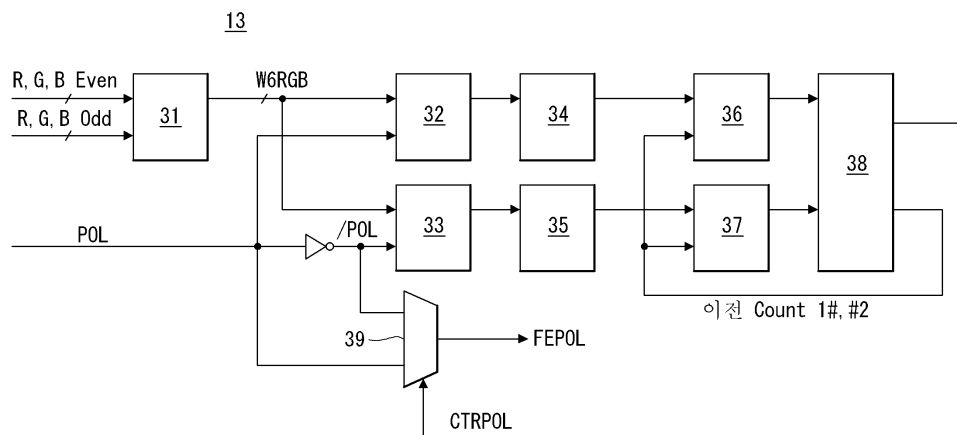
도면6



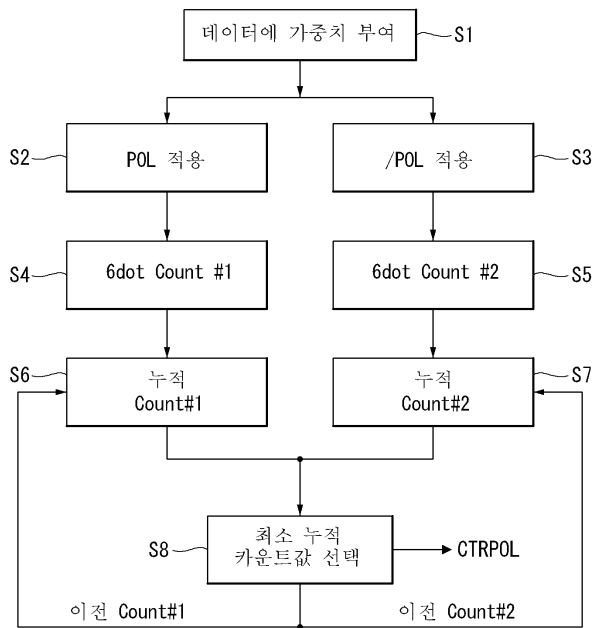
도면7



도면8



도면9

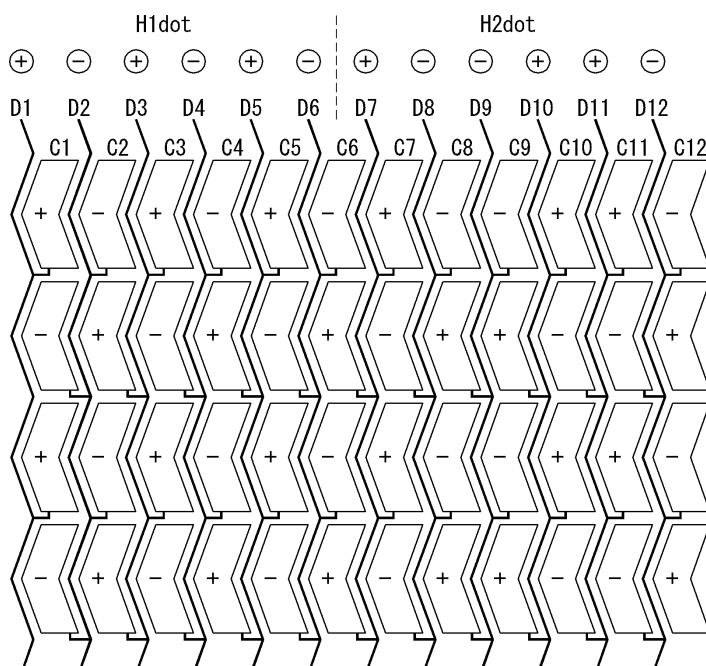


도면10

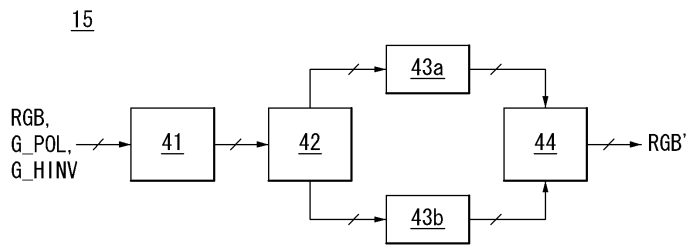
G_POL	6dot의 1st Pol.
H	Negative
L	Positive

	H2Dot	H1Dot
G_HINV	H	L

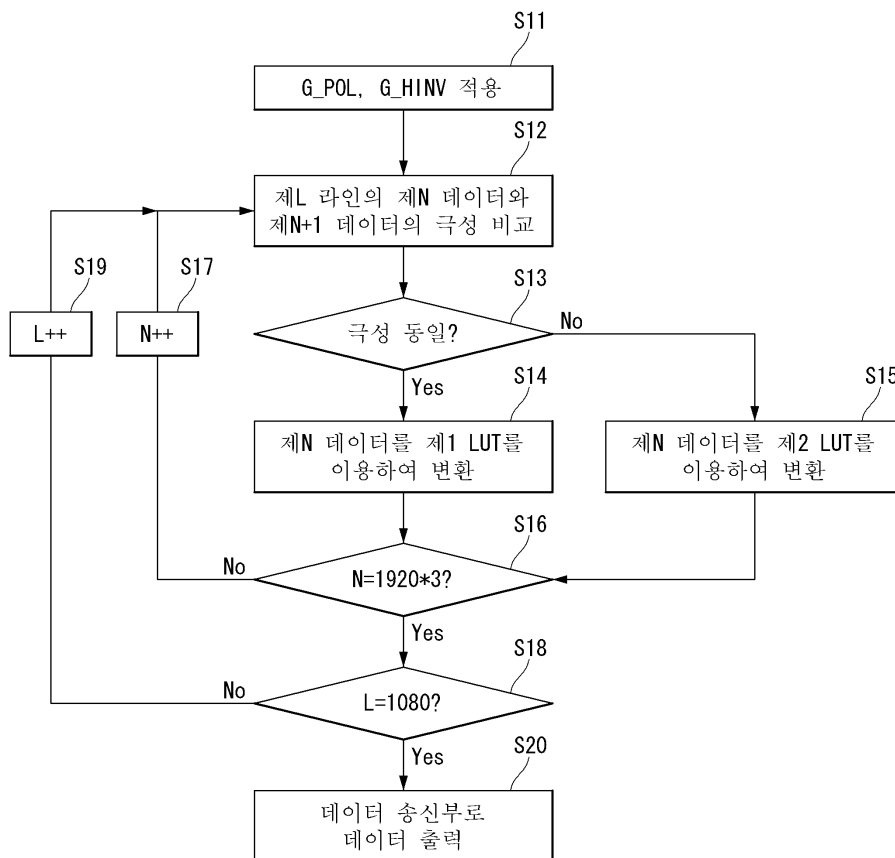
도면11



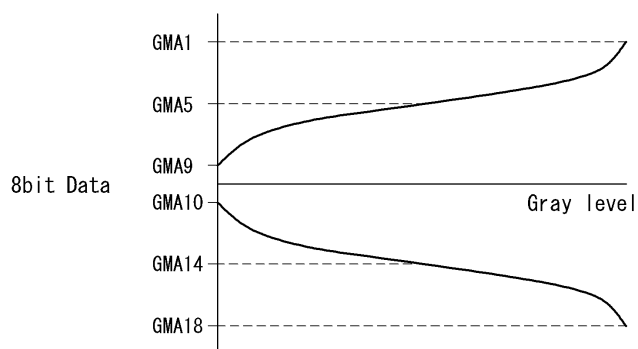
도면12



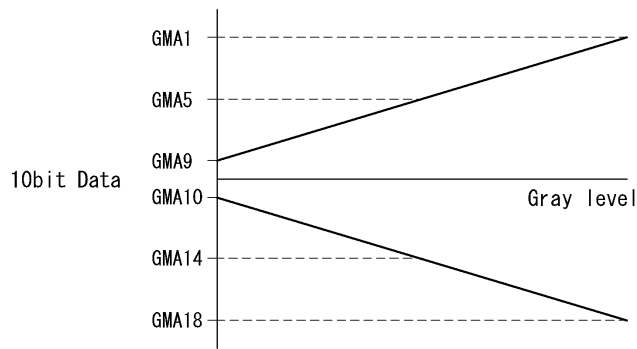
도면13



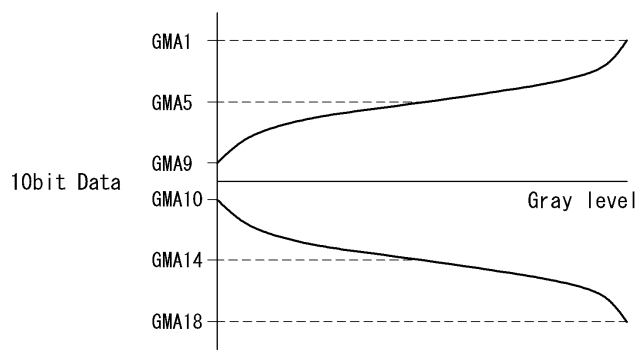
도면14a



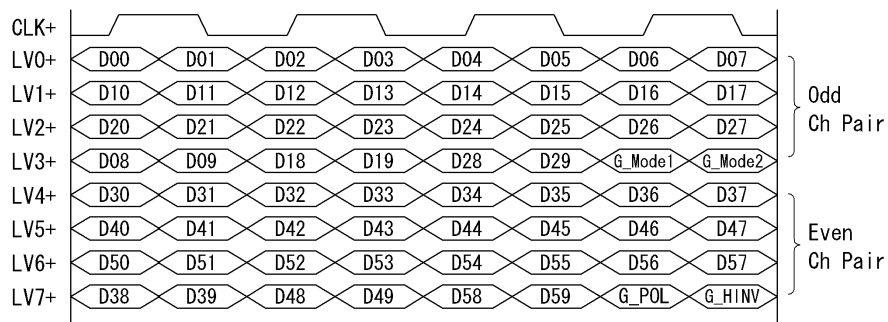
도면14b



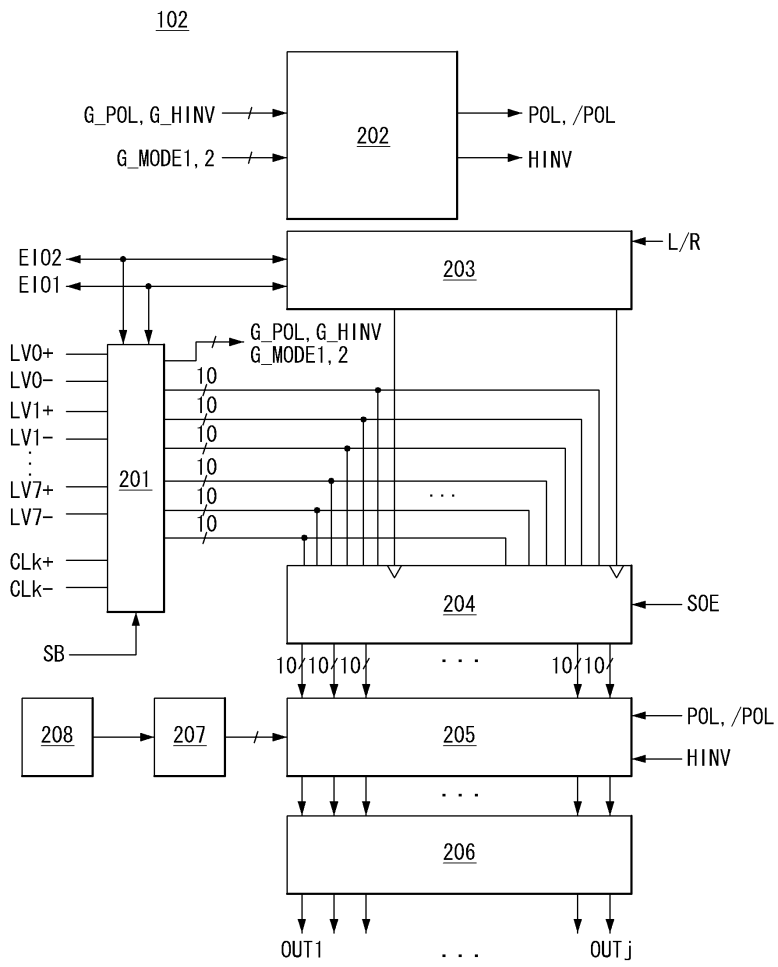
도면14c



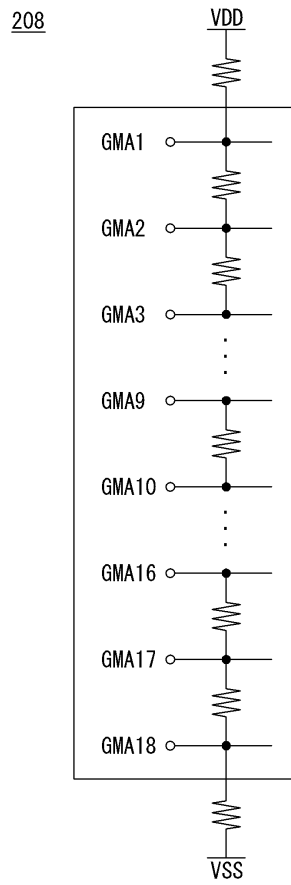
도면15



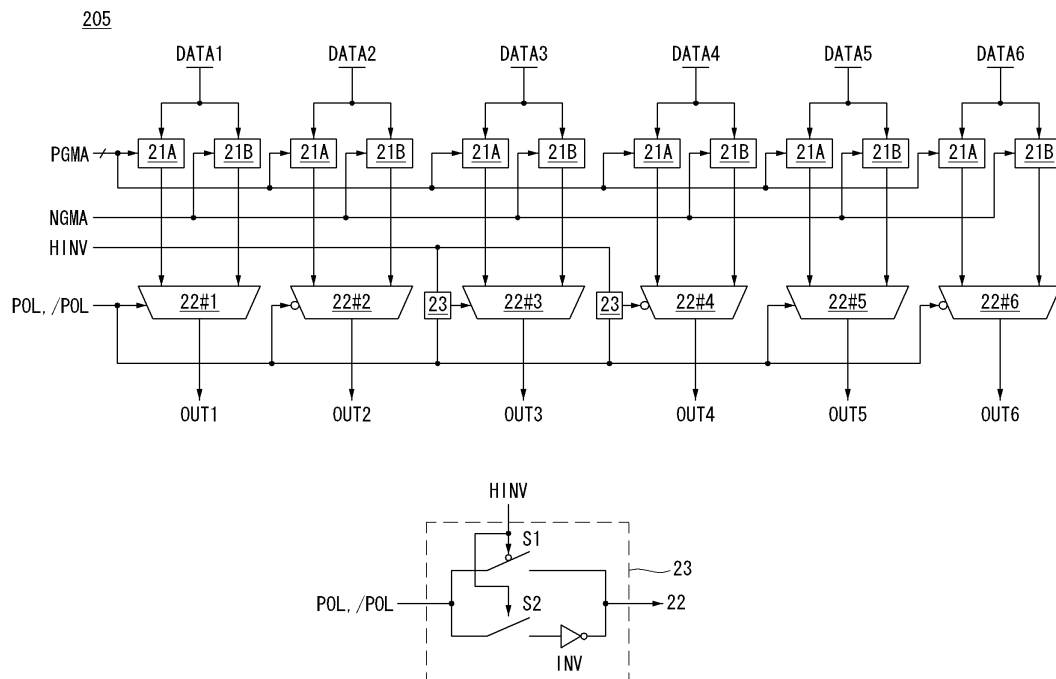
도면16



도면17

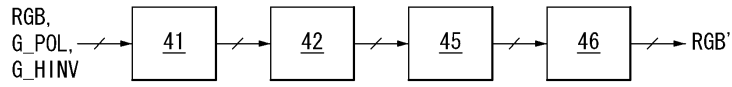


도면18

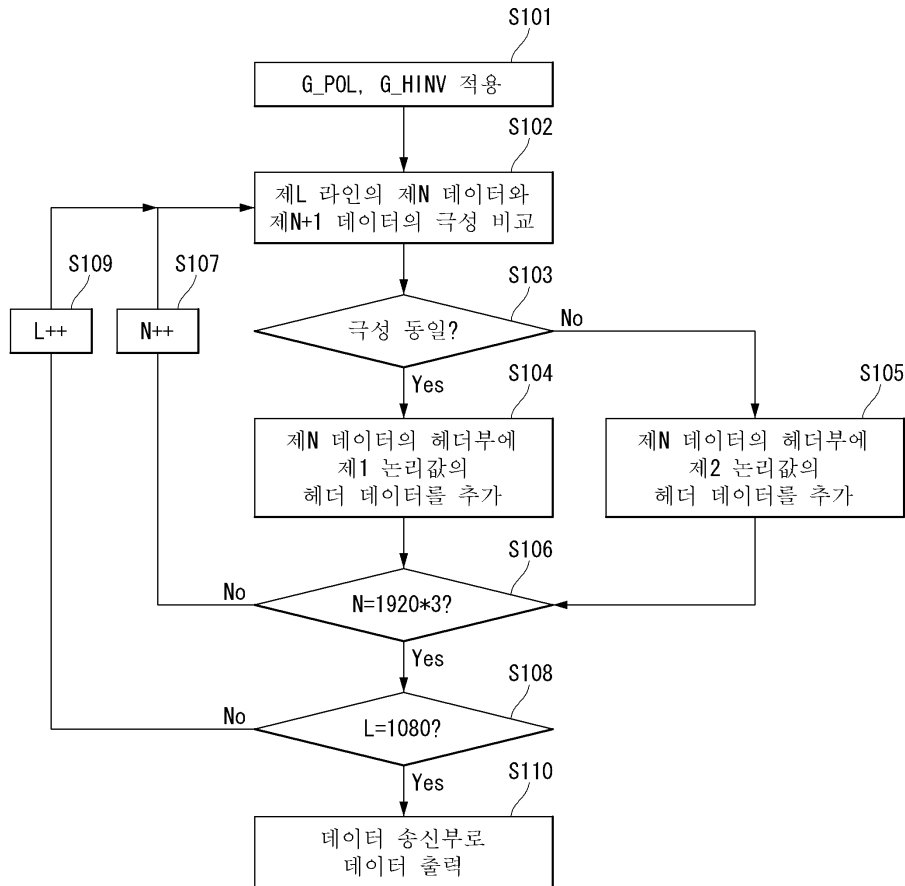


도면19

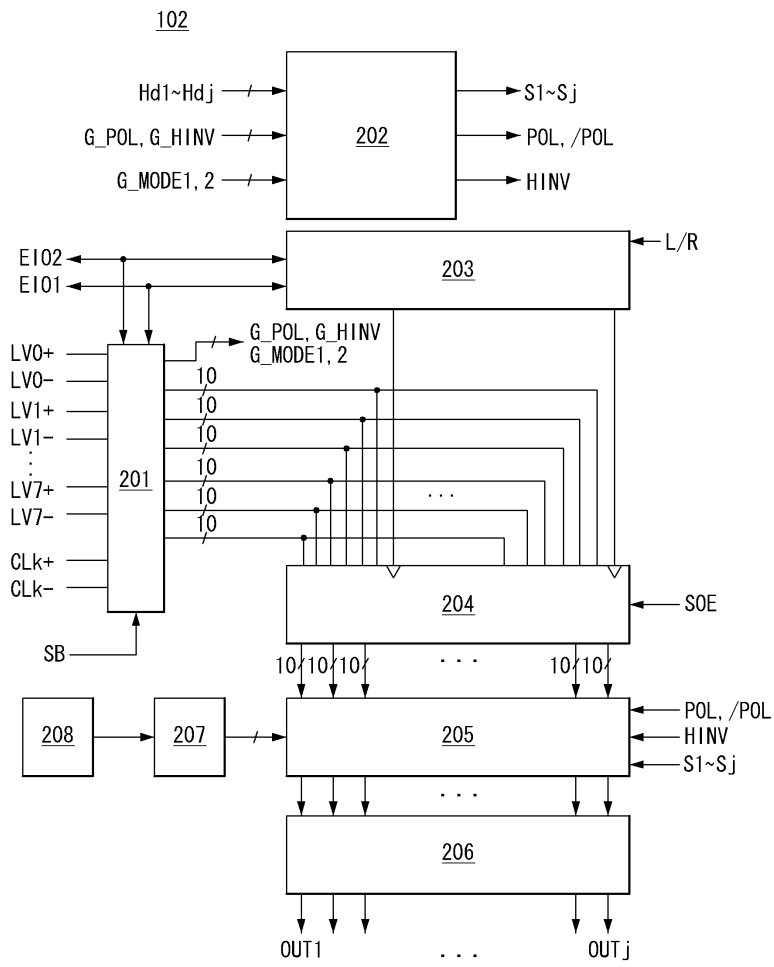
15



도면20

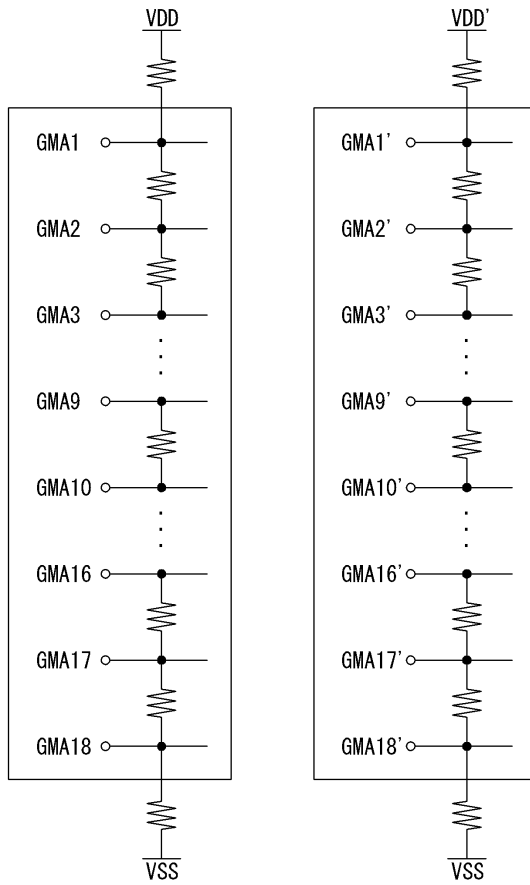


도면21



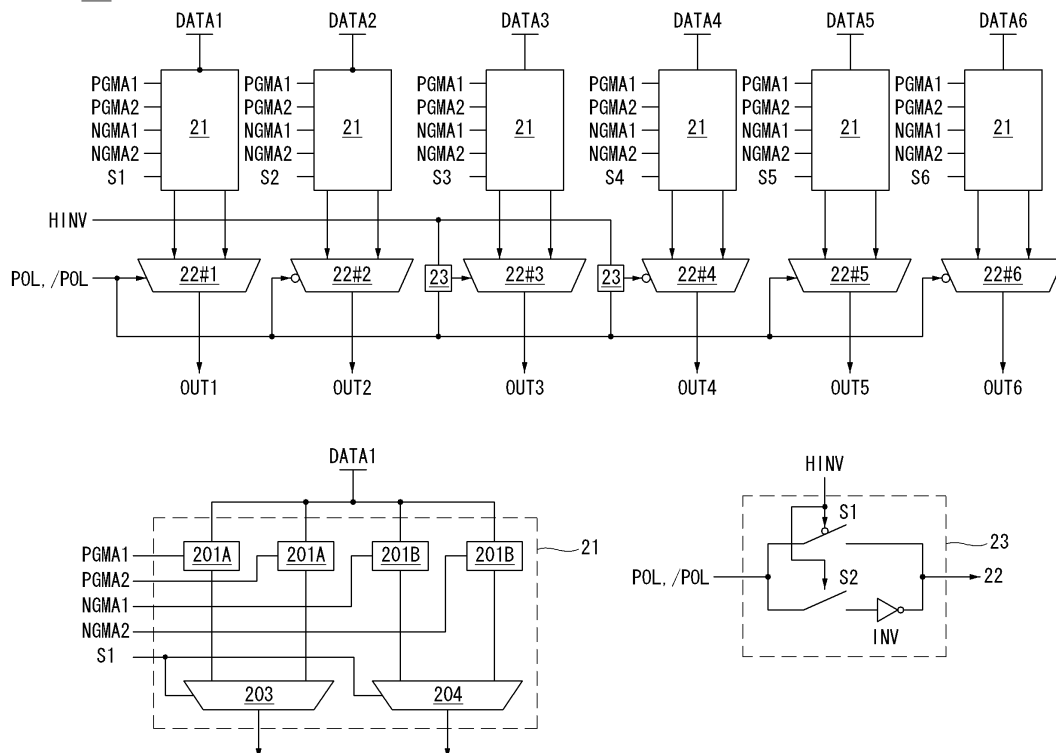
도면22

208

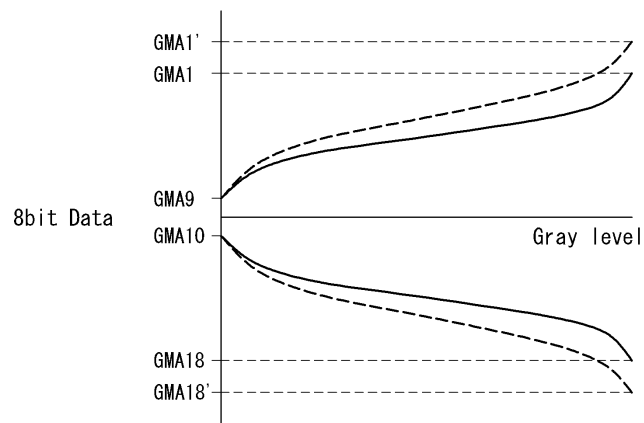


도면23

205



도면24



专利名称(译)	标题：数据电压的极性控制方法和使用该方法的液晶显示器		
公开(公告)号	KR1020120133788A	公开(公告)日	2012-12-11
申请号	KR1020110052629	申请日	2011-06-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK MAN GYU 박만규 HONG JIN CHEOL 홍진철		
发明人	박만규 홍진철		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3614 H03K19/17728 G09G2320/0271 G09G2320/0673 G09G2370/14		
其他公开文献	KR101782369B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种数据电压的极性控制方法和使用该方法的液晶显示装置，通过以一个点为单位调整极性模式，精确校正任何数据模式中的极性不平衡。组成：第三极性应用部分实际上将第一和第二极性控制数据应用于数字视频数据 (S11)。数据比较器比较L行中的N像素数据和N + 1像素数据的极性 (S12-S15)。数据比较器在第一帧周期期间对所有像素数据执行S12-S15步骤 (S16-S19)。

