



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0072676
(43) 공개일자 2012년07월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0134535

(22) 출원일자 2010년12월24일

심사청구일자 2011년11월10일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

남대현

경기도 고양시 일산동구 경의로 333, 한성아파트 515동 502호 (마두동, 백마마을)

김도성

경기도 고양시 일산서구 고양대로255번길 45, 대화마을9단지아파트 904동 1001호 (대화동)

(뒷면에 계속)

(74) 대리인

특허법인로알

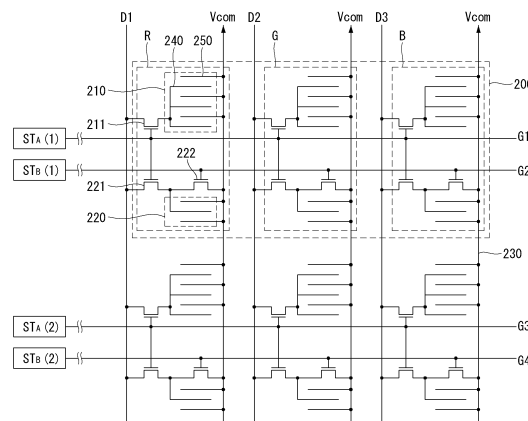
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 입체영상 표시장치 및 그 구동방법

(57) 요약

본 발명은 패턴 리타더 방식의 입체영상 표시장치 및 그 구동방법에 관한 것이다. 본 발명의 입체영상 표시장치는 2D 모드에서 제2n-1(n은 자연수) 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 2D 데이터 전압을 화소 전극에 공급하고, 3D 모드에서 상기 제2n-1 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제1 스캔 트랜지스터를 포함하는 데이터 표시부; 상기 2D 모드에서 상기 제2n-1 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 2D 데이터 전압을 상기 화소 전극에 공급하고, 상기 3D 모드에서 상기 제2n-1 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제2 트랜지스터, 및 상기 2D 모드에서 제2n 게이트 라인의 로우 논리 전압에 응답하여 턴-오프되고, 상기 3D 모드에서 상기 제2n 게이트라인의 게이트 펄스에 응답하여 공통전극에 공통으로 인가되는 공통전압을 상기 화소 전극에 공급하는 제3 트랜지스터를 포함하는 액티브 블랙 스트라이프부; 및 상기 제2n-1 게이트 라인에 게이트 펄스를 순차적으로 공급하는 A스테이지들과 상기 제2n 게이트 라인에 게이트 펄스를 순차적으로 공급하는 B스테이지들을 포함하는 쉬프트 레지스터를 구비한다.

대표도 - 도6



(72) 발명자

조성학

경기도 고양시 덕양구 호국로742번길 53, 신원당
8단지아파트 801동 707호 (성사동)

정성훈

경기 파주시 아동동 신안 실크밸리 104동 205호

특허청구의 범위

청구항 1

2D 모드에서 제 $2n-1$ (n 은 자연수) 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 2D 데이터 전압을 화소 전극에 공급하고, 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제1 스캔 트랜지스터를 포함하는 데이터 표시부;

상기 2D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 2D 데이터 전압을 상기 화소 전극에 공급하고, 상기 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제2 트랜지스터, 및 상기 2D 모드에서 제 $2n$ 게이트 라인의 로우 논리 전압에 응답하여 턴-오프되고, 상기 3D 모드에서 상기 제 $2n$ 게이트 라인의 게이트 펄스에 응답하여 공통전극에 공통으로 인가되는 공통전압을 상기 화소 전극에 공급하는 제3 트랜지스터를 포함하는 액티브 블랙 스트라이프부; 및

상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급하는 A스테이지들과 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급하는 B스테이지들을 포함하는 쉬프트 레지스터를 구비하는 입체영상 표시장치.

청구항 2

제 1 항에 있어서,

상기 A스테이지들은 종속적으로 접속되어, 타이밍 컨트롤러로부터 제1 스타트 전압이 공급되는 경우, 상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급되고,

상기 B스테이지들은 종속적으로 접속되어, 상기 타이밍 컨트롤러로부터 제2 스타트 전압이 공급되는 경우, 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급되는 것을 특징으로 하는 입체영상 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 스타트 전압은 상기 2D 모드 및 상기 3D 모드에서 모두 발생하는 것을 특징으로 하는 입체영상 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 스타트 전압은 상기 2D 모드에서 발생하지 않는 것을 특징으로 하는 입체영상 표시장치.

청구항 5

제 3 항에 있어서,

상기 제2 스타트 전압은 상기 2D 모드에서 상기 제1 스타트 전압보다 3 내지 수십 수평기간 앞서 발생하는 것을 특징으로 하는 입체영상 표시장치.

청구항 6

제 3 항에 있어서,

상기 제2 스타트 전압은 상기 3D 모드에서 상기 제1 스타트 전압보다 3 내지 수십 수평기간 뒤에 발생하는 것을 특징으로 하는 입체영상 표시장치.

청구항 7

제 2 항에 있어서,

상기 A스테이지들 각각은,

순차적으로 위상이 지연되는 i (i 는 3 이상의 자연수) 상 클럭들 중 어느 하나를 입력받는 클럭 단자, 스타트 신호를 입력받는 제1 입력단자, 및 리셋 신호를 입력받는 제2 입력단자를 포함하고,

상기 스타트 신호는 상기 제1 스타트 전압 또는 전단 스테이지의 캐리신호, 상기 리셋 신호는 상기 제1 스타트 전압 또는 후단 스테이지의 캐리신호인 것을 특징으로 하는 입체영상 표시장치.

청구항 8

제 7 항에 있어서,

상기 A스테이지들 각각은,

상기 스타트 신호에 응답하여 상기 Q 노드를 충전시키는 Q 노드 충전회로;

상기 Q 노드와 QB 노드의 충방전을 제어하는 노드 제어부;

상기 리셋 신호에 응답하여 상기 Q 노드를 방전시키는 Q 노드 방전회로; 및

상기 Q 노드와 상기 QB 노드의 전압에 따라 출력 노드를 통해 게이트 펄스를 출력하는 출력부를 포함하는 것을 특징으로 하는 입체영상 표시장치.

청구항 9

제 2 항에 있어서,

상기 B스테이지들 각각은,

순차적으로 위상이 지연되는 i (i 는 2 이상의 자연수) 상 클럭들 중 어느 하나를 입력받는 클럭 단자, 스타트 신호를 입력받는 제1 입력단자, 및 리셋 신호를 입력받는 제2 입력단자를 포함하고,

상기 스타트 신호는 상기 제2 스타트 전압 또는 전단 스테이지의 캐리신호, 상기 리셋 신호는 상기 제2 스타트 전압 또는 후단 스테이지의 캐리신호인 것을 특징으로 하는 입체영상 표시장치.

청구항 10

제 9 항에 있어서,

상기 B스테이지들 각각은,

상기 스타트 신호에 응답하여 상기 Q 노드를 충전시키는 Q 노드 충전회로;

상기 Q 노드와 QB 노드의 충방전을 제어하는 노드 제어부;

상기 리셋 신호에 응답하여 상기 Q 노드를 방전시키는 Q 노드 방전회로; 및

상기 Q 노드와 상기 QB 노드의 전압에 따라 출력 노드를 통해 게이트 펄스를 출력하는 출력부를 포함하는 것을 특징으로 하는 입체영상 표시장치.

청구항 11

제 2 항에 있어서,

상기 타이밍 콘트롤러로부터 순차적으로 위상이 지연되는 i (i 는 3 이상의 자연수) 상 클럭들을 입력받고, 상기 클럭들의 전압을 게이트 하이 전압과 상기 게이트 하이 전압보다 낮은 게이트 로우 전압으로 레벨 쉬프팅 하는 것을 특징으로 하는 입체영상 표시장치.

청구항 12

2D 모드에서 제 $2n-1$ (n 은 자연수) 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 2D 데이터 전압을 화소 전극에 공급하고, 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 단계;

상기 2D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 2D 데이터 전압을 상기 화소 전극에 공급하고, 상기 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제2 트랜지스터, 및 상기 2D 모드에서 제 $2n$ 게이트

라인의 로우 논리 전압에 응답하여 턴-오프되고, 상기 3D 모드에서 상기 제2n 게이트라인의 게이트 펄스에 응답하여 공통전극에 공통으로 인가되는 공통전압을 상기 화소 전극에 공급하는 단계; 및

상기 제2n-1 게이트 라인에 게이트 펄스를 순차적으로 공급하고, 상기 제2n 게이트 라인에 게이트 펄스를 순차적으로 공급하는 단계를 포함하는 입체영상 표시장치의 구동방법.

명세서

기술 분야

[0001] 본 발명은 패턴 리타더 방식의 입체영상 표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 입체영상 표시장치는 양안시차방식(stereoscopic technique) 또는 복합시차지각방식(autostereoscopic technique)을 이용하여 3D 영상을 구현한다.

[0003] 양안시차방식은 입체 효과가 큰 좌우 눈의 시차 영상을 이용하며, 안경방식과 무안경방식으로 나뉘어질 수 있다. 안경방식은 직시형 표시소자나 프로젝터에 좌우 시차 영상의 편광 방향을 바꿔서 또는 시분할 방식으로 표시하고, 편광 안경 또는 액정서터 안경을 사용하여 입체영상을 구현한다. 무안경 방식은 일반적으로 좌우 시차 영상의 광축을 분리하기 위한 패럴랙스 베리어, 렌티큘러 렌즈 등의 광학 부품을 표시 화면의 앞에 또는 뒤에 설치하여 입체영상을 구현한다.

[0004] 도 1은 패턴 리타더 방식의 입체영상 표시장치를 나타낸 도면이다. 도 1의 패턴 리타더 방식의 입체영상 표시장치는 표시패널(3) 상에 배치된 패턴 리타더(Patterned Retarder)(5)의 편광 특성과, 사용자가 착용한 편광 안경(6)의 편광특성을 이용하여 입체영상을 구현한다. 입체영상 표시장치는 표시패널(3)에서 이웃하는 라인들에 좌안 이미지(L)와 우안 이미지(R)를 표시하고 패턴 리타더(5)를 통해 편광 안경(6)에 입사되는 편광특성을 스위칭한다. 도 1과 같은 입체영상 표시장치는 좌안 이미지(L)의 편광 특성과 우안 이미지(R)의 편광 특성을 다르게 하여 사용자가 보는 좌안 이미지(L)와 우안 이미지(R)를 공간적으로 분할하여 3D 영상을 구현할 수 있다. 도 1에서 도면부호 '1'은 표시패널(3)에 빛을 조사하는 백라이트 유닛을, 도면부호 '2' 및 '4'는 선편광을 선택하기 위해 표시패널(3)의 상판과 하판에 각각에 부착되는 편광필름을 나타낸다.

[0005] 도 1과 같은 입체영상 표시장치는 상하 시야각 위치에서 발생하는 크로스토크(Crosstalk)로 인해 3D 영상의 시인성이 떨어지는 단점이 있다. 사용자의 좌안에 좌안 이미지의 빛만 통과하고 사용자의 우안에 우안 이미지의 빛만 통과하여야 하나, 사용자의 좌안과 우안에 좌안 이미지의 빛과 우안 이미지의 빛이 모두 입사될 때 사용자는 좌안 또는 우안을 통해 좌안 영상과 우안 영상의 빛을 동시에 보는 좌/우안 크로스토크를 느끼게 된다. 사용자가 표시패널(3)을 정면에서 보는 것이 아니라 위에서 바라 보거나 아래에서 바라 볼 때 정면 시야각 대비 소정의 각도 이상으로 큰 상하 시야각에서부터 좌안 패턴 리타더(5a)와 우안 패턴 리타더(5b) 각각에서 좌안 이미지의 빛과 우안 이미지의 빛이 통과되는 크로스토크가 발생한다. 따라서, 도 1과 같은 입체영상 표시장치에서 크로스토크 없는 3D 영상을 볼 수 있는 상하 시야각은 매우 좁다.

[0006] 일본 공개특허공보 제2002-185983호는 도 1과 같은 입체영상 표시장치의 상하 시야각을 넓히기 위한 방법으로 도 2와 같이 패턴 리타더(5)에 블랙 스트라이프(BS)를 형성하는 방법을 제안한 바 있다. 사용자가 입체영상 표시장치로부터 일정 거리(D)만큼 떨어진 위치에서 그 입체영상 표시장치를 관찰할 때, 도 2에서 이론적으로 크로스토크가 발생하지 않는 상하 시야각(α)은 표시패널(3)에 형성된 블랙 매트릭스(BM)의 사이즈, 패턴 리타더(5)에 형성된 블랙 스트라이프(BS)의 사이즈, 그리고 표시패널(3)과 패턴 리타더(5) 간의 거리(S)에 의존한다. 상하 시야각(α)은 블랙 매트릭스(BM)의 사이즈와 블랙 스트라이프(BS)의 사이즈가 커질수록 또한, 표시패널(3)과 패턴 리타더(5) 간의 거리가 작을수록 넓어진다.

[0007] 도 2와 같이 패턴 리타더(5)에 블랙 스트라이프(BS)가 형성된 입체영상 표시장치는 블랙 스트라이프(BS)로 인하여 기존의 2D만을 표시하는 표시장치보다 휘도가 많이 낮아지게 된다. 또한, 패턴 리타더(5)에 블랙 스트라이프(BS)가 형성된 입체영상 표시장치는 표시패널(3)에 패턴 리타더(5)를 부착시 정밀한 정렬이 요구된다. 패턴 리타더(5)가 정확히 정렬되지 않으면, 블랙 스트라이프(BS)가 제역할을 못하기 때문에, 좌안 영상이 우안에 보여지거나 우안 영상이 좌안에 보여지게 된다. 따라서, 좌안 영상과 우안 영상이 겹쳐보이는 3D 크로스토크(Crosstalk)가 발생할 수 있다. 이러한 일본 공개특허공보 제2002-185983호에 개시된 입체영상 표시장

치의 문제점들을 해결하기 위해, 표시패널의 픽셀을 액티브(active) 블랙 스트라이프(BS)로 제어하는 기술이 제안되고 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 게이트 드라이브 IC가 아닌 GIP 회로를 이용하여 액티브 블랙 스트라이프를 구현하는 패턴 리타더 방식의 입체영상 표시장치와 그 구동방법을 제공한다.

과제의 해결 수단

[0009] 본 발명의 입체영상 표시장치는 2D 모드에서 제 $2n-1$ (n 은 자연수) 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 2D 데이터 전압을 화소 전극에 공급하고, 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제1 스캔 트랜지스터를 포함하는 데이터 표시부; 상기 2D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 2D 데이터 전압을 상기 화소 전극에 공급하고, 상기 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제2 트랜지스터, 및 상기 2D 모드에서 제 $2n$ 게이트 라인의 로우 논리 전압에 응답하여 턴-오프되고, 상기 3D 모드에서 상기 제 $2n$ 게이트라인의 게이트 펄스에 응답하여 공통전극에 공통으로 인가되는 공통전압을 상기 화소 전극에 공급하는 제3 트랜지스터를 포함하는 액티브 블랙 스트라이프부; 및 상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급하는 A스태이지들과 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급하는 B스태이지들을 포함하는 쉬프트 레지스터를 구비한다.

[0010] 본 발명의 입체영상 표시장치의 구동방법은 2D 모드에서 제 $2n-1$ (n 은 자연수) 게이트 라인의 게이트 펄스에 응답하여 데이터 라인의 2D 데이터 전압을 화소 전극에 공급하고, 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 단계; 상기 2D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 2D 데이터 전압을 상기 화소 전극에 공급하고, 상기 3D 모드에서 상기 제 $2n-1$ 게이트 라인의 게이트 펄스에 응답하여 상기 데이터 라인의 3D 데이터 전압을 상기 화소 전극에 공급하는 제2 트랜지스터, 및 상기 2D 모드에서 제 $2n$ 게이트 라인의 로우 논리 전압에 응답하여 턴-오프되고, 상기 3D 모드에서 상기 제 $2n$ 게이트라인의 게이트 펄스에 응답하여 공통전극에 공통으로 인가되는 공통전압을 상기 화소 전극에 공급하는 단계; 및 상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급하고, 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급하는 단계를 포함한다.

발명의 효과

[0011] 본 발명은 데이터 표시부와 블랙 스트라이프부 각각에 연결된 제 $2n-1$ 게이트 라인에 게이트 펄스를 공급하는 A스태이지와 블랙 스트라이프부에만 연결된 제 $2n$ 게이트 라인에 게이트 펄스를 공급하는 B스태이지를 제1 및 제2 스타트 전압으로 제어하여 액티브 블랙 스트라이프를 구현한다. 그 결과, 본 발명은 게이트 드라이브 IC가 필요하지 않으므로, 비용을 절감할 수 있다.

도면의 간단한 설명

[0012] 도 1은 패턴 리타더 방식의 입체영상 표시장치를 나타내는 도면이다.

도 2는 패턴 리타더에 블랙 스트라이프가 형성된 입체영상 표시장치를 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 입체영상 표시장치를 개략적으로 나타내는 블록도이다.

도 4는 표시패널, 패턴 리타더 및 편광 안경을 보여주는 분해 사시도이다.

도 5는 GIP 구동 방법에 따른 표시장치의 구성을 상세히 보여주는 블록도이다.

도 6은 본 발명의 실시예에 따른 액티브 블랙 스트라이프로 제어되는 표시패널의 픽셀들 일부를 상세히 보여주는 회로도이다.

도 7a 및 도 7b는 2D 및 3D 모드에서 표시패널의 픽셀들 각각의 화소 전극과 공통 전극의 전압을 보여주는 도면이다.

도 8은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터의 구성을 상세히 보여주는 블록도이다.

도 9는 도 8의 (A) 스테이지의 회로 구성을 보여주는 일 예이다.

도 10은 본 발명의 제1 실시예에 따른 2D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다.

도 11은 본 발명의 제2 실시예에 따른 2D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다.

도 12는 본 발명의 실시예에 따른 3D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0014] 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0015] 도 3은 본 발명의 실시예에 따른 입체영상 표시장치를 개략적으로 나타내는 블록도이다. 도 4는 표시패널, 패턴 리타더 및 편광 안경을 보여주는 분해 사시도이다. 도 5는 GIP 구동 방법에 따른 표시장치의 구성을 상세히 보여주는 블록도이다. 본 발명의 입체영상 표시장치는 액정표시소자(Liquid Crystal Display, LCD), 전계 방출 표시소자(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP), 유기발광다이오드 소자(Organic Light Emitting Diode, OLED) 등의 평판 표시소자로 구현될 수 있다. 본 발명은 아래의 실시예에서 액정표시소자를 중심으로 예시하였지만, 액정표시소자에 한정되지 않는 것에 주의하여야 한다.
- [0016] 도 3 내지 도 5를 참조하면, 본 발명의 입체영상 표시장치는 표시패널(10), 편광 안경(20), 게이트 구동부(110), 데이터 구동부(120), 타이밍 콘트롤러(130), 및 호스트 시스템(140) 등을 포함한다. 표시패널(10)은 타이밍 콘트롤러(130)의 제어 하에 영상을 표시한다. 표시패널(10)은 박막트랜지스터(Thin Film Transistor: 이하, "TFT"라 함) 기판과 컬러필터 기판을 포함한다. TFT 기판과 컬러필터 기판 사이에는 액정층이 형성된다.
- [0017] TFT 기판 상에는 하부 유리기판 상에 데이터 라인들과 게이트 라인들(또는 스캔 라인들)이 상호 교차되도록 형성되고, 데이터 라인들과 게이트 라인들에 의해 정의된 셀영역들에 액정셀들이 매트릭스 형태로 배치된다. 데이터 라인들과 게이트 라인들의 교차부에 형성된 TFT는 게이트 라인으로부터의 게이트 펄스에 응답하여 데이터 라인들을 경유하여 공급되는 데이터전압을 액정셀의 화소 전극에 전달하게 된다. 이를 위하여, TFT의 게이트 전극은 게이트 라인에 접속되며, 소스 전극은 데이터 라인에 접속된다. TFT의 드레인 전극은 액정셀의 화소 전극 및 스토리지 캐패시터(Storage Capacitor)에 접속된다. 스토리지 캐패시터는 화소 전극에 전달된 데이터 전압을 다음 데이터 전압이 들어올 때까지 일정시간 동안 유지해주는 기능을 한다. 화소 전극과 대향하는 공통 전극에는 공통전압이 공급된다.
- [0018] 컬러필터 기판은 상부 유리기판 상에 형성된 블랙매트릭스, 컬러필터를 포함한다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기판 상에 형성된다.

- [0019] 도 4와 같이 표시패널(10)의 상부 유리기관에는 상부 편광판(11a)이 부착되고, 하부 유리기관에는 하부 편광판(11b)이 부착된다. 상부 편광판(11a)의 광투과축(r1)과 하부 편광판(11b)의 광투과축(r2)은 직교된다. 또한, 상부 유리기관과 하부 유리기관에는 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 표시패널(10)의 상부 유리기관과 하부 유리기관 사이에는 액정층의 셀갭(cell gap)을 유지하기 위한 스페이서가 형성된다. 표시패널(10)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다.
- [0020] 표시패널(10)의 픽셀들 각각은 적색 서브픽셀, 녹색 서브픽셀, 및 청색 서브픽셀을 포함한다. 적색 서브픽셀, 녹색 서브픽셀, 및 청색 서브픽셀 각각은 데이터 표시부와 액티브 블랙 스트라이프부로 분할된다. 이에 대한 자세한 설명은 도 6을 결부하여 후술한다.
- [0021] 2D 모드에서, 표시패널(10)의 기수 라인들의 픽셀들과 우수 라인들의 픽셀들은 2D 영상을 표시한다. 3D 모드에서, 표시패널(10)의 기수 라인들의 픽셀들은 좌안 영상(또는 우안 영상)을 표시하고 우수 라인들의 픽셀들은 우안 영상(또는 좌안 영상)을 표시한다. 표시패널(10)의 픽셀들에 표시된 영상의 빛은 상부 편광필름을 통해 표시패널(10) 상에 배치된 패턴 리타더(Patterned Retarder)(30)에 입사된다.
- [0022] 도 4와 같이 패턴 리타더(30)의 기수 라인들에는 제1 리타더(31)가 형성되고, 우수 라인들에는 제2 리타더(32)가 형성된다. 따라서, 표시패널(10)의 기수 라인들의 픽셀들은 패턴 리타더(30)의 기수 라인들에 형성되는 제1 리타더(31)와 대향되고, 표시패널(10)의 우수 라인들의 픽셀들은 패턴 리타더(30)의 우수 라인들에 형성되는 제2 리타더(32)와 대향된다.
- [0023] 제1 리타더(31)는 표시패널(10)로부터의 빛의 위상값을 $+\lambda/4$ (λ 는 빛의 파장) 만큼 지연시킨다. 제2 리타더(32)는 표시패널(10)로부터의 빛의 위상값을 $-\lambda/4$ 만큼 지연시킨다. 제1 리타더(31)의 광축(optic axis)(r3)과 제2 리타더(32)의 광축(r4)은 서로 직교된다. 패턴 리타더(30)의 제1 리타더(31)는 제1 원편광(좌원편광)만을 통과시키도록 구현될 수 있다. 제2 리타더(32)는 제2 원편광(우원편광)만을 통과시키도록 구현될 수 있다.
- [0024] 편광 안경(20)의 좌안 편광필터는 패턴 리타더(30)의 제1 리타더(31)와 동일한 광축을 가진다. 편광 안경(20)의 우안 편광필터는 패턴 리타더(30)의 제2 리타더(32)와 동일한 광축을 가진다. 예를 들어, 편광 안경(20)의 좌안 편광필터는 좌원편광 필터로 선택될 수 있고, 편광 안경(20)의 우안 편광필터는 우원편광 필터로 선택될 수 있다. 사용자는 3D 영상을 감상할 때 편광 안경을 쓰고, 2D 영상을 감상할 때 편광 안경을 벗어야 한다.
- [0025] 결국, 패턴 리타더 방식의 입체영상 표시장치에서, 표시패널(10)의 기수 라인들의 픽셀들에 표시되는 좌안 영상은 제1 리타더(31)를 통과하여 좌원 편광으로 변환되고, 우수 라인들의 픽셀들에 표시되는 우안 영상은 제2 리타더(32)를 통과하여 우원 편광으로 변환된다. 좌원 편광은 편광 안경(20)의 좌안 편광필터를 통과하여 사용자의 좌안에 도달하게 되고, 우원 편광은 편광 안경(20)의 우안 편광필터를 통과하여 사용자의 우안에 도달하게 된다. 따라서, 사용자는 좌안을 통하여 좌안 영상만을 보게 되고, 우안을 통하여 우안 영상만을 보게 된다.
- [0026] 도 5와 같이 데이터 구동부(120)는 다수의 소스 드라이브 IC(70)들을 포함한다. 소스 드라이브 IC(70)들은 타이밍 콘트롤러(130)로부터 입력되는 영상 데이터(RGB)를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압들을 발생한다. 소스 드라이브 IC(70)들로부터 출력되는 정극성/부극성 아날로그 데이터전압들은 표시패널(10)의 데이터 라인들에 공급된다.
- [0027] 게이트 구동부(110)는 타이밍 콘트롤러(130)의 제어 하에 데이터전압에 동기되는 게이트 펄스를 표시패널(10)의 게이트 라인(G)들에 순차적으로 공급한다. 게이트 구동부(110)는 레벨 쉬프터(40), 및 쉬프트 레지스터(50) 등을 각각 포함한다. 레벨 쉬프터(40)는 타이밍 콘트롤러(130)로부터 입력되는 클럭들(Clocks, CLKs)의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다. GIP(Gate Drive-IC In Panel) 방식에서, 레벨 쉬프터(40)는 PCB(Printed Circuit Board)(60) 상에 실장되고, 쉬프트 레지스터(50)는 표시패널(10)의 하부 기관상에 직접 형성된다. 쉬프트 레지스터(50)에 대한 자세한 설명은 도 7 및 도 8을 결부하여 후술한다.
- [0028] 표시패널(10)은 대표적으로 백라이트 유닛으로부터의 빛을 변조하는 투과형 액정표시패널이 선택될 수 있다. 백라이트 유닛은 백라이트 유닛 구동부로부터 공급되는 구동전류에 따라 점등하는 광원, 도광판(또는 확산판), 다수의 광학시트 등을 포함한다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛, 또는 에지형

(edge type) 백라이트 유닛으로 구현될 수 있다. 백라이트 유닛의 광원들은 HCFL(Hot Cathode Fluorescent Lamp), CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp), LED(Light Emitting Diode) 중 어느 하나의 광원 또는 두 종류 이상의 광원들을 포함할 수 있다.

[0029] 백라이트 유닛 구동부는 백라이트 유닛의 광원들을 점등시키기 위한 구동전류를 발생한다. 백라이트 유닛 구동부는 타이밍 컨트롤러(130)의 제어 하에 광원들에 공급되는 구동전류를 온/오프(ON/OFF)한다. 타이밍 컨트롤러(130)는 호스트 시스템(140)으로부터 입력되는 글로벌/로컬 디밍신호에 따라 백라이트 휘도와 점등 타이밍을 조정한 백라이트 제어 데이터를 SPI(Serial Peripheral Interface) 데이터 포맷으로 백라이트 유닛 구동부에 출력한다.

[0030] 타이밍 컨트롤러(130)는 호스트 시스템(140)으로부터 출력된 영상 데이터(RGB)와 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 등의 타이밍 신호들에 기초하여 게이트 구동부 제어신호를 게이트 구동부(110)로 출력하고, 데이터 구동부 제어신호를 데이터 구동부(120)로 출력한다. 게이트 구동부 제어신호는 제1 및 제2 스타트 전압(VST1, VST2), 클럭들(CLKs) 등을 포함한다. 제1 스타트 전압(VST1)은 쉬프트 레지스터(50)의 A스테이지의 첫 번째 게이트 펄스의 타이밍을 제어한다. 제2 스타트 전압(VST2)은 쉬프트 레지스터(50)의 B스테이지의 첫 번째 게이트 펄스의 타이밍을 제어한다. 클럭들(CLKs)은 i (i 는 3 이상의 자연수) 상으로 발생될 수 있고, 쉬프트 레지스터(50)로 입력되어, 쉬프트 레지스터(50)의 출력을 제어한다.

[0031] 데이터 구동부 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE), 극성제어신호(POL) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(120)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터 구동부(120)의 샘플링 동작을 제어하는 클럭신호이다. 데이터 구동부(120)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다. 극성제어신호(POL)는 데이터 구동부(120)로부터 출력되는 데이터전압의 극성을 L(L 은 자연수) 수평기간 주기로 반전시킨다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(120)의 출력 타이밍을 제어한다.

[0032] 호스트 시스템(140)은 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 영상 데이터(RGB)를 타이밍 컨트롤러(130)에 공급한다. 또한, 호스트 시스템(140)은 타이밍 신호들(Vsync, Hsync, DE, CLK)과 2D 모드와 3D 모드를 구분할 수 있는 모드신호(MODE) 등을 타이밍 컨트롤러(130)에 공급한다.

[0033] 도 6은 본 발명의 실시예에 따른 액티브 블랙 스트라이프로 제어되는 표시패널의 픽셀들 일부를 상세히 보여주는 회로도이다. 도 6을 참조하면, 표시패널(10)은 $j \times k$ (j 및 k 는 2 이상의 양의 정수)개의 픽셀(200)들을 포함한다. 픽셀들 각각은 적색 서브픽셀(R), 녹색 서브픽셀(G), 및 청색 서브픽셀(B)을 포함한다.

[0034] 서브 픽셀들(R, G, B) 각각은 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)로 분할된다. 데이터 표시부(210)의 액정셀은 제1 스캔 TFT(211)에 접속되어 화소 전극(240)과 공통전극(250) 사이의 전계에 의해 구동된다. 제1 스캔 TFT(211)는 제 $2n-1$ (n 은 자연수) 게이트 라인($G1$ 또는 $G3$)의 게이트 펄스에 응답하여 데이터 라인($D1$, $D2$, 또는 $D3$)의 데이터 전압을 데이터 표시부(210)의 화소 전극(240)에 공급한다. 제1 스캔 TFT(211)의 게이트 전극은 제 $2n-1$ 게이트 라인($G1$ 또는 $G3$)에 접속되고, 드레인 전극은 데이터 라인($D1$, $D2$, 또는 $D3$)에 접속되며, 소스 전극은 데이터 표시부(210)의 화소전극(240)에 접속된다.

[0035] 액티브 블랙 스트라이프부(220)의 액정셀은 제2 스캔 TFT(221) 및 제3 스캔 TFT(222)에 접속되어 화소 전극(240)과 공통전극(250) 사이의 전계에 의해 구동된다. 제2 스캔 TFT(221)는 제 $2n-1$ 게이트 라인($G1$ 또는 $G3$)의 게이트 펄스에 응답하여 데이터 라인($D1$, $D2$, 또는 $D3$)의 데이터 전압을 액티브 블랙 스트라이프부(220)의 화소 전극(240)에 공급한다. 제2 스캔 TFT(221)의 게이트 전극은 제 $2n-1$ 게이트 라인($G1$ 또는 $G3$)에 접속되고, 드레인 전극은 데이터 라인($D1$, $D2$, 또는 $D3$)에 접속되며, 그 소스전극은 액티브 블랙 스트라이프부(220)의 화소 전극(240)에 접속된다.

[0036] 제3 스캔 TFT(222)는 2D 모드에서 제 $2n$ 게이트 라인($G2$, 또는 $G4$)에 게이트 펄스가 공급되지 않으므로, 턴-오프된 상태를 유지한다. 제3 스캔 TFT(222)는 3D 모드에서 제 $2n$ 게이트 라인($G2$, 또는 $G4$)의 게이트 펄스에 응답하여 공통전압 라인(250)으로부터의 공통전압(V_{com})을 액티브 블랙 스트라이프부(220)의 화소 전극(240)

에 공급한다. 제3 스캔 TFT(222)의 게이트 전극은 제2n 게이트 라인(G2, 또는 G4)에 접속되고, 드레인 전극은 공통전압 라인(250)에 접속되며, 소스 전극은 액티브 블랙 스트라이프부(220)의 화소전극(240)에 접속된다.

[0037] 쉬프트 레지스터(50)는 A스테이지(ST_A(1), ST_A(2))와 B스테이지(ST_B(1), ST_B(2))를 포함한다. A스테이지(ST_A(1), ST_A(2))는 제2n-1 게이트라인(G1, G3)에 게이트 펄스를 순차적으로 출력하고, B스테이지(ST_B(1), ST_B(2))는 제2n 게이트 라인(G2, G4)에 게이트 펄스를 순차적으로 출력한다.

[0038] 2D 모드에서, A스테이지(ST_A(1), ST_A(2))는 제2n-1 게이트 라인(G1, G3)에 게이트 펄스를 순차적으로 출력하지만, B스테이지(ST_B(1), ST_B(2))는 제2n 게이트 라인(G2, G4)에 게이트 펄스를 출력하지 않는다. 또한, 2D 모드에서, A스테이지(ST_A(1), ST_A(2))는 제2n-1 게이트 라인(G1, G3)에 게이트 펄스를 순차적으로 출력하고, B스테이지(ST_B(1), ST_B(2))는 제2n 게이트 라인(G2, G4)에 게이트 펄스를 순차적으로 출력할 수 있다. 이때, A스테이지(ST_A(1), ST_A(2))의 출력보다 B스테이지(ST_B(1), ST_B(2))의 출력이 소정의 시간 앞서서 발생한다.

[0039] 3D 모드에서, A스테이지(ST_A(1), ST_A(2))는 제2n-1 게이트 라인(G1, G3)에 게이트 펄스를 순차적으로 출력하고, B스테이지(ST_B(1), ST_B(2))는 제2n 게이트 라인(G2, G4)에 게이트 펄스를 순차적으로 출력한다. 3D 모드에서, B스테이지(ST_B(1), ST_B(2))의 출력보다 A스테이지(ST_A(1), ST_A(2))의 출력이 소정의 시간 앞서서 발생한다. 쉬프트 레지스터(50)의 입력 및 출력에 대한 자세한 설명은 도 9 내지 도 11을 결부하여 후술한다.

[0040] 데이터 구동부(120)는 2D 모드에서 제2n-1 게이트 라인(G1, G3)의 게이트 펄스에 동기하여 2D 영상의 데이터 전압을 데이터 라인들(D1~D3)로 출력한다. 따라서, 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)에는 2D 영상의 데이터 전압이 공급된다. 데이터 구동부(120)는 3D 모드에서 게이트 라인(G1 내지 G4)의 게이트 펄스에 동기하여 3D 영상의 데이터 전압을 데이터 라인들(D1~D3)로 출력한다. 따라서, 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)에는 3D 영상의 데이터 전압이 공급된다. 하지만, 제2n 게이트 라인(G2, G4)의 게이트 펄스에 의해 액티브 블랙 스트라이프부(220)에는 공통전압(Vcom)이 공급된다.

[0041] 결국, 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)는 2D 모드에서 2D 영상의 적색, 녹색 및 청색 데이터 전압을 충전한다. 데이터 표시부(210)는 3D 모드에서 3D 영상의 적색, 녹색, 및 청색 데이터 전압을 충전하고, 액티브 블랙 스트라이프부(220)는 3D 모드에서 공통전압을 충전한다.

[0042] 도 7a 및 도 7b는 2D 및 3D 모드에서 데이터 표시부와 액티브 블랙 스트라이프부의 화소 전극과 공통 전극의 전압을 보여주는 도면이다. 도 7a를 참조하면, 2D 모드에서 데이터 표시부(210)과 액티브 블랙 스트라이프부(220) 각각의 화소 전극에는 데이터 전압이 충전된다. 도 7b를 참조하면, 3D 모드에서 최종적으로 데이터 표시부(210)과 액티브 블랙 스트라이프부(220) 각각의 화소 전극에는 공통전압(Vcom)이 충전된다. 결국, 액티브 블랙 스트라이프부(220)는 2D 모드에서 2D 영상의 데이터 전압을 충전하여 2D 영상의 휘도와 색도를 높여 2D 영상의 표시품질을 높인다. 액티브 블랙 스트라이프부(220)는 3D 모드에서 공통전압(Vcom)을 충전하여 블랙 영상을 표시함으로써 블랙 스트라이프(BS)로서 기능을 한다.

[0043] 이하에서, 쉬프트 레지스터(50)의 구성 및 동작 방법을 살펴봄으로써, 2D 모드에서 데이터 표시부(210)과 액티브 블랙 스트라이프부(220) 각각의 화소 전극에도 7a과 같이 데이터 전압을 충전하고, 3D 모드에서 데이터 표시부(210)과 액티브 블랙 스트라이프부(220) 각각의 화소 전극에 도 7b과 같이 공통전압을 충전하는 방법을 살펴본다.

[0044] 도 8은 본 발명의 실시예에 따른 쉬프트 레지스터의 구성을 상세히 보여주는 블록도이다. 도 8을 참조하면, 본 발명의 실시예에 따른 쉬프트 레지스터(50)는 종속적으로 접속된 다수의 A스테이지들(ST_A(1)~ST_A(n))과 종속적으로 접속된 다수의 B스테이지들(ST_B(1)~ST_B(n))을 구비한다.

[0045] A스테이지들(ST_A(1)~ST_A(n))과 B스테이지들(ST_B(1)~ST_B(n)) 각각은 1 개의 출력 채널을 구비하여 1 개의 게이트 펄스를 출력한다. 게이트 펄스는 표시패널(10)의 게이트 라인들에 인가됨과 동시에, 전단 스테이지와 후단 스테이지로 전달되는 캐리신호 역할을 겸한다.

- [0046] 이하의 설명에서 "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다. 예컨대, 제 $k(1 < k < n, k, k \text{는 } 2 \text{ 이상의 자연수})$ A스테이지($ST_A(k)$)를 기준으로, 전단 스테이지는 제1 A스테이지($ST_A(1)$) 내지 제 $k-1$ A스테이지($ST_A(k-1)$) 중 어느 하나를 지시한다. 제 k B스테이지($ST_B(k)$)를 기준으로, 전단 스테이지는 제1 B스테이지($ST_B(1)$) 내지 제 $k-1$ B스테이지($ST_B(k-1)$) 중 어느 하나를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제 k A스테이지($ST_A(k)$)를 기준으로, 후단 스테이지는 제 $k+1$ A스테이지($ST_A(k+1)$) 내지 제 n A스테이지($ST_A(n)$) 중 어느 하나를 지시한다. 제 k B스테이지($ST_B(k)$)를 기준으로, 후단 스테이지는 제 $k+1$ B스테이지($ST_B(k+1)$) 내지 제 n B스테이지($ST_B(n)$) 중 어느 하나를 지시한다.
- [0047] A스테이지들은 종속적으로 접속되고, A스테이지들 각각의 출력은 후단 스테이지의 캐리신호로 역할을 하기 때문에, A스테이지들은 제1 스타트 전압이 공급되는 경우 상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급하고, 제1 스타트 전압이 공급되지 않는 경우, 상기 제 $2n-1$ 게이트 라인에 게이트 펄스를 순차적으로 공급하지 않는다. B스테이지들은 종속적으로 접속되고, B스테이지들 각각의 출력은 후단 스테이지의 캐리신호로 역할을 하기 때문에, B스테이지들은 제2 스타트 전압이 공급되는 경우 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급하고, 제2 스타트 전압이 공급되지 않는 경우, 상기 제 $2n$ 게이트 라인에 게이트 펄스를 순차적으로 공급하지 않는다.
- [0048] A스테이지들($ST_A(1) \sim ST_A(n)$) 각각은 제1 A스테이지($ST_A(1)$)로부터 제 n A스테이지($ST_A(n)$) 순으로 게이트 펄스($Gout(1) \sim Gout(2n-1)$)를 출력한다. 즉, 제 k A스테이지($ST_A(k)$)의 출력단은 제 $2k-1$ 게이트 라인에 접속되어 제 $2k-1$ 게이트 펄스를 출력한다. A스테이지들($ST_A(1) \sim ST_A(n)$) 각각은 제1 입력단자(VST)에 스타트 신호로 인가되는 1개의 전단 스테이지의 캐리신호와, 제2 입력단자(VRESET)에 리셋신호로 인가되는 1개의 후단 스테이지의 캐리신호에 응답하여 동작한다.
- [0049] B스테이지들($ST_B(1) \sim ST_B(n)$) 각각은 제1 B스테이지($ST_B(1)$)로부터 제 n B스테이지($ST_B(n)$) 순으로 게이트 펄스($Gout(2) \sim Gout(2n)$)를 출력한다. 즉, 제 k B스테이지($ST_B(k)$)의 출력단은 제 $2k$ 게이트 라인에 접속되어 제 $2k$ 게이트 펄스를 출력한다. B스테이지들($ST_B(1) \sim ST_B(n)$) 각각은 제1 입력단자(VST)에 스타트 신호로 인가되는 1개의 전단 스테이지의 캐리신호와, 제2 입력단자(VRESET)에 리셋신호로 인가되는 1개의 후단 스테이지의 캐리신호에 응답하여 동작한다.
- [0050] A스테이지들($ST_A(1) \sim ST_A(n)$)과 B스테이지들($ST_B(1) \sim ST_B(n)$) 각각에는 소정 시간만큼의 펄스를 가지고, 순차적으로 지연되는 i 상 클럭들 중에 1개의 클럭이 입력된다. 본 발명은 도 10 내지 도 12에서 6상 클럭들(CLK1~CLK6)을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 6상 클럭들(CLK1~CLK6) 각각은 1수평기간의 펄스폭을 가지고, 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스위칭한다.
- [0051] A스테이지들($ST_A(1) \sim ST_A(n)$)과 B스테이지들($ST_B(1) \sim ST_B(n)$) 각각에는 전원전압(VDD)과 기저전압(GND), 또는 게이트 로우 전압(VGL) 레벨의 저전위 전압(VSS)이 공급된다. 게이트 하이 전압(VGH)은 표시패널(10)의 액티브 어레이에 형성된 TFT들의 문턱전압 이상의 전압으로 설정되고, 게이트 로우 전압(VGL)은 표시장치의 TFT 어레이에 형성된 TFT들의 문턱전압보다 작은 전압으로 설정된다. 게이트 하이 전압(VGH)은 대략 20V~30V 정도로 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -5V 정도로 설정될 수 있다.
- [0052] 도 9는 도 8의 A스테이지의 회로 구성을 보여주는 일 예이다. B스테이지의 회로 구성은 A스테이지와 실질적으로 동일하다. 도 9를 참조하면, A스테이지들($ST_A(1) \sim ST_A(n)$) 각각의 클럭 단자(CLK)에는 6상 클럭들 중 1개의 클럭이 입력된다.
- [0053] A스테이지들($ST_A(1) \sim ST_A(n)$) 각각은 제1 입력단자(VST)를 통해 입력되는 신호에 응답하여 Q 노드를 충전하는 Q 노드 충전부, Q 노드와 QB 노드의 충전전을 제어하는 노드 제어부, 제2 입력단자(VRESET)를 통해 입력되는 신호에 응답하여 Q 노드를 방전하는 Q 노드 방전부, 및 노드들(Q, QB)의 전압에 따라 게이트 펄스를 출력하는 출력부를 구비한다.
- [0054] Q 노드 충전부는 Q 노드를 충전시키는 제1 TFT(T1)를 포함한다. 제1 TFT(T1)는 제1 입력단자(VST)를 통해 입

력되는 스타트 신호에 응답하여 전원전압(VDD)을 Q 노드에 인가한다. 제k A스테이지($ST_A(k)$)의 제1 TFT(T1)에는 제k-3 A스테이지($ST_A(k-3)$)의 출력($Gout(2k-7)$)이 스타트 신호로 입력된다. 다만, 제1 및 제2 A스테이지($ST_A(1)$, $ST_A(2)$)의 제1 TFT(T1)에는 제1 스타트 전압(VST1)이 스타트 신호로 입력된다. 제1 TFT(T1)의 게이트 전극은 제1 입력단자(VST)에, 드레인 전극은 전원전압(VDD)의 입력단자에, 소스 전극은 Q 노드에 접속된다.

[0055] 노드 제어부는 Q 노드를 제어하기 위한 제2 TFT(T2)와, QB 노드를 제어하기 위한 제3 내지 제7 TFT(T3 내지 T7)를 포함한다. 제2 TFT(T2)는 QB 노드의 전압에 따라 Q 노드를 저전위 전압(VSS)으로 방전시킨다. 제2 TFT(T2)의 게이트 전극은 QB 노드에, 드레인 전극은 Q 노드에, 소스 전극은 저전위 전압(VSS)의 입력단자에 접속된다. 제3 TFT(T3)는 다이오드-연결되어 전원전압(VDD)을 제1 노드(N1)에 인가한다. 제3 TFT(T3)의 게이트 전극과 드레인 전극은 전원전압(VDD)의 입력단자에, 소스 전극은 제1 노드(N1)에 접속된다. 제4 TFT(T4)는 Q 노드의 전압에 따라 제1 노드(N1)와 저전위 전압(VSS)의 입력단 간 전류 패스를 스위칭한다. 제4 TFT(T4)의 게이트 전극은 Q 노드에, 드레인 전극은 제1 노드(N1)에, 소스전극은 저전위 전압(VSS)의 입력단자에 접속된다. 제5 TFT(T5)는 Q 노드의 전압에 따라 QB 노드를 저전위 전압(VSS)으로 방전한다. 제5 TFT(T5)의 게이트 전극은 Q 노드에, 드레인 전극은 QB 노드에, 소스 전극은 저전위 전압(VSS)의 입력단자에 접속된다. 제6 TFT(T6)는 제1 노드(N1)의 전압에 따라 QB 노드를 전원전압(VDD)으로 충전한다. 제6 TFT(T6)의 게이트 전극은 제1 노드(N1)에, 드레인 전극은 전원전압(VDD)의 입력단자에, 소스전극은 QB 노드에 접속된다. 제7 TFT(T7)는 제1 입력단자(VST)를 통해 입력되는 스타트 신호에 응답하여 QB 노드를 저전위 전압(VSS)으로 방전한다. 제7 TFT(T7)의 게이트 전극은 제1 입력단자(VST)에, 드레인 전극은 QB 노드에, 소스 전극은 저전위 전압(VSS)의 입력단자에 접속된다.

[0056] Q 노드 방전부는 Q 노드를 방전시키는 제8 TFT(T8)를 포함한다. 제8 TFT(T8)는 제2 입력단자(VRESET)를 통해 입력되는 스타트 신호에 응답하여 Q 노드를 저전위 전압(VSS)으로 방전시킨다. 제k A스테이지($ST_A(k)$)의 제8 TFT(T8)에는 제k+3 A스테이지($ST_A(k+3)$)의 출력($Gout(2k+5)$)이 리셋 신호로 입력된다. 다만, 제n-1 및 제n A스테이지($ST_A(n-1)$, $ST_A(n)$)의 제8 TFT(T8)에는 제1 스타트 전압(VST1)이 리셋 신호로 입력된다. 제8 TFT(T8)의 게이트 전극은 제2 입력단자(VRESET)에, 드레인 전극은 Q 노드에, 소스 전극은 저전위 전압(VSS)의 입력단자에 접속된다.

[0057] 출력부는 게이트 펄스의 출력을 발생하는 풀-업 트랜지스터(TU)와 풀-다운 트랜지스터(TD)를 포함한다. 출력부는 Q 노드의 전압에 따라 턴-온 되어 출력 노드(NO)를 클럭 단자(CLK)를 통해 입력되는 클럭으로 충전시키는 풀-업 TFT(TU), QB 노드의 전압에 따라 턴-온 되어 출력 노드(NO)를 저전위 전압(VSS)으로 방전하는 풀다운 TFT(TD)를 포함한다.

[0058] 풀업 TFT(TU)는 Q 노드의 부트스트래핑으로 인해 턴-온 됨으로써, 클럭 단자(CLK)를 통해 입력되는 클럭으로 출력 노드(NO)를 충전하여 게이트 펄스의 출력을 발생시킨다. 풀업 TFT(TU)의 게이트 전극은 Q 노드에, 드레인 전극은 클럭 단자(CLK A)에, 소스 전극은 출력 노드(NO)에 접속된다. 풀다운 TFT(TD)는 게이트 펄스의 출력이 풀링 유지되도록 QB 노드의 전압에 따라 출력 노드(NO)를 저전위 전압(VSS)으로 방전시킨다. 풀다운 TFT(TD)의 게이트 전극은 QB 노드에, 드레인 전극은 출력 노드(NO)에, 소스 전극은 저전위 전압(VSS)의 입력단자에 각각 접속된다. 제k (A) 스테이지($ST_A(k)$)로부터 출력된 제2k-1 게이트 펄스($Gout(2k-1)$)는 제k-3 (A) 스테이지($ST_A(k-3)$)의 리셋 단자(VRESET)에 입력되고, 제k+3 (A) 스테이지($ST_A(k+3)$)의 스타트 단자(VST)에 입력된다.

[0059] 도 10은 본 발명의 제1 실시예에 따른 2D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다. 도 9 및 도 10을 참조하면, 제1 및 제2 스타트 전압(VST1, VST2)이 발생되고, 6 상 클럭들(CLK1~CLK6)은 제1 클럭(CLK1)부터 제6 클럭(CLK6)까지 순차적으로 지연되는 순환 클럭으로 발생된다.

[0060] 먼저, 제k A스테이지($ST_A(k)$)의 동작을 설명한다. 제k A스테이지($ST_A(k)$)의 클럭 단자(CLK)에 입력되는 클럭은 "CLK 1"로 가정한다.

[0061] T1 시간에, 제1 입력단자(VST)를 통해 제1 스타트 전압(VST1) 또는 제2k-7 출력($Gout(2k-7)$)이 스타트 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k-7 출력($Gout(2k-7)$)에 응답하여 제1 TFT(T1)가 턴-온 된다.

그 결과, Q 노드는 게이트 하이 전압(VGH)으로 충전되고, QB 노드는 게이트 로우 전압(VGL)으로 방전된다.

- [0062] T2 및 T3 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0063] T4 시간에, 풀업 TFT(TU)의 드레인 전극에는 제1 게이트 쉬프트 클럭(CLK1)이 인가된다. Q 노드의 전압은 풀업 TFT(TU)의 게이트-드레인 전극들 사이의 기생용량에 의해 부트스트래핑 됨으로써 게이트 하이 전압(VGH)보다 높은 전압 레벨(VGH')로 상승되어, 풀업 TFT(TU)를 턴-온 시킨다. 따라서, T4 시간에 출력 노드(NO)의 전압은 게이트 하이 전압(VGH)까지 상승하여 제2k-1 게이트 펄스(Gout(2k-1))를 라이징시킨다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0064] T5 시간에, 풀업 TFT(TU)의 드레인 전극에 제1 게이트 쉬프트 클럭(CLK1)이 더이상 인가되지 않으므로, Q 노드의 전압은 게이트 하이 전압을 유지하고, 풀업 TFT(TU)는 턴-오프 된다. 따라서, 제2k-1 게이트 펄스(Gout(2k-1))는 게이트 로우 전압(VGL)으로 폴링된다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0065] T6 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0066] T7 시간에, 제2 입력단자(VRESET)를 통해 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+5))이 리셋 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+5))에 응답하여 제8 TFT(T8)가 턴-온된다. 그 결과, Q 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0067] Q 노드의 방전으로 인해, 제4 TFT(T4), 및 제5 TFT(T5)가 턴-오프 되기 때문에, QB 노드는 제6 TFT(T6)를 통해 인가되는 게이트 하이 전압(VGH) 레벨의 전원전압(VDD)으로 충전된다. QB 노드의 충전으로 인해 풀다운 TFT(TD)가 턴-온 된다. 이에 따라, 출력노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하여 제2k-1 게이트 펄스(Gout(2k-1))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0068] 두 번째로, 제k B스테이지(ST_B(k))의 동작을 설명한다. 본 발명의 제1 실시예에 따른 2D 모드에서 B스테이지들(ST_B(1)~ST_B(n)) 각각에는 제2 스타트 전압이 인가되지 않는다. 제k B스테이지(ST_B(k))의 제1 입력단자(VST)에 스타트 신호가 입력되지 않으므로, 제k B스테이지(ST_B(k))의 Q 노드는 게이트 로우 전압(VGL)을 유지하고, QB 노드는 게이트 하이 전압(VGH)을 유지한다. 또한, 제k B스테이지(ST_B(k))는 제2k 게이트 펄스(Gout(2k))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0069] 도 10에서 살펴본 바와 같이, A스테이지들(ST_A(1)~ST_A(n)) 각각은 제2n-1 게이트 라인들에 게이트 펄스를 출력하고, B스테이지들(ST_B(1)~ST_B(n)) 각각은 제2n 게이트 라인들에 게이트 펄스를 출력하지 않는다. 2D 모드에서 데이터 표시부(210)의 제1 스캔 TFT(211)의 턴-온에 의해 데이터 표시부(210)의 화소 전극에는 도 7a와 같이 데이터 전압이 충전된다. 2D 모드에서 액티브 블랙 스트라이프부(220)의 제2 스캔 TFT(221)가 턴-온되고, 제3 스캔 TFT(222)가 턴-온되지 않으므로, 액티브 블랙 스트라이프부(220)의 화소 전극에는 도 7a과 같이 데이터 전압이 충전된다. 따라서, 2D 모드에서 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)는 2D 영상을 표시한다.
- [0070] 도 11은 본 발명의 제2 실시예에 따른 2D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다. 도 9 및 도 11을 참조하면, 제1 및 제2 스타트 전압(VST1, VST2)이 발생되고, 6 상 클럭들(CLK1~CLK6)은 제1 클럭(CLK1)부터 제6 클럭(CLK6)까지 순차적으로 지연되는 순환 클럭으로 발생된다. 도 11에서, 제2 스타트 전압(VST2)이 제1 스타트 전압(VST1)보다 4 수평기간 앞서 발생하는 것을 예시하였지만, 이에 한정되지 않는 것에 주의하여야 한다. 제2 스타트 전압(VST2)는 제1 스타트 전압(VST1)보다 제3 내지 수십 수평기간 앞서 발생할 수 있다.
- [0071] 먼저, 제k A스테이지(ST_A(k))의 동작을 설명한다. 제k A스테이지(ST_A(k))의 클럭 단자(CLK)에 입력되는 클럭은 "CLK 5"로 가정한다.
- [0072] T1 내지 T4 시간에, Q 노드는 게이트 로우 전압(VGL)을 유지하고, QB 노드는 게이트 하이 전압(VGH)을 유지한다.
- [0073] T5 시간에, 제1 입력단자(VST)를 통해 제1 스타트 전압(VST1) 또는 제2k-7 출력(Gout(2k-7))이 스타트 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k-7 출력(Gout(2k-7))에 응답하여 제1 TFT(T1)가 턴-온 된다.

그 결과, Q 노드는 게이트 하이 전압(VGH)으로 충전되고, QB 노드는 게이트 로우 전압(VGL)으로 방전된다.

- [0074] T6 및 T7 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0075] T8 시간에, 풀업 TFT(TU)의 드레인 전극에는 제5 게이트 쉬프트 클럭(CLK5)이 인가된다. Q 노드의 전압은 풀업 TFT(TU)의 게이트-드레인 전극들 사이의 기생용량에 의해 부트스트래핑 됨으로써 게이트 하이 전압(VGH)보다 높은 전압 레벨(VGH')로 상승되어, 풀업 TFT(TU)를 턴-온 시킨다. 따라서, T8 시간에 출력 노드(NO)의 전압은 게이트 하이 전압(VGH)까지 상승하여 제2k-1 게이트 펄스(Gout(2k-1))를 라이징시킨다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0076] T9 시간에, 풀업 TFT(TU)의 드레인 전극에 제5 게이트 쉬프트 클럭(CLK5)이 더이상 인가되지 않으므로, Q 노드의 전압은 게이트 하이 전압을 유지하고, 풀업 TFT(TU)는 턴-오프 된다. 따라서, 제2k-1 게이트 펄스(Gout(2k-1))는 게이트 로우 전압(VGL)으로 폴링된다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0077] T10 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0078] T11 시간에, 제2 입력단자(VRESET)를 통해 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+5))이 리셋 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+5))에 응답하여 제8 TFT(T8)가 턴-온된다. 그 결과, Q 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0079] Q 노드의 방전으로 인해, 제4 TFT(T4), 및 제5 TFT(T5)가 턴-오프 되기 때문에, QB 노드는 제6 TFT(T6)를 통해 인가되는 게이트 하이 전압(VGH) 레벨의 전원전압(VDD)으로 충전된다. QB 노드의 충전으로 인해 풀다운 TFT(TD)가 턴-온 된다. 이에 따라, 출력노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하여 제2k-1 게이트 펄스(Gout(2k-1))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0080] 두 번째로, 제k B스테이지(ST_B(k))의 동작을 설명한다. 제k B스테이지(ST_B(k))의 클럭 단자(CLK)에 입력되는 클럭은 "CLK 1"로 가정한다.
- [0081] T1 시간에, 제1 입력단자(VST)를 통해 제2 스타트 전압(VST2) 또는 제2k-6 출력(Gout(2k-6))이 스타트 신호로서 입력된다. 제2 스타트 전압(VST2) 또는 제2k-6 출력(Gout(2k-6))에 응답하여 제1 TFT(T1)가 턴-온 된다. 그 결과, Q 노드는 게이트 하이 전압(VGH)으로 충전되고, QB 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0082] T2 및 T3 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0083] T4 시간에, 풀업 TFT(TU)의 드레인 전극에는 제1 게이트 쉬프트 클럭(CLK1)이 인가된다. Q 노드의 전압은 풀업 TFT(TU)의 게이트-드레인 전극들 사이의 기생용량에 의해 부트스트래핑 됨으로써 게이트 하이 전압(VGH)보다 높은 전압 레벨(VGH')로 상승되어, 풀업 TFT(TU)를 턴-온 시킨다. 따라서, T4 시간에 출력 노드(NO)의 전압은 게이트 하이 전압(VGH)까지 상승하여 제2k 게이트 펄스(Gout(2k))를 라이징시킨다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0084] T5 시간에, 풀업 TFT(TU)의 드레인 전극에 제1 게이트 쉬프트 클럭(CLK1)이 더이상 인가되지 않으므로, Q 노드의 전압은 게이트 하이 전압을 유지하고, 풀업 TFT(TU)는 턴-오프 된다. 따라서, 제2k 게이트 펄스(Gout(2k))는 게이트 로우 전압(VGL)으로 폴링된다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0085] T6 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0086] T7 시간에, 제2 입력단자(VRESET)를 통해 제2 스타트 전압(VST2) 또는 제2k+6 출력(Gout(2k+6))이 리셋 신호로서 입력된다. 제2 스타트 전압(VST2) 또는 제2k+6 출력(Gout(2k+6))에 응답하여 제8 TFT(T8)가 턴-온된다. 그 결과, Q 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0087] Q 노드의 방전으로 인해, 제4 TFT(T4), 및 제5 TFT(T5)가 턴-오프 되기 때문에, QB 노드는 제6 TFT(T6)를 통해 인가되는 게이트 하이 전압(VGH) 레벨의 전원전압(VDD)으로 충전된다. QB 노드의 충전으로 인해 풀다운 TFT(TD)가 턴-온 된다. 이에 따라, 출력노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하여 제2k 게이트 펄스(Gout(2k))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0088] T8 내지 T11 시간에, Q 노드는 게이트 로우 전압(VGL)을 유지하고, QB 노드는 게이트 하이 전압(VGH)을 유지한다.

- [0089] 도 11에서 살펴본 바와 같이, B스테이지들($ST_B(1) \sim ST_B(n)$) 각각이 제2n 게이트 라인들에 게이트 펄스를 출력하고, 3 내지 수십 수평기간 후에 A스테이지들($ST_A(1) \sim ST_A(n)$) 각각이 제2n-1 게이트 라인들에 게이트 펄스를 출력한다. 2D 모드에서 데이터 표시부(210)의 제1 스캔 TFT(211)의 턴-온에 의해 데이터 표시부(210)의 화소 전극에는 도 7a와 같이 데이터 전압이 충전된다. 2D 모드에서 액티브 블랙 스트라이프부(220)의 제3 스캔 TFT(222)가 턴-온되고, 3 내지 수십 수평기간 후에 제2 스캔 TFT(221)가 턴-온되므로, 액티브 블랙 스트라이프부(220)의 화소 전극은 공통전압으로 방전되었다가 도 7a와 같이 바로 데이터 전압으로 충전된다. 따라서, 2D 모드에서 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)는 2D 영상을 표시한다.
- [0090] 또한, 도 10과 같이 2D 모드에서 B스테이지를 동작시키지 않는 경우, B스테이지의 QB 노드가 계속 게이트 하이 전압(VGH)을 유지하므로, QB 노드에 접속된 풀-다운 트랜지스터(TD)가 게이트 바이어스 스트레스(Gate Bias Stress)로 인해 그 문턱 전압이 쉬프트되는 문제가 있다. 따라서, 도 11과 같이 2D 모드에서도 B스테이지를 동작시킴으로써, 본 발명은 QB 노드에 접속된 풀-다운 트랜지스터(TD)의 게이트 바이어스 스트레스를 방지할 수 있다.
- [0091] 도 12는 본 발명의 실시예에 따른 3D 모드에서 A스테이지 및 B스테이지의 입력 및 출력 신호를 보여주는 파형도이다. 도 9 및 도 12를 참조하면, 제1 및 제2 스타트 전압(VST1, VST2)이 발생되고, 6 상 클럭들(CLK1~CLK6)은 제1 클럭(CLK1)부터 제6 클럭(CLK6)까지 순차적으로 지연되는 순환 클럭으로 발생된다. 도 12에서, 제1 스타트 전압(VST1)이 제2 스타트 전압(VST2)보다 4 수평기간 앞서 발생하는 것을 예시하였지만, 이에 한정되지 않는 것에 주의하여야 한다. 제1 스타트 전압(VST1)은 제2 스타트 전압(VST2)보다 제3 내지 수십 수평기간 앞서 발생할 수 있다.
- [0092] 먼저, 제k A스테이지($ST_B(k)$)의 동작을 설명한다. 제k A스테이지($ST_B(k)$)의 클럭 단자(CLK)에 입력되는 클럭은 "CLK 1"로 가정한다.
- [0093] T1 시간에, 제1 입력단자(VST)를 통해 제1 스타트 전압(VST1) 또는 제2k-7 출력(Gout(2k-7))이 스타트 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k-7 출력(Gout(2k-7))에 응답하여 제1 TFT(T1)가 턴-온 된다. 그 결과, Q 노드는 게이트 하이 전압(VGH)으로 충전되고, QB 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0094] T2 및 T3 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0095] T4 시간에, 풀업 TFT(TU)의 드레인 전극에는 제1 게이트 쉬프트 클럭(CLK1)이 인가된다. Q 노드의 전압은 풀업 TFT(TU)의 게이트-드레인 전극들 사이의 기생용량에 의해 부트스트래핑 됨으로써 게이트 하이 전압(VGH)보다 높은 전압 레벨(VGH')로 상승되어, 풀업 TFT(TU)를 턴-온 시킨다. 따라서, T4 시간에 출력 노드(NO)의 전압은 게이트 하이 전압(VGH)까지 상승하여 제2k-1 게이트 펄스(Gout(2k-1))를 라이징시킨다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0096] T5 시간에, 풀업 TFT(TU)의 드레인 전극에 제1 게이트 쉬프트 클럭(CLK1)이 더이상 인가되지 않으므로, Q 노드의 전압은 게이트 하이 전압을 유지하고, 풀업 TFT(TU)는 턴-오프 된다. 따라서, 제2k-1 게이트 펄스(Gout(2k-1))는 게이트 로우 전압(VGL)으로 폴링된다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0097] T6 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0098] T7 시간에, 제2 입력단자(VRESET)를 통해 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+5))이 리셋 신호로서 입력된다. 제1 스타트 전압(VST1) 또는 제2k+5 출력(Gout(2k+6))에 응답하여 제8 TFT(T8)가 턴-온된다. 그 결과, Q 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0099] Q 노드의 방전으로 인해, 제4 TFT(T4), 및 제5 TFT(T5)가 턴-오프 되기 때문에, QB 노드는 제6 TFT(T6)를 통해 인가되는 게이트 하이 전압(VGH) 레벨의 전원전압(VDD)으로 충전된다. QB 노드의 충전으로 인해 풀다운 TFT(TD)가 턴-온 된다. 이에 따라, 출력노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하여 제2k-1 게이트 펄스(Gout(2k-1))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0100] T8 내지 T11 시간에, Q 노드는 게이트 로우 전압(VGL)을 유지하고, QB 노드는 게이트 하이 전압(VGH)을 유지한다.
- [0101] 두 번째로, 제k B스테이지($ST_B(k)$)의 동작을 설명한다. 제k B스테이지($ST_B(k)$)의 클럭 단자(CLK)에 입력되는

클럭은 "CLK 5"로 가정한다.

- [0102] T1 내지 T4 시간에, Q 노드는 게이트 로우 전압(VGL)을 유지하고, QB 노드는 게이트 하이 전압(VGH)을 유지한다.
- [0103] T5 시간에, 제1 입력단자(VST)를 통해 제2 스타트 전압(VST2) 또는 제2k-6 출력(Gout(2k-6))이 스타트 신호로서 입력된다. 제2 스타트 전압(VST2) 또는 제2k-6 출력(Gout(2k-6))에 응답하여 제1 TFT(T1)가 턴-온 된다. 그 결과, Q 노드는 게이트 하이 전압(VGH)으로 충전되고, QB 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0104] T6 및 T7 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0105] T8 시간에, 풀업 TFT(TU)의 드레인 전극에는 제5 게이트 쉬프트 클럭(CLK5)이 인가된다. Q 노드의 전압은 풀업 TFT(TU)의 게이트-드레인 전극들 사이의 기생용량에 의해 부트스트래핑 됨으로써 게이트 하이 전압(VGH)보다 높은 전압 레벨(VGH')로 상승되어, 풀업 TFT(TU)를 턴-온 시킨다. 따라서, T8 시간에 출력 노드(NO)의 전압은 게이트 하이 전압(VGH)까지 상승하여 제2k 게이트 펄스(Gout(2k))를 라이징시킨다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0106] T9 시간에, 풀업 TFT(TU)의 드레인 전극에 제5 게이트 쉬프트 클럭(CLK5)이 더이상 인가되지 않으므로, Q 노드의 전압은 게이트 하이 전압을 유지하고, 풀업 TFT(TU)는 턴-오프 된다. 따라서, 제2k 게이트 펄스(Gout(2k))는 게이트 로우 전압(VGL)으로 폴링된다. QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0107] T10 시간에, Q 노드는 게이트 하이 전압(VGH)을 유지하고, QB 노드는 게이트 로우 전압(VGL)을 유지한다.
- [0108] T11 시간에, 제2 입력단자(VRESET)를 통해 제2 스타트 전압(VST2) 또는 제2k+6 출력(Gout(2k+6))이 리셋 신호로서 입력된다. 제2 스타트 전압(VST2) 또는 제2k+6 출력(Gout(2k+6))에 응답하여 제8 TFT(T8)가 턴-온된다. 그 결과, Q 노드는 게이트 로우 전압(VGL)으로 방전된다.
- [0109] Q 노드의 방전으로 인해, 제4 TFT(T4), 및 제5 TFT(T5)가 턴-오프 되기 때문에, QB 노드는 제6 TFT(T6)를 통해 인가되는 게이트 하이 전압(VGH) 레벨의 전원전압(VDD)으로 충전된다. QB 노드의 충전으로 인해 풀다운 TFT(TD)가 턴-온 된다. 이에 따라, 출력노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하여 제2k 게이트 펄스(Gout(2k))를 게이트 로우 전압(VGL)으로 유지시킨다.
- [0110] 도 11에서 살펴본 바와 같이, B스테이지들(ST_B(1)~ST_B(n)) 각각이 제2n 게이트 라인들에 게이트 펄스를 출력하고, 3 내지 수십 수평기간 후에 A스테이지들(ST_A(1)~ST_A(n)) 각각이 제2n-1 게이트 라인들에 게이트 펄스를 출력한다. 2D 모드에서 데이터 표시부(210)의 제1 스캔 TFT(211)의 턴-온에 의해 데이터 표시부(210)의 화소 전극에는 도 7a와 같이 데이터 전압이 충전된다. 2D 모드에서 액티브 블랙 스트라이프부(220)의 제3 스캔 TFT(221)가 턴-온되고, 3 내지 수십 수평기간 후에 제2 스캔 TFT(222)가 턴-온되므로, 액티브 블랙 스트라이프부(220)의 화소 전극은 공통전압으로 방전되었다가 도 7a와 같이 바로 데이터 전압으로 충전된다. 따라서, 2D 모드에서 데이터 표시부(210)와 액티브 블랙 스트라이프부(220)는 2D 영상을 표시한다.
- [0111] 도 12에서 살펴본 바와 같이, A스테이지들(ST_A(1)~ST_A(n)) 각각이 제2n-1 게이트 라인들에 게이트 펄스를 출력하고, 3 내지 수십 수평기간 후에 B스테이지들(ST_B(1)~ST_B(n)) 각각이 제2n 게이트 라인들에 게이트 펄스를 출력한다. 3D 모드에서 데이터 표시부(210)의 제1 스캔 TFT(211)의 턴-온에 의해 데이터 표시부(210)의 화소 전극에는 도 7b와 같이 데이터 전압이 충전된다. 3D 모드에서 액티브 블랙 스트라이프부(220)의 제2 스캔 TFT(222)가 턴-온되고, 3 내지 수십 수평기간 후에 제3 스캔 TFT(221)가 턴-온되므로, 액티브 블랙 스트라이프부(220)의 화소 전극은 데이터 전압이 충전되었다가 도 7b와 같이 바로 공통전압으로 방전된다. 따라서, 3D 모드에서 데이터 표시부(210)는 3D 영상을 표시하고, 액티브 블랙 스트라이프부(220)는 블랙 스트라이프(BS)로서 역할을 한다.
- [0112] 이상에서 살펴본 바와 같이, 본 발명은 데이터 표시부(210)와 블랙 스트라이프부(220) 각각에 연결된 제2n-1 게이트 라인에 게이트 펄스를 공급하는 A스테이지와 블랙 스트라이프부(220)에만 연결된 제2n 게이트 라인에 게이트 펄스를 공급하는 B스테이지를 제1 및 제2 스타트 전압(VST1, VST2)으로 제어하여 액티브 블랙 스트라이프를 구현한다. 그 결과, 본 발명은 게이트 드라이브 IC가 필요하지 않으므로, 비용을 절감할 수 있다.
- [0113] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

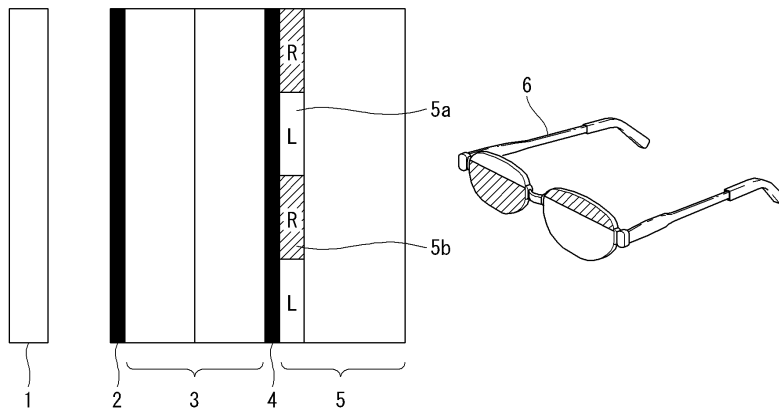
이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

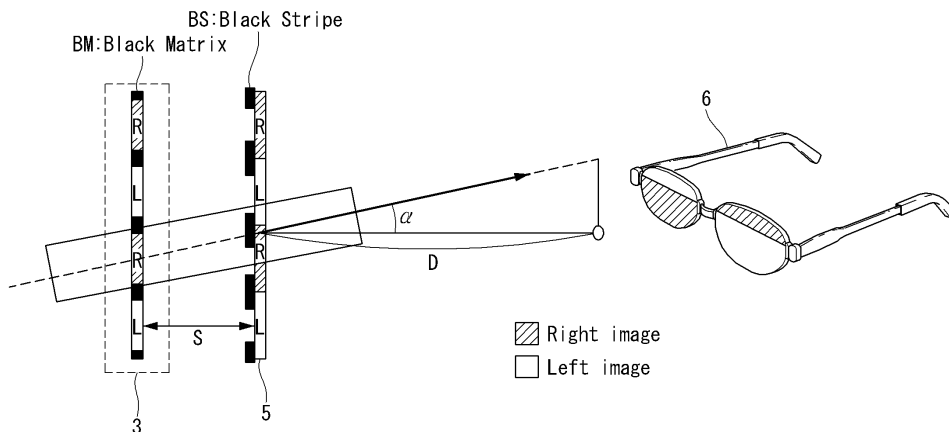
10: 표시패널	20: 편광안경
30: 패턴 리타더	31: 제1 리타더
32: 제2 리타더	40: 레벨 쉬프터
50: 쉬프터 레지스터	60: 인쇄회로기판
70: 소스 드라이브 IC	110: 게이트 구동부
120: 데이터 구동부	130: 타이밍 컨트롤러
140: 호스트 시스템	200: 픽셀
210: 데이터 표시부	211: 제1 스캔 TFT
220: 액티브 블랙 스트라이프부	221: 제2 스캔 TFT
223: 제3 스캔 TFT	230: 공통전압 라인
240: 화소 전극	250: 공통전극

도면

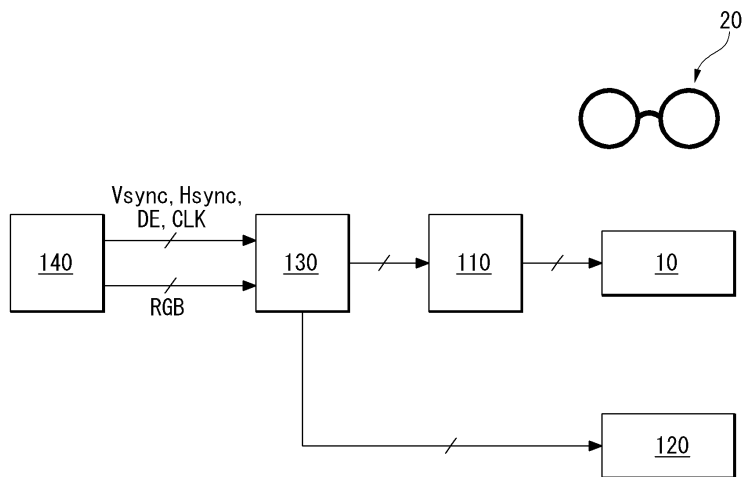
도면1



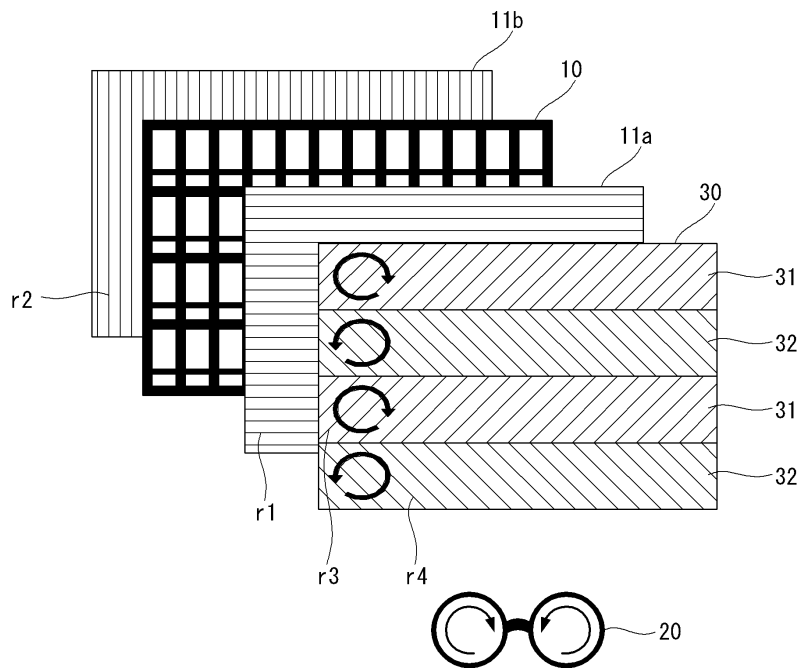
도면2



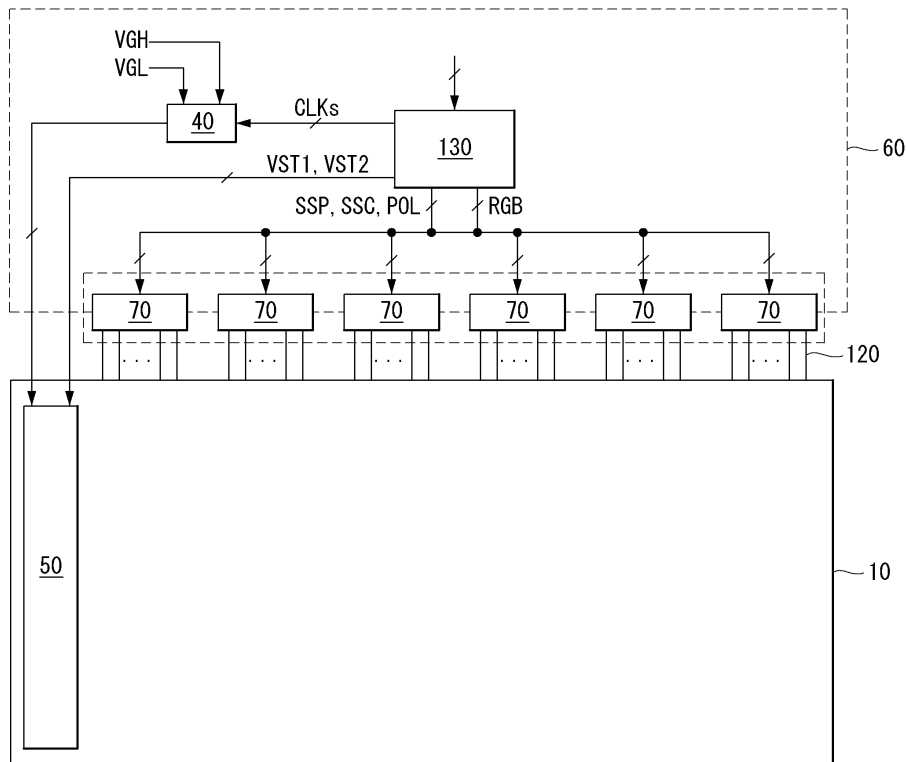
도면3



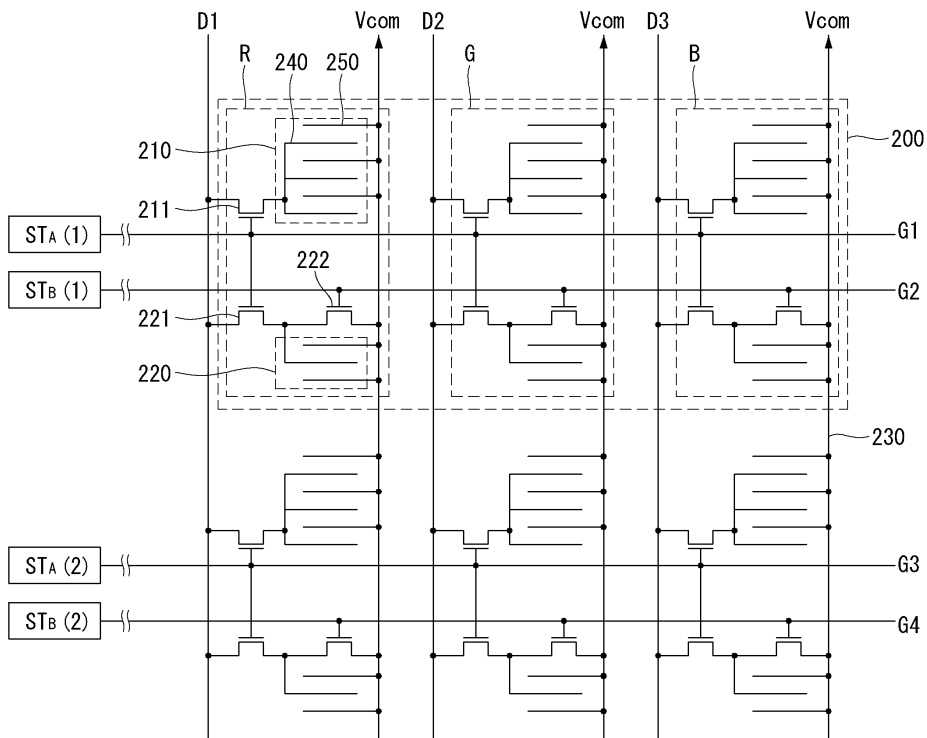
도면4



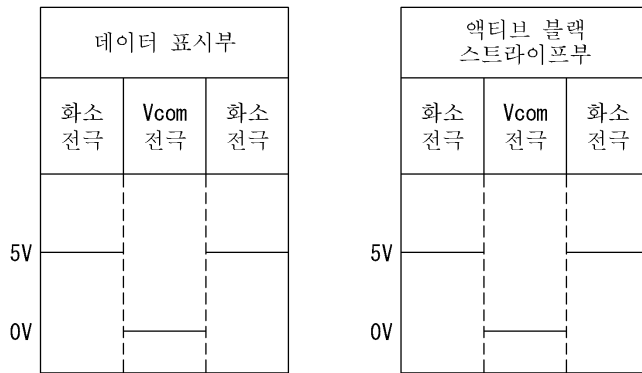
도면5



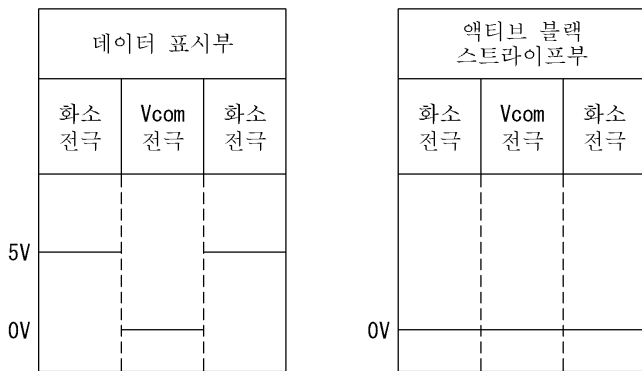
도면6



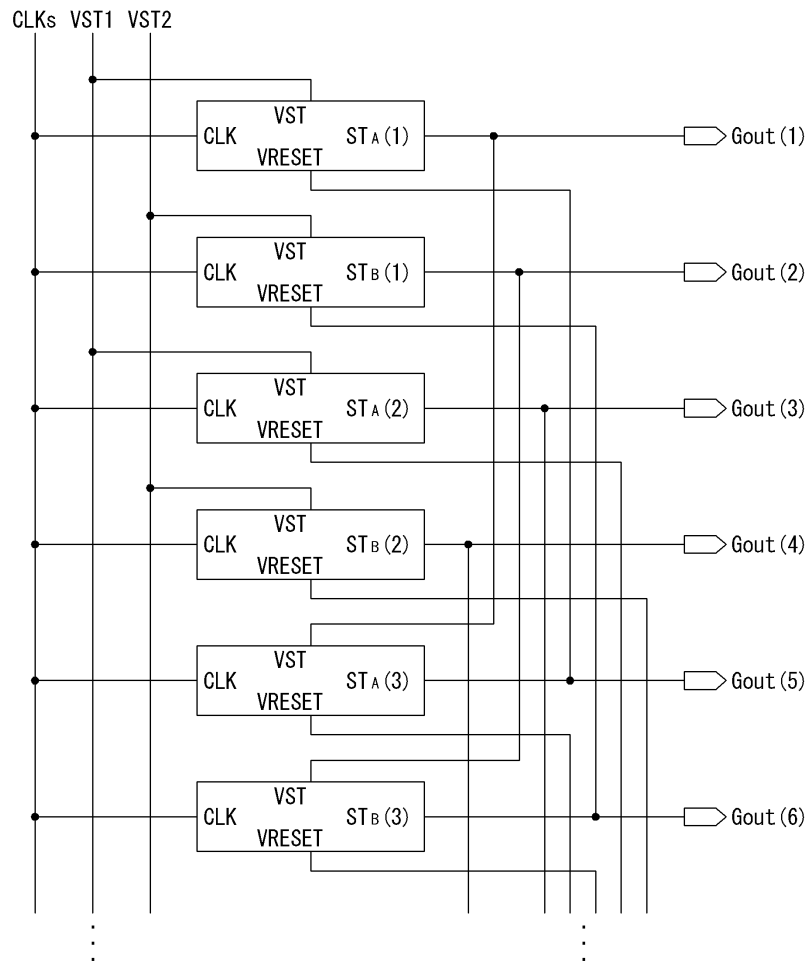
도면7a



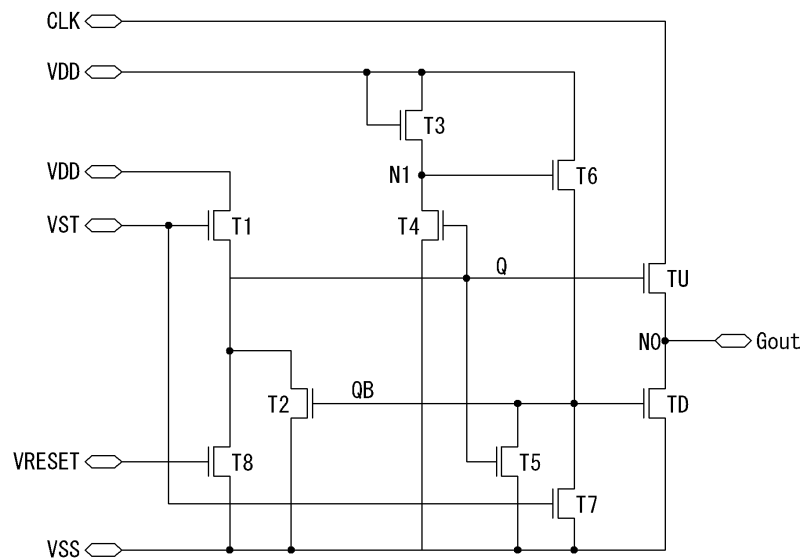
도면7b



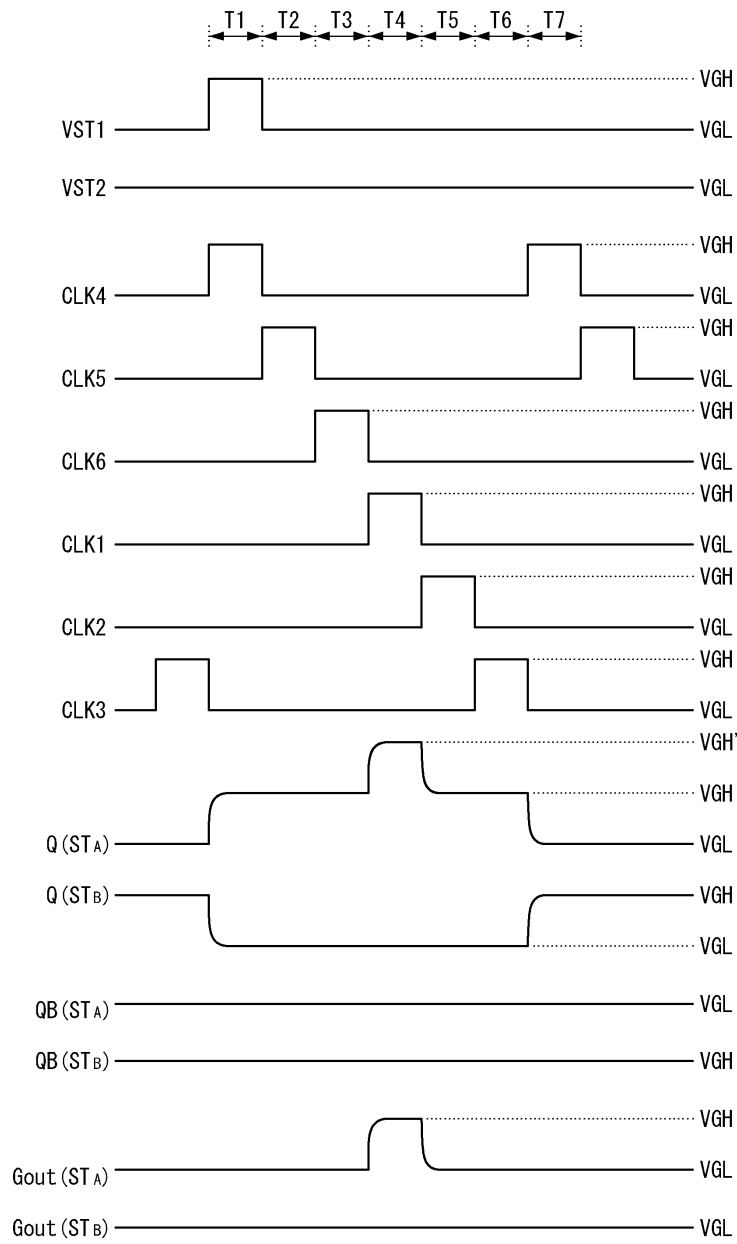
도면8



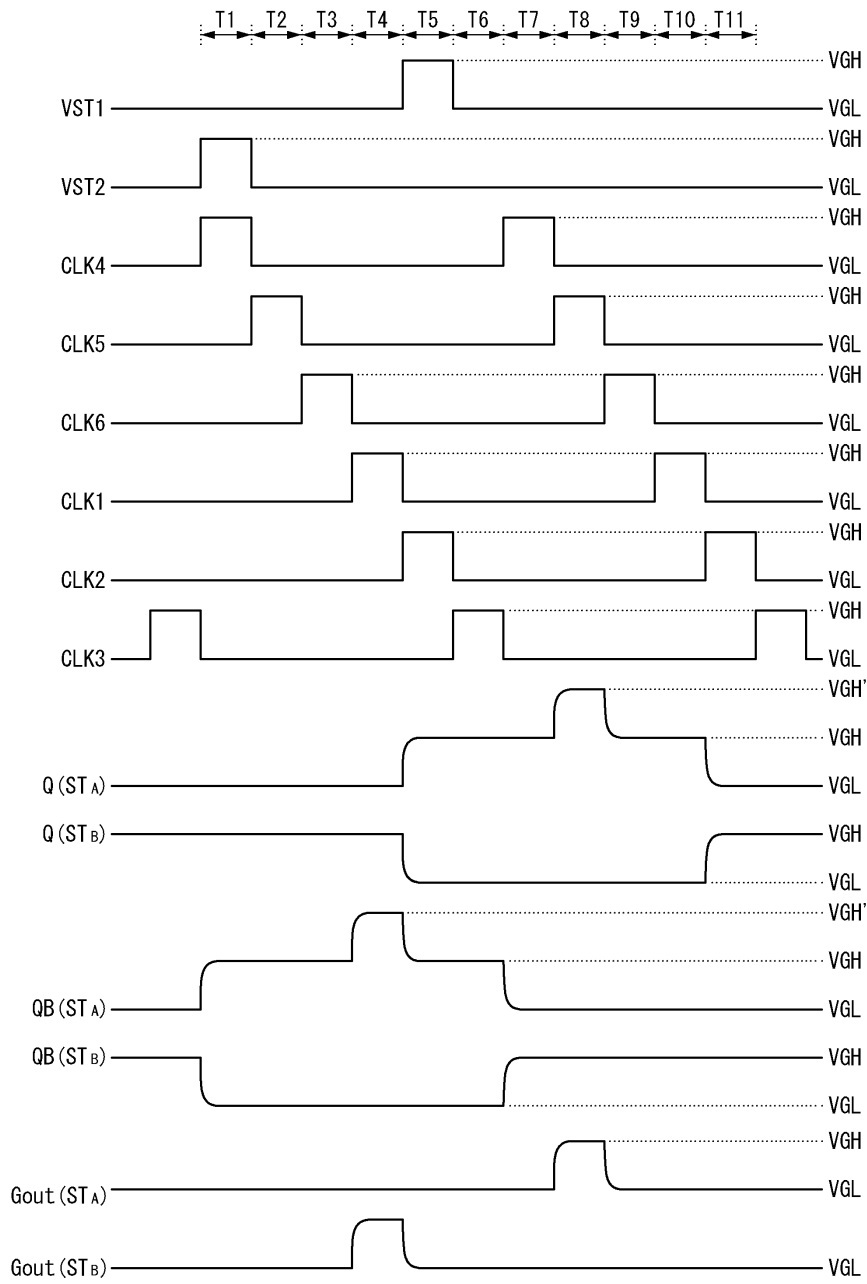
도면9



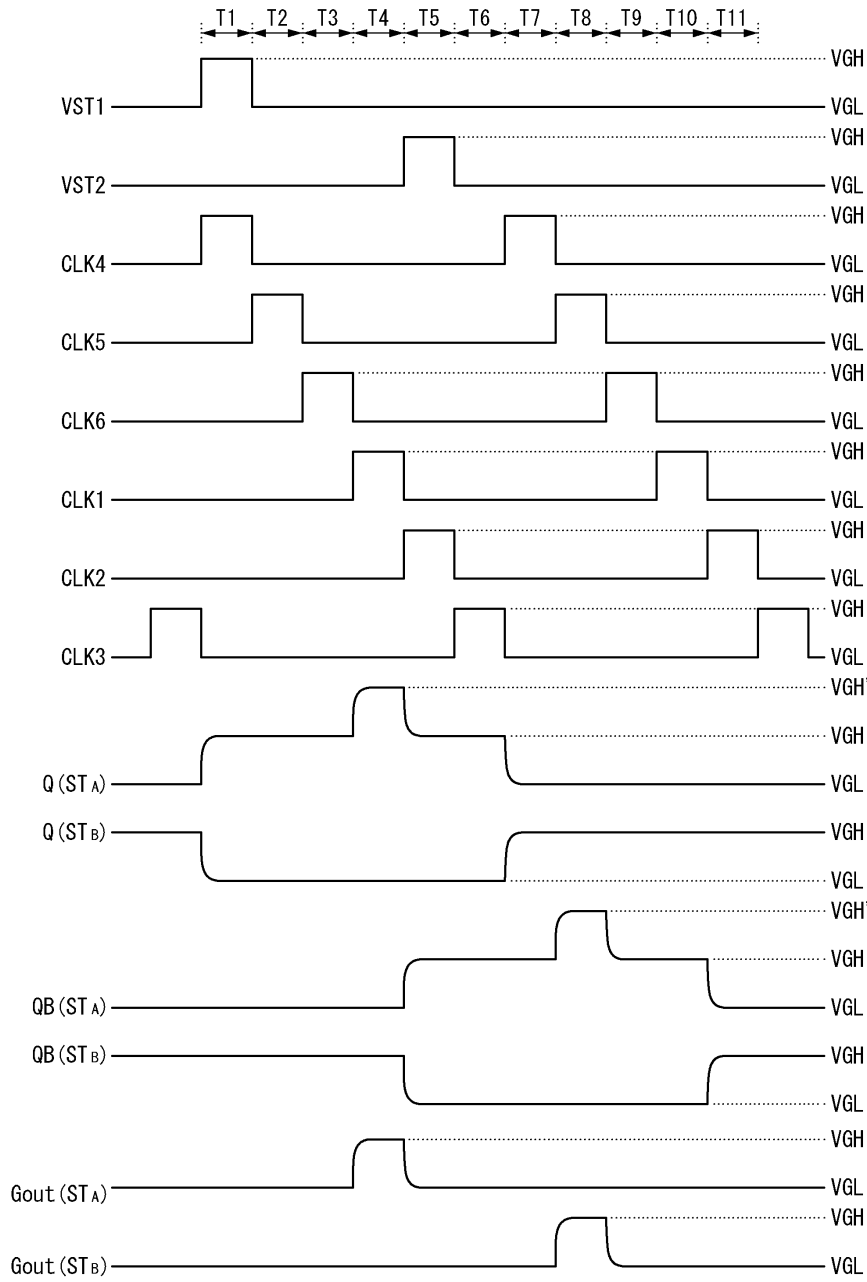
도면10



도면11



도면12



专利名称(译)	立体图像显示装置及其驱动方法		
公开(公告)号	KR1020120072676A	公开(公告)日	2012-07-04
申请号	KR1020100134535	申请日	2010-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM DAE HYUN 남대현 KIM DO SUNG 김도성 JO SUNG HAK 조성학 JEONG SEONG HUN 정성훈		
发明人	남대현 김도성 조성학 정성훈		
IPC分类号	G09G3/36		
CPC分类号	G09G3/003 G09G2310/0267 G09G2310/08 H04N13/0497 G09G2300/0426 G09G2300/0443 G11C19/28 G02B27/00 G09G3/20 G09G3/3659 G09G2310/0286 G09G3/3677 H04N13/0434 H04N13/0452 H04N13/337 H04N13/356 H04N13/398		
其他公开文献	KR101296904B1		
外部链接	Espacenet		

摘要(译)

技术领域本发明涉及一种使用图案延迟器方法的立体图像显示装置及其驱动方法。本发明其特征在于，所述 $2n-1$ 个栅极在第 $2n-1$ (n 为自然数)，以响应于栅极线到数据线向像素电极供给2D数据电压的栅极脉冲的立体图像显示装置，以及从2D模式3D模式并且第一扫描晶体管用于响应于线的栅极脉冲将数据线的3D数据电压提供给像素电极；并且响应于2D模式中的第二 $n-1$ 栅极线的栅极脉冲，并且响应于第二 n 的栅极脉冲，将数据线的2D数据电压提供给像素电极。第二晶体管，用于向像素电极提供数据线的3D数据电压；以及第二晶体管，用于在2D模式下以3D模式关断第二 n 栅极线的栅极脉冲，一种有源黑条纹部分，包括第三晶体管，用于响应公共电极向公共电极提供共同施加到公共电极的公共电压；和移位寄存器，其包括B阶段用于顺序供给栅极脉冲到第一栅极线的 $2n$ 和A阶段依次供给栅极脉冲到第一栅极线的 $2n-1$ 。公开的专利申请10-2012-0072676

