



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0024375
(43) 공개일자 2012년03월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0072801

(22) 출원일자 2011년07월22일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-167161 2010년07월26일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

교야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 7 항

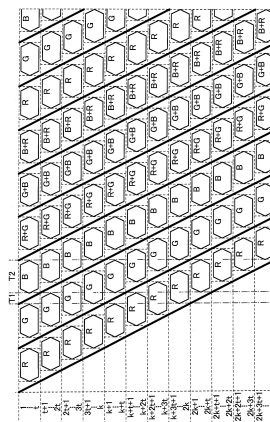
(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 액정 표시 장치의 화질을 향상시킨다.

액정 표시 장치의 화소부 전체 면에서 화상 신호의 기록 및 백 라이트의 점등을 순차적으로 행하지 않고, 화소부의 특정 영역마다 화상 신호의 기록 및 백 라이트의 점등을 순차적으로 행한다. 이로써, 예를 들어, 상기 액정 표시 장치의 각 화소에 대한 화상 신호의 입력 빈도를 향상시킬 수 있다. 결과적으로 상기 액정 표시 장치에서 생기는 컬러 브레이크 등의 표시 열화를 억제하고, 화질을 향상시킬 수 있다.

대표도 - 도6



특허청구의 범위

청구항 1

m행 n열로 배치된 복수의 화소를 포함하는 화소부와;

1번째 행에 배치된 n개의 화소 내지 A번째 행(A는 $m/2$ 이하의 자연수)에 배치된 n개의 화소에 대한 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호와 (A+1)번째 행에 배치된 n개의 화소 내지 2A번째 행에 배치된 n개의 화소에 대한 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호를 병행하여 주사하는 구동 회로와;

각각이 상이한 색깔을 나타내는 빛을 발광하는 복수의 광원을 포함한 매트릭스 형상으로 배치된 복수의 백 라이트 유닛을 포함하는 상기 화소부 뒤에 제공되는 백 라이트와;

(B+1)번째 행(B는 $A/2$ 이하의 자연수)에 배치된 n개의 화소 내지 상기 A번째 행에 배치된 n개의 화소에 대한 상기 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호와 (A+B+1)번째 행에 배치된 n개의 화소 내지 상기 2A번째 행에 배치된 n개의 화소에 대한 상기 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호를 구동 회로가 주사하는 기간에, 상기 복수의 백 라이트 유닛 중 상기 1번째 행에 배치된 n개의 화소 내지 B번째 행에 배치된 n개의 화소에 상기 제 1 색깔을 조사하고 또 상기 (A+1)번째 행에 배치된 n개의 화소 내지 (A+B)번째 행에 배치된 n개의 화소에 상기 제 2 색깔을 조사하는 백 라이트 제어 회로를 포함하는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 백 라이트 유닛 각각은 적색을 발광하는 광원, 녹색을 발광하는 광원, 청색을 발광하는 광원을 포함하는, 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 백 라이트 유닛 각각은 적어도 3개의 광원을 포함하는, 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 백 라이트 제어 회로는 제 1 화상이 형성되도록 상기 화소부에 상기 제 1 색깔, 제 3 색깔, 제 4 색깔을 순차적으로 조사하고, 상기 제 1 화상에 이어 제 2 화상이 형성되도록 상기 화소부에 상기 제 2 색깔, 제 5 색깔, 제 6 색깔을 순차적으로 조사하는, 액정 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 색깔, 상기 제 3 색깔, 상기 제 4 색깔, 상기 제 2 색깔, 상기 제 5 색깔, 상기 제 6 색깔은 각각 적색, 청색, 녹색, 시안, 마젠타, 황색인, 액정 표시 장치.

청구항 6

m행 n열(m 및 n은 각각 4 이상의 자연수)로 배치된 복수의 화소를 포함하는 화소부에서 필드 시퀀셜 방식으로 행하는, 빛을 발광하는 복수의 광원을 포함하는 액정 표시 장치의 구동 방법으로서,

제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호가 1번째 행에 배치된 n개의 화소 내지 A번째 행(A는 $m/2$ 이하의 자연수)에 배치된 n개의 화소에 순차적으로 입력되고 또 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호가 (A+1)번째 행에 배치된 n개의 화소 내지 2A번째 행에 배치된 n개의 화소에 순차적으로 입력되는 제 1 기간 내에, 상기 1번째 행에 배치된 n개의 화소 내지 B번째 행(B는 $A/2$ 이하의 자연수)에 배치된 n개의 화소에 대한 상기 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호 및 상기 (A+1)번째 행에 배치된 n개의 화소 내지 (A+B)번째 행에 배치된 n개의 화소에 대한 상기 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호를 입력한 후에, 상기 화소부에 제 1 화상을 형성하기 위하여 상기 1번째 행에 배치된 n개의 화소 내지 상기 B번째 행에 배치된 n개의 화소에 상기 제 1 색깔을 나타내는 빛을 공급하고 또 상기 (A+1)번째 행에 배치된 n개의 화소 내지 상기 (A+B)번째 행에 배치된 n개의 화소에 상기 제 2 색깔을 나타내는 빛을 공급하는 단계와;

제 3 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호가 상기 1번째 행에 배치된 n개의 화소 내지 상기 A번째 행에 배치된 n개의 화소에 입력되고 또 제 4 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호가 상기 (A+1)번째 행에 배치된 n개의 화소 내지 상기 2A번째 행에 배치된 n개의 화소에 입력되는 상기 제 1 기간에 이어진 제 2 기간 내에, 상기 1번째 행에 배치된 n개의 화소 내지 상기 B번째 행에 배치된 n개의 화소에 대한 상기 제 3 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호 및 상기 (A+1)번째 행에 배치된 n개의 화소 내지 상기 (A+B)번째 행에 배치된 n개의 화소에 대한 상기 제 4 색깔을 나타내는 빛의 투과를 제어하기 위한 상기 화상 신호가 입력된 후에, 상기 1번째 행에 배치된 n개의 화소 내지 상기 B번째 행에 배치된 n개의 화소에 상기 제 3 색깔을 나타내는 빛을 공급하고 상기 (A+1)번째 행에 배치된 n개의 화소 내지 상기 (A+B)번째 행에 배치된 n개의 화소에 상기 제 4 색깔을 나타내는 빛을 공급하는 단계를 포함하고,

상기 광원은 각각 상이한 색깔을 발광하고,

상기 제 1 색깔을 나타내는 빛 및 상기 제 2 색깔을 나타내는 빛 각각은 상기 광원 중 어느 하나를 온 상태로 함으로써 형성되고,

상기 제 3 색깔을 나타내는 빛 및 상기 제 4 색깔을 나타내는 빛 각각은 상기 광원 중 적어도 2개를 온 상태로 함으로써 형성되고,

상기 제 1 색깔을 나타내는 빛은 상기 제 2 색깔을 나타내는 빛과 상이하고, 상기 제 3 색깔을 나타내는 빛은 상기 제 4 색깔을 나타내는 빛과 상이한, 액정 표시 장치의 구동 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 색깔을 나타내는 빛은 적색, 녹색, 청색 중 어느 하나이고,

상기 제 2 색깔을 나타내는 빛은 적색, 녹색, 청색 중 어느 하나이고,

상기 제 3 색깔을 나타내는 빛은 적색, 녹색, 청색 중 어느 2개를 혼색하여 형성되는 빛이고,

상기 제 4 색깔을 나타내는 빛은 적색, 녹색, 청색 중 어느 2개를 혼색하여 형성되는 빛인, 액정 표시 장치의 구동 방법.

명세서

기술 분야

본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것이다. 특히, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 액정 표시 장치의 표시 방법으로서 컬러 필터 방식 및 필드 시퀀셜 방식이 알려져 있다. 컬러 필터 방식으로 표시하는 액정 표시 장치에서는 특정 색깔을 나타내는 파장의 빛만을 투과하는 컬러 필터(예를 들어, 적색(R), 녹색(G), 청색(B))를 갖는 복수의 서브 화소가 각 화소에 제공된다. 그리고, 서브 화소마다 백색 광의 투과를 제어하고 또 화소마다 복수의 색깔을 혼합함으로써 원하는 색깔을 형성한다. 한편, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치에서는 각각이 상이한 색깔을 나타내는 빛을 발광하는 복수의 광원(예를 들어, 적색(R), 녹색(G), 청색(B))이 제공된다. 그리고, 상기 복수의 광원 각각이 반복하여 점멸하고 또 화소마다 각각의 색깔을 나타내는 빛의 투과를 제어함으로써 원하는 색깔을 형성한다. 즉, 컬러 필터 방식은 특정 색깔을 나타내는 빛마다 하나의 화소의 면적을 분할함으로써 원하는 색깔을 형성하는 방식이고, 필드 시퀀셜 방식은 특정 색깔을 나타내는 빛마다 표시 기간을 시간 분할함으로써 원하는 색깔을 형성하는 방식이다.
- [0003] 필드 시퀀셜 방식으로 표시하는 액정 표시 장치는 컬러 필터 방식으로 표시하는 액정 표시 장치와 비교하여 이하의 이점을 갖는다. 우선, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치에서는 각 화소에 서브 화소를 제공할 필요가 없다. 따라서, 개구율을 향상시키거나 또는 화소의 개수를 증가시킬 수 있다. 그리고, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치에서는 컬러 필터를 제공할 필요가 없다. 즉, 상기 컬러 필터에서의 광 흡수로 인한 광 손실이 없다. 따라서, 투과율을 향상시킬 수 있고, 소비 전력을 저감할 수 있다.
- [0004] 특허 문헌 1에는 필드 시퀀셜 방식으로 표시하는 액정 표시 장치가 개시되어 있다. 구체적으로는, 각 화소에 화상 신호의 입력을 제어하는 트랜지스터와, 상기 화상 신호를 유지하는 신호 유지 용량과, 상기 신호 유지 용량으로부터 표시 화소 용량으로 전하가 이동하는 것을 제어하는 트랜지스터가 제공된 액정 표시 장치가 개시되어 있다. 상기 구성을 갖는 액정 표시 장치는 신호 유지 용량에 대한 화상 신호의 입력과, 표시 화소 용량이 유지하는 전하에 따른 표시를 동시에 행할 수 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2009-42405호 공보

발명의 내용

해결하려는 과제

- [0006] 상술한 바와 같이, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치에서는 특정 색깔을 나타내는 빛마다 표시 기간이 시간 분할된다. 따라서, 이용자의 눈 깜박임 등 단시간 동안 표시가 차단되는 것에 기인하여 특정한 표시 정보가 결락함으로써, 상기 이용자에게 시인되는 표시가 본래의 표시 정보에 의거한 표시로부터 변화(열화)하는 일(컬러 브레이크라고도 함)이 있다. 그래서, 본 발명의 일 형태는 필드 시퀀셜 방식으로 표시하는 액정 표시 장치의 화질의 저하를 억제하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0007] 본 발명의 일 형태는 m행 n열로 배치된 복수의 화소를 갖는 화소부와, 1번째 행에 배치된 n개의 화소 내지 A번째 행(A는 m/2 이하의 자연수)에 배치된 n개의 화소에 대한 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사 및 (A+1)번째 행에 배치된 n개의 화소 내지 2A번째 행에 배치된 n개의 화소에 대한 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사를 병행하여 행하는 구동 회로와, 각각이 상이한 색깔을 나타내는 빛을 발광하는 복수의 광원을 구비한 복수의 백 라이트 유닛이 매트릭스 형상으로 배치된 백 라이트와, (B+1)번째 행(B는 A/2 이하의 자연수)에 배치된 n개의 화소 내지 상기 A번째 행에 배치된 n개의 화소에 대한 상기 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사 및 (A+B+1)번째 행에 배치된 n개의 화소 내지 상기 2A번째 행에 배치된 n개의 화소에 대한 상기 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사가 행해지는 기간 내에 상기 복수의 백 라이트 유닛 중 상기 1번째 행에 배치된 n개의 화소 내지 B번째 행에 배치된 n개의 화소에 빛을 조사하기 위한 백 라이트 유닛에서 상기 제 1 색깔을 나타내는 빛의 광원을 점등시키고 또 상기 (A+1)번째 행에 배치된 n개의 화소 내지 (A+B)번째 행에 배치된 n개의 화소에 빛을

조사하기 위한 백 라이트 유닛에서 상기 제 2 색깔을 나타내는 빛의 광원을 점등시키는 백 라이트 제어 회로를 갖는 것을 특징으로 하는 액정 표시 장치다.

[0008] 또한, 본 발명의 일 형태는 각각이 상이한 색깔을 나타내는 빛을 발광하는 복수의 광원이 반복하여 점멸하고 또 m 행 n 열(m , n 은 4 이상의 자연수)로 배치된 복수의 화소마다 각각의 색깔을 나타내는 빛의 투과를 제어함으로써 화소부에 화상을 형성하는 액정 표시 장치의 구동 방법으로서, 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 1번째 행에 배치된 n 개의 화소 내지 A 번째 행(A 는 $m/2$ 이하의 자연수)에 배치된 n 개의 화소에 순차적으로 행해지고 또 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 $2A$ 번째 행에 배치된 n 개의 화소에 순차적으로 행해지는 제 1 기간 내에 상기 1번째 행에 배치된 n 개의 화소 내지 B 번째 행(B 는 $A/2$ 이하의 자연수)에 배치된 n 개의 화소에 대한 상기 제 1 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력 및 상기 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 $(A+B)$ 번째 행에 배치된 n 개의 화소에 대한 상기 제 2 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 행해진 후에 상기 1번째 행에 배치된 n 개의 화소 내지 상기 B 번째 행에 배치된 n 개의 화소 각각에 제 1 색깔을 나타내는 빛이 공급되고 또 상기 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 상기 $(A+B)$ 번째 행에 배치된 n 개의 화소 각각에 제 2 색깔을 나타내는 빛이 공급되고, 제 3 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 상기 1번째 행에 배치된 n 개의 화소 내지 상기 A 번째 행에 배치된 n 개의 화소에 대하여 행해지고 또 제 4 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 상기 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 상기 $2A$ 번째 행에 배치된 n 개의 화소에 대하여 행해지는, 상기 제 1 기간 후의 기간인 제 2 기간 내에 상기 1번째 행에 배치된 n 개의 화소 내지 상기 B 번째 행에 배치된 n 개의 화소에 대한 상기 제 3 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력 및 상기 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 상기 $(A+B)$ 번째 행에 배치된 n 개의 화소에 대한 상기 제 4 색깔을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력이 행해진 후에 상기 1번째 행에 배치된 n 개의 화소 내지 상기 B 번째 행에 배치된 n 개의 화소 각각에 대하여 제 3 색깔을 나타내는 빛이 공급되고 또 상기 $(A+1)$ 번째 행에 배치된 n 개의 화소 내지 상기 $(A+B)$ 번째 행에 배치된 n 개의 화소 각각에 대하여 제 4 색깔을 나타내는 빛이 공급되고, 상기 화소부에서 표시되는 제 1 화상이 상기 제 1 색깔을 나타내는 빛 및 상기 제 2 색깔을 나타내는 빛을 사용하여 형성되고, 상기 제 1 화상에 이어 상기 화소부에서 표시되는 제 2 화상이 상기 제 3 색깔을 나타내는 빛 및 제 4 색깔을 나타내는 빛을 사용하여 형성되고, 상기 제 1 색깔을 나타내는 빛 및 상기 제 2 색깔을 나타내는 빛은 상기 복수의 광원 중 어느 하나를 점등 시킴으로써 형성되고, 상기 제 3 색깔을 나타내는 빛 및 상기 제 4 색깔을 나타내는 빛은 상기 복수의 광원 중 적어도 2개를 점등시킴으로써 형성되는 것을 특징으로 하는 액정 표시 장치의 구동 방법이다.

발명의 효과

[0009] 본 발명의 일 형태인 액정 표시 장치는 화소부 전체에서 화상 신호의 입력 및 백 라이트의 점등을 순차적으로 행하는 것이 아니라 화소부의 특정 영역마다 화상 신호의 입력 및 백 라이트의 점등을 순차적으로 행할 수 있다. 이로써, 예를 들어, 상기 액정 표시 장치의 각 화소에 대한 화상 신호의 입력 빈도를 향상시킬 수 있다. 결과적으로, 상기 액정 표시 장치에서 생기는 컬러 브레이크 등의 표시 열화를 억제하고, 화질을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1a는 액정 표시 장치의 구성예를 도시한 도면이고, 도 1b는 화소의 구성예를 도시한 도면.
 도 2a는 주사선 구동 회로의 구성예를 도시한 도면이고, 도 2b는 주사선 구동 회로에서 사용되는 신호의 일례를 도시한 타이밍 차트이고, 도 2c는 펄스 출력 회로의 구성예를 도시한 도면.
 도 3a는 펄스 출력 회로의 일례를 도시한 회로도이고, 도 3b 내지 도 3d는 펄스 출력 회로의 동작의 일례를 도시한 타이밍 차트.
 도 4a는 신호선 구동 회로의 구성예를 도시한 도면이고, 도 4b는 신호선 구동 회로의 동작의 일례를 도시한 도면.
 도 5는 백 라이트의 구성예를 도시한 도면.
 도 6은 액정 표시 장치의 동작예를 설명하기 위한 도면.
 도 7a 및 도 7b는 펄스 출력 회로의 일례를 도시한 회로도.

도 8a 및 도 8b는 펄스 출력 회로의 일례를 도시한 회로도.

도 9는 액정 표시 장치의 동작예를 설명하기 위한 도면.

도 10은 액정 표시 장치의 동작예를 설명하기 위한 도면.

도 11a 내지 도 11d는 트랜지스터의 구체적인 예를 도시한 도면.

도 12a 및 도 12b는 화소의 레이아웃의 구체적인 예를 도시한 상면도.

도 13은 화소의 레이아웃의 구체적인 예를 도시한 단면도.

도 14a는 액정 표시 장치의 구체적인 예를 도시한 상면도이고, 도 14b는 액정 표시 장치의 구체적인 예를 도시한 단면도.

도 15는 액정 표시 장치의 구체적인 예를 도시하는 사시도.

도 16a, 도 16b, 도 16c1, 도 16c2, 도 16d1, 도 16d2, 도 16e1, 및 도 16e2는 액정 표시 장치에서 사용되는 기관의 일 형태를 설명하기 위한 도면.

도 17a는 액정 표시 장치의 일례를 도시한 상면도이고, 도 17b는 액정 표시 장치에 접합되는 금속판의 일례를 도시한 도면이고, 도 17c는 금속판이 접합된 액정 표시 장치의 일례를 도시한 도면.

도 18a 내지 도 18f는 전자 기기의 일례를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0011] 이하에 본 발명의 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0012] 우선, 본 발명의 일 형태인 액정 표시 장치에 대하여 도 1a 내지 도 6을 참조하여 설명한다.

[0013] <액정 표시 장치의 구성예>

[0014] 도 1a는 액정 표시 장치의 구성예를 도시한 도면이다. 도 1a에 도시한 액정 표시 장치는 화소부(10)와, 주사선 구동 회로(11)와, 신호선 구동 회로(12)와, 각각이 평행하게 또는 대략 평행하게 배치되고 또 주사선 구동 회로(11)에 의하여 전위가 제어되는 m개의 주사선(13)과, 각각이 평행하게 또는 대략 평행하게 배치되고 또 신호선 구동 회로(12)에 의하여 전위가 제어되는 n개의 신호선(14)을 갖는다. 또한, 화소부(10)는 3개의 영역(영역(101) 내지 영역(103))으로 분할되고, 영역마다 매트릭스 형상으로 배치된 복수의 화소를 갖는다. 또한, 각 주사선(13)은 화소부(10)에서 m행 n열로 배치된 복수의 화소 중 어느 행에 배치된 n개의 화소에 전기적으로 접속된다. 또한, 각 신호선(14)은 m행 n열로 배치된 복수의 화소 중 어느 열에 배치된 m개의 화소에 전기적으로 접속된다.

[0015] 도 1b는 도 1a에 도시한 액정 표시 장치가 갖는 화소(15)의 회로도의 일례를 도시한 도면이다. 도 1b에 도시한 화소(15)는 게이트가 주사선(13)에 전기적으로 접속되고 소스 및 드레인의 한 쪽이 신호선(14)에 전기적으로 접속된 트랜지스터(16)와, 한 쪽의 전극이 트랜지스터(16)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고 다른 쪽의 전극이 용량 전위를 공급하는 배선(용량 배선이라고도 함)에 전기적으로 접속된 용량 소자(17)와, 한 쪽의 전극(화소 전극이라고도 함)이 트랜지스터(16)의 소스 및 드레인의 다른 쪽 및 용량 소자(17)의 한 쪽의 전극에 전기적으로 접속되고 다른 쪽의 전극(공통 전극이나 대향 전극이라고 함)이 공통 전위(대향 전위라고도 함)를 공급하는 배선에 전기적으로 접속된 액정 소자(18)를 갖는다. 트랜지스터(16)는 n채널형 트랜지스터다. 또한, 용량 전위와 공통 전위를 동일 전위로 할 수 있다.

[0016] <주사선 구동 회로(11)의 구성예>

[0017] 도 2a는 도 1a에 도시한 액정 표시 장치가 갖는 주사선 구동 회로(11)의 구성예를 도시한 도면이다. 도 2a에 도시한 주사선 구동 회로(11)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선 내지 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선과, 제 1 펄스 폭 제어 신호(PWC1)를 공급하는 배선 내지 제 6 펄스 폭 제어 신호(PWC6)를 공급하는 배선과, 1번째 행에 배치된 주사선(13)에 전기적으로 접속된 제 1 펄스 출력 회로(20_1) 내지 m번째 행에 배치된 주사선(13)에 전기적으로 접속된 제 m 펄스 출력 회로(20_m)를 갖는다. 또

한, 여기서는, 제 1 펄스 출력 회로(20_1) 내지 제 k 펄스 출력 회로(20_k)(k는 m/2 미만이고 4의 배수)가 영역(101)에 배치된 주사선(13_1) 내지 주사선(13_k)에 각각 전기적으로 접속되고, 제 (k+1) 펄스 출력 회로(20_{k+1}) 내지 제 2k 펄스 출력 회로(20_{2k})가 영역(102)에 배치된 주사선(13_{k+1}) 내지 주사선(13_{2k})에 각각 전기적으로 접속되고, 제 (2k+1) 펄스 출력 회로(20_{2k+1}) 내지 제 m 펄스 출력 회로(20_m)가 영역(103)에 배치된 주사선(13_{2k+1}) 내지 주사선(13_m)에 각각 전기적으로 접속되는 것으로 한다. 또한, 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m)는 제 1 펄스 출력 회로(20_1)에 주사선 구동 회로용 스타트 펄스(GSP)가 입력되었을 때 시프트 기간마다 시프트 펄스를 순차적으로 시프트하는 기능을 갖는다. 또한, 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m)에서 복수의 시프트 펄스의 시프트를 병행하여 행할 수 있다. 즉, 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m)에서 시프트 펄스의 시프트가 행해지는 기간 내에도 제 1 펄스 출력 회로(20_1)에 주사선 구동 회로용 스타트 펄스(GSP)를 입력할 수 있다.

[0018] 도 2b는 상기 신호의 구체적인 파형의 일례를 도시한 도면이다. 도 2b에 기재한 제 1 주사선 구동 회로용 클록 신호(GCK1)는 주기적으로 하이 레벨의 전위(고전원 전위(V_{dd}))와 로우 레벨의 전위(저전원 전위(V_{ss}))를 반복하고 듀티 비율이 1/4인 신호다. 또한, 제 2 주사선 구동 회로용 클록 신호(GCK2)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 1/4 주기 위상이 어긋난 신호이고, 제 3 주사선 구동 회로용 클록 신호(GCK3)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 1/2 주기 위상이 어긋난 신호이고, 제 4 주사선 구동 회로용 클록 신호(GCK4)는 제 1 주사선 구동 회로용 클록 신호(GCK1)로부터 3/4 주기 위상이 어긋난 신호다. 제 1 펄스 폭 제어 신호(PWC1)는 주기적으로 하이 레벨의 전위(고전원 전위(V_{dd}))와 로우 레벨의 전위(저전원 전위(V_{ss}))를 반복하고 듀티 비율이 1/3인 신호다. 또한, 제 2 펄스 폭 제어 신호(PWC2)는 제 1 펄스 폭 제어 신호(PWC1)로부터 1/6 주기 위상이 어긋난 신호이고, 제 3 펄스 폭 제어 신호(PWC3)는 제 1 펄스 폭 제어 신호(PWC1)로부터 1/3 주기 위상이 어긋난 신호이고, 제 4 펄스 폭 제어 신호(PWC4)는 제 1 펄스 폭 제어 신호(PWC1)로부터 1/2 주기 위상이 어긋난 신호이고, 제 5 펄스 폭 제어 신호(PWC5)는 제 1 펄스 폭 제어 신호(PWC1)로부터 2/3 주기 위상이 어긋난 신호이고, 제 6 펄스 폭 제어 신호(PWC6)는 제 1 펄스 폭 제어 신호(PWC1)로부터 5/6 주기 위상이 어긋난 신호다. 또한, 여기서는, 제 1 주사선 구동 회로용 클록 신호(GCK1) 내지 제 4 주사선 구동 회로용 클록 신호(GCK4)의 펄스 폭과 제 1 펄스 폭 제어 신호(PWC1) 내지 제 6 펄스 폭 제어 신호(PWC6)의 펄스 폭의 비율을 3:2로 한다.

[0019] 상술한 액정 표시 장치에서 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m)에 동일 구성을 갖는 회로를 적용할 수 있다. 다만, 펄스 출력 회로가 갖는 복수의 단자의 전기적인 접속 관계는 펄스 출력 회로마다 다르다. 구체적인 접속 관계에 대하여 도 2a 및 도 2c를 참조하여 설명한다.

[0020] 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m) 각각은 단자(21) 내지 단자(27)를 갖는다(도 2c 참조). 또한, 단자(21) 내지 단자(24) 및 단자(26)는 입력 단자이고, 단자(25) 및 단자(27)는 출력 단자다.

[0021] 우선, 단자(21)에 대하여 기재한다. 제 1 펄스 출력 회로(20_1)의 단자(21)는 주사선 구동 회로용 스타트 펄스(GSP)를 공급하는 배선에 전기적으로 접속되고, 제 2 펄스 출력 회로(20_2) 내지 제 m 펄스 출력 회로(20_m)의 단자(21)는 전단(preceding stage)의 펄스 출력 회로의 단자(27)에 전기적으로 접속된다.

[0022] 다음에, 단자(22)에 대하여 기재한다. 제 (4a-3) 펄스 출력 회로(a는 m/4 이하의 자연수)의 단자(22)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속되고, 제 (4a-2) 펄스 출력 회로의 단자(22)는 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속되고, 제 (4a-1) 펄스 출력 회로의 단자(22)는 제 3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속되고, 제 4a 펄스 출력 회로의 단자(22)는 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속된다.

[0023] 다음에, 단자(23)에 대하여 기재한다. 제 (4a-3) 펄스 출력 회로의 단자(23)는 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 전기적으로 접속되고, 제 (4a-2) 펄스 출력 회로의 단자(23)는 제 3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 전기적으로 접속되고, 제 (4a-1) 펄스 출력 회로의 단자(23)는 제 4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 전기적으로 접속되고, 제 4a 펄스 출력 회로의 단자(23)는 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 전기적으로 접속된다.

[0024] 다음에, 단자(24)에 대하여 기재한다. 제 (2b-1) 펄스 출력 회로(b는 k/2 이하의 자연수)의 단자(24)는 제 1 펄스 폭 제어 신호(PWC1)를 공급하는 배선에 전기적으로 접속되고, 제 2b 펄스 출력 회로의 단자(24)는 제 4 펄스 폭 제어 신호(PWC4)를 공급하는 배선에 전기적으로 접속되고, 제 (2c-1) 펄스 출력 회로(c는 (k/2+1) 이상 k

이하의 자연수)의 단자(24)는 제 2 펄스 폭 제어 신호(PWC2)를 공급하는 배선에 전기적으로 접속되고, 제 2c 펄스 출력 회로의 단자(24)는 제 5 펄스 폭 제어 신호(PWC5)를 공급하는 배선에 전기적으로 접속되고, 제 (2d-1) 펄스 출력 회로(d는 $(k+1)$ 이상 $m/2$ 이하의 자연수)의 단자(24)는 제 3 펄스 폭 제어 신호(PWC3)를 공급하는 배선에 전기적으로 접속되고, 제 2d 펄스 출력 회로의 단자(24)는 제 6 펄스 폭 제어 신호(PWC6)를 공급하는 배선에 전기적으로 접속된다.

- [0025] 다음에, 단자(25)에 대하여 기재한다. 제 x 펄스 출력 회로(x 는 m 이하의 자연수)의 단자(25)는 x 번째 행에 배치된 주사선(13_x)에 전기적으로 접속된다.
- [0026] 다음에, 단자(26)에 대하여 기재한다. 제 y 펄스 출력 회로(y 는 $m-1$ 이하의 자연수)의 단자(26)는 제 $(y+1)$ 펄스 출력 회로의 단자(27)에 전기적으로 접속되고 제 m 펄스 출력 회로의 단자(26)는 제 m 펄스 출력 회로용 스톱 신호(STP)를 공급하는 배선에 전기적으로 접속된다. 또한, 제 m 펄스 출력 회로용 스톱 신호(STP)는 제 $(m+1)$ 펄스 출력 회로가 배치된다고 가정하면, 상기 제 $(m+1)$ 펄스 출력 회로의 단자(27)로부터 출력되는 신호에 상당하는 신호다. 구체적으로는, 이들 신호는 실제로 더미 회로로서 제 $(m+1)$ 펄스 출력 회로를 배치하거나 또는 외부로부터 상기 신호를 직접 입력하거나 함으로써 제 m 펄스 출력 회로에 공급할 수 있다.
- [0027] 각 펄스 출력 회로의 단자(27)의 접속 관계는 상술하였기 때문에 여기서는 그 설명을 원용하기로 한다.
- [0028] <펄스 출력 회로의 구성에>
- [0029] 도 3a는 도 2a 및 도 2c에 도시한 펄스 출력 회로의 구성예를 도시한 도면이다. 도 3a에 도시한 펄스 출력 회로는 트랜지스터(31) 내지 트랜지스터(39)를 갖는다.
- [0030] 트랜지스터(31)는 소스 및 드레인의 한 쪽이 고전원 전위(V_{dd})를 공급하는 배선(이하, 고전원 전위선이라고도 함)에 전기적으로 접속되고, 게이트가 단자(21)에 전기적으로 접속된다.
- [0031] 트랜지스터(32)는 소스 및 드레인의 한 쪽이 저전원 전위(V_{ss})를 공급하는 배선(이하, 저전원 전위선이라고도 함)에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(31)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.
- [0032] 트랜지스터(33)는 소스 및 드레인의 한 쪽이 단자(22)에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 단자(27)에 전기적으로 접속되고, 게이트가 트랜지스터(31)의 소스 및 드레인의 다른 쪽 및 트랜지스터(32)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.
- [0033] 트랜지스터(34)는 소스 및 드레인의 한 쪽이 저전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 단자(27)에 전기적으로 접속되고, 게이트가 트랜지스터(32)의 게이트에 전기적으로 접속된다.
- [0034] 트랜지스터(35)는 소스 및 드레인의 한 쪽이 저전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(32)의 게이트 및 트랜지스터(34)의 게이트에 전기적으로 접속되고, 게이트가 단자(21)에 전기적으로 접속된다.
- [0035] 트랜지스터(36)는 소스 및 드레인의 한 쪽이 고전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 및 트랜지스터(35)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 게이트가 단자(26)에 전기적으로 접속된다. 또한, 트랜지스터(36)의 소스 및 드레인의 한 쪽이 저전원 전위(V_{ss})보다 전위가 높고 또 고전원 전위(V_{dd})보다 전위가 낮은 전원 전위(V_{cc})를 공급하는 배선에 전기적으로 접속되는 구성으로 할 수도 있다.
- [0036] 트랜지스터(37)는 소스 및 드레인의 한 쪽이 고전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(36)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 게이트가 단자(23)에 전기적으로 접속된다. 또한, 트랜지스터(37)의 소스 및 드레인의 한 쪽이 전원 전위(V_{cc})를 공급하는 배선에 전기적으로 접속되는 구성으로 할 수도 있다.
- [0037] 트랜지스터(38)는 소스 및 드레인의 한 쪽이 단자(24)에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 단자(25)에 전기적으로 접속되고, 게이트가 트랜지스터(31)의 소스 및 드레인의 다른 쪽, 트랜지스터(32)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(33)의 게이트에 전기적으로 접속된다.
- [0038] 트랜지스터(39)는 소스 및 드레인의 한 쪽이 저전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽

이 단자(25)에 전기적으로 접속되고, 게이트가 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인의 다른 쪽, 트랜지스터(36)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(37)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0039] 또한, 이하에서 트랜지스터(31)의 소스 및 드레인의 다른 쪽, 트랜지스터(32)의 소스 및 드레인의 다른 쪽, 트랜지스터(33)의 게이트, 및 트랜지스터(38)의 게이트가 전기적으로 접속되는 노드를 노드 A로 하고, 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인의 다른 쪽, 트랜지스터(36)의 소스 및 드레인의 다른 쪽, 트랜지스터(37)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(39)의 게이트가 전기적으로 접속되는 노드를 노드 B로 하여 설명한다.

[0040] <펄스 출력 회로의 동작예>

[0041] 상술한 펄스 출력 회로의 동작예에 대하여 도 3b 내지 도 3d를 참조하여 설명한다. 또한, 여기서는, 제 1 펄스 출력 회로(20_1)의 단자(21)에 입력되는 주사선 구동 회로용 스타트 펄스(GSP)의 입력 타이밍을 제어함으로써, 제 1 펄스 출력 회로(20_1), 제 (k+1) 펄스 출력 회로(20_k+1), 및 제 (2k+1) 펄스 출력 회로(20_2k+1)의 단자(27)로부터 동일 타이밍으로 시프트 펄스를 출력하는 경우의 동작예에 대하여 설명한다. 구체적으로는, 도 3b는 주사선 구동 회로용 스타트 펄스(GSP)가 입력될 때 제 1 펄스 출력 회로(20_1)의 각 단자에 입력되는 신호의 전위 및 노드 A 및 노드 B의 전위를 나타내고, 도 3c는 제 k 펄스 출력 회로(20_k)로부터 하이 레벨의 전위가 입력될 때 제 (k+1) 펄스 출력 회로(20_k+1)의 각 단자에 입력되는 신호의 전위 및 노드 A 및 노드 B의 전위를 나타내고, 도 3d는 제 2k 펄스 출력 회로(20_2k)로부터 하이 레벨의 전위가 입력될 때 제 (2k+1) 펄스 출력 회로(20_2k+1)의 각 단자에 입력되는 신호의 전위 및 노드 A 및 노드 B의 전위를 나타낸다. 또한, 도 3b 내지 도 3d에서는 각 단자에 입력되는 신호를 괄호 내에 부기한다. 또한, 각각의 후단에 배치되는 펄스 출력 회로(제 2 펄스 출력 회로(20_2), 제 (k+2) 펄스 출력 회로(20_k+2), 제 (2k+2) 펄스 출력 회로(20_2k+2)의 단자(25)로부터 출력되는 신호(Gout2, Goutk+2, Gout2k+2) 및 단자(27)로부터 출력되는 신호(SRout2=제 1 펄스 출력 회로(20_1)의 단자(26)의 입력 신호, SRoutk+2=제 (k+1) 펄스 출력 회로(20_k+1)의 단자(26)의 입력 신호, SRout2k+2=제 (2k+1) 펄스 출력 회로(20_2k+1)의 단자(26)의 입력 신호)도 부기한다. 또한, 도면 중에서 Gout는 펄스 출력 회로가 주사선에 출력하는 출력 신호를 나타내고, SRout는 상기 펄스 출력 회로가 전단 및 후단의 펄스 출력 회로에 출력하는 출력 신호를 나타낸다.

[0042] 우선, 도 3b를 참조하여 제 1 펄스 출력 회로(20_1)에 주사선 구동 회로용 스타트 펄스(GSP)로서 하이 레벨의 전위가 입력되는 경우에 대하여 설명한다.

[0043] 기간 t1에 단자(21)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 이로써, 트랜지스터(31) 및 트랜지스터(35)가 온 상태가 된다. 따라서, 노드 A의 전위가 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(31)의 임계 값 전압만큼 하강한 전위)까지 상승하고 또 노드 B의 전위가 저전원 전위(V_{ss})로 하강한다. 이것에 부수되어 트랜지스터(33) 및 트랜지스터(38)가 온 상태가 되고, 트랜지스터(32), 트랜지스터(34), 트랜지스터(39)가 오프 상태가 된다. 상술한 바와 같이, 기간 t1에 단자(27)로부터 출력되는 신호는 단자(22)에 입력되는 신호가 되고, 단자(25)로부터 출력되는 신호는 단자(24)에 입력되는 신호가 된다. 여기서, 기간 t1에 단자(22) 및 단자(24)에 입력되는 신호는 양쪽 모두 로우 레벨의 전위(저전원 전위(V_{ss}))이다. 따라서, 기간 t1에 제 1 펄스 출력 회로(20_1)는 제 2 펄스 출력 회로(20_2)의 단자(21), 및 화소부에서 1번째 행에 배치된 주사선에 로우 레벨의 전위(저전원 전위(V_{ss}))를 출력한다.

[0044] 기간 t2에 각 단자에 입력되는 신호는 기간 t1로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 신호도 변화하지 않고, 모두 로우 레벨의 전위(저전원 전위(V_{ss}))를 출력한다.

[0045] 기간 t3에 단자(24)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 또한, 노드 A의 전위(트랜지스터(31)의 소스 전위)는 기간 t1에 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(31)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 따라서, 트랜지스터(31)는 오프 상태가 된다. 이 때, 단자(24)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력됨으로써 트랜지스터(38)의 소스와 게이트의 용량 결합에 의하여 노드 A의 전위(트랜지스터(38)의 게이트 전위)가 더 상승한다(부트스트랩 동작). 또한, 상기 부트스트랩 동작을 행함으로써 단자(25)로부터 출력되는 신호가 단자(24)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 하강하지 않는다. 따라서, 기간 t3에 제 1 펄스 출력 회로(20_1)는 화소부에서 1번째 행에 배치된 주사선에 하이 레벨의 전위(고전원

전위(V_{dd})=선택 신호)를 출력한다.

- [0046] 기간 t_4 에 단자(22)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 여기서, 노드 A의 전위는 부트스트랩 동작에 의하여 상승하기 때문에 단자(27)로부터 출력되는 신호가 단자(22)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 하강하지 않는다. 따라서, 기간 t_4 에 단자(27)로부터는 단자(22)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))가 출력된다. 즉, 제 1 펄스 출력 회로(20_1)는 제 2 펄스 출력 회로(20_2)의 단자(21)에 하이 레벨의 전위(고전원 전위(V_{dd})=시프트 펄스)를 출력한다. 또한, 기간 t_4 에 단자(24)에 입력되는 신호는 하이 레벨의 전위(고전원 전위(V_{dd}))를 유지하기 때문에 제 1 펄스 출력 회로(20_1)로부터 화소부에서 1번째 행에 배치된 주사선에 출력되는 신호는 그대로 하이 레벨의 전위(고전원 전위(V_{dd})=선택 신호)다. 또한, 기간 t_4 에 상기 펄스 출력 회로의 출력 신호에는 직접 관여하지 않지만 단자(21)에 로우 레벨의 전위(저전원 전위(V_{ss}))가 입력되기 때문에 트랜지스터(35)는 오프 상태가 된다.
- [0047] 기간 t_5 에 단자(24)에 로우 레벨의 전위(저전원 전위(V_{ss}))가 입력된다. 여기서, 트랜지스터(38)는 온 상태를 유지한다. 따라서, 기간 t_5 에 제 1 펄스 출력 회로(20_1)로부터 화소부에서 1번째 행에 배치된 주사선에 출력되는 신호는 로우 레벨의 전위(저전원 전위(V_{ss}))가 된다.
- [0048] 기간 t_6 에 각 단자에 입력되는 신호는 기간 t_5 로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 신호도 변화하지 않고, 단자(25)로부터 로우 레벨의 전위(저전원 전위(V_{ss}))가 출력되고, 단자(27)로부터 하이 레벨의 전위(고전원 전위(V_{dd})=시프트 펄스)가 출력된다.
- [0049] 기간 t_7 에 단자(23)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 이로써, 트랜지스터(37)가 온 상태가 된다. 따라서, 노드 B의 전위가 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(37)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 즉, 트랜지스터(32), 트랜지스터(34), 트랜지스터(39)가 온 상태가 된다. 또한, 이것에 부수하여 노드 A의 전위가 로우 레벨의 전위(저전원 전위(V_{ss}))로 하강한다. 즉, 트랜지스터(33), 트랜지스터(38)가 오프 상태가 된다. 상술한 바와 같이, 기간 t_7 에 단자(25) 및 단자(27)로부터 출력되는 신호는 모두 저전원 전위(V_{ss})가 된다. 즉, 기간 t_7 에 제 1 펄스 출력 회로(20_1)는 제 2 펄스 출력 회로(20_2)의 단자(21), 및 화소부에서 1번째 행에 배치된 주사선에 저전원 전위(V_{ss})를 출력한다.
- [0050] 다음에, 도 3c를 참조하여 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)의 단자(21)에 제 k 펄스 출력 회로(20_ k)로부터 시프트 펄스로서 하이 레벨의 전위가 입력되는 경우에 대하여 설명한다.
- [0051] 기간 t_1 및 기간 t_2 에 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)의 동작은 상술한 제 1 펄스 출력 회로(20_1)와 마찬가지다. 따라서, 여기서는 상술한 설명을 원용하기로 한다.
- [0052] 기간 t_3 에 각 단자에 입력되는 신호는 기간 t_2 로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 신호도 변화하지 않고, 모두 로우 레벨의 전위(저전원 전위(V_{ss}))를 출력한다.
- [0053] 기간 t_4 에 단자(22) 및 단자(24)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 또한, 노드 A의 전위(트랜지스터(31)의 소스 전위)는 기간 t_1 에 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(31)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 따라서, 트랜지스터(31)는 기간 t_1 에 오프 상태가 된다. 여기서, 단자(22) 및 단자(24)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력됨으로써 트랜지스터(33)의 소스와 게이트 및 트랜지스터(38)의 소스와 게이트의 용량 결합에 의하여 노드 A의 전위(트랜지스터(33) 및 트랜지스터(38)의 게이트 전위)가 더 상승한다(부트스트랩 동작). 또한, 상기 부트스트랩 동작을 행함으로써 단자(25) 및 단자(27)로부터 출력되는 신호가 단자(22) 및 단자(24)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 하강하지 않는다. 따라서, 기간 t_4 에 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)는 화소부에서 $(k+1)$ 번째 행에 배치된 주사선 및 제 $(k+2)$ 펄스 출력 회로(20_ $k+2$)의 단자(21)에 하이 레벨의 전위(고전원 전위(V_{dd})=선택 신호, 시프트 펄스)를 출력한다.
- [0054] 기간 t_5 에 각 단자에 입력되는 신호는 기간 t_4 로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터

출력되는 신호도 변화하지 않고, 하이 레벨의 전위(고전원 전위(V_{dd})=선택 신호, 시프트 펄스)를 출력한다.

[0055] 시간 t_6 에 단자(24)에 로우 레벨의 전위(저전원 전위(V_{ss}))가 입력된다. 여기서, 트랜지스터(38)는 온 상태를 유지한다. 따라서, 시간 t_6 에 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)로부터 화소부에서 $(k+1)$ 번째 행에 배치된 주사선에 출력되는 신호는 로우 레벨의 전위(저전원 전위(V_{ss}))가 된다.

[0056] 시간 t_7 에 단자(23)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 이로써, 트랜지스터(37)가 온 상태가 된다. 따라서, 노드 B의 전위가 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(37)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 즉, 트랜지스터(32), 트랜지스터(34), 트랜지스터(39)가 온 상태가 된다. 또한, 이것에 부수하여 노드 A의 전위가 로우 레벨의 전위(저전원 전위(V_{ss}))로 하강한다. 즉, 트랜지스터(33), 트랜지스터(38)가 오프 상태가 된다. 상술한 바와 같이, 시간 t_7 에 단자(25) 및 단자(27)로부터 출력되는 신호는 모두 저전원 전위(V_{ss})가 된다. 즉, 시간 t_7 에 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)는 제 $(k+2)$ 펄스 출력 회로(20_ $k+2$)의 단자(21), 및 화소부에서 $(k+1)$ 번째 행에 배치된 주사선에 저전원 전위(V_{ss})를 출력한다.

[0057] 다음에, 도 3d를 참조하여 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)의 단자(21)에 제 $2k$ 펄스 출력 회로(20_ k)로부터 시프트 펄스로서 하이 레벨의 전위가 입력되는 경우에 대하여 설명한다.

[0058] 시간 t_1 내지 시간 t_3 에 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)의 동작은 상술한 제 $(k+1)$ 펄스 출력 회로(20_ $k+1$)와 마찬가지로 한다.

[0059] 시간 t_4 에 단자(22)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 또한, 노드 A의 전위(트랜지스터(31)의 소스 전위)는 시간 t_1 에 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(31)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 따라서, 트랜지스터(31)는 시간 t_1 에 오프 상태가 된다. 여기서, 단자(22)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력됨으로써 트랜지스터(33)의 소스와 게이트의 용량 결합에 의하여 노드 A의 전위(트랜지스터(33)의 게이트 전위)가 더 상승한다(부트스트랩 동작). 또한, 상기 부트스트랩 동작을 행함으로써 단자(27)로부터 출력되는 신호가 단자(22)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 하강하지 않는다. 따라서, 시간 t_4 에 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)는 제 $(2k+2)$ 펄스 출력 회로(20_ $2k+2$)의 단자(21)에 하이 레벨의 전위(고전원 전위(V_{dd})=시프트 펄스)를 출력한다. 또한, 시간 t_4 에 상기 펄스 출력 회로의 출력 신호에는 직접 관여하지 않지만 단자(21)에 로우 레벨의 전위(저전원 전위(V_{ss}))가 입력되기 때문에 트랜지스터(35)는 오프 상태가 된다.

[0060] 시간 t_5 에 단자(24)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 여기서, 노드 A의 전위는 부트스트랩 동작에 의하여 상승하기 때문에 단자(25)로부터 출력되는 신호가 단자(24)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 하강하지 않는다. 따라서, 시간 t_5 에 단자(25)로부터는 단자(22)에 입력되는 하이 레벨의 전위(고전원 전위(V_{dd}))가 출력된다. 즉, 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)는 화소부에서 $(2k+1)$ 번째 행에 배치된 주사선에 하이 레벨의 전위(고전원 전위(V_{dd})=선택 신호)를 출력한다. 또한, 시간 t_5 에 단자(22)에 입력되는 신호는 하이 레벨의 전위(고전원 전위(V_{dd}))를 유지하기 때문에 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)로부터 제 $(2k+2)$ 펄스 출력 회로(20_ $2k+2$)의 단자(21)에 출력되는 신호는 그대로 하이 레벨의 전위(고전원 전위(V_{dd})=시프트 펄스)다.

[0061] 시간 t_6 에 각 단자에 입력되는 신호는 시간 t_5 로부터 변화하지 않는다. 따라서, 단자(25) 및 단자(27)로부터 출력되는 신호도 변화하지 않고, 모두 하이 레벨의 전위(고전원 전위(V_{dd})=선택 신호, 시프트 펄스)를 출력한다.

[0062] 시간 t_7 에 단자(23)에 하이 레벨의 전위(고전원 전위(V_{dd}))가 입력된다. 이로써, 트랜지스터(37)가 온 상태가 된다. 따라서, 노드 B의 전위가 하이 레벨의 전위(고전원 전위(V_{dd}))로부터 트랜지스터(37)의 임계 값 전압만큼 하강한 전위)까지 상승한다. 즉, 트랜지스터(32), 트랜지스터(34), 트랜지스터(39)가 온 상태가 된다. 또한, 이것에 부수하여 노드 A의 전위가 로우 레벨의 전위(저전원 전위(V_{ss}))로 하강한다. 즉, 트랜지스터(33), 트랜지스터(38)가 오프 상태가 된다. 상술한 바와 같이, 시간 t_7 에 단자(25) 및 단자(27)로부터 출력되는 신호는 모두 저전원 전위(V_{ss})가 된다. 즉, 시간 t_7 에 제 $(2k+1)$ 펄스 출력 회로(20_ $2k+1$)는 제 $(2k+2)$ 펄스 출력 회

로(20_{2k+2})의 단자(21), 및 화소부에서 ($2k+1$)번째 행에 배치된 주사선에 저전원 전위(V_{ss})를 출력한다.

[0063] 도 3b 내지 도 3d에 도시한 바와 같이, 제 1 펄스 출력 회로(20_1) 내지 제 m 펄스 출력 회로(20_m)에서는 주사선 구동 회로용 스타트 펄스(GSP)의 입력 타이밍을 제어함으로써 복수의 시프트 펄스의 시프트를 병행하여 행할 수 있다. 구체적으로는, 주사선 구동 회로용 스타트 펄스(GSP)를 입력한 후, 제 k 펄스 출력 회로(20_k)의 단자(27)로부터 시프트 펄스가 출력되는 타이밍과 같은 타이밍으로 다시 주사선 구동 회로용 스타트 펄스(GSP)를 입력함으로써 제 1 펄스 출력 회로(20_1) 및 제 ($k+1$) 펄스 출력 회로(20_{k+1})로부터 같은 타이밍으로 시프트 펄스를 출력시킬 수 있다. 또한, 마찬가지로 주사선 구동 회로용 스타트 펄스(GSP)를 입력함으로써 제 1 펄스 출력 회로(20_1), 제 ($k+1$) 펄스 출력 회로(20_{k+1}), 및 제 ($2k+1$) 펄스 출력 회로(20_{2k+1})로부터 같은 타이밍으로 시프트 펄스를 출력시킬 수 있다.

[0064] 그리고, 제 1 펄스 출력 회로(20_1), 제 ($k+1$) 펄스 출력 회로(20_{k+1}), 및 제 ($2k+1$) 펄스 출력 회로(20_{2k+1})는 상기 동작과 병행하여 각각 상이한 타이밍으로 주사선에 선택 신호를 공급할 수 있다. 즉, 상술한 주사선 구동 회로는 고유의 시프트 기간을 갖는 복수의 시프트 펄스를 시프트하고, 또 그 동작과 동일 타이밍으로, 시프트 펄스가 입력된 복수의 펄스 출력 회로가 각각 상이한 타이밍으로 주사선에 선택 신호를 공급할 수 있다.

[0065] <신호선 구동 회로(12)의 구성예>

[0066] 도 4a는 도 1a에 도시한 액정 표시 장치가 갖는 신호선 구동 회로(12)의 구성예를 도시한 도면이다. 도 4a에 도시한 신호선 구동 회로(12)는 제 1 출력 단자 내지 제 n 출력 단자를 갖는 시프트 레지스터(120)와, 화상 신호(DATA)를 공급하는 배선과, 소스 및 드레인의 한 쪽이 화상 신호(DATA)를 공급하는 배선에 전기적으로 접속되고 소스 및 드레인의 다른 쪽이 화소부에서 1번째 열에 배치된 신호선(14_1)에 전기적으로 접속되고 게이트가 시프트 레지스터(120)의 제 1 출력 단자에 전기적으로 접속된 트랜지스터(121_1) 내지 소스 및 드레인의 한 쪽이 화상 신호(DATA)를 공급하는 배선에 전기적으로 접속되고 소스 및 드레인의 다른 쪽이 화소부에서 n 번째 열에 배치된 신호선(14_n)에 전기적으로 접속되고 게이트가 시프트 레지스터(120)의 제 n 출력 단자에 전기적으로 접속된 트랜지스터(121_n)를 갖는다. 또한, 시프트 레지스터(120)는 신호선 구동 회로용 스타트 펄스(SSP)로서 하이 레벨의 전위가 입력되었을 때 시프트 기간마다 순차적으로 제 1 출력 단자 내지 제 n 출력 단자로부터 하이 레벨의 전위를 출력하는 기능을 갖는다. 즉, 트랜지스터(121_1) 내지 트랜지스터(121_n)는 시프트 기간마다 순차적으로 온 상태가 된다.

[0067] 도 4b는 화상 신호(DATA)를 공급하는 배선이 공급하는 화상 신호의 타이밍의 일례를 도시한 도면이다. 도 4b에 도시한 바와 같이, 화상 신호(DATA)를 공급하는 배선은 기간 t_4 에 1번째 행에 배치된 화소용 화상 신호(data 1)를 공급하고, 기간 t_5 에 ($k+1$)번째 행에 배치된 화소용 화상 신호(data $k+1$)를 공급하고, 기간 t_6 에 ($2k+1$)번째 행에 배치된 화소용 화상 신호(data $2k+1$)를 공급하고, 기간 t_7 에 2번째 행에 배치된 화소용 화상 신호(data 2)를 공급한다. 이하, 마찬가지로 화상 신호(DATA)를 공급하는 배선은 특정 행에 배치된 화소용 화상 신호를 순차적으로 공급한다. 구체적으로는, s 번째 행(s 는 k 미만의 자연수)에 배치된 화소용 화상 신호 $\rightarrow k+s$ 번째 행에 배치된 화소용 화상 신호 $\rightarrow 2k+s$ 번째 행에 배치된 화소용 화상 신호 $\rightarrow s+1$ 번째 행에 배치된 화소용 화상 신호의 순서로 화상 신호를 공급한다. 상술한 주사선 구동 회로 및 신호선 구동 회로가 상기 동작을 행함으로써 주사선 구동 회로가 갖는 펄스 출력 회로에서 시프트 기간마다 화소부에 배치된 3행의 화소에 화상 신호를 입력할 수 있다. 즉, 상술한 주사선 구동 회로 및 신호선 구동 회로가 상기 동작을 행함으로써 m 행 n 열로 배치된 복수의 화소에 대하여 3종류의 화상 신호의 주사를 병행하여 행할 수 있다.

[0068] <백 라이트의 구성예>

[0069] 도 5는 도 1a에 도시한 액정 표시 장치의 화소부(10) 뒤에 제공되는 백 라이트의 구성예를 도시한 도면이다. 도 5에 도시한 백 라이트는 매트릭스 형상으로 배치된 복수의 백 라이트 유닛(40)을 갖는다. 또한, 백 라이트 유닛(40)은 적색(R)을 나타내는 빛의 광원, 녹색(G)을 나타내는 빛의 광원, 및 청색(B)을 나타내는 빛의 광원을 갖는다. 또한, 복수의 백 라이트 유닛(40)에서의 광원의 점멸은 백 라이트 제어 회로(41)로 제어된다. 또한, 여기서는, 백 라이트 제어 회로(41)는 m 행 n 열로 배치된 복수의 화소 중 t 행 n 열(여기서는, t 는 $k/4$ 로 함)로 배치된 화소에 대하여 빛을 조사하기 위한 백 라이트 유닛 그룹(42)마다 광원의 점멸을 제어할 수 있는 것으로 한다. 즉, 상기 백 라이트 제어 회로(41)는 1번째 행 내지 t 번째 행용 백 라이트 유닛 그룹 내지 ($2k+3t+1$)번째 행 내지 m 번째 행용 백 라이트 유닛 그룹에서 점등되는 빛을 독립적으로 제어할 수 있는 것으로 한다. 또한, 백 라이트 제어 회로(41)는 백 라이트 유닛 그룹(42)에 포함되는 백 라이트 유닛(40)이 갖는 3종류의 광원 중 어느 하나를 점등시키거나, 어느 2개를 동시에 점등시키거나, 및 모두를 동시에 점등시킬 수 있는 것으로 한다.

또한, 상기 3종류의 광원 모두를 동시에 점등시킨 경우에는, 백 라이트 유닛(40)은 백색(W)을 나타내는 빛을 발광하는 것으로 한다. 또한, 상기 광원으로서, LED(Light-Emitting Diode) 등을 적용할 수 있다.

[0070] <액정 표시 장치의 동작예>

[0071] 도 6은 상술한 액정 표시 장치에서의 화상 신호의 주사와, 백 라이트가 갖는 1번째 행 내지 t번째 행용 백 라이트 유닛 그룹 내지 $(2k+3t+1)$ 번째 행 내지 m번째 행용 백 라이트 유닛 그룹 각각에서 점등되는 빛의 타이밍을 도시한 도면이다. 또한, 도 6에서 세로 축은 화소부에서의 행(1번째 행 내지 m번째 행)을 나타내고, 가로 축은 시간을 나타낸다. 상술한 액정 표시 장치에서는 1번째 행에 배치된 화소 내지 m번째 행에 배치된 화소에 순차적으로 화상 신호를 입력하지 않고, k행만큼 이격되어 배치된 화소에 순차적으로 화상 신호를 입력(1번째 행에 배치된 화소 → k+1번째 행에 배치된 화소 → $2k+1$ 번째 행에 배치된 화소 → 2번째 행에 배치된 화소의 순서로 화상 신호를 입력)할 수 있다. 이로써, 기간 T1에 1번째 행에 배치된 n개의 화소 내지 t번째 행에 배치된 n개의 화소에 대한 청색(B)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사, (k+1)번째 행에 배치된 n개의 화소 내지 (k+t)번째 행에 배치된 n개의 화소에 대한 녹색(G)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사, 및 $(2k+1)$ 번째 행에 배치된 n개의 화소 내지 $(2k+t)$ 번째 행에 배치된 n개의 화소에 대한 적색(R)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사를 병행하여 행할 수 있다.

[0072] 또한, 도 6에 도시한 바와 같이, 상기 액정 표시 장치에서는 기간 T2에 1번째 행 내지 t번째 행용 백 라이트 그룹에서 청색(B)의 광원을 점등시키고 또 (k+1)번째 행 내지 (k+t)번째 행용 백 라이트 유닛 그룹에서 녹색(G)의 광원을 점등시키고 또 $(2k+1)$ 번째 행 내지 $(2k+t)$ 번째 행용 백 라이트 유닛 그룹에서 적색(R)의 광원을 점등시킬 수 있다. 또한, 기간 T2는 (t+1)번째 행에 배치된 n개의 화소 내지 k번째 행에 배치된 n개의 화소에 대한 청색(B)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사, (k+t+1)번째 행에 배치된 n개의 화소 내지 $2k$ 번째 행에 배치된 n개의 화소에 대한 녹색(G)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사, 및 $(2k+t+1)$ 번째 행에 배치된 n개의 화소 내지 m번째 행에 배치된 n개의 화소에 대한 적색(R)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사가 병행하여 행해지는 기간이다.

[0073] 또한, 도 6에 도시한 동작예에서 각 화소에 대하여 적색(R)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 입력 내지 청색(B)을 나타내는 빛의 조사까지의 동작이 행해짐으로써 화소부에 1장의 화상이 형성되는 것으로 한다. 즉, 상기 화상은 적색(R)을 나타내는 빛, 녹색(G)을 나타내는 빛, 및 청색(B)을 나타내는 빛을 사용하여 형성된다.

[0074] 또한, 도 6에 도시한 동작예에서 상기 화상에 이어 화소부에 형성되는 화상이 적색(R)을 나타내는 빛 및 녹색(G)을 나타내는 빛을 혼색함으로써 형성되는 유채색을 나타내는 빛, 녹색(G)을 나타내는 빛 및 청색(B)을 나타내는 빛을 혼색함으로써 형성되는 유채색을 나타내는 빛, 및 청색(B)을 나타내는 빛 및 적색(R)을 나타내는 빛을 혼색함으로써 형성되는 유채색을 나타내는 빛을 사용하여 형성된다.

[0075] <본 명세서에서 개시되는 액정 표시 장치에 대하여>

[0076] 본 명세서에서 개시되는 액정 표시 장치는 화상 신호의 주사와, 특정 백 라이트 유닛 그룹에서의 광원의 점등을 병행하여 행할 수 있다. 따라서, 예를 들어, 상기 액정 표시 장치의 각 화소에 대한 화상 신호의 입력 빈도를 향상시킬 수 있다. 결과적으로, 필드 시퀀셜 방식으로 표시하는 액정 표시 장치에서 생기는 컬러 브레이크를 억제하고, 상기 액정 표시 장치가 표시하는 화질을 향상시킬 수 있다.

[0077] 또한, 본 명세서에 개시되는 액정 표시 장치는 간편한 화소 구성이면서 상기 동작을 실현할 수 있다. 구체적으로는, 특허 문헌 1에 개시되는 액정 표시 장치의 화소에는 본 명세서에 개시되는 액정 표시 장치의 화소 구성 이외에 전하의 이동을 제어하는 트랜지스터가 필요하다. 또한, 상기 트랜지스터의 스위칭을 제어하기 위한 신호선도 별도로 필요하다. 한편, 본 명세서에 개시되는 액정 표시 장치의 화소 구성은 간편하다. 즉, 본 명세서에 개시되는 액정 표시 장치는 특허 문헌 1에 개시되는 액정 표시 장치와 비교하여 화소의 개구율을 향상시킬 수 있다. 또한, 화소부에 연장하는 배선 개수를 저감함으로써 각종 배선 사이에 생기는 기생 용량을 저감할 수 있다. 즉, 화소부에 연장되는 각종 배선을 고속 구동할 수 있다.

[0078] 또한, 도 6에 도시한 동작예와 같이 백 라이트를 점등하는 경우에는, 인접한 백 라이트 유닛 그룹이 상이한 색깔을 나타내지 않는다. 구체적으로는, 기간 T1에 화상 신호의 주사가 행해지는 영역에 상기 주사 후에 백 라이트 유닛 그룹을 점등하는 경우에는, 인접한 백 라이트 유닛 그룹이 상이한 색깔을 나타내지 않는다. 예를 들어, 기간 T1에 (k+1)번째 행에 배치된 n개의 화소 내지 (k+t)번째 행에 배치된 n개의 화소에 녹색(G)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사가 종료된 후에 (k+1)번째 행 내지 (k+t)번째 행용 백 라이트

유닛 그룹에서 녹색(G)의 광원을 점등시킬 때 $(3t+1)$ 번째 행 내지 k 번째 행용 백 라이트 유닛 그룹 및 $(k+t+1)$ 번째 행 내지 $(k+2t)$ 번째 행용 백 라이트 유닛 그룹에서는 녹색(G)의 광원이 점등되거나 또는 점등 자체가 행해지지 않는다(적색(R), 청색(B)의 광원이 점등되지 않음). 따라서, 특정 색깔의 화상 정보가 입력된 화소를 상기 특정 색깔과 상이한 색깔을 나타내는 빛이 투과하는 확률을 저감할 수 있다.

[0079] 또한, 도 6에 도시한 동작예와 같이, 액정 표시 장치가 표시하는 화상에 백 라이트 유닛이 갖는 3개의 광원 중 어느 2개를 상이한 조합으로 순차적으로 점등시킴으로써 형성되는 화상이 포함되는 경우에는, 상기 액정 표시 장치의 표시 휘도의 향상을 도모할 수 있다. 또한, 백 라이트 유닛이 갖는 복수의 광원 각각의 점등 기간을 길게 확보함으로써 액정 표시 장치의 표시 색조의 세분화를 도모(표시하는 색깔의 농담(濃淡) 등을 더 정밀하게 표현)할 수 있다.

[0080] <변형예>

[0081] 상술한 액정 표시 장치는 본 발명의 일 형태이고, 상기 액정 표시 장치와 상이한 점을 갖는 액정 표시 장치도 본 발명에는 포함된다.

[0082] 예를 들어, 상술한 액정 표시 장치에서 화소부(10)를 3개의 영역으로 분할하고, 상기 3개의 영역에 병행하여 화상 신호를 공급하는 구성에 대하여 기재하지만, 본 발명의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서는 화소부(10)를 3개 이외의 복수의 영역으로 분할하고, 상기 복수의 영역에 병행하여 화상 신호를 공급하는 구성으로 할 수 있다. 또한, 상기 영역의 개수를 변화시키는 경우에는, 상기 영역의 개수에 따라 주사선 구동 회로용 클럭 신호 및 펄스 폭 제어 신호 등을 설정할 필요가 있음을 부기한다.

[0083] 또한, 상술한 액정 표시 장치에서는 액정 소자에 인가되는 전압을 유지하기 위한 용량 소자가 제공되는 구성(도 1b 참조)에 대하여 기재하지만, 상기 용량 소자를 제공하지 않는 구성으로 할 수도 있다. 이 경우에는, 화소의 개구율을 향상시킬 수 있다. 또한, 화소부에 연장되는 용량 배선을 삭제할 수 있으므로 화소부에 연장되는 각종 배선을 고속 구동할 수 있다.

[0084] 또한, 펄스 출력 회로로서 도 3a에 도시한 펄스 출력 회로에 소스 및 드레인의 한 쪽이 고전원 전위선에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(32)의 게이트, 트랜지스터(34)의 게이트, 트랜지스터(35)의 소스 및 드레인의 다른 쪽, 트랜지스터(36)의 소스 및 드레인의 다른 쪽, 트랜지스터(37)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(39)의 게이트에 전기적으로 접속되고, 게이트가 리셋 단자(Reset)에 전기적으로 접속된 트랜지스터(50)를 부가한 구성(도 7a 참조)을 적용할 수 있다. 또한, 상기 리셋 단자에는 화소부에 1장의 화상이 형성된 후의 기간에 하이 레벨의 전위가 입력되고, 그 외의 기간에 로우 레벨의 전위가 입력된다. 또한, 트랜지스터(50)는 하이 레벨의 전위가 입력됨으로써 온 상태가 되는 트랜지스터다. 이로써, 각 노드의 전위를 초기화할 수 있으므로 오동작을 방지할 수 있다. 또한, 상기 초기화를 행하는 경우에는 화소부에 1장의 화상이 형성되는 기간 후에 초기화 기간을 설정할 필요가 있음을 부기한다. 또한, 도 9를 참조하여 후술하겠으나, 화소부에 1장의 화상을 형성하는 기간 후에 백 라이트를 소등하는 기간을 설정하는 경우에는, 상기 소등하는 기간에 상기 초기화를 행할 수 있다.

[0085] 또한, 펄스 출력 회로로서, 도 3a에 도시한 펄스 출력 회로에 소스 및 드레인의 한 쪽이 트랜지스터(31)의 소스 및 드레인의 다른 쪽 및 트랜지스터(32)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(33)의 게이트 및 트랜지스터(38)의 게이트에 전기적으로 접속되고, 게이트가 고전원 전위선에 전기적으로 접속된 트랜지스터(51)를 부가한 구성(도 7b 참조)을 적용할 수도 있다. 또한, 트랜지스터(51)는 노드 A의 전위가 하이 레벨의 전위가 되는 기간(도 3b 내지 도 3d에 도시한 기간 t_1 내지 기간 t_6)에 오프 상태가 된다. 따라서, 트랜지스터(51)를 부가한 구성으로 함으로써 기간 t_1 내지 기간 t_6 에 트랜지스터(33)의 게이트 및 트랜지스터(38)의 게이트와, 트랜지스터(31)의 소스 및 드레인의 다른 쪽 및 트랜지스터(32)의 소스 및 드레인의 다른 쪽과의 전기적인 접속을 차단할 수 있다. 이로써, 기간 t_1 내지 기간 t_6 에 포함되는 기간에 상기 펄스 출력 회로에서 행해지는 부트스트랩 동작시의 부하를 저감할 수 있다.

[0086] 또한, 펄스 출력 회로로서, 도 7b에 도시한 펄스 출력 회로에 소스 및 드레인의 한 쪽이 트랜지스터(33)의 게이트 및 트랜지스터(51)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(38)의 게이트에 전기적으로 접속되고, 게이트가 고전원 전위선에 전기적으로 접속된 트랜지스터(52)를 부가한 구성(도 8a 참조)을 적용할 수도 있다. 또한, 상술한 바와 같이 트랜지스터(52)를 제공함으로써 상기 펄스 출력 회로에서 행해지는 부트스트랩 동작시의 부하를 저감할 수 있다. 특히, 상기 펄스 출력 회로가 트랜지스터(33)의 소스와 게이트의 용량 결합만으로 노드 A의 전위를 상승시키는 경우(도 3d 참조)에서 부하의 저감에

따른 효과가 크다.

[0087] 또한, 펄스 출력 회로로서, 도 8a에 도시한 펄스 출력 회로에서 트랜지스터(51)를 삭제하고, 또 소스 및 드레인의 한 쪽이 트랜지스터(31)의 소스 및 드레인의 다른 쪽, 트랜지스터(32)의 소스 및 드레인의 다른 쪽, 및 트랜지스터(52)의 소스 및 드레인의 한 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 트랜지스터(33)의 게이트에 전기적으로 접속되고, 게이트가 고전원 전위선에 전기적으로 접속된 트랜지스터(53)를 부가한 구성(도 8b 참조)을 적용할 수도 있다. 또한, 상술한 바와 같이 트랜지스터(53)를 제공함으로써 상기 펄스 출력 회로에서 행해지는 부트스트랩 동작시의 부하를 저감할 수 있다. 또한, 상기 펄스 출력 회로에 생기는 부정 펄스가 트랜지스터(33) 및 트랜지스터(38)의 스위칭에 주는 영향을 경감할 수 있다.

[0088] 또한, 상술한 액정 표시 장치에서는 백 라이트 유닛으로서 적색(R), 녹색(G), 청색(B) 중 어느 하나의 빛을 발광하는 3종류의 광원을 직선적으로 가로로 배치하는 구성(도 5 참조)에 대하여 기재하지만, 백 라이트 유닛의 구성은 상기 구성에 한정되지 않는다. 예를 들어, 상기 3종류의 광원을 3각형으로 배치하여도 좋고, 상기 3종류의 광원을 직선적으로 세로로 배치하여도 좋고, 적색(R)을 나타내는 빛의 광원만을 갖는 백 라이트 유닛, 녹색(G)을 나타내는 빛의 광원만을 갖는 백 라이트 유닛, 및 청색(B)을 나타내는 빛의 광원만을 갖는 백 라이트 유닛을 별도로 제공하여도 좋다. 또한, 상술한 액정 표시 장치에서 백 라이트로서 직하형 방식의 백 라이트를 적용하는 구성(도 5 참조)에 대하여 기재하지만, 상기 백 라이트로서 에지 라이트 방식의 백 라이트를 적용할 수도 있다.

[0089] 또한, 상술한 액정 표시 장치에서는 적색(R)의 광원의 점등 → 녹색(G)의 광원의 점등 → 청색(B)의 광원의 점등 순서, 또는 적색(R) 및 녹색(G)의 광원의 점등 → 녹색(G) 및 청색(B)의 광원의 점등 → 청색(B) 및 적색(R)의 광원의 점등 순서로 백 라이트 유닛 그룹이 갖는 광원이 점등함으로써 화소부에 1장의 화상이 형성되는 구성에 대하여 기재하지만(도 6 참조), 1장의 화상을 형성하기 위한 백 라이트 유닛 그룹이 갖는 광원의 점등 순서는 특정한 순서에 한정되지 않는다. 즉, 상술한 광원의 점등 순서는 적절히 바꿀 수 있다. 또한, 예를 들어, 시인도가 낮은 청색(B)을 나타내는 빛이 다른 색깔을 나타내는 빛보다 장기간 점등되도록 제어할 수도 있다.

[0090] 또한, 상술한 액정 표시 장치에서 화상 신호의 주사 및 특정한 백 라이트 유닛 그룹에서의 광원의 점등을 연속적으로 행하는 구성(도 6 참조)에 대하여 기재하지만, 액정 표시 장치의 동작은 상기 구성에 한정되지 않는다. 예를 들어, 화소부에서 1장의 화상이 형성되는 기간의 전후에 화상 신호의 주사 및 특정한 백 라이트 유닛 그룹에서의 광원의 점등이 행해지지 않는 기간을 설정하는 구성으로 할 수 있다(도 9 참조). 이로써, 상기 액정 표시 장치에서 생기는 컬러 브레이크를 억제하고, 상기 액정 표시 장치가 표시하는 화질을 향상시킬 수 있다. 또한, 도 9에서 화상 신호의 주사 및 특정한 백 라이트 유닛 그룹에서의 광원의 점등을 행하지 않는 구성에 대하여 예시하지만, 빛을 투과시키지 않기 위한 화상 신호를 각 화소에 주사하는 구성으로 할 수도 있다.

[0091] 또한, 상술한 액정 표시 장치에서는 화소부의 특정 영역마다 백 라이트 유닛이 갖는 3개의 광원 중 하나 또는 2개를 점등시킴으로써 형성되는 빛을 사용하여 화소부에 화상을 형성하는 구성(도 6 참조)에 대하여 기재하지만, 백 라이트 유닛이 갖는 3개의 광원 모두를 점등함으로써 형성되는 빛을 사용하여 화소부에 화상을 형성하는 구성(도 10 참조)으로 할 수도 있다. 이 경우에는, 액정 표시 장치의 표시 휘도를 더 향상시킬 수 있고 표시 색조를 더 세분화시킬 수 있다. 또한, 도 10에 도시한 동작예에서 화상이 적색(R)을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사 내지 백 라이트 유닛 그룹에서의 적색(R)의 광원, 녹색(G)의 광원, 및 청색(B)의 광원의 동시 점등까지의 동작이 행해짐으로써 형성되고, 상기 화상에 이어 표시되는 화상이 적색(R)을 나타내는 빛 및 녹색(G)을 나타내는 빛을 혼색함으로써 형성되는 유채색을 나타내는 빛의 투과를 제어하기 위한 화상 신호의 주사 내지 백 라이트 유닛 그룹에서의 적색(R)의 광원, 녹색(G)의 광원, 및 청색(B)의 광원의 동시 점등까지의 동작이 행해짐으로써 형성되는 것으로 한다.

[0092] 또한, 상술한 액정 표시 장치에서 백 라이트가 적색(R), 녹색(G), 청색(B) 중 어느 하나를 나타내는 빛을 발광하는 3종류 광원을 조합하여 사용하는 구성에 대하여 기재하지만, 본 발명의 액정 표시 장치는 상기 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서는 임의의 색깔을 나타내는 빛의 광원을 조합하여 백 라이트를 구성할 수 있다. 예를 들어, 적색(R), 녹색(G), 청색(B), 백색(W), 또는 적색(R), 녹색(G), 청색(B), 황색(Y)을 나타내는 빛의 4종류의 광원을 조합하여 사용하거나, 또는 시안(C), 마젠타(M), 황색(Y)을 나타내는 빛의 3종류의 광원을 조합하여 사용할 수 있다. 또한, 백 라이트 유닛이 백색(W)을 나타내는 빛을 발광하는 광원을 갖는 경우에는, 상기 광원은 발광 효율이 높으므로 백 라이트 유닛의 소비 전력을 저감할 수 있다. 또한, 백 라이트 유닛이 보색의 관계인 빛의 2종류의 광원을 갖는 경우(예를 들어, 청색(B)과 황색(Y)의 광원을 갖는 경

우)에는, 상기 2종류의 광원이 발광하는 빛을 혼합함으로써 백색(W)을 나타내는 빛을 형성할 수도 있다. 또한, 예를 들어, 담색의 적색(R), 녹색(G), 및 청색(B), 및 농색의 적색(R), 녹색(G), 및 청색(B)의 6종류의 광원을 조합하여 사용하거나, 또는 적색(R), 녹색(G), 청색(B), 시안(C), 마젠타(M), 황색(Y)의 6종류의 광원을 조합하여 사용할 수도 있다. 이와 같이, 더 많은 종류의 광원을 조합하여 사용함으로써 상기 액정 표시 장치에서 표현할 수 있는 색 영역을 확대하여 화질을 향상시킬 수 있다.

[0093] 또한, 변형예로서 기술한 복수의 구성을 도 1a 내지 도 6을 참조하여 설명한 액정 표시 장치에 적용할 수도 있다.

[0094] <구체적인 예>

[0095] 상술한 액정 표시 장치의 구체적인 구성에 대하여 이하에 설명한다.

[0096] <트랜지스터의 구체적인 예>

[0097] 우선, 상술한 액정 표시 장치의 화소부 또는 각종 회로에 사용되는 트랜지스터의 구체적인 예에 대하여 도 11a 내지 도 11d를 참조하여 설명한다. 또한, 상기 액정 표시 장치에서 화소부 및 각종 회로 각각에 제공되는 트랜지스터는 동일 구성을 갖는 트랜지스터를 적용하여도 좋고, 각각 상이한 구성을 갖는 트랜지스터를 적용하여도 좋다.

[0098] 도 11a에 도시한 트랜지스터(2450)에서는 기판(2400) 위에 게이트층(2401)이 형성되고, 게이트층(2401) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 반도체층(2403)이 형성되고, 게이트 절연층(2402) 및 반도체층(2403) 위에 소스층(2405a) 및 드레인층(2405b)이 형성된다. 또한, 반도체층(2403), 소스층(2405a), 및 드레인층(2405b) 위에 절연층(2407)이 형성된다. 또한, 절연층(2407) 위에 보호 절연층(2409)을 형성하여도 좋다. 트랜지스터(2450)는 보텀 게이트 구조를 갖는 트랜지스터 중 하나이다.

[0099] 도 11b에 도시한 트랜지스터(2460)에서 기판(2400) 위에 게이트층(2401)이 형성되고, 게이트층(2401) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 소스층(2405a) 및 드레인층(2405b)이 형성되고, 게이트 절연층(2402), 소스층(2405a), 및 드레인층(2405b) 위에 반도체층(2403)이 형성된다. 또한, 반도체층(2403), 소스층(2405a), 및 드레인층(2405b) 위에 절연층(2407)이 형성된다. 또한, 절연층(2407) 위에 보호 절연층(2409)을 형성하여도 좋다. 트랜지스터(2460)는 보텀 게이트 구조를 갖는 트랜지스터 중 하나이다.

[0100] 도 11c에 도시한 트랜지스터(2470)에서 기판(2400) 위에 하지층(2436)이 형성되고, 하지층(2436) 위에 반도체층(2403)이 형성되고, 반도체층(2403) 및 하지층(2436) 위에 소스층(2405a) 및 드레인층(2405b)이 형성되고, 반도체층(2403), 소스층(2405a), 및 드레인층(2405b) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 게이트층(2401)이 형성된다. 또한, 게이트층(2401) 위에 보호 절연층(2409)을 형성하여도 좋다. 트랜지스터(2470)는 탑 게이트 구조를 갖는 트랜지스터 중 하나이다.

[0101] 도 11d에 도시한 트랜지스터(2480)에서 기판(2400) 위에 하지층(2436)이 형성되고, 하지층(2436) 위에 소스층(2405a) 및 드레인층(2405b)이 형성되고, 하지층(2436), 소스층(2405a), 및 드레인층(2405b) 위에 반도체층(2403)이 형성되고, 반도체층(2403), 소스층(2405a), 및 드레인층(2405b) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 게이트층(2401)이 형성된다. 또한, 게이트층(2401) 위에 보호 절연층(2409)을 형성하여도 좋다. 트랜지스터(2480)는 탑 게이트 구조를 갖는 트랜지스터 중 하나이다.

[0102] 또한, 기판(2400)으로서 반도체 기판(예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 표면에 절연층이 제공된 도전성 기판, 또는 플라스틱 기판, 접합 필름, 섬유형 재료를 함유한 종이, 또는 기재 필름(base film) 등의 가요성 기판 등이 있다. 유리 기판의 일례로서는, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 또는 소다라임 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다.

[0103] 또한, 게이트층(2401)으로서, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다.

[0104] 또한, 게이트 절연층(2402)으로서, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 산화탄탈, 산화갈륨 등의 절연체를 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다. 또한, 산화질화실리콘이란 그 조성이 질소보다 산소의 함유량이 많은 것이며 농도 범위는 산소가 55at.% 내지 65at.%,

질소가 1at.% 내지 20at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 합계가 100at.%가 되도록 각 원소를 임의의 농도로 함유한 것을 말한다. 또한, 질화산화실리콘막이란 그 조성이 산소보다 질소의 함유량이 많은 것이며 농도 범위는 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 35at.%, 실리콘이 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위로 합계가 100at.%가 되도록 각 원소를 임의의 농도로 함유한 것을 말한다.

[0105] 또한, 반도체층(2403)으로서 실리콘(Si) 또는 게르마늄(Ge) 등의 주기율표 제 14족 원소를 주요 구성 원소로 하는 재료, 실리콘 게르마늄(SiGe), 또는 갈륨 비소(GaAs) 등의 화합물, 산화아연(ZnO), 또는 인듐(In), 및 갈륨(Ga)을 함유한 산화아연 등의 산화물, 또는 반도체 특성을 나타내는 유기 화합물 등의 반도체 재료를 적용할 수 있다. 또한, 이들 반도체 재료로 이루어진 층의 적층 구조를 적용할 수도 있다.

[0106] 또한, 반도체층(2403)으로서 실리콘(Si)을 적용하는 경우에는, 상기 반도체층(2403)의 결정 상태는 한정되지 않는다. 즉, 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 및 단결정 실리콘 중 어느 하나를 반도체층(2403)으로서 적용할 수 있다. 또한, 미결정 실리콘은 그 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm^{-1} 보다 저파수 측으로 시프트한다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 와 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(덴글링 본드)를 종단하기 위하여 수소 또는 할로젠을 적어도 1at.% 또는 1at.% 이상 함유한다. 또한, 헬륨, 아르곤, 크립톤, 또는 네온 등의 희 가스 원소를 함유시켜 격자 왜곡을 더 촉진시킴으로써 안정성이 증가하여 양호한 미결정 반도체를 얻을 수 있다.

[0107] 또한, 반도체층(2403)으로서 산화물(산화물 반도체)을 적용하는 경우에는, 적어도 In, Ga, Sn, Zn, Al, Mg, Hf, 및 란타노이드 중에서 선택된 1종 이상의 원소를 함유한다. 예를 들어, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Hf-Zn-O계, In-La-Zn-O계, In-Ce-Zn-O계, In-Pr-Zn-O계, In-Nd-Zn-O계, In-Pm-Zn-O계, In-Sm-Zn-O계, In-Eu-Zn-O계, In-Gd-Zn-O계, In-Tb-Zn-O계, In-Dy-Zn-O계, In-Ho-Zn-O계, In-Er-Zn-O계, In-Tm-Zn-O계, In-Yb-Zn-O계, In-Lu-Zn-O계, 2원계 금속 산화물인 In-Ga-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계, 또는 단원계 금속 산화물인 In-O계, Sn-O계, Zn-O계 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 가 함유되어도 좋다. 여기서, 예를 들어, In-Ga-Zn-O계 산화물 반도체란 적어도 In, Ga, 및 Zn를 함유하는 산화물이고, 그 조성 비율은 특별히 제한되지 않는다. 또한, In, Ga, Zn 외의 원소를 함유하여도 좋다.

[0108] 또한, 산화물 반도체로서 화학식 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기되는 박막을 사용할 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 선택할 수 있다.

[0109] 또한, 산화물 반도체로서 In-Zn-O계 재료를 사용하는 경우에는, 사용하는 타깃의 조성 비율은 원자수 비율로 In:Zn=50:1 내지 1:2(mol수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(mol수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 내지 1:2), 더 바람직하게는 In:Zn=1.5:1 내지 15:1(mol수 비율로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 내지 15:2)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타깃은 원자수 비율이 In:Zn:O=X:Y:Z일 때 $Z>1.5X+Y$ 로 한다.

[0110] 또한, 소스층(2405a) 및 드레인층(2405b)으로서 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc) 중에서 선택된 원소, 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다.

[0111] 또한, 소스층(2405a) 및 드레인층(2405b)(이들과 같은 층에서 형성되는 배선층도 포함함)이 되는 도전막은 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐-산화주석($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화인듐-산화아연($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 상기 금속 산화물 재료에 산화 실리콘을 함유시킨 것을 사용할 수 있다.

[0112] 또한, 절연층(2407)으로서 산화실리콘, 산화질화실리콘, 산화알루미늄, 산화질화알루미늄, 산화갈륨 등의 절연체를 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다.

- [0113] 또한, 보호 절연층(2409)으로서 질화실리콘, 질화알루미늄, 질화산화실리콘, 질화산화알루미늄 등의 절연체를 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다.
- [0114] 또한, 하지층(2436)으로서 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 산화탄탈, 산화갈륨 등의 절연체를 적용할 수 있다. 또한, 이들 재료의 적층 구조를 적용할 수도 있다.
- [0115] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 상기 산화물 반도체와 접촉되는 절연층(여기서는, 게이트 절연층(2402), 절연층(2407), 하지층(2436)이 상당함)으로서, 제 13 족 원소 및 산소를 함유한 절연 재료를 사용하는 것이 바람직하다. 산화물 반도체 재료는 제 13 족 원소를 함유하는 것이 많고, 제 13 족 원소를 함유한 절연 재료는 산화물 반도체와 성질이 잘 맞기 때문에 이것을 산화물 반도체와 접촉되는 절연층에 사용함으로써 산화물 반도체와의 계면의 상태를 양호하게 유지할 수 있다.
- [0116] 제 13 족 원소를 함유한 절연 재료란 절연 재료에 하나 또는 복수의 제 13 족 원소를 함유한 것을 의미한다. 제 13 족 원소를 함유한 절연 재료로서, 예를 들어, 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등이 있다. 여기서, 산화알루미늄갈륨이란 갈륨의 함유량(at.%)보다 알루미늄의 함유량(at.%)이 많은 것을 가리키고, 산화갈륨알루미늄이란, 갈륨의 함유량(at.%)이 알루미늄의 함유량(at.%) 이상인 것을 가리킨다.
- [0117] 예를 들어, 갈륨을 함유한 산화물 반도체층과 접촉되어 절연층을 형성하는 경우에는, 절연층에 산화갈륨을 함유한 재료를 사용함으로써 산화물 반도체층과 절연층의 계면 특성을 양호하게 유지할 수 있다. 예를 들어, 산화물 반도체층과 산화갈륨을 함유한 절연층을 접촉시켜 제공함으로써 산화물 반도체층과 절연층의 계면에서 발생하는 수소의 파일업(pileup)을 저감할 수 있다. 또한, 산화물 반도체의 성분 원소와 같은 족에 속하는 원소를 절연층에 사용하는 경우에는, 같은 효과를 얻을 수 있다. 예를 들어, 산화알루미늄을 함유한 재료를 사용하여 절연층을 형성하는 것도 유효적이다. 또한, 산화알루미늄은 물을 투과시키기 어려운 특성을 갖기 때문에 상기 재료를 사용하는 것은 산화물 반도체층에 물이 침입하는 것을 방지하는 관점에서 봐도 바람직하다.
- [0118] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 상기 산화물 반도체와 접촉되는 절연층은 산소 분위기하에서 행해지는 열 처리나, 산소 도프 등에 의하여 절연 재료를 화학양론적 조성 비율보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도프란, 산소를 벌크에 첨가하는 것을 가리킨다. 또한, 상기 벌크라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확히 나타내기 위하여 사용하는 것이다. 또한, 산소 도프는 플라즈마화한 산소를 벌크에 첨가하는 산소 플라즈마 도프를 포함한다. 또한, 산소 도프는 이온 주입법 또는 이온 도핑법을 사용하여 행하여도 좋다.
- [0119] 예를 들어, 상기 절연층으로서 산화갈륨을 사용한 경우에는, 산소 분위기하에서 행해지는 열 처리나, 산소 도프를 행함으로써 산화갈륨의 조성을 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)로 할 수 있다.
- [0120] 또한, 상기 절연층으로서 산화알루미늄을 사용한 경우에는, 산소 분위기하에서 행해지는 열 처리나, 산소 도프를 행함으로써 산화알루미늄의 조성을 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)로 할 수 있다.
- [0121] 또한, 상기 절연층으로서 산화갈륨알루미늄(산화알루미늄갈륨)을 사용한 경우에는, 산소 분위기하에서 행해지는 열 처리나, 산소 도프를 행함으로써 산화갈륨알루미늄(산화알루미늄갈륨)의 조성을 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)로 할 수 있다.
- [0122] 산소 도프 처리를 행함으로써 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층을 형성할 수 있다. 이러한 영역을 구비한 절연층과 산화물 반도체층이 접촉됨으로써 절연층 내의 과잉 산소가 산화물 반도체층에 공급되고, 산화물 반도체층 내 또는 산화물 반도체층과 절연층의 계면에서 산소 부족 결함을 저감하고, 산화물 반도체층을 I형화 또는 I형에 극히 가까운 산화물 반도체로 할 수 있다.
- [0123] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 반도체층(2403)과 접촉되는 절연층 중 위층에 위치하는 절연층 및 아래층에 위치하는 절연층의 한쪽만을 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층으로 할 수도 있지만, 양쪽의 절연층을 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층으로 하는 것이 바람직하다. 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층을 반도체층(2403)과 접촉되는 절연층 중 위층 및 아래층에 위치하는 절연층에 사용하여 반도체층(2403)을 끼운 구성으로 함으로써 상기 효과를 더 높일 수 있다.
- [0124] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 반도체층(2403)의 위층 또는 아래층에 사용하는 절연층은 위층과 아래층을 같은 구성 원소를 갖는 절연층으로 하여도 좋고, 상이한 구성 원소를 갖는 절연층

으로 하여도 좋다. 예를 들어, 위층과 아래층의 양쪽 모두를 조성이 $Ga_2O_x(X=3+a, 0<a<1)$ 인 산화갈륨으로 하여도 좋고, 위층과 아래층의 한쪽을 조성이 $Ga_2O_x(X=3+a, 0<a<1)$ 인 산화갈륨으로 하고, 다른 쪽을 조성이 $Al_2O_x(X=3+a, 0<a<1)$ 인 산화알루미늄으로 하여도 좋다.

[0125] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 반도체층(2403)과 접촉되는 절연층은 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층의 적층으로 하여도 좋다. 예를 들어, 반도체층(2403)의 위층에 조성이 $Ga_2O_x(X=3+a, 0<a<1)$ 인 산화갈륨을 형성하고, 그 위에 조성이 $Ga_xAl_{2-x}O_{3+a}(0<x<2, 0<a<1)$ 인 산화갈륨알루미늄(산화알루미늄갈륨)을 형성하여도 좋다. 또한, 반도체층(2403)의 아래층을 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층의 적층으로 하여도 좋고, 반도체층(2403) 중 위층 및 아래층의 양쪽 모두를 화학양론적 조성 비율보다 산소가 많은 영역을 갖는 절연층의 적층으로 하여도 좋다.

[0126] 또한, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 빛이 조사됨으로써 트랜지스터가 열화되는 일이 있다. 구체적으로는, 광 음 바이어스(negative bias) 시험 후의 트랜지스터의 임계 값 전압이 마이너스 시프트하는 등의 열화가 생기는 일이 있다. 또한, 광 음 바이어스 시험이란 트랜지스터가 형성되는 기관의 온도(기관 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인을 같은 전위로 한 상태로 빛을 조사하면서 소스 및 드레인보다 낮은 전위를 일정 시간 동안 게이트에 인가하는 시험이다. 따라서, 반도체층(2403)으로서 산화물 반도체를 적용하는 경우에는, 반도체층(2403)에 빛이 조사되지 않도록 차광층 등을 제공하는 것이 바람직하다.

[0127] <화소 레이아웃의 구체적인 예>

[0128] 다음에, 상술한 액정 표시 장치의 화소 레이아웃의 구체적인 예에 대하여 도 12a 내지 도 13을 참조하여 설명한다. 또한, 도 12a는 도 1b에 도시한 화소 레이아웃의 상면도를 도시한 도면이고, 도 12b는 도 12a의 위쪽에 도시한 화소 위에 제공되는 차폐층(242)을 포함하는 레이아웃을 도시한 도면이고, 도 13은 도 12a 및 도 12b에 도시한 선 A-B로 절단한 단면도다. 또한, 도 12a 및 도 12b에서는 액정층, 대향 전극 등의 구성은 생략한다. 구체적인 구조는 도 13을 참조하여 이하에 설명한다.

[0129] 트랜지스터(16)는 기관(220) 위에 제공된 도전층(222)과, 도전층(222) 위에 제공된 절연층(223)과, 도전층(222) 위에 절연층(223)을 사이에 두고 제공된 반도체층(224)과, 반도체층(224)의 한쪽 단부 위에 제공된 도전층(225a)과, 반도체층(224)의 다른 쪽 단부 위에 제공된 도전층(225b)을 갖는다. 또한, 도전층(222)은 게이트층으로서 기능하고, 절연층(223)은 게이트 절연층으로서 기능하고, 도전층(225a) 및 도전층(225b)의 한쪽은 소스층으로서 기능하고, 다른 쪽은 드레인층으로서 기능한다.

[0130] 용량 소자(17)는 기관(220) 위에 제공된 도전층(226)과, 도전층(226) 위에 제공된 절연층(227)과, 도전층(226) 위에 절연층(227)을 사이에 두고 제공된 도전층(228)을 갖는다. 또한, 도전층(226)은 용량 소자(17)의 한쪽의 전극으로서 기능하고, 절연층(227)은 용량 소자(17)의 유전체로서 기능하고, 도전층(228)은 용량 소자(17)의 다른 쪽의 전극으로서 기능한다. 또한, 도전층(226)은 도전층(222)과 같은 재료로 이루어지고, 절연층(227)은 절연층(223)과 같은 재료로 이루어지고, 도전층(228)은 도전층(225a) 및 도전층(225b)과 같은 재료로 이루어진다. 또한, 도전층(226)은 도전층(225b)과 전기적으로 접속된다.

[0131] 또한, 트랜지스터(16) 및 용량 소자(17) 위에 절연층(229)이 제공된다.

[0132] 액정 소자(18)는 절연층(229) 위에 제공된 투명 도전층(231)과, 대향 기관(240) 위에 제공된 투명 도전층(241)과, 투명 도전층(231)과 투명 도전층(241)으로 협지된 액정층(250)을 갖는다. 또한, 투명 도전층(231)은 액정 소자(18)의 화소 전극으로서 기능하고, 투명 도전층(241)은 액정 소자(18)의 대향 전극으로서 기능한다. 또한, 투명 도전층(231)은 도전층(225b) 및 도전층(228)과 전기적으로 접속된다.

[0133] 또한, 투명 도전층(231)과 액정층(250) 사이 또는 투명 도전층(241)과 액정층(250) 사이에 배향막을 적절히 제공하여도 좋다. 배향막은 폴리이미드, 폴리비닐알콜 등의 유기 수지를 사용하여 형성할 수 있고, 그 표면에는 러빙 등 액정 분자를 일정 방향으로 배열시키기 위한 배향 처리가 실시된다. 러빙은 나일론 등의 천을 감은 롤러를 배향막과 접촉되도록 회전시켜 상기 배향막의 표면을 일정 방향으로 문지름으로써 행할 수 있다. 또한, 산화실리콘 등의 무기 재료를 사용하고, 배향 처리하지 않고 증착법으로 배향 특성을 갖는 배향막을 직접 형성할 수도 있다.

[0134] 또한, 액정층(250)을 형성하기 위하여 행해지는 액정의 주입은 디스펜서법(적하법)을 사용하여도 좋고, 딥법(펄

핑법)을 사용하여도 좋다.

- [0135] 또한, 화소 사이에서 액정의 배향 흐트러짐에 기인한 디스클리네이션(disclination)이 시인되는 것을 방지하거나 또는 확산된 빛이 인접한 복수의 화소에 병행하여 입사되는 것을 방지하기 위하여 빛을 차폐할 수 있는 차폐층(242)이 대향 기관(240) 위에 제공된다. 차폐층(242)에는 카본 블랙, 이산화티타늄보다 산화수가 작은 저원자가 산화티타늄 등의 흑색 안료를 함유한 유기 수지를 사용할 수 있다. 또한, 크롬을 사용한 막으로 차폐층(242)을 형성할 수도 있다.
- [0136] 특히, 트랜지스터(16)의 반도체층(224)으로서 산화물 반도체가 적용되는 경우에는, 도 13에 도시한 구성은 이하의 점에서 바람직하다. 상술한 바와 같이, 반도체층으로서 산화물 반도체가 적용된 트랜지스터는 빛이 조사됨으로써 열화되는 일이 있다. 한편, 도 13에 도시한 트랜지스터(16)는 적어도 도전층(222), 도전층(225a), 도전층(225b), 및 차폐층(242)으로 반도체층(224)을 차광할 수 있다. 따라서, 트랜지스터(16)의 신뢰성을 향상시킬 수 있다.
- [0137] 투명 도전층(231) 및 투명 도전층(241)은, 예를 들어, 산화실리콘을 함유한 산화인듐주석(ITSO), 산화인듐주석(ITO), 산화아연(ZnO), 산화인듐아연(IZO), 갈륨을 첨가한 산화아연(GZO) 등의 투광성을 갖는 도전 재료를 사용할 수 있다.
- [0138] 또한, 도 13에서는 투명 도전층(231)과 투명 도전층(241) 사이에 액정층(250)이 협지된 구조를 갖는 액정 소자를 예로 들어 설명하지만, 본 발명의 일 형태에 따른 액정 표시 장치는 이 구성에 한정되지 않는다. IPS형 액정 소자나 블루상을 나타내는 액정을 사용한 액정 소자와 같이, 한 쌍의 전극의 양쪽 모두가 하나의 기관에 형성되어도 좋다. 특히, 블루상을 나타내는 액정을 사용한 액정 소자는 응답 속도가 빠르기 때문에 고속 구동이 요구되는 필드 시퀀셜 방식으로 표시하는 액정 표시 장치가 갖는 액정 소자로서 적합하다.
- [0139] <액정 표시 장치의 구체적인 예>
- [0140] 다음에, 액정 표시 장치의 패널의 구체적인 예에 대하여 도 14a 및 도 14b를 사용하여 설명한다. 도 14a는 기관(4001)과 대향 기관(4006)을 절재(4005)로 접착시킨 패널의 상면도이고, 도 14b는 도 14a의 선 C-D로 절단한 단면도에 상당한다.
- [0141] 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 절재(4005)가 제공된다. 또한, 화소부(4002), 주사선 구동 회로(4004) 위에 대향 기관(4006)이 제공된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 기관(4001), 절재(4005), 대향 기관(4006)에 의하여 액정(4007)과 함께 밀봉된다.
- [0142] 또한, 기관(4001) 위의 절재(4005)로 둘러싸인 영역과 다른 영역에 신호선 구동 회로(4003)가 형성된 기관(4021)이 실장된다. 도 14b에서는 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시한다.
- [0143] 또한, 기관(4001) 위에 제공된 화소부(4002), 주사선 구동 회로(4004)는 복수의 트랜지스터를 갖는다. 도 14b에서는 화소부(4002)에 포함되는 트랜지스터(4010) 및 트랜지스터(4022)를 예시한다.
- [0144] 또한, 액정 소자(4011)가 갖는 화소 전극(4030)은 트랜지스터(4010)와 전기적으로 접속된다. 그리고, 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006)에 형성된다. 화소 전극(4030), 대향 전극(4031), 액정(4007)이 접친 부분이 액정 소자(4011)에 상당한다.
- [0145] 또한, 스페이서(4035)가 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또한, 도 14b에서는 스페이서(4035)가 절연막을 패터닝함으로써 형성되는 경우를 예시하지만, 구(球)형상 스페이서를 사용하여도 좋다.
- [0146] 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 화소부(4002)에 공급되는 각종 신호 및 전위는 리드 배선(4014) 및 리드 배선(4015)을 통하여 접속 단자(4016)로부터 공급된다. 접속 단자(4016)는 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0147] 또한, 기관(4001), 대향 기관(4006), 기관(4021)에 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱은 FRP(Fiberglass-Reinforced Plastics) 판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름 등을 포함한다.
- [0148] 다만, 액정 소자(4011)를 투과한 빛의 추출 방향에 위치하는 기관에 유리 판, 플라스틱, 폴리에스테르 필름, 또는 아크릴 필름 등 투광성을 갖는 재료를 사용한다.

- [0149] 도 15는 본 발명의 일 형태에 따른 액정 표시 장치의 구조를 도시한 사시도의 일례다. 도 15에 도시한 액정 표시 장치는 화소부를 갖는 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 백 라이트 패널(1607)과, 회로 기관(1608)과, 신호선 구동 회로가 형성된 기관(1611)을 갖는다.
- [0150] 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 백 라이트 패널(1607)이 순차로 적층된다. 백 라이트 패널(1607)은 복수의 백 라이트 유닛으로 구성된 백 라이트(1612)를 갖는다. 도광판(1605) 내부로 확산된 백 라이트(1612)로부터의 빛은 제 1 확산판(1602), 프리즘 시트(1603), 및 제 2 확산판(1604)에 의하여 패널(1601)에 조사된다.
- [0151] 또한, 여기서는, 제 1 확산판(1602)과 제 2 확산판(1604)을 사용하지만, 확산판의 개수는 이것에 한정되지 않고, 단수라도 좋고, 3개 이상이라도 좋다. 그리고, 확산판은 도광판(1605)과 패널(1601) 사이에 제공되면 좋다. 따라서, 프리즘 시트(1603)보다 패널(1601)에 가까운 측에만 확산판이 제공되어도 좋고, 프리즘 시트(1603)보다 도광판(1605)에 가까운 측에만 확산판이 제공되어도 좋다.
- [0152] 또한, 프리즘 시트(1603)는 도 15에 도시한 단면이 톱니 형상에 한정되지 않고, 도광판(1605)으로부터의 빛을 패널(1601) 측에 집광할 수 있는 형상을 가지면 좋다.
- [0153] 패널(1601)에 입력되는 각종 신호를 생성하는 회로 또는 이들 신호를 처리하는 회로 등이 회로 기관(1608)에 제공된다. 그리고, 도 15에서는 회로 기관(1608)과 패널(1601)이 COF 테이프(1609)를 통하여 접속된다. 또한, 신호선 구동 회로가 형성된 기관(1611)이 COF(Chip On Film)법을 사용하여 COF 테이프(1609)에 접속된다.
- [0154] 도 15에 백 라이트(1612)의 구동을 제어하는 제어계 회로가 회로 기관(1608)에 제공되고, 상기 제어계 회로와 백 라이트 패널(1607)이 FPC(1610)를 통하여 접속되는 예를 도시한다. 다만, 상기 제어계 회로는 패널(1601)에 형성되어도 좋고, 이 경우에는 패널(1601)과 백 라이트 패널(1607)이 FPC 등에 의하여 접속되도록 한다.
- [0155] <액정 표시 장치용 기관의 구체적인 예>
- [0156] 다음에, 상술한 액정 표시 장치에서 사용되는 기관의 구체적인 예에 대하여 도 16a, 도 16b, 도 16c1, 도 16c2, 도 16d1, 도 16d2, 도 16e1, 및 16e2 및 도 17a 내지 도 17c를 참조하여 설명한다.
- [0157] 우선, 제작 기관(6200) 위에 박리층(6201)을 사이에 두고 트랜지스터나 층간 절연막, 배선, 화소 전극 등 소자 기관으로서 필요한 요소를 포함하는 피박리층(6116)을 형성한다.
- [0158] 제작 기관(6200)으로서는 석영 기관, 사파이어 기관, 세라믹 기관, 유리 기관, 금속 기관 등을 사용할 수 있다. 또한, 이들 기관으로서 가요성을 명확히 나타내지 않을 정도로 두께가 있는 기관을 사용함으로써 트랜지스터 등의 소자를 고정밀도로 형성할 수 있다. 가요성을 명확히 나타내지 않을 정도란 일반적으로 액정 디스플레이를 제작할 때 사용되는 유리 기관의 탄성률 수준 또는 그 탄성률보다 탄성률이 더 큰 것을 가리킨다.
- [0159] 박리층(6201)은 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등을 사용하여, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 및 실리콘(Si) 중에서 선택된 원소 또는 이들 원소를 주성분으로 포함하는 합금 재료, 또는 이들 원소를 주성분으로 하는 화합물 재료로 이루어진 층을 단층으로 또는 적층하여 형성한다.
- [0160] 박리층(6201)이 단층 구조인 경우에는, 바람직하게는, 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 함유한 층을 형성한다. 또한, 박리층(6201)으로서 텅스텐의 산화물 또는 산화질화물을 함유한 층, 몰리브덴 산화물 또는 산화질화물을 함유한 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 또는 산화질화물을 함유한 층을 형성할 수도 있다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들어, 텅스텐과 몰리브덴의 합금에 상당한다.
- [0161] 박리층(6201)이 적층 구조인 경우에는, 바람직하게는, 첫번째 층으로서 금속층을 형성하고, 2번째 층으로서 금속 산화물층을 형성한다. 대표적으로는, 첫번째 층으로서 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 함유한 층을 형성하고, 2번째 층으로서 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 이들의 질화물, 이들의 산화질화물, 또는 이들의 질화산화물을 형성하면 좋다. 2번째 층의 금속 산화물층의 형성은 첫번째 층의 금속층 위에 산화물층(예를 들어, 산화실리콘 등 절연층으로서 이용할 수 있는 층)을 형성함으로써 금속층 표면에 상기 금속의 산화물이 형성되는 것을 응용하여도 좋다.
- [0162] 이어서, 박리층(6201) 위에 피박리층(6116)을 형성한다(도 16a 참조). 피박리층(6116)으로서는 트랜지스터나 층간 절연막, 배선, 화소 전극 등 소자 기관으로서 필요한 요소가 포함된다. 이들은 포토리소그래피법 등을 사

용하여 제작할 수 있다.

- [0163] 다음에, 박리용 접착제(6203)를 사용하여 피박리층(6116)을 임시 지지 기판(6202)에 접착한 후, 피박리층(6116)을 제작 기판(6200)의 박리층(6201)에서 박리하여 전치한다(도 16b 참조). 이로써, 피박리층(6116)은 임시 지지 기판 측에 제공된다. 또한, 본 명세서에서 제작 기판으로부터 임시 지지 기판에 피박리층을 전치하는 공정을 전치 공정이라고 한다.
- [0164] 임시 지지 기판(6202)은 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 금속 기판 등을 사용할 수 있다. 또한, 이후의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판을 사용하여도 좋다.
- [0165] 또한, 여기서 사용하는 박리용 접착제(6203)로서 물이나 용매에 용해할 수 있는 것이나, 자외선 등을 조사함으로써 가소화시킬 수 있는 것 등 필요할 때 임시 지지 기판(6202)과 피박리층(6116)을 분리할 수 있는 접착제를 사용한다.
- [0166] 또한, 임시 지지 기판(6202)으로의 전치 공정은 다양한 방법을 적절히 사용할 수 있다. 예를 들어, 박리층(6201)으로서 피박리층(6116)과 접촉되는 측에 금속 산화막을 함유한 막을 형성한 경우에는, 상기 금속 산화막을 결정화시켜 취약화시킴으로써, 피박리층(6116)을 제작 기판(6200)으로부터 박리할 수 있다. 또한, 제작 기판(6200)과 피박리층(6116) 사이에 박리층(6201)으로서 수소를 함유한 비정질 실리콘막을 형성한 경우에는, 레이저 광의 조사 또는 에칭으로 상기 수소를 함유한 비정질 실리콘막을 제거함으로써, 피박리층(6116)을 제작 기판(6200)으로부터 박리할 수 있다. 또한, 박리층(6201)으로서 질소, 산소, 수소 등을 함유한 막(예를 들어, 수소를 함유한 비정질 실리콘막, 수소 함유 합금막, 산소 함유 합금막 등)을 사용한 경우에는, 박리층(6201)에 레이저 광을 조사함으로써, 박리층(6201) 내에 함유된 질소, 산소, 수소를 가스로서 방출시켜, 피박리층(6116)과 제작 기판(6200)의 분리를 촉진시킬 수 있다. 다른 방법으로서, 박리층(6201)과 피박리층(6116)의 계면에 액체를 침투시켜 제작 기판(6200)으로부터 피박리층(6116)을 박리하여도 좋다. 박리층(6201)을 텅스텐으로 형성하고, 암모니아수와 과산화 수소수의 혼합 용액에 의하여 박리층(6201)을 에칭하면서 박리하는 방법도 있다.
- [0167] 또한, 복수의 상술한 박리 방법을 조합함으로써 더 용이하게 박리 공정을 행할 수 있다. 레이저 광 조사, 가스나 용액 등에 의한 박리층(6201)의 에칭, 날카로운 나이프나 메스 등을 사용한 기계적인 제거를 부분적으로 행하여 박리층(6201)과 피박리층(6116)을 박리하기 쉬운 상태로 하고 나서, 물리적인 힘(기계 등에 의한 힘)을 사용하여 박리하는 공정 등이 해당한다. 박리층(6201)을 금속과 금속 산화물의 적층 구조로 형성한 경우에는, 레이저 광을 조사함으로써 형성되는 홈이나 날카로운 나이프나 메스 등으로 인한 손상 등을 시점으로 하여 박리층(6201)으로부터 물리적으로 박리하는 것도 용이해진다.
- [0168] 또한, 이들 박리를 행할 때 물 등의 액체를 뿌리면서 박리하여도 좋다.
- [0169] 피박리층(6116)을 제작 기판(6200)으로부터 분리하는 방법으로서, 그 외, 피박리층(6116)이 형성된 제작 기판(6200)을 기계적인 연마 등을 행하여 제거하는 방법이나, 용액이나 NF_3 , BrF_3 , ClF_3 등의 불화 할로젠 가스에 의한 에칭으로 제거하는 방법 등도 사용할 수 있다. 이 경우에는, 박리층(6201)을 제공하지 않아도 좋다.
- [0170] 이어서, 제작 기판(6200)으로부터 박리되어 노출된 박리층(6201) 또는 피박리층(6116) 표면에 박리용 접착제(6203)와 상이한 접착제로 이루어진 제 1 접착제층(6111)을 사용하여 전치 기판(6110)을 접착한다(도 16c1 참조).
- [0171] 제 1 접착제층(6111)의 재료로서는 자외선 경화형 접착제 등 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 또는 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다.
- [0172] 전치 기판(6110)으로서 인성(靭性)이 큰 각종 기판, 예를 들어, 유기 수지의 필름이나 금속 기판 등을 바람직하게 사용할 수 있다. 인성이 큰 기판은 내충격성이 뛰어나고, 파손되기 어려운 기판이다. 유기 수지의 필름은 경량이고, 또한, 금속 기판도 얇은 것은 경량이므로 일반적인 유리 기판을 사용하는 경우와 비교하여 대폭으로 경량화할 수 있다. 이러한 기판을 사용함으로써 가볍고 파손되기 어려운 표시 장치를 제작할 수 있게 된다.
- [0173] 이러한 기판을 구성하는 재료로서, 예를 들어, 폴리에틸렌테레프탈레이트(PET) 또는 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스테르 수지, 아크릴 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트, 폴리카보네이트 수지(PC), 폴리에테르술폰 수지(PES), 폴리이미드 수지, 폴리시클로올레핀 수지, 폴리스티렌, 폴리이미드이미드 수지, 폴리 염화비닐 등을 들 수 있다. 이들 유기 재료로 이루어진 기판은 인성이 크므로 내충격성도 뛰어나고 파손되기 어려운 기판이다. 또한, 이들 유기 재료 필름은 경량이므로 일반적인 유리 기판과 비교하여 매우 경량화된 표시 장치를 제작할 수 있다. 또한, 이 경우에는, 전치 기판(6110)은 각 화소

의 빛이 투과하는 영역과 중첩되는 부분에 적어도 개구가 형성된 금속판(6206)을 더 구비하는 것이 바람직한 구성이다. 이 구성으로 함으로써 치수 변화를 억제하면서 인성이 크고 내충격성이 높고 파손되기 어려운 전치 기관(6110)을 구성할 수 있다. 또한, 금속판(6206)의 두께를 얇게 함으로써 종래의 유리 기관보다 가벼운 전치 기관(6110)을 구성할 수 있다. 이러한 기관을 사용함으로써 가볍고 파손되기 어려운 표시 장치를 제작할 수 있게 된다(도 16d1 참조).

[0174] 도 17a는 액정 표시 장치의 상면도의 일례를 도시한 도면이다. 도 17a와 같이, 제 1 배선층(6210)과 제 2 배선층(6211)이 교차하고 제 1 배선층(6210)과 제 2 배선층(6211)으로 둘러싸인 영역이 빛을 투과하는 영역(6212)인 액정 표시 장치인 경우에는, 도 17b와 같이, 제 1 배선층(6210) 및 제 2 배선층(6211)과 중첩되는 부분이 남고 격자 형상으로 개구가 형성된 금속판(6206)을 사용하면 좋다. 도 17c는 도 17a에 도시한 액정 표시 장치와 도 17b에 도시한 금속판(6206)을 접합한 도면이다. 도 17c에 도시한 바와 같이, 금속판(6206)을 접합하여 사용함으로써 유기 수지로 이루어진 기관을 사용함으로써 인하여 접합 정밀도가 악화되거나 기관이 늘어나는 것으로 인하여 치수가 변화되는 것을 억제할 수 있다. 또한, 편광판(도시하지 않음)이 필요한 경우에는, 전치 기관(6110)과 금속판(6206) 사이에 제공하여도 좋고, 금속판(6206)의 외측에 제공하여도 좋다. 편광판은 미리 금속판(6206)에 접합되어도 좋다. 또한, 경량화의 관점에서 보면, 금속판(6206)으로서 상술한 치수 안정화의 효과를 갖는 범위 내에서 얇은 기관을 채용하는 것이 바람직하다.

[0175] 그 후, 피박리층(6116)에서 임시 지지 기관(6202)을 분리한다. 박리용 접착제(6203)는 필요할 때 임시 지지 기관(6202)과 피박리층(6116)을 분리할 수 있는 재료로 형성되므로, 상기 재료에 따른 방법으로 임시 지지 기관(6202)을 분리하면 좋다. 또한, 백 라이트가 점등함으로써 도면에 도시된 화살표의 방향으로부터 전치 기관(6110)에 빛이 조사된다(도 16e1 참조).

[0176] 상술한 바와 같이, 트랜지스터에서 화소 전극까지 형성된 피박리층(6116)을 전치 기관(6110) 위에 제작할 수 있고, 경량 또 내충격성이 높은 소자 기관을 제작할 수 있다.

[0177] 상술한 구성을 갖는 표시 장치는 본 발명의 일 형태이고, 상기 표시 장치와 상이한 구성을 구비한 이하의 표시 장치도 본 발명에 포함된다. 상술한 전치 공정(도 16b 참조) 후, 전치 기관(6110)을 접합하기 전에 노출된 박리층(6201) 또는 피박리층(6116) 표면에 금속판(6206)을 접합하여도 좋다(도 16c2 참조). 이 경우에는, 금속판(6206)으로부터 오염 물질이 피박리층(6116)에서의 트랜지스터의 특성에 악영향을 미치는 것을 방지하기 위하여 배리어층(6207)을 사이에 제공하면 좋다. 배리어층(6207)을 제공하는 경우에는, 노출된 박리층(6201) 또는 피박리층(6116) 표면에 배리어층(6207)을 제공하고 나서 금속판(6206)을 접합하면 좋다. 배리어층(6207)은 무기 재료나 유기 재료 등으로 형성하면 좋고, 대표적으로는 질화실리콘 등을 들 수 있지만, 트랜지스터의 오염을 방지할 수 있으면 이들에 한정되지 않는다. 배리어층(6207)은 투광성을 갖는 재료로 형성하거나 또는 투광성을 가질 정도로 얇은 막으로 형성하는 등 적어도 가시광에 대한 투광성을 갖도록 제작한다. 또한, 금속판(6206)은 박리용 접착제(6203)와 상이한 접착제를 사용하여 제 2 접착제층(도시하지 않음)을 형성하고 접착시키면 좋다.

[0178] 그 후, 제 1 접착제층(6111)을 금속판(6206) 표면에 형성하고, 전치 기관(6110)을 접합하고(도 16d2 참조), 피박리층(6116)에서 임시 지지 기관(6202)을 분리(도 16e2 참조)함으로써 마찬가지로 경량 또 내충격성이 높은 소자 기관을 제작할 수 있다. 또한, 백 라이트가 점등함으로써 도면에 도시된 화살표의 방향으로부터 전치 기관(6110)에 빛이 조사된다.

[0179] 상술한 바와 같이 제작한 경량 또 내충격성이 높은 소자 기관과, 대향 기관을 액정층을 사이에 두고 쉘체로 고착함으로써 경량 또 내충격성이 높은 액정 표시 장치를 제작할 수 있다. 대향 기관으로서는 인성이 크고 가시광에 대한 투광성을 갖는 기관(전치 기관(6110)에 사용할 수 있는 플라스틱 기관과 같은 것)을 사용할 수 있다. 필요에 따라 이것에 편광판, 블랙 매트릭스, 및 배향막이 제공되어도 좋다. 액정층을 형성하는 방법으로서 디스플레이서법이나 주입법 등을 적용할 수 있다.

[0180] 상술한 바와 같이 제작된 경량 또 내충격성이 높은 액정 표시 장치는 트랜지스터 등의 미세한 소자를 치수 안정성이 비교적 양호한 유리 기관 위 등에 제작할 수 있고, 또한, 종래와 같은 제작 방법을 적용할 수 있으므로 미세한 소자라도 고정밀도로 형성할 수 있다. 따라서, 내충격성을 가지면서도 고정밀도 및 고품질의 화상을 제공할 수 있고, 또 경량의 액정 표시 장치를 제공할 수 있다.

[0181] 또한, 상술한 바와 같이 제작한 액정 표시 장치는 가요성을 가질 수도 있다.

[0182] <액정 표시 장치를 탑재한 각종 전자 기기에 대하여>

[0183] 이하에 본 명세서에서 개시되는 액정 표시 장치를 탑재한 전자 기기의 예에 대하여 도 18a 내지 도 18f를 참조

하여 설명한다.

- [0184] 도 18a는 노트북 퍼스널 컴퓨터를 도시한 도면이고, 본체(2201), 케이스(2202), 표시부(2203), 키보드(2204) 등으로 구성된다.
- [0185] 도 18b는 휴대 정보 단말(PDA)을 도시한 도면이고, 본체(2211)에는 표시부(2213), 외부 인터페이스(2215), 조작 버튼(2214) 등이 제공된다. 또한, 조작용 부속품으로서 스타일러스(2212)가 있다.
- [0186] 도 18c는 전자 서적(2220)을 도시한 도면이다. 전자 서적(2220)은 케이스(2221) 및 케이스(2223)의 2개의 케이스로 구성된다. 케이스(2221) 및 케이스(2223)는 축(軸)부(2237)에 의하여 일체화되고, 상기 축부(2237)를 축으로 하여 개폐(開閉) 동작할 수 있다. 이와 같이 구성됨으로써 전자 서적(2220)은 종이 서적처럼 사용할 수 있다.
- [0187] 케이스(2221)에 표시부(2225)가 내장되고, 케이스(2223)에 표시부(2227)가 내장된다. 표시부(2225) 및 표시부(2227)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른 쪽의 표시부(도 18c에서는 표시부(2225))에 문장을 표시하고, 왼쪽의 표시부(도 18c에서는 표시부(2227))에 화상을 표시할 수 있다.
- [0188] 또한, 도 18c에는 케이스(2221)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2221)는 전원 스위치(2231), 조작키(2233), 스피커(2235) 등을 구비한다. 조작키(2233)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 USB 케이블 등의 각종 케이블 또는 AC 어댑터와 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2220)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0189] 또한, 전자 서적(2220)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선으로 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 할 수도 있다.
- [0190] 도 18d는 휴대 전화를 도시한 도면이다. 상기 휴대 전화는 케이스(2240) 및 케이스(2241)의 2개의 케이스로 구성된다. 케이스(2241)는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라용 렌즈(2247), 외부 접속 단자(2248) 등을 구비한다. 또한, 케이스(2240)는 상기 휴대 전화의 충전을 행하는 태양 전지 셀(2249), 외부 메모리 슬롯(2250) 등을 구비한다. 또한, 안테나는 케이스(2241) 내부에 내장된다.
- [0191] 표시 패널(2242)은 터치 패널 기능을 구비하고, 도 18d에 영상 표시되는 복수의 조작 키(2245)를 점선으로 도시한다. 또한, 상기 휴대 전화는 태양 전지 셀(2249)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 실장한다. 또한, 상기 구성에 추가하여 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.
- [0192] 표시 패널(2242)은 사용 형태에 따라 표시 방향이 적절히 변화한다. 또한, 표시 패널(2242)과 동일 면 위에 카메라용 렌즈(2247)를 구비하기 때문에, 동영상 전화를 할 수 있다. 스피커(2243) 및 마이크로폰(2244)은 음성 통화에 한정되지 않고, 동영상 전화, 녹음, 재생 등을 할 수 있다. 또한, 케이스(2240)와 케이스(2241)는 슬라이드하여 도 18d에 도시하는 바와 같이 전개된 상태에서부터 접힌 상태로 할 수 있고, 휴대하기 적합한 소형화가 가능하다.
- [0193] 외부 접속 단자(2248)는 AC 어댑터나 USB 케이블 등 각종 케이블과 접속할 수 있고, 충전이나 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2250)에 기록 매체를 삽입하고, 더 많은 용량의 데이터의 보존 및 이동에 대응할 수 있다. 또한, 상기 기능에 추가하여 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이라도 좋다.
- [0194] 도 18e는 디지털 카메라를 도시한 도면이다. 상기 디지털 카메라는 본체(2261), 표시부(A)(2267), 접안부(2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등으로 구성된다.
- [0195] 도 18f는 텔레비전 장치를 도시한 도면이다. 텔레비전 장치(2270)에서 케이스(2271)에 표시부(2273)가 내장된다. 표시부(2273)에 영상을 표시할 수 있다. 또한, 여기서는, 스탠드(2275)에 의하여 케이스(2271)를 지지하는 구성을 도시한다.
- [0196] 텔레비전 장치(2270)는 케이스(2271)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(2280)에 의하여 조작

할 수 있다. 리모트 컨트롤러(2280)가 구비하는 조작키(2279)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(2273)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(2280)에 상기 리모트 컨트롤러(2280)로부터 출력하는 정보를 표시하는 표시부(2277)를 제공하는 구성으로 하여도 좋다.

[0197] 또한, 텔레비전 장치(2270)는 수신기나 모뎀 등을 구비한 구성으로 하는 것이 바람직하다. 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이 등)의 정보 통신을 행할 수 있다.

부호의 설명

[0198] 10: 화소부
11: 주사선 구동 회로
12: 신호선 구동 회로
13: 주사선
13_1 내지 13_m: 주사선
14: 신호선
14_1 내지 14_n: 신호선
15: 화소
16: 트랜지스터
17: 용량 소자
18: 액정 소자
20_1 내지 20_m: 펄스 출력 회로
21 내지 27: 단자
31 내지 39: 트랜지스터
40: 백 라이트 유닛
41: 백 라이트 제어 회로
42: 백 라이트 유닛 그룹
50 내지 53: 트랜지스터
101 내지 103: 영역
120: 시프트 레지스터
121_1 내지 121_n: 트랜지스터
220: 기관
222: 도전층
223: 절연층
224: 반도체층
225a: 도전층
225b: 도전층
226: 도전층
227: 절연층

228: 도전층
229: 절연층
231: 투명 도전층
240: 대향 기관
241: 투명 도전층
242: 차폐층
250: 액정층
1601: 패넬
1602: 확산판
1603: 프리즘 시트
1604: 제 2 확산판
1605: 도광판
1607: 백 라이트 패넬
1608: 회로 기관
1609: COF 테이프
1610: FPC
1611: 기관
1612: 백 라이트
2201: 본체
2202: 케이스
2203: 표시부
2204: 키보드
2211: 본체
2212: 스타일러스
2213: 표시부
2214: 조작 버튼
2215: 외부 인터페이스
2220: 전자 서적
2221: 케이스
2223: 케이스
2225: 표시부
2227: 표시부
2231: 전원 스위치
2233: 조작키
2235: 스피커
2237: 축부

2240: 케이스
2241: 케이스
2242: 표시 패널
2243: 스피커
2244: 마이크로폰
2245: 조작키
2246: 포인팅 디바이스
2247: 카메라용 렌즈
2248: 외부 접속 단자
2249: 태양 전지 셀
2250: 외부 메모리 슬롯
2261: 본체
2263: 접안부
2264: 조작 스위치
2265: 표시부(B)
2266: 배터리
2267: 표시부(A)
2270: 텔레비전 장치
2271: 케이스
2273: 표시부
2275: 스탠드
2277: 표시부
2279: 조작키
2280: 리모트 컨트롤러
2400: 기관
2401: 게이트층
2402: 게이트 절연층
2403: 반도체층
2405a: 소스층
2405b: 드레인층
2407: 절연층
2409: 보호 절연층
2436: 하지층
2450: 트랜지스터
2460: 트랜지스터
2470: 트랜지스터

2480: 트랜지스터
4001: 기관
4002: 화소부
4003: 신호선 구동 회로
4004: 주사선 구동 회로
4005: 셀재
4006: 대향 기관
4007: 액정
4009: 트랜지스터
4010: 트랜지스터
4011: 액정 소자
4014: 리드 배선
4015: 리드 배선
4016: 접속 단자
4018: FPC
4019: 이방성 도전막
4021: 기관
4022: 트랜지스터
4030: 화소 전극
4031: 대향 전극
4035: 스페이서
6110: 전치 기관
6111: 점착제층
6116: 피박리층
6200: 제작 기관
6201: 박리층
6202: 임시 지지 기관
6203: 박리용 점착제
6206: 금속판
6207: 배리어층
6210: 배선층
6211: 배선층
6212: 영역
6511: 트랜지스터
6512: 용량 소자
6513: 액정 소자

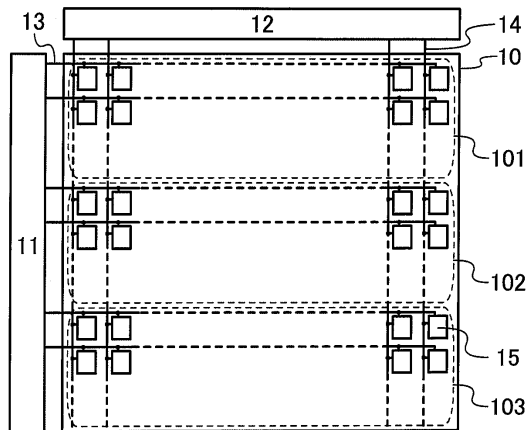
6521: 트랜지스터

6531: 트랜지스터

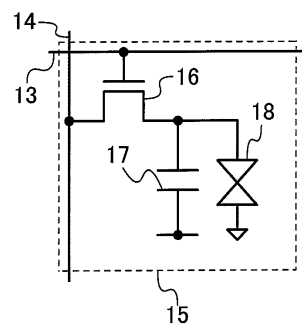
도면

도면1

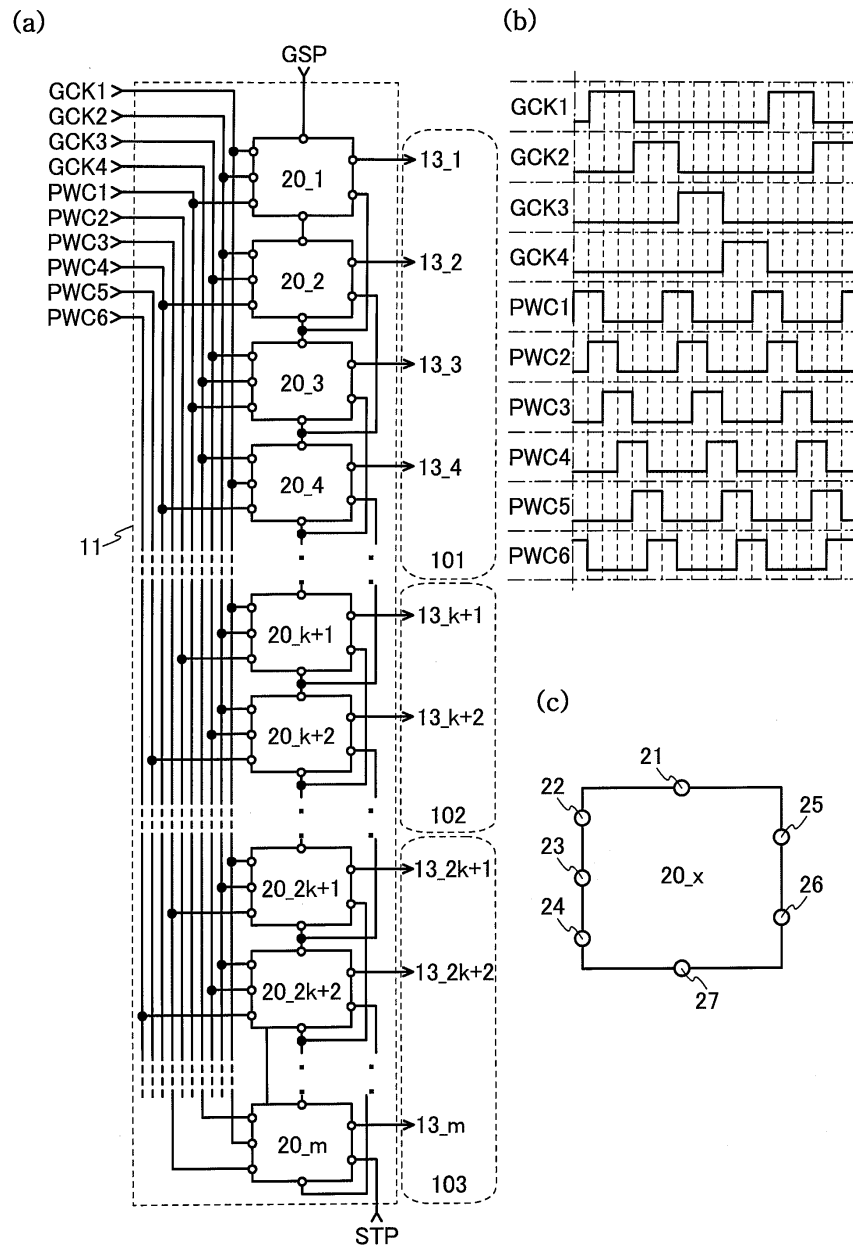
(a)



(b)

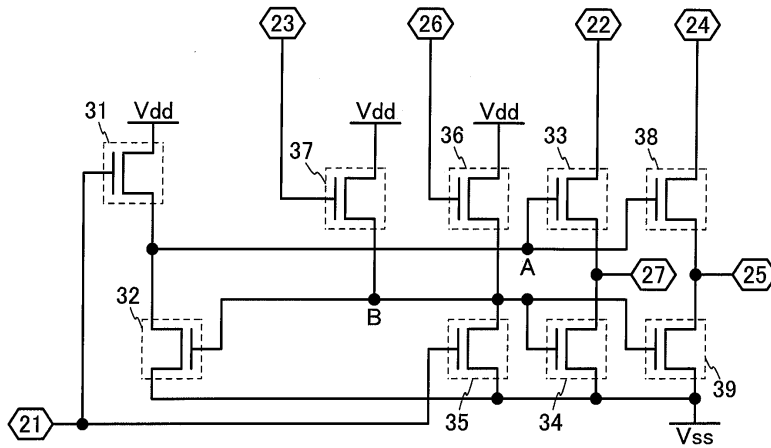


도면2

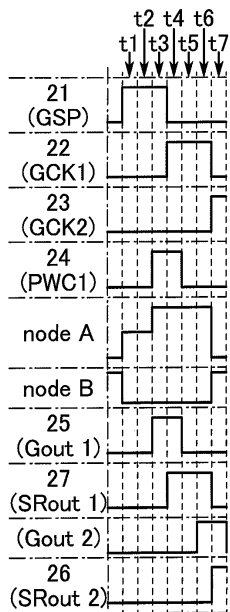


도면3

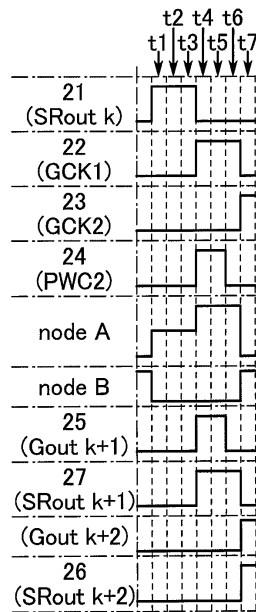
(a)



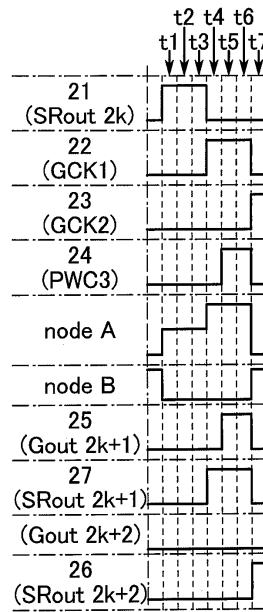
(b)



(c)

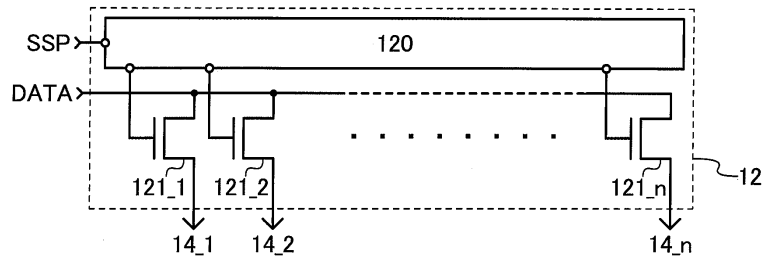


(d)

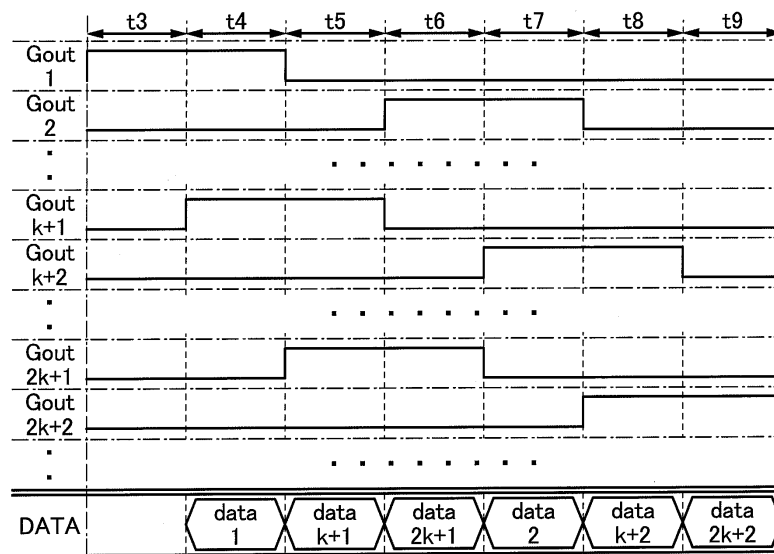


도면4

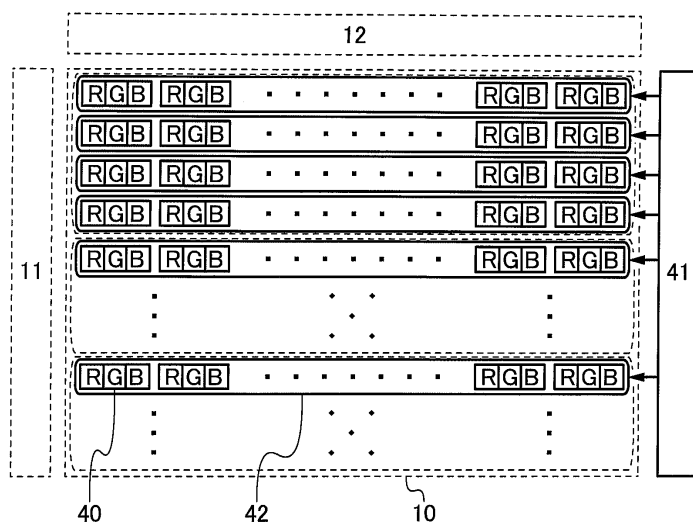
(a)



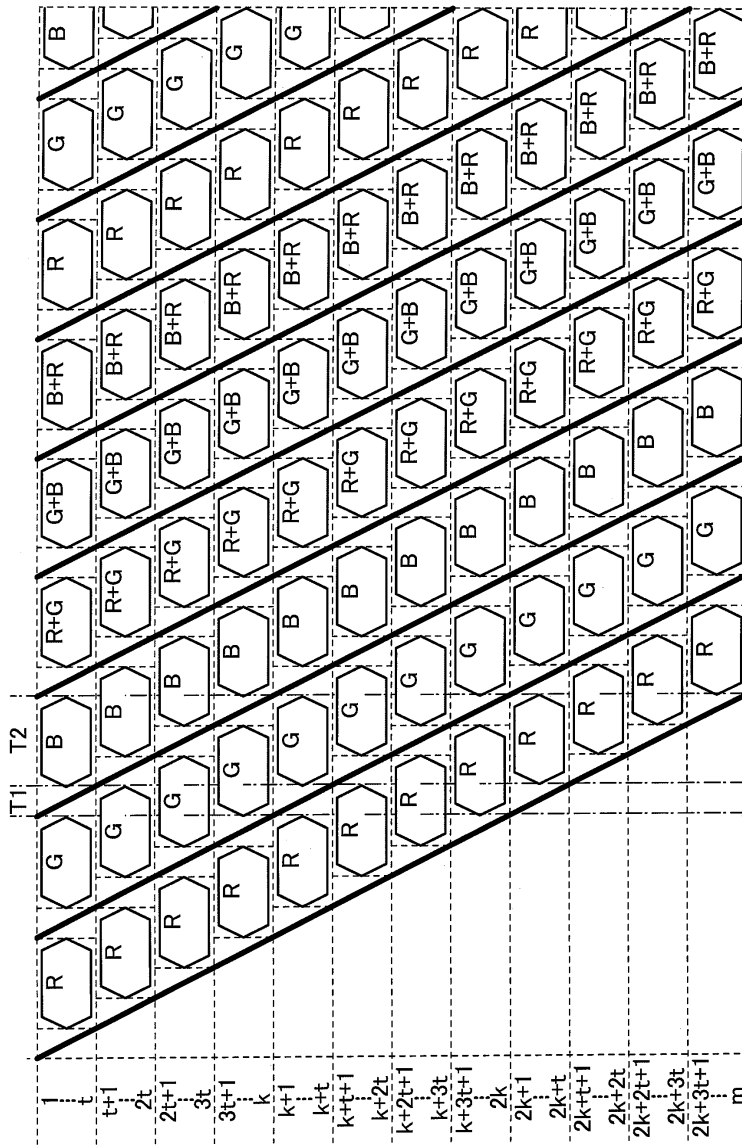
(b)



도면5

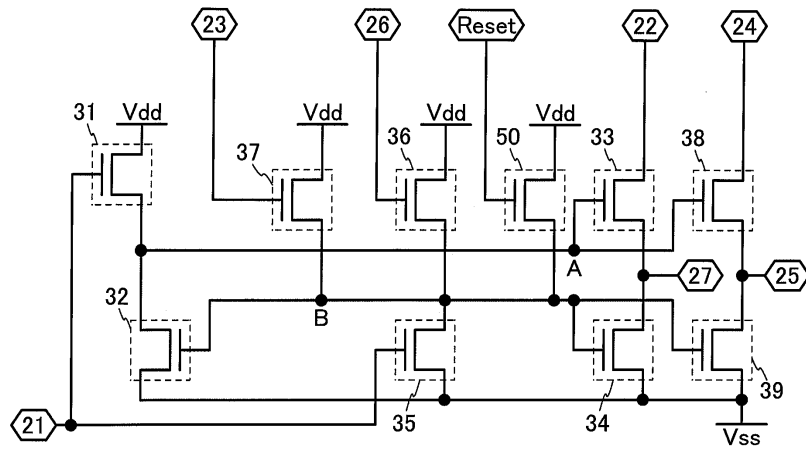


도면6

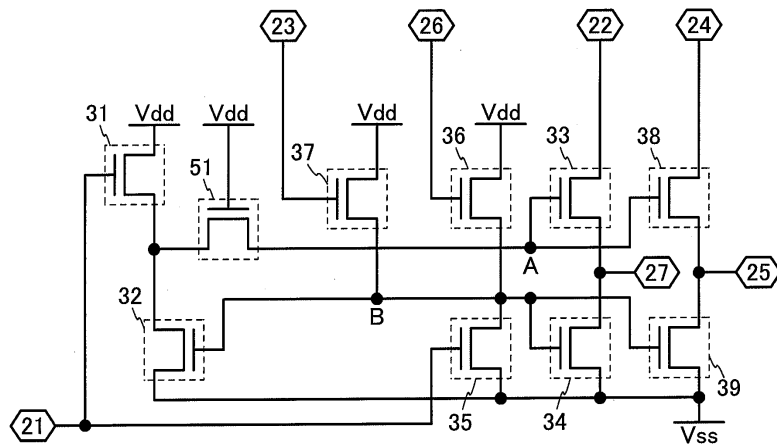


도면7

(a)

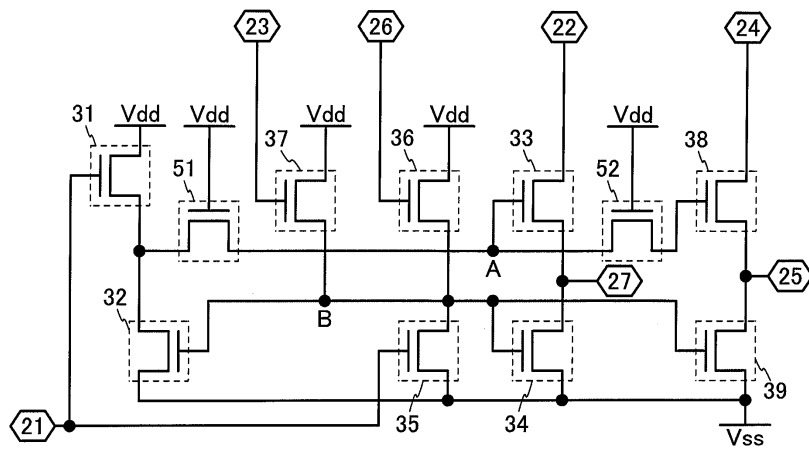


(b)

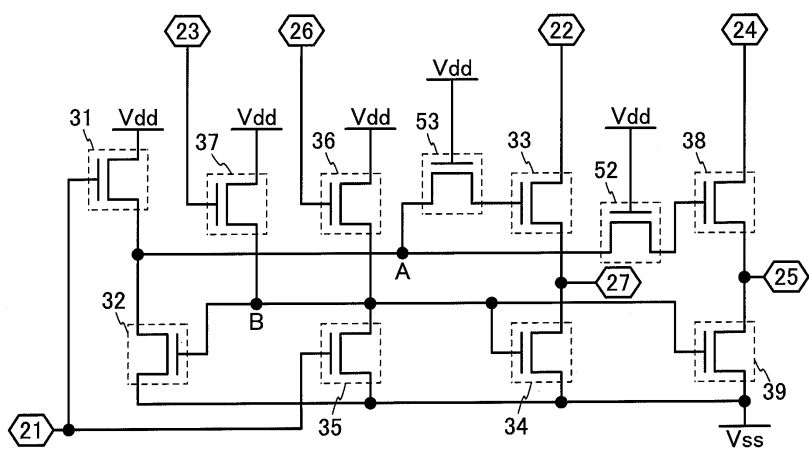


도면8

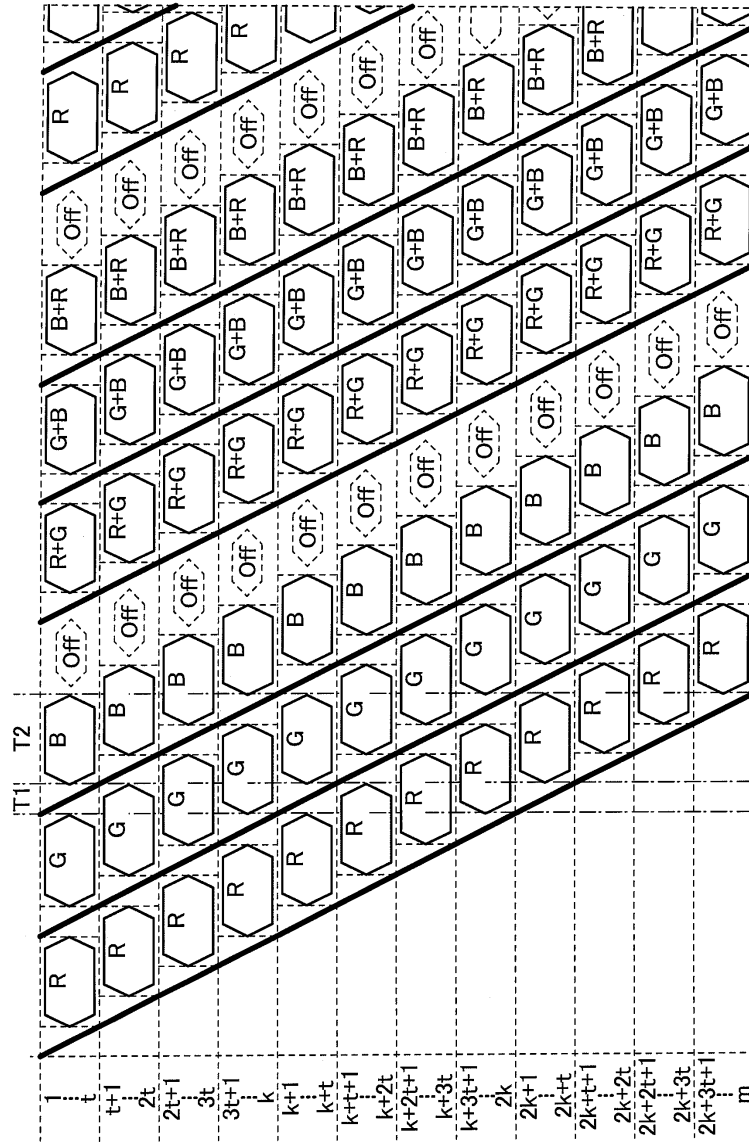
(a)



(b)



도면9

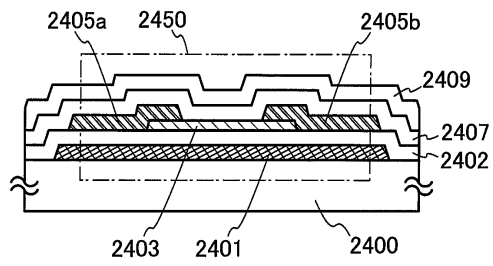


도면10

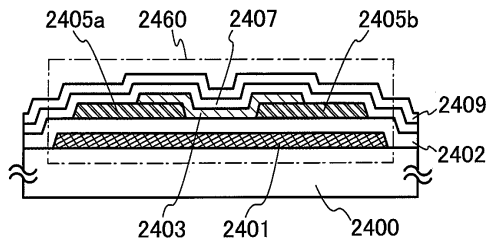
The figure shows a 2D grid of hexagonal cells. The grid is divided into two main regions by a diagonal line. The top-left region is labeled 'T1' and the bottom-right region is labeled 'T2'. The grid is composed of two interleaved sublattices, A and B, represented by different shades of gray. The cells are labeled with letters R, G, B, and combinations thereof (e.g., R+G, R+B, G+B, R+G+B). The labels are arranged in a periodic pattern across the grid. The grid is bounded by dashed lines, and the diagonal line separating T1 and T2 is solid.

도면11

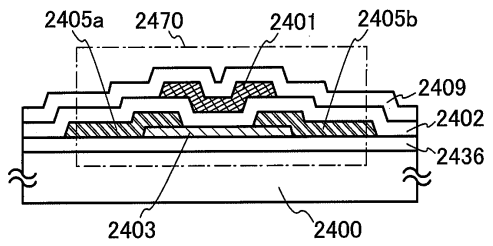
(a)



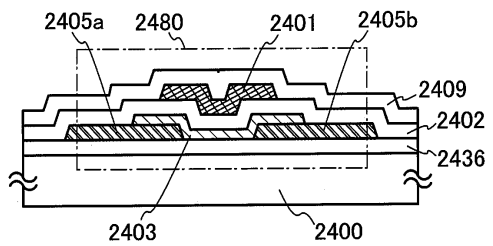
(b)



(c)

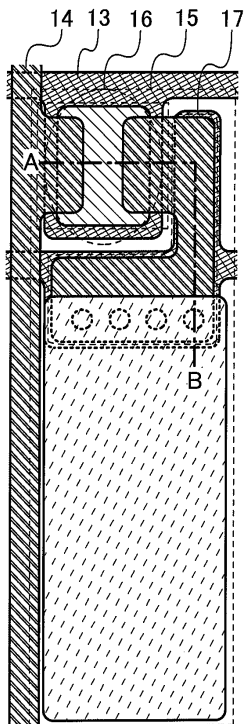


(d)

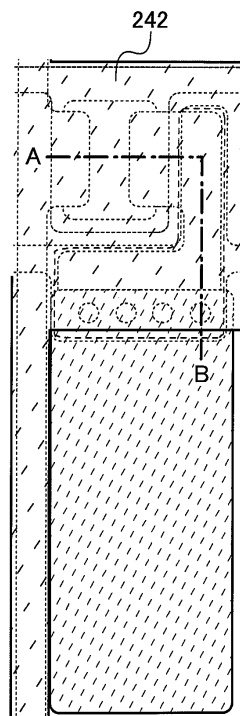


도면12

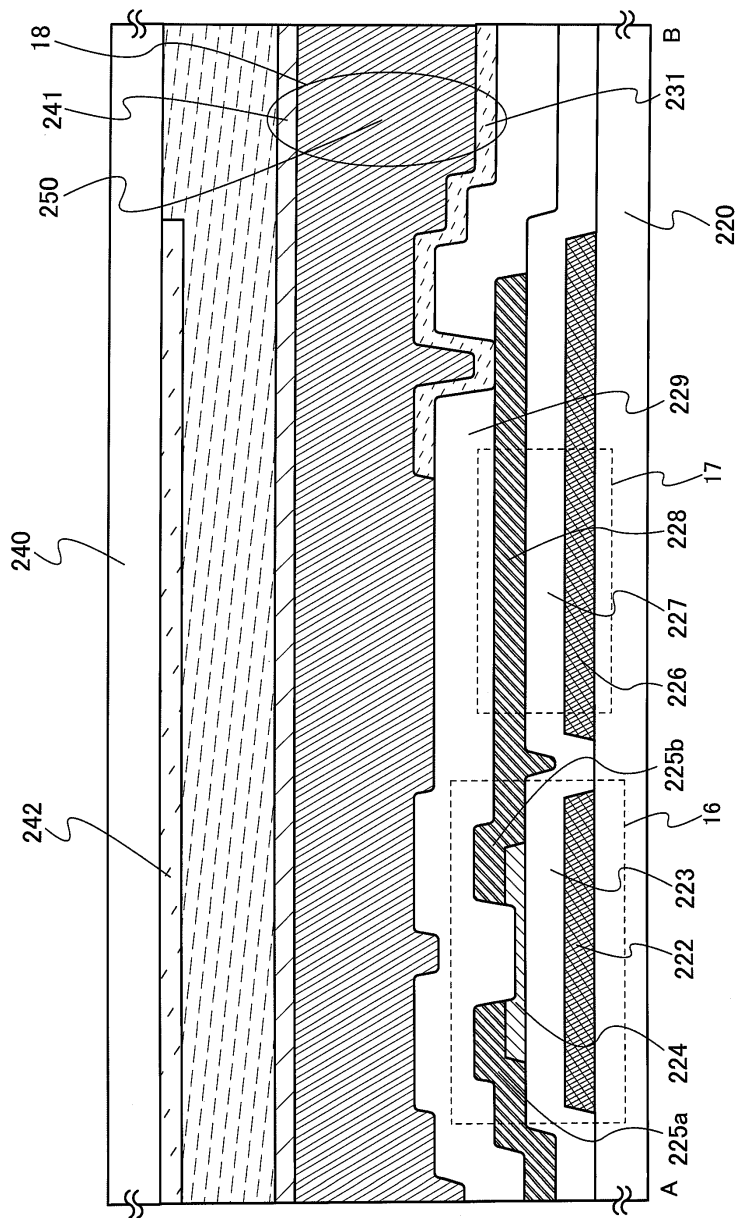
(a)



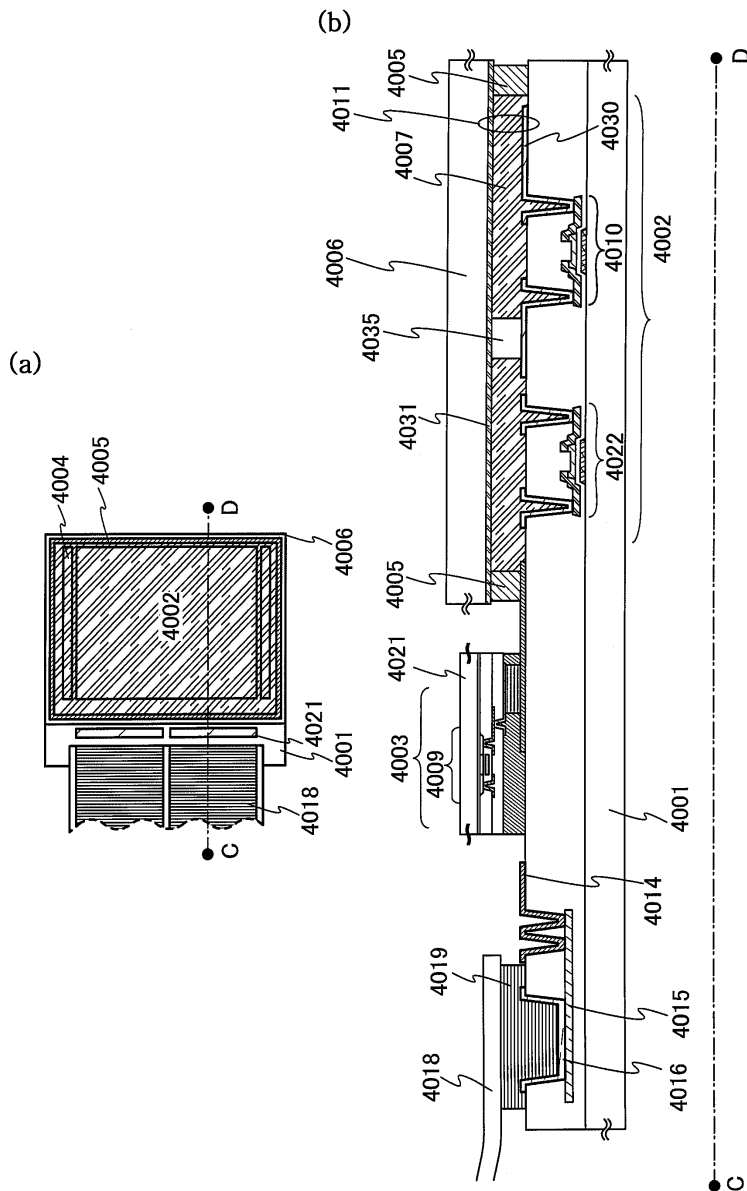
(b)



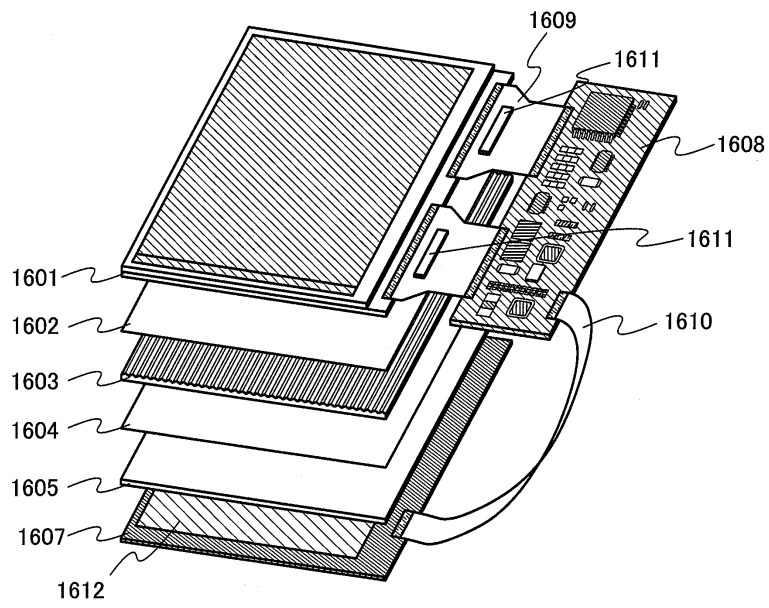
도면13



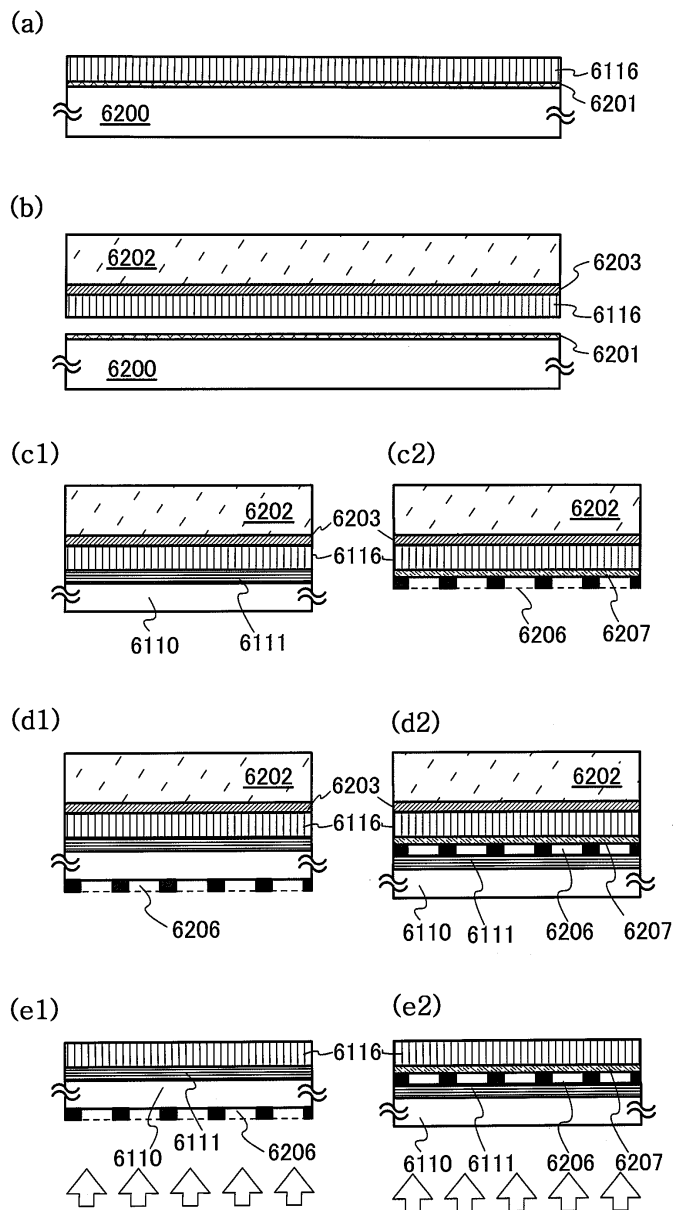
도면14



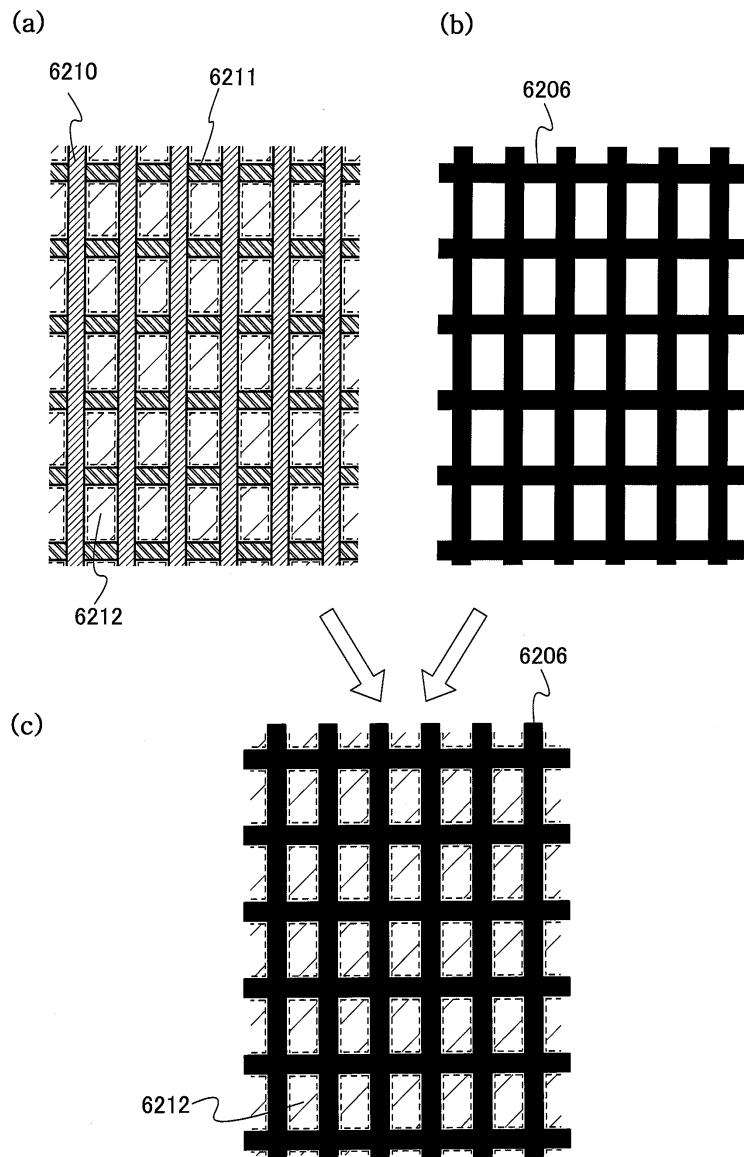
도면15



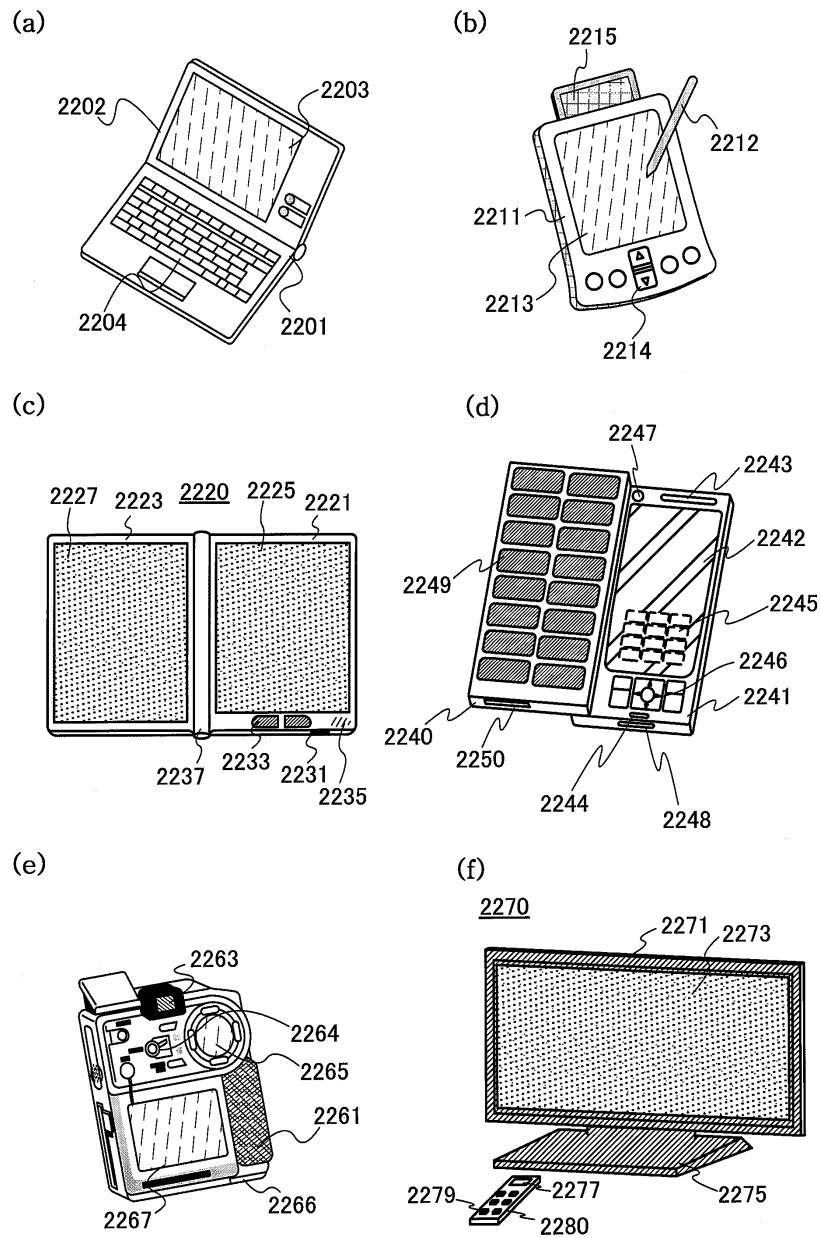
도면16



도면17



도면18



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020120024375A	公开(公告)日	2012-03-14
申请号	KR1020110072801	申请日	2011-07-22
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준		
发明人	야마자키순페이 고야마준		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0235 G09G3/342 G09G2320/0242 G09G3/3688 G09G3/3413 G09G2310/0291 G09G2310/0286 G09G2310/0205 G09G2310/08 G09G3/3677 G09G2310/0218		
代理人(译)	李昌勋		
优先权	2010167161 2010-07-26 JP		
外部链接	Espacenet		

摘要(译)

本发明改善了液晶显示器的图像质量。在液晶显示器的整个像素中不连续地执行图像信号的寄存器和背光的点亮。依次执行图像信号的寄存器和背光的点亮。因此，例如，可以改善关于液晶显示器的每个像素的图像信号的输入频率。因此，控制包括色破等在内的显示劣化。在液晶显示器中产生的图像质量可以得到改善。

