(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0077255
(43) 공개일자 2011년07월07일

(51) Int. Cl.
G02F 1/136 (2006.01)
(21) 출원번호 10-2009-0133768
(22) 출원일자 2009년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울 용산구 한강로3가 65-228
(72) 발명자
김강일
경기도 안양시 동안구 호계동 209-30 101호
김정오
서울 강서구 화곡6동 1145번지 우장산 롯데낙천대 아파트 306동 902호
(뒷면에 계속)
(74) 대리인
박장원

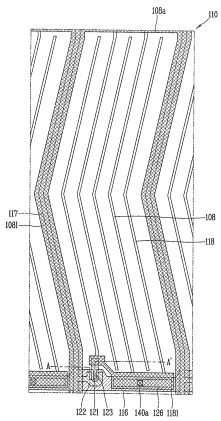
전체 청구항 수 : 총 14 항

(54) 횡전계방식 액정표시장치의 제조방법

(57) 요 약

본 발명의 횡전계(In Plane Switching; IPS)방식 액정표시장치의 제조방법은 포토 아크릴(photo acryl)을 사이에 두고 데이터라인 상부에 공통라인을 형성하여 고개구율을 구현한 횡전계방식 액정표시장치에 있어서, 공통전극과 화소전극 및 공통라인을 동일한 마스크공정을 통해 형성하는 과정에서 부분 회절마스크와 리프트 오프(lift off)를 이용하거나 감광막패턴의 두께를 두껍게 하여 상기 공통전극과 화소전극을 패터닝함으로써 상기 공통전극과 화소전극의 CD(critical dimension) 균일도를 개선하기 위한 것으로, 화소부와 데이터패드부 및 게이트패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 게이트전극 상부에 액티브층을 형성하는 한편, 제 2 도전막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막 위에 포토 아크릴과 같은 감광성 유기물질로 제 3 절연막을 형성하는 단계; 경화공정을 통해 상기 제 3 절연막을 경화시키는 단계; 제 3 마스크공정을 통해 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거하여 상기 화소영역의 제 1 기판 표면을 노출시키는 오픈 홀을 형성하는 단계; 공통전극 영역과 화소전극 영역의 중앙에 부분적으로 빛을 회절시키는 부분 회절마스크(제 4 마스크)를 이용하여 상기 제 1 기판의 화소영역에 제 3 도전막으로 이루어진 공통전극과 화소전극을 형성하며, 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 제 4 도전막으로 이루어진 공통라인을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

대 표 도 - 도4



(72) 발명자

백정선

경기도 수원시 권선구 세류1동 334-82

김용일

충청남도 당진군 송악면 청금리 342번지

특허청구의 범위

청구항 1

화소부와 데이터패드부 및 게이트패드부로 구분되는 제 1 기판을 제공하는 단계;

제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계;

상기 제 1 기판 위에 제 1 절연막을 형성하는 단계;

제 2 마스크공정을 통해 상기 게이트전극 상부에 액티브층을 형성하는 한편, 제 2 도전막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 포토 아크릴과 같은 감광성 유기물질로 제 3 절연막을 형성하는 단계;

경화공정을 통해 상기 제 3 절연막을 경화시키는 단계;

제 3 마스크공정을 통해 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거하여 상기 화소영역의 제 1 기판 표면을 노출시키는 오픈 홀을 형성하는 단계;

공통전극 영역과 화소전극 영역의 중앙에 부분적으로 빛을 회절시키는 부분 회절마스크(제 4 마스크)를 이용하여 상기 제 1 기판의 화소영역에 제 3 도전막으로 이루어진 공통전극과 화소전극을 형성하며, 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 제 4 도전막으로 이루어진 공통라인을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 횡전계방식 액정표시장치의 제조방법.

청구항 2

화소부와 데이터패드부 및 게이트패드부로 구분되는 제 1 기판을 제공하는 단계;

제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계;

상기 제 1 기판 위에 제 1 절연막을 형성하는 단계;

제 2 마스크공정을 통해 상기 게이트전극 상부에 액티브층을 형성하는 한편, 제 2 도전막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막 위에 포토 아크릴과 같은 감광성 유기물질로 제 3 절연막을 형성하는 단계;

경화공정을 통해 상기 제 3 절연막을 경화시키는 단계;

제 3 마스크공정을 통해 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거하여 상기 화소영역의 제 1 기판 표면을 노출시키는 오픈 홀을 형성하는 단계;

상기 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계;

형성할 공통전극과 화소전극의 선폭보다 큰 두께를 가진 감광막에 제 4 마스크를 적용하여 제 1 감광막패턴 내지 제 5 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 5 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소영역에 상기 제 3 도전막으로 이루어진 다수개의 공통전극과 화소전극을 형성하며, 상기 공통전극과 화소전극 상부에 상기 제 4 도전막으로 이루어진 공통전극패턴과 화소전극패턴을 각각 형성하는 단계;

상기 제 1 감광막패턴 내지 제 5 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 상기 제 4 도전막으로 이루어진 공통라인

을 형성하는 단계;

애싱공정을 통해 상기 화소영역의 공통전극과 화소전극 상부의 상기 제 3 감광막패턴과 제 4 감광막패턴을 선택적으로 제거하는 단계;

상기 공통전극과 화소전극 상부의 상기 공통전극패턴과 화소전극패턴을 제거하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 횡전계방식 액정표시장치의 제조방법.

청구항 3

제 2 항에 있어서, 상기 감광막은 상기 공통전극과 화소전극의 선폭(3 ~ 4㎛)보다 큰 10㎛정도의 두께를 가지는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 4

제 1 항에 있어서, 상기 제 4 마스크공정은

상기 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계;

제 4 마스크공정을 통해 상기 제 4 도전막 위에 제 1 감광막패턴 내지 제 7 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소영역에 상기 제 3 도전막으로 이루어진 다수개의 공통전극과 화소전극을 형성하며, 상기 공통전극과 화소전극 상부에 상기 제 4 도전막으로 이루어진 공통전극패턴과 화소전극패턴을 각각 형성하는 단계;

상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 상기 제 4 도전막으로 이루어진 공통라인을 형성하는 단계;

애싱공정을 통해 상기 제 6 감광막패턴과 제 7 감광막패턴을 제거하고 상기 제 1 감광막패턴 내지 제 5 감광막패턴의 일부를 제거하여 제 8 감광막패턴 내지 제 12 감광막패턴을 형성하는 단계; 및

상기 제 4 도전막의 선택적 식각을 통해 상기 공통전극패턴 및 화소전극패턴을 그 상부의 상기 제 10 감광막패턴 및 제 11 감광막패턴과 함께 제거하는 단계를 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 5

제 2 항 및 제 4 항 중 어느 한 항에 있어서, 상기 제 2 마스크공정을 이용하여 상기 액티브층의 소오스/드레인 영역과 상기 소오스/드레인전극 사이를 오믹-콘택시키는 오믹-콘택층을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 제 1 마스크공정을 이용하여 상기 게이트패드부에 상기 제 1 도전막으로 이루어진 게이트패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 제 2 마스크공정을 이용하여 상기 데이터패드부에 상기 제 2 도전막으로 이루어진 데이터패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 8

제 7 항에 있어서, 상기 제 2 마스크공정을 이용하여 상기 게이트라인 상부에 상기 제 2 도전막으로 이루어진 스토리지전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 9

제 8 항에 있어서, 상기 제 3 마스크공정을 이용하여 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거함

으로써 상기 스토리지전극과 게이트패드라인 및 데이터패드라인의 일부를 각각 노출시키는 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서, 상기 제 4 마스크공정을 이용하여 상기 제 4 도전막으로 이루어지며, 상기 제 1 콘택홀을 통해 상기 스토리지전극과 전기적으로 접속하는 화소전극라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 11

제 9 항에 있어서, 상기 제 4 마스크공정을 이용하여 상기 제 4 도전막으로 이루어지며, 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 각각 상기 게이트패드라인 및 데이터패드라인과 전기적으로 접속하는 게이트패드전극 및 데이터패드전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 12

제 11 항에 있어서, 상기 제 4 마스크공정을 이용하여 상기 공통라인과 게이트패드전극 및 데이터패드전극 하부에 상기 제 3 도전막으로 이루어진 공통라인패턴과 게이트패드전극패턴 및 데이터패드전극패턴을 각각 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 13

제 5 항에 있어서, 상기 제 3 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴(molybdenum; Mo) 합금으로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

청구항 14

제 5 항에 있어서, 상기 제 4 도전막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성하거나 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 횡전계방식 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 액정표시패널의 개구율을 향상시킨 횡전계방식 액정표시장치의 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구

동하는 방식이다.

[0005] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

[0006] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.

[0007] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0008] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

[0009] 또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

[0010] 이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착키(미도시)를 통해 이루어진다.

[0011] 이때, 상기 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 상기 트위스티드 네마틱방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.

[0012] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이를 자세히 설명하면 다음과 같다.

[0013] 도 2는 일반적인 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도이다.

[0014] 도면에 도시된 바와 같이, 횡전계방식 액정표시장치의 어레이 기판(10)에는 상기 어레이 기판(10) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(16)과 데이터라인(17)이 형성되어 있으며, 상기 게이트라인(16)과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.

[0015] 상기 박막 트랜지스터는 상기 게이트라인(16)에 연결된 게이트전극(21), 상기 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)과 소오스/드레인전극(22, 23) 사이의 절연을 위한 게이트절연막(미도시) 및 상기 게이트전극(21)에 공급되는 게이트전압에 의해 상기 소오스전극(22)과 드레인전극(23) 사이에 전도채널(conductive channel)을 형성하는 액티브층(미도시)을 포함한다.

[0016] 이때, 상기 화소영역 내에는 횡전계를 발생시키기 위한 공통전극(8)과 화소전극(18)이 상기 데이터라인(17)에 대해 평행한 방향으로 교대로 배치되어 있다. 이때, 상기 화소전극(18)은 보호막(미도시)에 형성된 콘택홀(40)을 통해 상기 드레인전극(23)과 전기적으로 접속하며, 상기 공통전극(8)은 상기 게이트라인(16)에 대해 평행하게 배치된 공통라인(81)과 연결되어 있다.

[0017] 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크공정(즉, 포토리소그래피(photolithography)공정)을 필요로 하므로 생산성 면에서 상기 마스크수를 줄이는 방법이 요구되고 있다.

[0018] 도 3a 내지 도 3e는 도 2에 도시된 어레이 기판의 II-II'선에 따른 제조공정을 순차적으로 나타내는 단면도이다.

[0019] 도 3a에 도시된 바와 같이, 어레이 기판(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 게이트전극(21)과 공통전극(8) 및 게이트라인(미도시)을 형성한다.

[0020] 다음으로, 도 3b에 도시된 바와 같이, 상기 게이트전극(21)과 공통전극(8) 및 게이트라인이 형성된 어레이 기판(10) 전면(全面)에 차례대로 게이트절연막(15a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후,

포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 패터닝함으로써 상기 게이트전극(21) 위에 상기 비정질 실리콘 박막으로 이루어진 액티브층(24)을 형성한다.

[0021] 이때, 상기 액티브층(24) 위에는 상기 액티브층(24)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(25)이 형성되게 된다.

[0022] 이후, 도 3c에 도시된 바와 같이, 상기 어레이 기판(10) 전면에 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브층(24) 상부에 소오스전극(22)과 드레인전극(23)을 형성한다. 또한, 상기 제 3 마스크공정을 통해 상기 게이트라인과 함께 화소영역을 정의하는 데이터라인(17)을 형성하게 된다.

[0023] 이때, 상기 액티브층(24) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거됨으로써 상기 액티브층(24)과 소오스/드레인전극(22, 23) 사이를 오믹-콘택(ohmic contact)시키는 오믹-콘택층(25')을 형성하게 된다.

[0024] 다음으로, 도 3d에 도시된 바와 같이, 상기 소오스전극(22)과 드레인전극(23) 및 데이터라인(17)이 형성된 어레이 기판(10) 전면에 보호막(15b)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 보호막(15b)의 일부 영역을 제거하여 상기 드레인전극(23)의 일부를 노출시키는 콘택홀(40)을 형성한다.

[0025] 마지막으로, 도 3e에 도시된 바와 같이, 상기 어레이 기판(10) 전면에 투명한 도전성 금속물질을 증착한 후, 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(40)을 통해 상기 드레인전극(23)과 전기적으로 접속하는 화소전극(18)을 형성한다.

[0026] 상기에 설명된 바와 같이 박막 트랜지스터를 포함하는 어레이 기판의 제조에는 게이트전극과 공통전극, 액티브층, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 총 5번의 포토리소그래피공정을 필요로 한다.

[0027] 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기판 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리게 한다.

[0028] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하게 된다.

[0029] 또한, 상기 구조의 횡전계방식 액정표시장치는 불투명한 공통라인이 화소영역 내에 형성되어 있어 패널의 개구율이 감소하게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0030] 본 발명은 상기한 문제를 해결하기 위한 것으로, 4번의 마스크공정으로 어레이 기판을 제작하도록 한 횡전계방식 액정표시장치의 제조방법을 제공하는데 목적이 있다.

[0031] 본 발명의 다른 목적은 액정표시패널의 개구율을 향상시키도록 한 횡전계방식 액정표시장치의 제조방법을 제공하는데 있다.

[0032] 본 발명의 다른 목적은 공통전극과 화소전극 및 공통라인을 동일한 마스크공정을 통해 형성하는 과정에서 부분 회절마스크와 리프트 오프를 이용하거나 감광막패턴의 두께를 두껍게 하여 상기 공통전극과 화소전극을 패터닝함으로써 상기 공통전극과 화소전극의 CD 균일도를 향상시키도록 한 횡전계방식 액정표시장치의 제조방법을 제공하는데 있다.

[0033] 본 발명의 다른 목적은 저저항 도전물질로 공통라인을 형성하도록 한 횡전계방식 액정표시장치의 제조방법을 제공하는데 있다.

[0034] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제 해결수단

[0035] 상기한 목적을 달성하기 위하여, 본 발명의 횡전계방식 액정표시장치의 제조방법은 화소부와 데이터패드부 및

게이트패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 게이트전극 상부에 액티브층을 형성하는 한편, 제 2 도전막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막 위에 포토 아크릴과 같은 감광성 유기물질로 제 3 절연막을 형성하는 단계; 경화공정을 통해 상기 제 3 절연막을 경화시키는 단계; 제 3 마스크공정을 통해 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거하여 상기 화소영역의 제 1 기판 표면을 노출시키는 오픈 홀을 형성하는 단계; 공통전극 영역과 화소전극 영역의 중앙에 부분적으로 빛을 회절시키는 부분 회절마스크(제 4 마스크)를 이용하여 상기 제 1 기판의 화소영역에 제 3 도전막으로 이루어진 공통전극과 화소전극을 형성하며, 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 제 4 도전막으로 이루어진 공통라인을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

[0036] 이때, 상기 제 4 마스크공정은 상기 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계; 제 4 마스크공정을 통해 상기 제 4 도전막 위에 제 1 감광막패턴 내지 제 7 감광막패턴을 형성하는 단계; 상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소영역에 상기 제 3 도전막으로 이루어진 다수개의 공통전극과 화소전극을 형성하며, 상기 공통전극과 화소전극 상부에 상기 제 4 도전막으로 이루어진 공통전극패턴과 화소전극패턴을 각각 형성하는 단계; 상기 제 1 감광막패턴 내지 제 7 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 상기 제 4 도전막으로 이루어진 공통라인을 형성하는 단계; 애싱공정을 통해 상기 제 6 감광막패턴과 제 7 감광막패턴을 제거하고 상기 제 1 감광막패턴 내지 제 5 감광막패턴의 일부를 제거하여 제 8 감광막패턴 내지 제 12 감광막패턴을 형성하는 단계; 및 상기 제 4 도전막의 선택적 식각을 통해 상기 공통전극패턴 및 화소전극패턴을 그 상부의 상기 제 10 감광막패턴 및 제 11 감광막패턴과 함께 제거하는 단계를 포함하는 것을 특징으로 한다.

[0037] 본 발명의 횡전계방식 액정표시장치의 다른 제조방법은 화소부와 데이터패드부 및 게이트패드부로 구분되는 제 1 기판을 제공하는 단계; 제 1 마스크공정을 통해 상기 제 1 기판의 화소부에 제 1 도전막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계; 상기 제 1 기판 위에 제 1 절연막을 형성하는 단계; 제 2 마스크공정을 통해 상기 게이트전극 상부에 액티브층을 형성하는 한편, 제 2 도전막으로 이루어지며 상기 액티브층의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막 위에 포토 아크릴과 같은 감광성 유기물질로 제 3 절연막을 형성하는 단계; 경화공정을 통해 상기 제 3 절연막을 경화시키는 단계; 제 3 마스크공정을 통해 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거하여 상기 화소영역의 제 1 기판 표면을 노출시키는 오픈 홀을 형성하는 단계; 상기 제 1 기판 위에 제 3 도전막과 제 4 도전막을 형성하는 단계; 형성할 공통전극과 화소전극의 선폭보다 큰 두께를 가진 감광막에 제 4 마스크를 적용하여 제 1 감광막패턴 내지 제 5 감광막패턴을 형성하는 단계; 상기 제 1 감광막패턴 내지 제 5 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 1 기판의 화소영역에 상기 제 3 도전막으로 이루어진 다수개의 공통전극과 화소전극을 형성하며, 상기 공통전극과 화소전극 상부에 상기 제 4 도전막으로 이루어진 공통전극패턴과 화소전극패턴을 각각 형성하는 단계; 상기 제 1 감광막패턴 내지 제 5 감광막패턴을 마스크로 그 하부의 상기 제 3 도전막과 제 4 도전막을 선택적으로 제거하여 상기 제 3 절연막을 사이에 두고 상기 데이터라인 상부에 상기 제 4 도전막으로 이루어진 공통라인을 형성하는 단계; 애싱공정을 통해 상기 화소영역의 공통전극과 화소전극 상부의 상기 제 3 감광막패턴과 제 4 감광막패턴을 선택적으로 제거하는 단계; 상기 공통전극과 화소전극 상부의 상기 공통전극패턴과 화소전극패턴을 제거하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

[0038] 이때, 상기 감광막은 상기 공통전극과 화소전극의 선폭(3 ~ 4㎛)보다 큰 10㎛정도의 두께를 가지는 것을 특징으로 한다.

[0039] 상기 제 2 마스크공정을 이용하여 상기 액티브층의 소오스/드레인영역과 상기 소오스/드레인전극 사이를 오믹-콘택시키는 오믹-콘택층을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0040] 상기 제 1 마스크공정을 이용하여 상기 게이트패드부에 상기 제 1 도전막으로 이루어진 게이트패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0041] 상기 제 2 마스크공정을 이용하여 상기 데이터패드부에 상기 제 2 도전막으로 이루어진 데이터패드라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0042] 상기 제 2 마스크공정을 이용하여 상기 게이트라인 상부에 상기 제 2 도전막으로 이루어진 스토리지전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0043] 상기 제 3 마스크공정을 이용하여 상기 제 1 절연막 내지 제 3 절연막을 선택적으로 제거함으로써 상기 스토리지전극과 게이트패드라인 및 데이터패드라인의 일부를 각각 노출시키는 제 1 콘택홀과 제 2 콘택홀 및 제 3 콘택홀을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0044] 상기 제 4 마스크공정을 이용하여 상기 제 4 도전막으로 이루어지며, 상기 제 1 콘택홀을 통해 상기 스토리지전극과 전기적으로 접속하는 화소전극라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0045] 상기 제 4 마스크공정을 이용하여 상기 제 4 도전막으로 이루어지며, 상기 제 2 콘택홀 및 제 3 콘택홀을 통해 각각 상기 게이트패드라인 및 데이터패드라인과 전기적으로 접속하는 게이트패드전극 및 데이터패드전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0046] 상기 제 4 마스크공정을 이용하여 상기 공통라인과 게이트패드전극 및 데이터패드전극 하부에 상기 제 3 도전막으로 이루어진 공통라인패턴과 게이트패드전극패턴 및 데이터패드전극패턴을 각각 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0047] 상기 제 3 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴(molybdenum; Mo) 합금으로 형성하는 것을 특징으로 한다.

[0048] 상기 제 4 도전막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성하거나 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성하는 것을 특징으로 한다.

효 과

[0049] 상술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치의 제조방법은 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.

[0050] 본 발명에 따른 횡전계방식 액정표시장치의 제조방법은 포토 아크릴을 사이에 두고 데이터라인 상부에 공통라인을 형성하여 고개구율을 구현하는 한편, 저저항 도전물질로 상기 공통라인을 형성함으로써 화질을 향상시키는 효과를 제공한다.

[0051] 본 발명에 따른 횡전계방식 액정표시장치의 제조방법은 공통전극과 화소전극의 CD 균일도를 개선함으로써 패널의 성능을 향상시키는 효과를 제공한다.

[0052] 본 발명에 따른 횡전계방식 액정표시장치의 제조방법은 감광막패턴의 두께를 두껍게 하여 회절마스크 없이 공통전극과 화소전극 및 공통라인을 동시에 패터닝하는 경우에는 상기 회절마스크의 생략으로 인해 제조단가가 절감되는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0053] 이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시장치의 제조방법의 바람직한 실시예를 상세히 설명한다.

[0054] 도 4는 본 발명의 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로써, 설명의 편의를 위해 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.

[0055] 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0056] 이때, 본 실시예는 횡전계방식 액정표시장치를 예를 들어 설명하고 있으나 본 발명이 이에 한정되는 것은 아니며, 본 발명은 트위스티드 네마틱방식 액정표시장치에도 적용될 수 있다.

[0057] 도면에 도시된 바와 같이, 본 발명의 실시예에 따른 어레이 기판(110)에는 상기 어레이 기판(110) 위에 종횡으

로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 횡전계를 발생시켜 액정(미도시)을 구동시키는 다수개의 공통전극(108)과 화소전극(118)이 교대로 형성되어 있다.

[0058] 이때, 도면에는 도시하지 않았지만, 상기 어레이 기판(110)의 가장자리 영역에는 상기 데이터라인(117)과 게이트라인(116)에 각각 전기적으로 접속하는 데이터패드전극(미도시)과 게이트패드전극(미도시)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 데이터신호와 주사신호를 각각 상기 데이터라인(117)과 게이트라인(116)에 전달하게 된다.

[0059] 즉, 상기 데이터라인(117)과 게이트라인(116)은 구동회로부 쪽으로 연장되어 각각 해당하는 데이터패드라인(미도시)과 게이트패드라인(미도시)에 연결되며, 상기 데이터패드라인과 게이트패드라인은 상기 데이터패드라인과 게이트패드라인에 각각 전기적으로 접속된 데이터패드전극과 게이트패드전극을 통해 상기 구동회로부로부터 각각 데이터신호와 주사신호를 인가 받게 된다.

[0060] 상기 박막 트랜지스터는 상기 게이트라인(116)의 일부를 구성하는 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 상기 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(미도시)을 포함한다. 이때, 도면에는 상기 소오스전극(122)의 형태가 "U"자형으로 되어 있어 채널의 형태가 "U"자형인 박막 트랜지스터를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 박막 트랜지스터의 채널 형태에 관계없이 적용 가능하다.

[0061] 이때, 상기 소오스전극(122)의 일부는 일방향으로 연장되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 화소전극라인(1181)을 통해 상기 화소전극(118)에 전기적으로 접속하게 된다.

[0062] 전술한 바와 같이 상기 화소영역 내에는 횡전계를 발생시키기 위한 다수개의 공통전극(108)과 화소전극(118)이 교대로 배치되어 있다.

[0063] 여기서, 상기 다수개의 공통전극(108)은 상기 게이트라인(116)에 대해 실질적으로 평행하게 배열된 공통전극 연결라인(108a)에 연결되며, 상기 공통전극 연결라인(108a)은 포토 아크릴을 사이에 두고 상기 데이터라인(117) 상부에 형성된 공통라인(1081)에 연결되게 된다. 그리고, 상기 다수개의 화소전극(118)은 상기 게이트라인(116)에 대해 실질적으로 평행하게 배열된 화소전극라인(1181)에 연결되며, 상기 화소전극라인(1181)의 일부는 상기 게이트라인(116) 상부에서 상기 게이트라인(116)의 일부와 오버랩(overlap)되게 된다.

[0064] 또한, 상기 화소전극라인(1181) 하부에는 상기 게이트라인(116)에 대해 실질적으로 평행한 방향으로 스토리지전극(126)이 형성되어 있으며, 상기 스토리지전극(126)은 제 1 콘택홀(140a)을 통해 상기 화소전극라인(1181)과 전기적으로 접속하게 된다. 이때, 상기 스토리지전극(126)은 그 하부의 게이트라인(116)의 일부와 오버랩되어 스토리지 커패시터(storage capacitor; Cst)를 구성하게 되며, 상기 스토리지 커패시터(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 이러한 스토리지 커패시터는 신호유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.

[0065] 이와 같이 구성된 상기 다수개의 공통전극(108)과 화소전극(118)은 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴(molybdenum; Mo) 합금으로 이루어질 수 있으며, 상기 공통라인(1081)과 화소전극라인(1181)은 저항 감소를 위해 구리(copper; Cu)와 같은 불투명한 도전물질로 이루어질 수 있다.

[0066] 이때, 상기 공통전극(108)과 화소전극(118) 및 공통라인(1081)은 회절마스크를 이용함으로써 동일한 마스크공정을 통해 형성할 수 있는데, 이 경우 회절마스크의 특성상 상기 공통전극(108)과 화소전극(118)의 CD 균일도가 저하될 수 있다. 즉, 고개구율 구조를 구현하기 위해 포토 아크릴(미도시)을 사이에 두고 상기 데이터라인(117) 상부에 상기 공통라인(1081)을 형성할 때, 회절마스크를 이용하여 상기 공통라인(1081)을 상기 공통전극(108) 및 화소전극(118)과 함께 형성하는 경우에는 화소영역의 상기 공통전극(108)과 화소전극(118)의 균일도가 공정 편차에 의해 변동될 수 있으며, 이는 패널의 얼룩 등 불량을 발생시킬 가능성이 있다.

[0067] 참고로, 상기 회절마스크를 이용하는 경우 회절을 위해 투과부에 CrOx나 슬릿을 사용하게 되는데, 상기 CrOx나 슬릿 자체의 균일도가 일반 마스크의 투과부에 비해 낮기 때문에 회절마스크 공정에서 광 투과 균일도가 저하되

게 된다.

[0068] 이에 따라 본 발명에서는 상기 공통전극(108)과 화소전극(118) 및 공통라인(1081)을 동일한 마스크공정을 통해 형성하는 과정에서 부분 회절마스크와 리프트 오프를 이용하거나 감광막패턴의 두께를 두껍게 하여 상기 공통전극(108)과 화소전극(118)을 패터닝함으로써 상기 공통전극(108)과 화소전극(118)의 CD 균일도를 개선할 수 있게 되는 것을 특징으로 한다.

[0069] 또한, 전술한 바와 같이 상기 본 발명의 실시예에 따른 횡전계방식 액정표시장치는 포토 아크릴을 사이에 두고 상기 데이터라인(117) 상부에 공통라인(1081)을 형성함으로써 고개구율을 구현하는 한편, 저저항 도전물질로 상기 공통라인(1081)을 형성함에 따라 화질을 향상시킬 수 있게 되는데, 이를 다음의 횡전계방식 액정표시장치의 제조방법을 통해 상세히 설명한다.

[0070] 도 5a 내지 도 5d는 상기 도 4에 도시된 어레이 기판의 A-A'선에 따른 제조공정을 순차적으로 나타내는 단면도로써, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 나타내며 우측에는 게이트패드부의 어레이 기판을 제조하는 공정을 예를 들어 나타내고 있다.

[0071] 도 5a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121)과 게이트라인(미도시)을 형성하며, 상기 어레이 기판(110)의 게이트패드부에 게이트패드전극(116p)을 형성한다.

[0072] 이때, 상기 게이트전극(121)과 게이트라인 및 게이트패드전극(116p)은 제 1 도전막을 상기 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.

[0073] 여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.

[0074] 다음으로, 도 5b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인 및 게이트패드전극(116p)이 형성된 어레이 기판(110) 전면에 제 1 절연막(115a)과 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.

[0075] 이후, 포토리소그래피공정(제 2 마스크공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 상기 게이트전극(121) 위에 상기 제 1 절연막(115a)이 개재된 상태에서 상기 비정질 실리콘 박막으로 이루어진 액티브층(124)을 형성하는 한편, 상기 액티브층(124) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성하게 된다.

[0076] 이때, 상기 제 2 마스크공정을 통해 상기 어레이 기판(110)의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(117)을 형성하는 동시에 상기 어레이 기판(110)의 데이터패드부에 상기 제 2 도전막으로 이루어진 데이터패드라인(미도시)을 형성하게 된다.

[0077] 또한, 도면에는 도시하지 않았지만, 상기 제 2 마스크공정을 통해 상기 게이트라인 상부에 상기 게이트라인에 대해 실질적으로 평행한 방향으로 스토리지전극(미도시)을 형성하게 된다.

[0078] 이때, 상기 액티브층(124) 상부에는 각각 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브층(124)의 소오스/드레인영역과 상기 소오스/드레인전극(122, 123) 사이를 오믹-콘택시키는 오믹-콘택층(125n)이 형성되게 된다.

[0079] 또한, 상기 데이터라인(117) 하부에는 각각 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 상기 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(120')과 제 2 n+ 비정질 실리콘 박막패턴(125")이 형성되게 된다.

[0080] 여기서, 본 발명의 실시예에 따른 상기 액티브층(124)과 소오스/드레인전극(122, 123) 및 데이터라인(117)은 회절마스크를 이용함으로써 한번의 마스크공정(제 2 마스크공정)을 통해 동시에 형성할 수 있게 되는데, 이를 다음의 도면을 참조하여 상세히 설명한다.

[0081] 도 6a 내지 도 6f는 상기 도 5b에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 제 2 마스크공정을 구체적으로 나타내는 단면도이다.

[0082] 도 6a에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인 및 게이트패드전극(116p)이 형성된 어레이 기판(110) 전면에 제 1 절연막(115a), 비정질 실리콘 박막(120), n+ 비정질 실리콘 박막(125) 및 제 2 도전막(130)을 형성한다.

[0083] 이때, 상기 제 2 도전막(130)은 소오스전극과 드레인전극 및 데이터라인을 구성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다. 또한, 상기 제 2 도전막(130)은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.

[0084] 그리고, 도 6b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 포토레지스트와 같은 감광성물질로 이루어진 제 1 감광막(170)을 형성한 후, 본 발명의 실시예에 따른 회절마스크(180)를 통해 상기 제 1 감광막(170)에 선택적으로 광을 조사한다.

[0085] 이때, 상기 회절마스크(180)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 회절마스크(180)를 투과한 광만이 상기 제 1 감광막(170)에 조사되게 된다.

[0086] 이어서, 상기 회절마스크(180)를 통해 노광된 상기 제 1 감광막(170)을 현상하고 나면, 도 6c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 1 감광막이 완전히 제거되어 상기 제 2 도전막(130) 표면이 노출되게 된다.

[0087] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(170a) 내지 제 3 감광막패턴(170c)은 제 2 투과영역(II)을 통해 형성된 제 4 감광막패턴(170d)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 상기 제 1 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.

[0088] 다음으로, 도 6d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)을 마스크로 하여, 그 하부에 형성된 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거하게 되면, 상기 게이트전극(121) 상부에 상기 제 1 절연막(115a)이 개재된 상태에서 상기 비정질 실리콘 박막으로 이루어진 액티브층(124)이 형성되는 한편, 게이트패드부에 상기 제 2 도전막으로 이루어진 데이터패드라인(미도시)이 형성되게 된다.

[0089] 또한, 상기 어레이 기판(110)의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(117)이 형성되는 동시에 상기 게이트라인 상부에 상기 게이트라인에 대해 실질적으로 평행한 방향으로 상기 제 2 도전막으로 이루어진 스토리지전극이 형성되게 된다.

[0090] 이때, 상기 액티브층(124) 상부에는 각각 상기 n+ 비정질 실리콘 박막과 제 2 도전막으로 이루어지며 상기 액티브층(124)과 실질적으로 동일한 형태로 패터닝된 제 1 n+ 비정질 실리콘 박막패턴(125')과 제 2 도전막패턴(130')이 형성되게 된다.

[0091] 또한, 상기 데이터라인(117) 하부에는 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 상기 데이터라인(117)과 실질적으로 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(120')과 제 2 n+ 비정질 실리콘 박막패턴(125")이 형성되게 된다.

[0092] 이후, 상기 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)의 일부를 제거하는 애싱(ahing)공정을 진행하게 되면, 도 6e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 4 감광막패턴이 완전히 제거되게 된다.

[0093] 이때, 상기 제 1 감광막패턴 내지 제 3 감광막패턴은 상기 제 4 감광막패턴의 두께만큼이 제거된 제 5 감광막패턴(170a') 내지 제 7 감광막패턴(170c')으로 상기 차단영역(III)에 대응하는 소오스/드레인전극영역 및 상기 데이터라인(117) 상부에만 남아있게 된다.

[0094] 이후, 도 6f에 도시된 바와 같이, 상기 남아있는 제 5 감광막패턴(170a') 내지 제 7 감광막패턴(170c')을 마스크로 하여 상기 n+ 비정질 실리콘 박막과 제 2 도전막의 일부를 제거함으로써 상기 액티브층(124) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성한다.

[0095] 이때, 상기 액티브층(124)과 상기 소오스/드레인전극(121, 123) 사이에는 상기 n+ 비정질 실리콘 박막으로 이루어지며, 상기 소오스/드레인전극(121, 123)과 실질적으로 동일한 형태로 패터닝되어 상기 액티브층(124)의 소오스/드레인영역과 상기 소오스/드레인전극(122, 123) 사이를 오믹-콘택시키는 오믹-콘택층(125n)이 형성되게 된

다.

[0096] 이와 같이 본 발명의 실시예는 회절마스크를 이용함으로써 상기 액티브층(124)과 소오스/드레인전극(122, 123) 및 데이터라인(117)을 한번의 마스크공정을 통해 형성할 수 있게 된다.

[0097] 이후, 도 5c에 도시된 바와 같이, 상기 액티브층(124), 소오스/드레인전극(122, 123), 데이터라인(117), 스토리지전극 및 데이터패드라인이 형성된 어레이 기판(110) 전면에 제 2 절연막(115b) 및 제 3 절연막(115c)을 형성한다.

[0098] 이때, 상기 제 2 절연막(115b)은 실리콘질화막(SiNx) 또는 실리콘산화막(SiO_2)과 같은 무기절연막으로 이루어질 수 있으며, 상기 제 3 절연막(115c)은 포토 아크릴과 같은 감광성 유기물질로 이루어질 수 있다.

[0099] 이후, 포토리소그래피공정(제 3 마스크공정)을 통해 상기 제 1 절연막(115a)과 제 2 절연막(115b) 및 제 3 절연막(115c)을 선택적으로 제거하여 상기 화소영역의 어레이 기판(110) 표면을 노출시키는 오픈 홀(H)을 형성하는 한편, 상기 스토리지전극과 게이트패드라인(116p) 및 데이터패드라인의 일부를 각각 노출시키는 제 1 콘택홀(미도시)과 제 2 콘택홀(140b) 및 제 3 콘택홀(미도시)을 형성하게 된다.

[0100] 이때, 소정의 경화(curing)공정을 통해 상기 제 3 절연막(115c)을 경화시킨다.

[0101] 다음으로, 도 5d에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 제 3 도전막과 제 4 도전막을 형성한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 화소영역 내에 상기 제 3 도전막으로 이루어진 다수개의 공통전극(108)과 화소전극(118)을 형성한다.

[0102] 또한, 상기 제 4 마스크공정을 이용하여 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 1 콘택홀을 통해 상기 스토리지전극과 전기적으로 접속하는 한편, 상기 드레인전극(123) 및 화소전극(118)과 전기적으로 접속하는 화소전극라인(1181)을 형성한다.

[0103] 또한, 상기 제 4 마스크공정을 이용하여 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 2 콘택홀(140b) 및 제 3 콘택홀을 통해 각각 상기 게이트패드라인(116p) 및 데이터패드라인과 전기적으로 접속하는 게이트패드전극(126p) 및 데이터패드전극을 형성하게 된다.

[0104] 또한, 상기 제 4 마스크공정을 이용하여 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 포토 아크릴로 이루어진 상기 제 3 절연막(115c)을 사이에 두고 상기 데이터라인(117) 상부에 상기 제 4 도전막으로 이루어진 공통라인(1081)을 형성하게 된다.

[0105] 이때, 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081) 하부에는 상기 제 3 도전막으로 이루어지며 각각 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081)과 실질적으로 동일한 형태로 패터닝된 화소전극라인패턴(1181'), 게이트패드전극패턴(126p'), 데이터패드전극패턴(미도시) 및 공통라인패턴(1081')이 형성되게 된다.

[0106] 여기서, 상기 제 3 도전막은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴 합금을 사용할 수 있으며, 상기 제 4 도전막은 저항 감소를 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 4 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.

[0107] 여기서, 상기 본 발명의 실시예에 따른 상기 제 4 마스크공정은 회절마스크 대신에 감광막 중앙만 부분적으로 빛을 회절시키는 부분 회절마스크를 사용하여 공통전극과 화소전극을 패터닝함으로써 상기 공통전극과 화소전극의 CD 균일도를 향상시킬 수 있게 되는데, 이를 다음의 도면을 참조하여 상세히 설명한다.

[0108] 도 7a 내지 도 7f는 상기 도 5d에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 제 4 마스크공정을 구체적으로 나타내는 단면도이다.

[0109] 도 7a에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 제 3 도전막(150)과 제 4 도전막(160)을 형성한다.

[0110] 이때, 상기 제 3 도전막(150)은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴 합금을 사용할 수 있으며, 상기 제 4 도전막(160)은 저항 감소를 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 4 도전막(160)은 상기 저저항 도전물질이 2가지 이상 적층된 다

층구조로 형성할 수 있다.

[0111] 이후, 도 7b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 포토레지스트와 같은 감광물질로 이루어진 제 2 감광막(270)을 형성한 후, 본 발명의 실시예에 따른 부분 회절마스크(280)를 통해 상기 제 2 감광막(270)에 선택적으로 광을 조사한다.

[0112] 이때, 상기 부분 회절마스크(280)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 부분 회절마스크(280)를 투과한 광만이 상기 제 2 감광막(270)에 조사되게 된다.

[0113] 특히, 상기 본 발명의 실시예에 따른 부분 회절마스크(280)는 형성할 공통전극과 화소전극의 중앙에 부분적으로 빛을 회절시키는 제 2 투과영역(II)을 가지는 것을 특징으로 한다.

[0114] 이어서, 상기 부분 회절마스크(280)를 통해 노광된 상기 제 2 감광막(270)을 현상하고 나면, 도 7c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 2 감광막이 완전히 제거되어 상기 제 4 도전막(160) 표면이 노출되게 된다.

[0115] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(270a) 내지 제 5 감광막패턴(270e)은 제 2 투과영역(II)을 통해 형성된 제 6 감광막패턴(270f)과 제 7 감광막패턴(270g)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 상기 제 2 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.

[0116] 다음으로, 도 7d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)을 마스크로 하여, 그 하부에 형성된 제 3 도전막과 제 4 도전막을 선택적으로 제거하게 되면, 상기 화소영역 내에 상기 제 3 도전막으로 이루어진 다수개의 공통전극(108)과 화소전극(118)이 형성되게 된다.

[0117] 또한, 상기 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 1 콘택홀을 통해 상기 스토리지전극과 전기적으로 접속하는 한편, 상기 드레인전극(123) 및 화소전극(118)과 전기적으로 접속하는 화소전극라인(1181)이 형성되게 된다.

[0118] 또한, 상기 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 2 콘택홀(140b) 및 제 3 콘택홀을 통해 각각 상기 게이트패드라인(116p) 및 데이터패드라인과 전기적으로 접속하는 게이트패드전극(126p) 및 데이터패드전극이 형성되게 된다.

[0119] 또한, 상기 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 포토 아크릴로 이루어진 상기 제 3 절연막(115c)을 사이에 두고 상기 데이터라인(117) 상부에 상기 제 4 도전막으로 이루어진 공통라인(1081)이 형성되게 된다.

[0120] 이때, 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081) 하부에는 상기 제 3 도전막으로 이루어지며 각각 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081)과 실질적으로 동일한 형태로 패터닝된 화소전극라인패턴(1181'), 게이트패드전극패턴(126p'), 데이터패드전극패턴(미도시) 및 공통라인패턴(1081')이 형성되게 된다.

[0121] 또한, 상기 공통전극(108) 및 화소전극(118) 상부에는 상기 제 4 도전막으로 이루어지며 각각 상기 공통전극(108) 및 화소전극(118)과 실질적으로 동일한 형태로 패터닝된 공통전극패턴(108') 및 화소전극패턴(118')이 형성되게 된다.

[0122] 이때, 상기 공통전극(108)과 화소전극(118)의 폭은 회절부분이 아닌 일반 마스크 패턴으로 결정됨에 따라 상기 공통전극(108)과 화소전극(118)의 CD 균일도가 개선될 수 있게 된다.

[0123] 이후, 상기 제 1 감광막패턴(270a) 내지 제 7 감광막패턴(270g)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 7e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 6 감광막패턴과 제 7 감광막패턴이 완전히 제거되게 된다.

[0124] 이때, 상기 제 1 감광막패턴 내지 제 5 감광막패턴은 상기 제 6 감광막패턴과 제 7 감광막패턴의 두께만큼이 제

거된 제 8 감광막패턴(270a') 내지 제 12 감광막패턴(270e')으로 상기 차단영역(III)에 대응하는 소정 영역에만 남아있게 된다.

[0125] 그리고, 상기 제 6 감광막패턴과 제 7 감광막패턴이 제거된 상기 공통전극(108)과 화소전극(118)의 중앙부, 즉 상기 제 2 투과영역(II)은 식각액의 침투경로로 사용됨에 따라, 도 7f에 도시된 바와 같이, 상기 제 10 감광막패턴 및 제 11 감광막패턴의 리프트 오프가 가능하게 되어 제 4 도전막의 선택적 식각을 통해 상기 공통전극(108)과 화소전극(118) 상부의 상기 공통전극패턴과 화소전극패턴을 제거할 수 있게 된다.

[0126] 한편, 상기의 부분 회절마스크 대신에 감광막패턴의 두께를 두껍게 형성함으로써 애싱공정을 통해 화소영역의 공통전극과 화소전극 상부의 감광막패턴만 선택적으로 제거할 수 있게 되는데, 이를 다음의 도면을 참조하여 상세히 설명한다.

[0127] 도 8a 내지 도 8f는 상기 도 5d에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 다른 제 4 마스크공정을 구체적으로 나타내는 단면도이다.

[0128] 도 8a에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 제 3 도전막(150)과 제 4 도전막(160)을 형성한다.

[0129] 이때, 상기 제 3 도전막(150)은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질 또는 반사 감소를 위해 MoTi과 같은 몰리브덴 합금을 사용할 수 있으며, 상기 제 4 도전막(160)은 저항 감소를 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 4 도전막(160)은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.

[0130] 이후, 도 8b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 포토레지스트와 같은 감광물질로 이루어진 제 3 감광막(370)을 형성한 후, 본 발명의 실시예에 따른 마스크(380)를 통해 상기 제 3 감광막(370)에 선택적으로 광을 조사한다.

[0131] 이때, 상기 마스크(380)에는 조사된 광을 모두 투과시키는 투과영역(I)과 조사된 모든 광을 차단하는 차단영역(II)이 마련되어 있으며, 특히 상기 제 3 감광막(370)은 형성할 공통전극과 화소전극의 선폭(3 ~ 4㎛)보다 두꺼운 두께(~ 10㎛)를 가지도록 형성하는 것을 특징으로 한다.

[0132] 이어서, 상기 마스크(380)를 통해 노광된 상기 제 3 감광막(370)을 현상하고 나면, 도 8c에 도시된 바와 같이, 상기 차단영역(II)을 통해 광이 모두 차단된 영역에는 소정 두께의 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 상기 제 3 감광막이 완전히 제거되어 상기 제 4 도전막(160) 표면이 노출되게 된다.

[0133] 다음으로, 도 8d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)을 마스크로 하여, 그 하부에 형성된 제 3 도전막과 제 4 도전막을 선택적으로 제거하게 되면, 상기 화소영역 내에 상기 제 3 도전막으로 이루어진 다수개의 공통전극(108)과 화소전극(118)이 형성되게 된다.

[0134] 또한, 상기 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 1 콘택홀을 통해 상기 스토리지전극과 전기적으로 접속하는 한편, 상기 드레인전극(123) 및 화소전극(118)과 전기적으로 접속하는 화소전극라인(1181)이 형성되게 된다.

[0135] 또한, 상기 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 상기 제 4 도전막으로 이루어지며 상기 제 2 콘택홀(140b) 및 제 3 콘택홀을 통해 각각 상기 게이트패드라인(116p) 및 데이터패드라인과 전기적으로 접속하는 게이트패드전극(126p) 및 데이터패드전극이 형성되게 된다.

[0136] 또한, 상기 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)을 마스크로 상기 제 3 도전막과 제 4 도전막을 선택적으로 패터닝함으로써 포토 아크릴로 이루어진 상기 제 3 절연막(115c)을 사이에 두고 상기 데이터라인(117) 상부에 상기 제 4 도전막으로 이루어진 공통라인(1081)이 형성되게 된다.

[0137] 이때, 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081) 하부에는 상기 제 3 도전막으로 이루어지며 각각 상기 화소전극라인(1181), 게이트패드전극(126p), 데이터패드전극 및 공통라인(1081)과 실질적으로 동일한 형태로 패터닝된 화소전극라인패턴(1181'), 게이트패드전극패턴(126p'), 데이터패드전극패턴(미도시) 및 공통라인패턴(1081')이 형성되게 된다.

[0138] 또한, 상기 공통전극(108) 및 화소전극(118) 상부에는 상기 제 4 도전막으로 이루어지며 각각 상기 공통전극(108) 및 화소전극(118)과 실질적으로 동일한 형태로 패터닝된 공통전극패턴(108') 및 화소전극패턴(118')이 형성되게 된다.

[0139] 이후, 상기 제 1 감광막패턴(370a) 내지 제 5 감광막패턴(370e)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 8e에 도시된 바와 같이, 상기 공통전극패턴(108') 및 화소전극패턴(118') 상부의 제 3 감광막패턴과 제 4 감광막패턴이 완전히 제거되게 된다.

[0140] 이와 같이 상기 제 3 감광막의 두께를 두껍게하고 상기 애싱공정의 시간을 길게 가져가면, 화소영역의 공통전극(108)과 화소전극(118) 상부의 제 3 감광막패턴과 제 4 감광막패턴의 선폭(3 ~ 4㎛)이 다른 영역의 제 1 감광막패턴과 제 2 감광막패턴 및 제 5 감광막패턴보다 매우 좁기 때문에 상기 제 3 감광막패턴과 제 4 감광막패턴만 선택적으로 제거되게 된다.

[0141] 이때, 상기 제 1 감광막패턴과 제 2 감광막패턴 및 제 5 감광막패턴은 그 일부가 제거된 제 6 감광막패턴(370a')과 제 7 감광막패턴(370b') 및 제 8 감광막패턴(370e')으로 소정 영역에만 남아있게 된다.

[0142] 다음으로, 도 8f에 도시된 바와 같이, 상기 제 6 감광막패턴(370a')과 제 7 감광막패턴(370b') 및 제 8 감광막패턴(370e')을 마스크로 상기 공통전극(108)과 화소전극(118) 상부의 상기 공통전극패턴과 화소전극패턴을 제거하게 된다.

[0143] 이와 같이 상기 다른 제 4 마스크공정은 회절마스크 대신에 일반적인 마스크를 사용하기 때문에 공통전극과 화소전극의 CD 균일도가 향상되는 한편, 회절마스크를 사용하지 않아 제조비용을 절감시킬 수 있는 이점이 있다.

[0144] 이와 같이 구성된 상기 본 발명의 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.

[0145] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.

[0146] 전술한 바와 같이 상기 본 발명의 실시예는 액티브층으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 액티브층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

[0147] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

[0148] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

도면의 간단한 설명

[0149] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.

[0150] 도 2는 일반적인 횡전계방식 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

[0151] 도 3a 내지 도 3e는 상기 도 2에 도시된 어레이 기판의 II-II'선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0152] 도 4는 본 발명의 실시예에 따른 횡전계방식 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도.

[0153] 도 5a 내지 도 5d는 상기 도 4에 도시된 어레이 기판의 A-A'선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0154] 도 6a 내지 도 6f는 상기 도 5b에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 제 2 마스크공정을 구체적으로 나타내는 단면도.

[0155] 도 7a 내지 도 7f는 상기 도 5d에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 제 4 마스크공정을

구체적으로 나타내는 단면도.

[0156] 도 8a 내지 도 8f는 상기 도 5d에 도시된 어레이 기판에 있어서, 본 발명의 실시예에 따른 다른 제 4 마스크공정을 구체적으로 나타내는 단면도.

[0157] ** 도면의 주요부분에 대한 부호의 설명 **

[0158] 108 : 공통전극 1081 : 공통라인

[0159] 110 : 어레이 기판 116 : 게이트라인

[0160] 117 : 데이터라인 118 : 화소전극

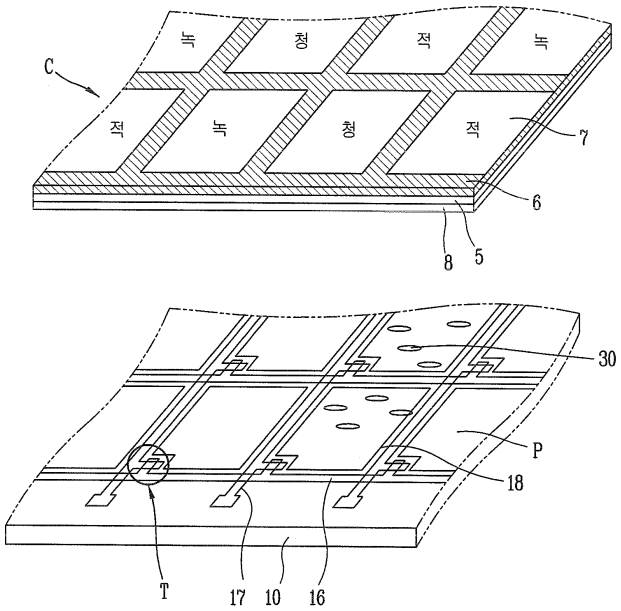
[0161] 1181 : 화소전극라인 121 : 게이트전극

[0162] 122 : 소오스전극 123 : 드레인전극

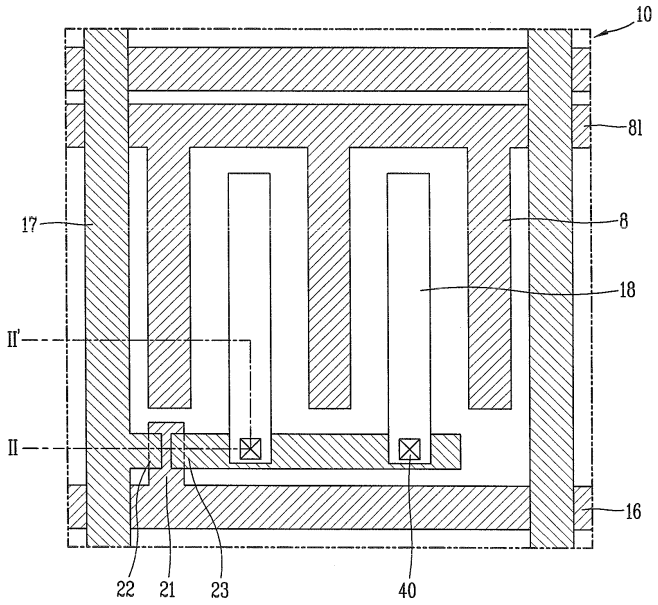
[0163] 124 : 액티브층 126 : 스토리지전극

도면

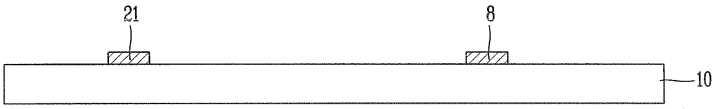
도면1



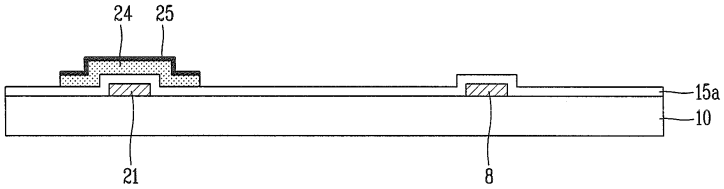
도면2



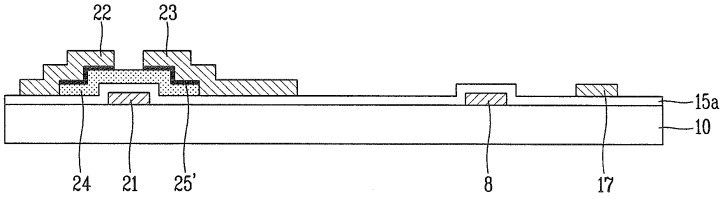
도면3a



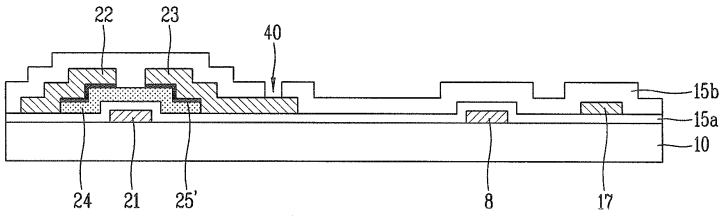
도면3b



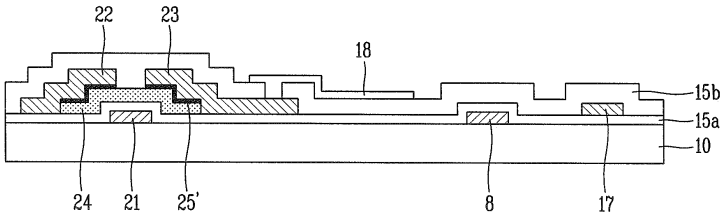
도면3c



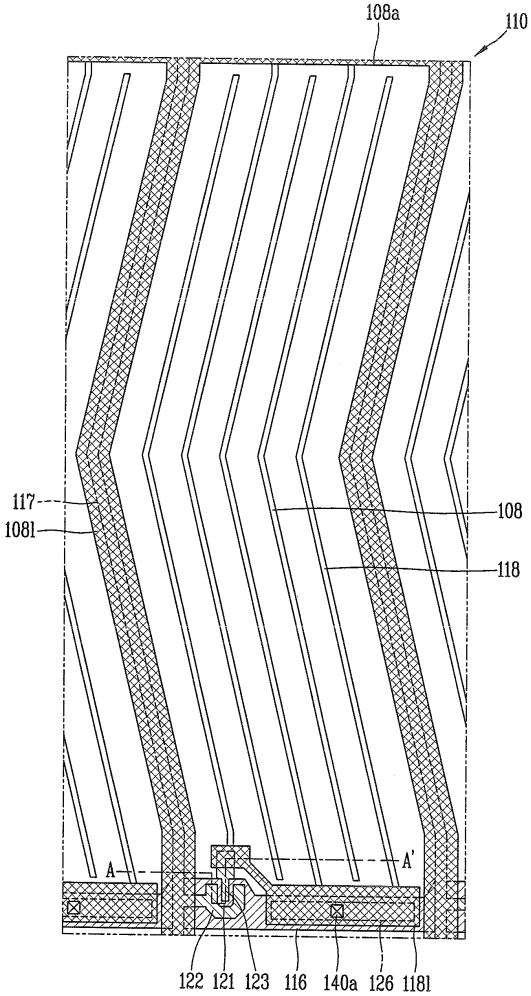
도면3d



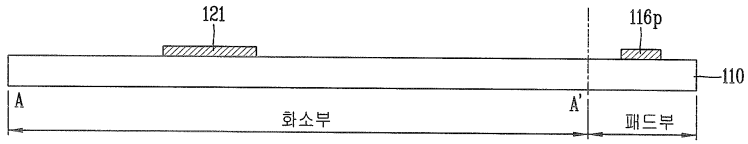
도면3e



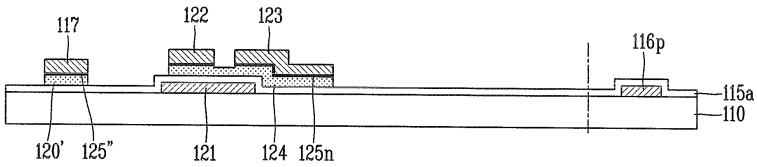
도면4



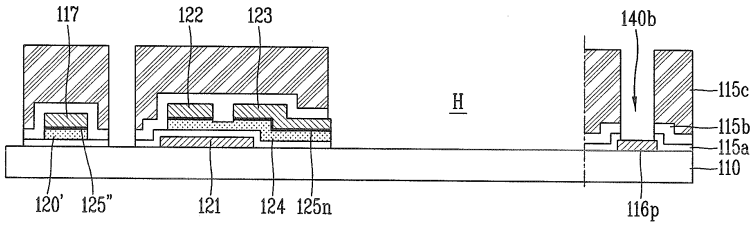
도면5a



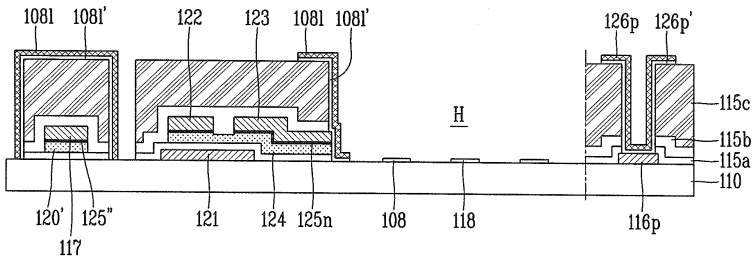
도면5b



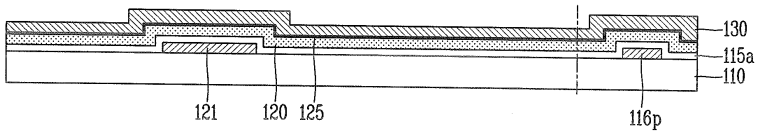
도면5c



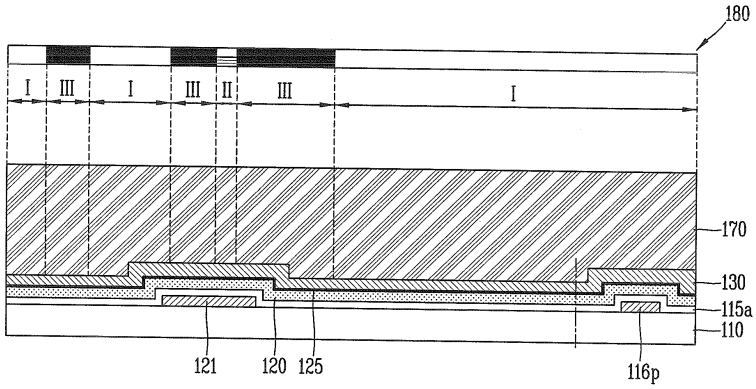
도면5d



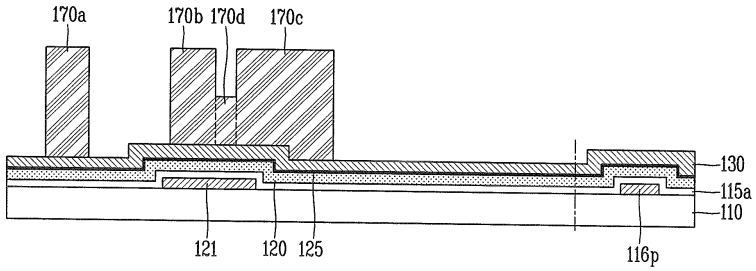
도면6a



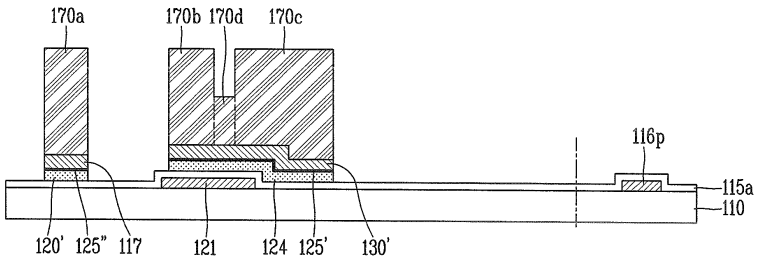
도면6b



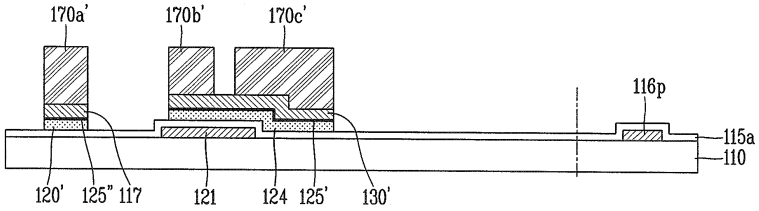
도면6c



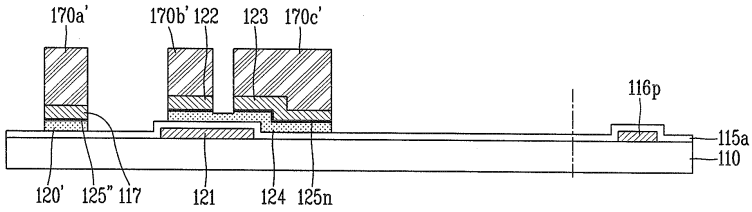
도면6d



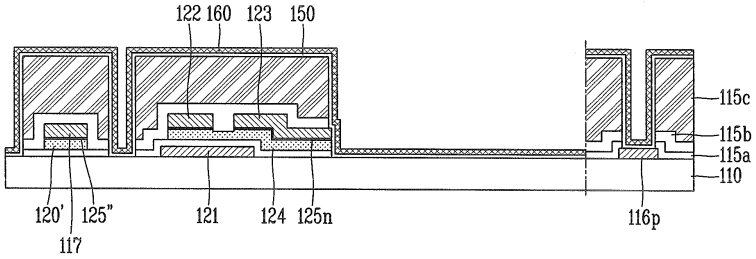
도면6e



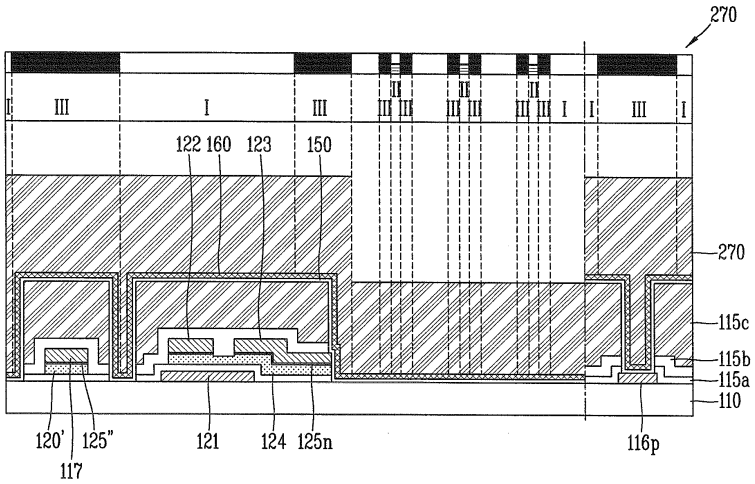
도면6f



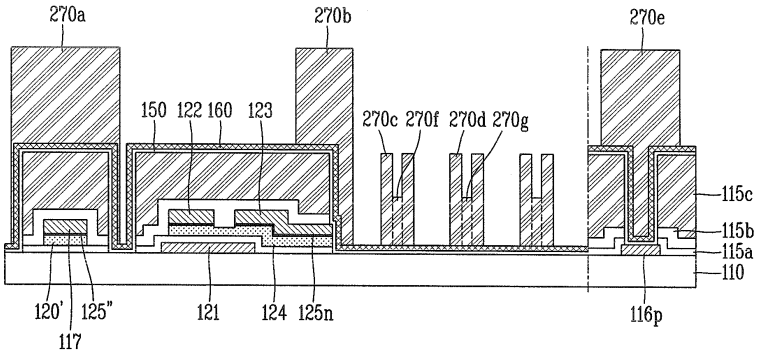
도면7a



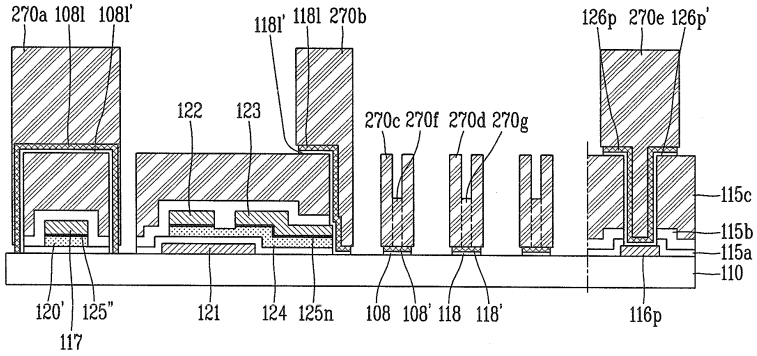
도면7b



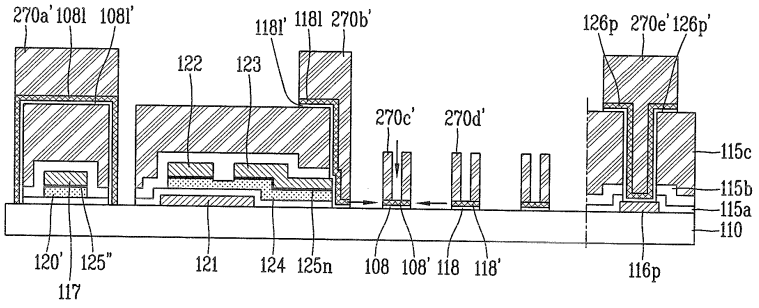
도면7c



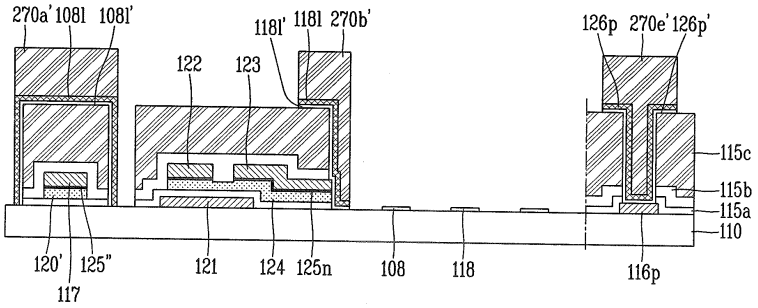
도면7d



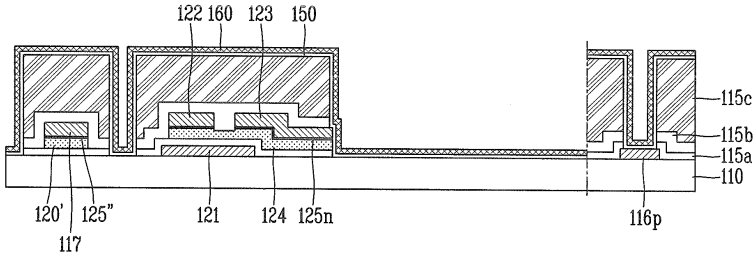
도면7e



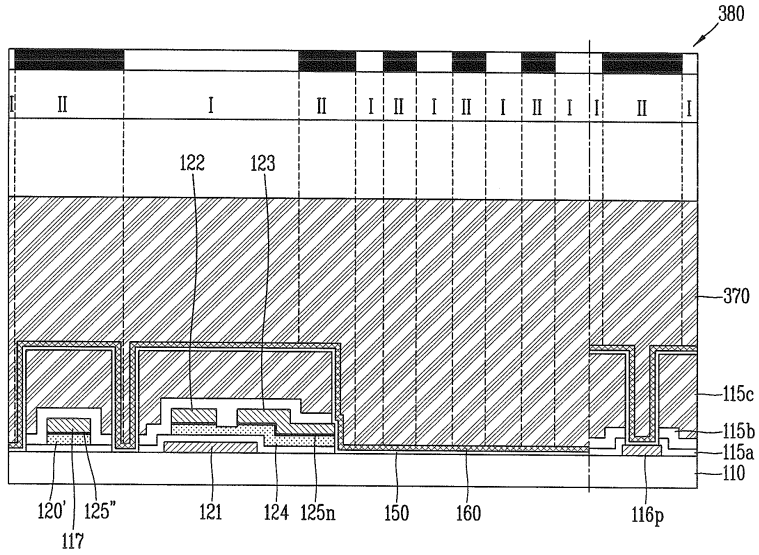
도면7f



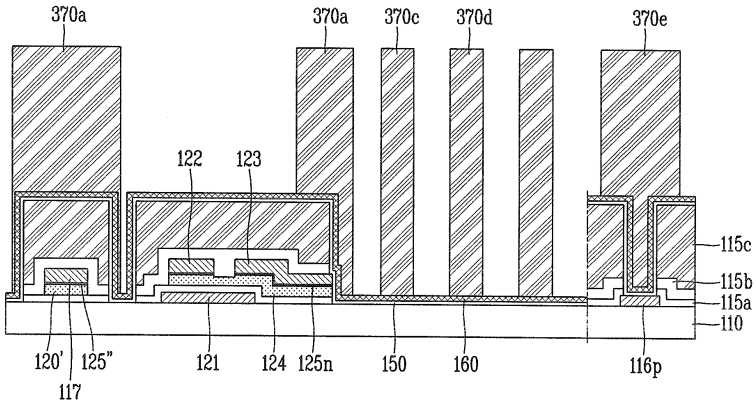
도면8a



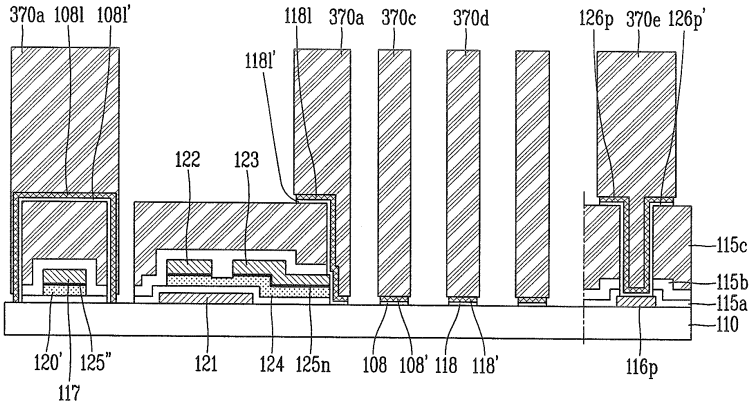
도면8b



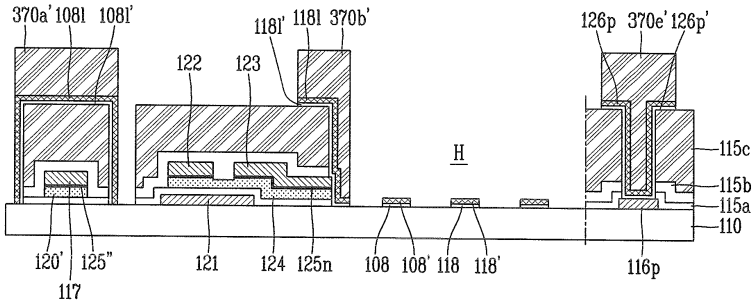
도면8c



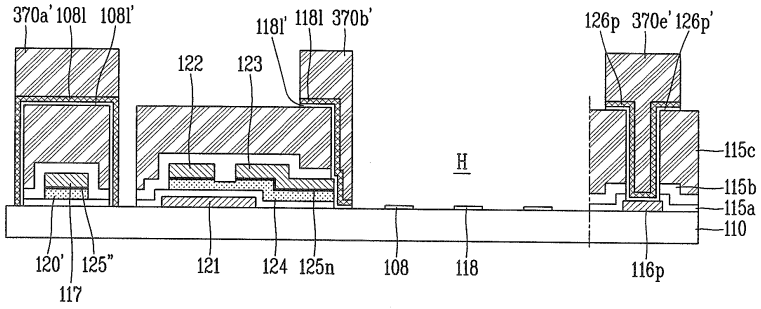
도면8d



도면8e

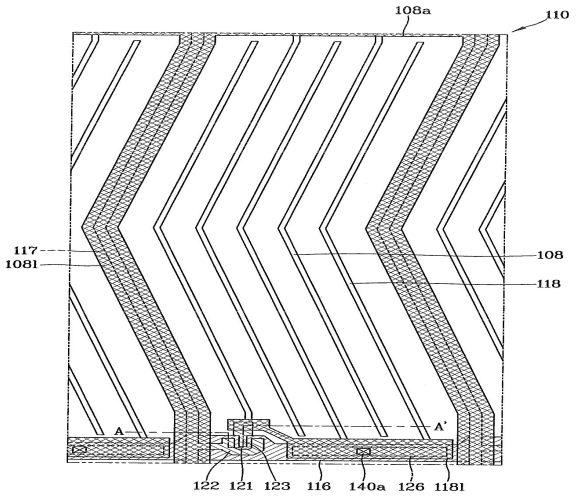


도면8f


370a'
1081
1081'
1181'
1181
370b'
126p
370e'
126p'
122
123
H
115c
115b
115a
110
120'
125"
117
121
124
125n
108
118
116p

专利名称(译)	横向电场型液晶显示装置的制造方法		
公开(公告)号	KR1020110077255A	公开(公告)日	2011-07-07
申请号	KR1020090133768	申请日	2009-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KANG IL 김강일 KIM JEONG OH 김정오 BEAK JUNG SUN 백정선 KIM YONG IL 김용일		
发明人	김강일 김정오 백정선 김용일		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/134363 G02F2001/136231		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

用途：提供一种面内切换模式液晶显示装置的制造方法，以提高液晶显示面板的开口率。组成：面内切换模式液晶显示设备的制造方法包括如下。第一步是提供第一基板，其区分为像素单元，数据焊盘单元和栅极焊盘单元。第二步是通过第一掩模工艺形成栅电极和栅线，该栅电极包括第一导电膜到第一衬底的像素单元。第三步是在第一基板上形成第一绝缘膜。第四步是形成数据线（117），其通过交换源/漏电极和电连接到有源层的源/漏区的栅线来限定像素区域。第五步是从第一基板上的第二绝缘膜（115b）。第六步是在第二绝缘膜上形成具有光敏有机材料如光丙烯酸的第三绝缘膜。通过凝固工艺硬化第三绝缘薄膜的第七步.

COPYRIGHT KIPO 2011