



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0015929
(43) 공개일자 2011년02월17일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/1345 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0073384

(22) 출원일자 2009년08월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

정영민

경기 과천시 검산동 성원아파트 101동 1204호

문홍만

경북 구미시 구평동 부영아파트 706-1302

(74) 대리인

특허법인로알

전체 청구항 수 : 총 7 항

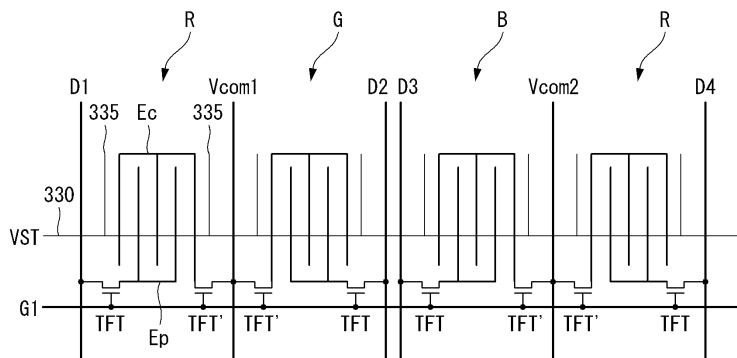
(54) 액정표시장치

(57) 요약

본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 유닛과 제2 유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일정기간을 주기로 서로 반대 방향으로 스윙되는 제1 공통전압과 제2 공통전압을 발생하는 공통전압 발생부; 다수의 제1 입력부들을 통해 입력되는 상기 제1 공통전압을 상기 제1 유닛들에 형성된 제1 공통전극들에 각각 공급하는 다수의 제1 세로 공통라인들; 및 다수의 제2 입력부들을 통해 입력되는 상기 제2 공통전압을 상기 제2 유닛들에 형성된 제2 공통전극들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고; 상기 제1 세로 공통라인은 상기 제1 공통전극들 중 적어도 어느 하나와 제1 TFT를 통해 접속되고; 상기 제2 세로 공통라인은 상기 제2 공통전극들 중 적어도 어느 하나와 제2 TFT를 통해 접속된다.

대표도 - 도9



특허청구의 범위

청구항 1

표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 유닛과 제2 유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

일정기간을 주기로 서로 반대 방향으로 스윙되는 제1 공통전압과 제2 공통전압을 발생하는 공통전압 발생부;

다수의 제1 입력부들을 통해 입력되는 상기 제1 공통전압을 상기 제1 유닛들에 형성된 제1 공통전극들에 각각 공급하는 다수의 제1 세로 공통라인들; 및

다수의 제2 입력부들을 통해 입력되는 상기 제2 공통전압을 상기 제2 유닛들에 형성된 제2 공통전극들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고;

상기 제1 세로 공통라인은 상기 제1 공통전극들 중 적어도 어느 하나와 제1 TFT를 통해 접속되고;

상기 제2 세로 공통라인은 상기 제2 공통전극들 중 적어도 어느 하나와 제2 TFT를 통해 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 공통전극들 중 상기 제1 TFT와 직접 접속되지 않는 공통전극들은 상기 제1 TFT에 직접 접속된 공통전극에 전기적으로 연결되고;

상기 제2 공통전극들 중 상기 제2 TFT와 직접 접속되지 않는 공통전극들은 상기 제2 TFT에 직접 접속된 공통전극에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 및 제2 세로 공통라인들은 상기 데이터라인들과 나란한 방향으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 표시영역 밖의 비표시영역에 형성되고 상기 제1 입력부들과 상기 제1 세로 공통라인들을 전기적으로 접속시키는 제1 테두리 공통라인; 및

상기 제1 테두리 공통라인과는 독립적으로 상기 비표시영역에 형성되고 상기 제2 입력부들과 상기 제2 세로 공통라인들을 전기적으로 접속시키는 제2 테두리 공통라인을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 데이터라인들을 구동하기 위한 데이터 드라이브 IC가 각각 실장되는 다수의 소스 TCP들을 더 구비하고;

상기 제1 입력부들은 상기 소스 TCP들의 일측 더미 채널들을 포함하고;

상기 제2 입력부들은 상기 소스 TCP들의 타측 더미 채널들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 테두리 공통라인들은 상기 게이트라인들과 동일 금속패턴으로 형성되고;

상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 액정셀들에는 상기 제1 및 제2 세로 공통라인과 직교하고 일정 레벨의 전압이 공급되는 스토리지 라인과;

상기 액정셀들의 외곽 영역에서 상기 스토리지 라인으로부터 상기 데이터라인들 또는 상기 제1 및 제2 세로 공통라인을 따라 연장되는 쉘트 패턴을 더 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 공통전압의 왜곡을 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 이러한 액정표시장치에서, 화소전극에는 데이터전압이 인가되고 그 화소전극과 대향하는 공통전극에는 공통전압이 인가된다. 공통전극들은 공통라인에 병렬 접속된다. 액정셀들은 화소전극과 공통전극에 인가되는 전압에 의해 구동된다.

[0004] 그런데 공통전압은 공통라인의 구조에 따른 라인저항 또는 면내 편차로 인하여 왜곡되기 쉽다. 예컨대, 공통라인이 수평라인 수(수직 해상도)만큼 형성되고 그 공통라인이 게이트라인과 나란한 방향으로 형성되는 액정표시장치는 스캔펄스에 의해 1 수평라인의 화소들에 동시에 데이터전압이 인가되므로 그 화소들에 대향하는 공통라인의 로드(Load)가 커질 수 밖에 없다. 공통라인의 로드는 공통라인의 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이(Delay) 량에 의존하므로, RC 딜레이(Delay) 량을 줄이기 위해서는 공통라인의 라인저항을 줄일 필요가 있다. 그러나, 종래 액정표시장치는 도 1과 같이 단지 두 군데의 입력 소스를 통해 공통전압(Vcom)을 공급받는 공통라인의 구조를 취하므로 라인저항을 줄이는데 한계가 있다. 그 결과 종래 액정표시장치에서 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 도 2a와 같이 스캔펄스(SP) 또는 데이터전압(Vdat)에 영향받아 출렁이게 된다. 이러한 공통전압(Vcom)의 리플(Ripple) 현상은 도 3a와 같이 특정 데이터패턴이 표시될 때 수평 크로스토크(Crosstalk)를 유발하는 주 요인이 된다.

[0005] 또한, 종래 액정표시장치에서는 도 1과 같은 공통라인의 구조로 인해 패널의 좌우측 영역으로부터 패널의 중간 영역으로 갈수록 라인저항이 증가되므로, 도 2b와 같은 공통전압(Vcom)의 면내 편차가 야기된다. 이러한 공통전압(Vcom)의 면내 편차는 도 3b와 같은 상하 휘도차 및 플리커(Flicker)를 유발할 뿐만 아니라, 패널 내에 DC 성분을 축적시켜 잔상등을 유발한다. 공통라인의 저항을 줄이기 위하여, 대부분의 액정표시장치에서는 패널의 가장자리 즉, 화소 어레이의 밖의 비표시영역에 형성된 공통라인의 선폭을 넓게 하고 있지만 그 비표시영역의 면적도 한계가 있어 공통라인의 저항을 줄이기가 어렵고 공통라인의 위치에 따라 저항 편차가 비교적 크다.

[0006] 또한, 종래 액정표시장치에서는 직류 레벨의 공통전압을 이용하기 때문에 인버전 구동시 데이터 드라이버 IC에 입력되는 고전위 전원전압의 1/2 까지만 액정 구동전압으로 사용할 수 있다. 다시 말해, 데이터 드라이버 IC는 항상 액정 구동전압의 2배 이상의 출력 전압을 필요로 한다. 이로 인해, 종래 액정표시장치는 데이터 드라이버 IC의 구동전압 마진을 확보하기 어려우며, 데이터 드라이버 IC에서 소비되는 전력을 줄이기 어렵다.

발명의 내용

해결 하고자하는 과제

[0007] 따라서, 본 발명의 목적은 공통전압의 왜곡을 줄임과 아울러, 데이터 드라이버 IC에서 소비되는 전력을 줄일 수

있도록 한 액정표시장치를 제공하는데 있다.

과제 해결수단

- [0008] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 표시영역 내에서 하나 이상의 액정셀들로 각각 구성된 제1 유닛과 제2 유닛이 다수 배치되고 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 일정기간을 주기로 서로 반대 방향으로 스윙되는 제1 공통전압과 제2 공통전압을 발생하는 공통전압 발생부; 다수의 제1 입력부들을 통해 입력되는 상기 제1 공통전압을 상기 제1 유닛들에 형성된 제1 공통전극들에 각각 공급하는 다수의 제1 세로 공통라인들; 및 다수의 제2 입력부들을 통해 입력되는 상기 제2 공통전압을 상기 제2 유닛들에 형성된 제2 공통전극들에 각각 공급하는 다수의 제2 세로 공통라인들을 구비하고; 상기 제1 세로 공통라인은 상기 제1 공통전극들 중 적어도 어느 하나와 제1 TFT를 통해 접속되고; 상기 제2 세로 공통라인은 상기 제2 공통전극들 중 적어도 어느 하나와 제2 TFT를 통해 접속된다.
- [0009] 상기 제1 공통전극들 중 상기 제1 TFT와 직접 접속되지 않는 공통전극들은 상기 제1 TFT에 직접 접속된 공통전극에 전기적으로 연결되고; 상기 제2 공통전극들 중 상기 제2 TFT와 직접 접속되지 않는 공통전극들은 상기 제2 TFT에 직접 접속된 공통전극에 전기적으로 연결된다.
- [0010] 상기 제1 및 제2 세로 공통라인들은 상기 데이터라인들과 나란한 방향으로 형성된다.
- [0011] 이 액정표시장치는 상기 표시영역 밖의 비표시영역에 형성되고 상기 제1 입력부들과 상기 제1 세로 공통라인들을 전기적으로 접속시키는 제1 테두리 공통라인; 및 상기 제1 테두리 공통라인과는 독립적으로 상기 비표시영역에 형성되고 상기 제2 입력부들과 상기 제2 세로 공통라인들을 전기적으로 접속시키는 제2 테두리 공통라인을 더 구비한다.
- [0012] 이 액정표시장치는 상기 데이터라인들을 구동하기 위한 데이터 드라이브 IC가 각각 실장되는 다수의 소스 TCP들을 더 구비하고; 상기 제1 입력부들은 상기 소스 TCP들의 일측 더미 채널들을 포함하고; 상기 제2 입력부들은 상기 소스 TCP들의 타측 더미 채널들을 포함한다.
- [0013] 상기 테두리 공통라인들은 상기 게이트라인들과 동일 금속패턴으로 형성되고; 상기 세로 공통라인들은 상기 데이터라인들과 동일 금속패턴으로 형성된다.
- [0014] 이 액정표시장치는 상기 액정셀들에는 상기 제1 및 제2 세로 공통라인과 직교하고 일정 레벨의 전압이 공급되는 스토리지 라인과; 상기 액정셀들의 외곽 영역에서 상기 스토리지 라인으로부터 상기 데이터라인들 또는 상기 제1 및 제2 세로 공통라인을 따라 연장되는 쉘트 패턴을 더 구비한다.

효과

- [0015] 본 발명에 따른 액정표시장치는 공통라인의 배치를 최적화함과 아울러, TFT를 이용하여 데이터전압과 공통전압을 동시에 스위칭시킴으로써, 공통전압의 왜곡을 획기적으로 줄일 수 있다.
- [0016] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 안정화될 수 있는 환경하에서 공통전압을 스위칭함으로써, 화질 저하를 초래하지 않으면서 소비전력 감소, 응답속도 향상, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소, 액정 구동마진 증가, 데이터 드라이브 IC의 발열 감소 등의 여러가지 탁월한 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0017] 이하, 도 4 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0018] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다.
- [0019] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13), 및 공통전압 발생부(14)를 구비한다.
- [0020] 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 이 액정표시패널(10)은 다수의 데이터라인들

(DL)과 다수의 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 다수의 액정셀들을 포함한다.

- [0021] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(DL), 게이트라인들(GL), TFT들, TFT에 접속되어 화소전극들과 공통전극 사이의 전계에 의해 구동되는 액정셀, 및 스토리지 커패시터등이 형성된다. 공통라인은 서로 전기적으로 분리되는 제1 공통라인과 제2 공통라인을 포함한다. 제1 및 제2 공통라인에는 각각 일정 기간을 주기로 서로 반대 방향으로 스윙되는 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)이 공급된다. 제1 공통라인은 하부 유리기관의 가장자리(비표시영역)에 게이트라인들(GL)과 나란한 방향으로 형성되는 제1 테두리 공통라인과, 데이터라인들(DL)과 나란한 방향으로 형성되어 제1 테두리 공통라인에 각각 연결되는 제1 세로 공통라인들을 포함한다. 제2 공통라인은 하부 유리기관의 가장자리에 게이트라인들(GL)과 나란한 방향으로 형성되는 제2 테두리 공통라인과, 데이터라인들(DL)과 나란한 방향으로 형성되어 제2 테두리 공통라인에 각각 연결되는 제2 세로 공통라인들을 포함한다. 제1 및 제2 공통라인은 공통전압 발생부(14)의 출력단에 전기적으로 접속되고 공통전극들은 제1 및 제2 공통라인에 연결된다.
- [0022] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기관 상에 형성된다.
- [0023] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0024] 타이밍 콘트롤러(11)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트클럭신호(DCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 데이터 제어신호(DDC)에는 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 게이트 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다.
- [0025] 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 데이터 드라이브 IC들 각각은 타이밍 콘트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한 후에, 아날로그 정극성/부극성 데이터전압으로 변환하여 데이터라인들(DL)에 공급한다. 데이터 드라이브 IC들 각각은 소스 PCB(Printed Circuit Board)와 액정표시패널(10)을 전기적으로 연결하는 소스 TCP(Tape Carrier Package)에 실장된다. 소스 TCP는 소스 COF(Chip On Film)로 대체될 수 있다. 소스 TCP는 다수의 유효 채널들을 이용하여 데이터 드라이브 IC와 데이터라인들(DL)을 연결시키며, 유효 채널들 양측의 더미 채널을 이용하여 공통전압 발생부(14)와 공통라인을 연결시킨다.
- [0026] 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함한다. 게이트 드라이브 IC들은 타이밍 콘트롤러(11)의 제어 하에 스캔펄스를 게이트라인들(GL)에 공급한다.
- [0027] 공통전압 발생부(14)는 전압 레벨이 다른 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)을 발생시킨다. 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)은 두 개의 전압 레벨들(H,L) 사이에서 일정기간을 주기로 서로 반대 방향으로 스윙된다. 예컨대, 도 5와 같이 제1 공통전압(Vcom1)이 k(k는 자연수) 수평기간(kH)을 주기로 업/다운 된다면, 이에 동기하여 제2 공통전압(Vcom2)은 k 수평기간(kH)을 주기로 다운/업 된다. 그리고, 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)의 레벨은 프레임 단위로 반전된다. 액정셀의 전위는 공통전압 대비 데이터전압의 높낮이로 결정되므로, 높은 전압 레벨의 공통전압이 인가되는 액정셀은 부극성으로 충전되고, 낮은 전압 레벨의 공통전압이 인가되는 액정셀은 정극성으로 충전된다. 이에 따라, 인버전 구동을 위한 데이터전압의 스윙폭은 공통전압을 일정한 레벨로 공급할 때에 비해 50% 이상 줄어든다. 데이터전압의 스윙폭이 감소되면, 그만큼 데이터 드라이브 IC에서 소비되는 전력이 줄어들게 되고, 액정의 응답 속도가 빨라져 액정 구동 마진이 증가되며, 데이터 드라이브 IC의 발열이 줄어드는 등 많은 이점이 있다. 이렇게 공통전압 스윙 방식을 적용하기 위해서는 공통전압의 왜곡을 방지하여 안정화시킬 수 있는 방안이 절실히 요구된다. 이하 공통전압의 왜곡을 줄일 수 방법을 제안한다.
- [0028] 도 6은 본 발명의 실시예에 따른 제1 및 제2 공통라인을 보여 주는 평면도이다. 도 7은 도 6에 도시된 제1 및 제2 공통라인의 일부를 자세히 보여 주는 평면도이다. 그리고, 도 8은 도 7을 I-I' 및 II-II'을 따라 절취하

여 제1 및 제2 공통라인의 단면 구조를 보여준다. 도 8에서, 도면부호 '41'은 하부 유리기관을, 도면부호 '43'은 게이트절연막을, 도면부호 '47'은 보호막을 각각 나타낸다.

[0029] 도 6을 참조하면, 공통라인은 서로 전기적으로 분리된 제1 공통라인과 제2 공통라인을 포함한다. 제1 공통라인은 기관의 가장자리에 형성되는 제1 테두리 공통라인(31)과, 제1 테두리 공통라인(31)에 공통으로 접속되고 데이터라인들과 나란한 방향으로 형성되는 다수의 제1 세로 공통라인(310)들을 포함한다. 그리고, 제2 공통라인은 기관의 가장자리에 형성되는 제2 테두리 공통라인(32)과, 제2 테두리 공통라인(32)에 공통으로 접속되고 데이터라인들과 나란한 방향으로 형성되는 다수의 제2 세로 공통라인(320)들을 포함한다.

[0030] 도 7을 참조하면, 제1 테두리 공통라인(31)은 데이터 드라이브 IC(121)가 실장된 소스 TCP(122)의 일측 더미 채널을 통해 제1 공통전압(Vcom1)을 입력받고, 제2 테두리 공통라인(32)은 데이터 드라이브 IC(121)가 실장된 소스 TCP(122)의 타측 더미 채널을 통해 제2 공통전압(Vcom2)을 입력받는다. 본 발명에 따르면, 공통전압들(Vcom1, Vcom2)을 입력하는 소스가 소스 TCP(122)의 갯수만큼 증가하므로, 공통전압들(Vcom1, Vcom2)의 면내 편차를 획기적으로 줄일 수 있으며, 제1 및 제2 테두리 공통라인(31, 32)의 저항값을 크게 줄일 수 있다. 제1 및 제2 테두리 공통라인(31, 32)은 게이트라인들과 동일 재질로 형성될 수 있으며, 입력되는 제1 및 제2 공통전압(Vcom1, Vcom2)의 라인 저항을 줄이기 위해 비교적 두꺼운 선폭으로 형성됨이 바람직하다. 도 7에서 도면부호 "20"은 소스 PCB를 나타낸다.

[0031] 도 8을 참조하면, 제1 세로 공통라인(310)은 제1 및 제2 콘택홀(51A, 51B)과 제1 연결패턴(52)을 통해 제1 테두리 공통라인(31)에 전기적으로 접속된다. 제1 연결패턴(52)은, 제1 콘택홀(51A)을 통해 제1 테두리 공통라인(31)에 연결되고, 제1 콘택홀(51B)을 통해 제1 세로 공통라인(310)에 연결된다. 또한, 제2 세로 공통라인(320)은 제3 및 제4 콘택홀(53A, 53B)과 제2 연결패턴(54)을 통해 제2 테두리 공통라인(32)에 전기적으로 접속된다. 제2 연결패턴(54)은, 제3 콘택홀(53A)을 통해 제2 테두리 공통라인(32)에 연결되고, 제4 콘택홀(53B)을 통해 제2 세로 공통라인(320)에 연결된다. 제1 및 제2 세로 공통라인(310, 320)은 데이터라인들과 동일 재질로 형성될 수 있다. 다만, 제1 및 제2 세로 공통라인(310, 320)의 폭은 화소 어레이에서 개구율의 저하를 줄이기 위하여 데이터라인의 폭에 비해 얇게 형성됨이 바람직하다.

[0032] 이와 같이, 본 발명에 따른 액정표시장치는 비교적 선폭이 넓은 테두리 공통라인들(31, 32)과 그에 연결되는 데이터라인 방향의 세로 공통라인들(310, 320)을 포함한 공통라인들을 형성함으로써 공통라인의 로드를 분산시킴으로써 공통전압의 왜곡을 줄일 수 있다. 예컨대, 종래에는 공통라인이 게이트라인 방향으로 형성되기 때문에, 스캔필스에 의해 1 수평라인이 스캐닝될 때 하나의 공통라인이 1 수평라인의 모든 액정셀들에 인가되는 데이터전압에 의해 영향을 받을 수밖에 없지만, 본 발명에서는 1 수평라인이 스캐닝될 때 1 수평라인의 특정 액정셀들에 인가되는 데이터전압(공통전압들(Vcom1, Vcom2))을 공유하는 특정 액정셀들에 인가되는 데이터전압만이 세로 공통라인에 영향을 주기 때문에 공통라인의 로드가 크게 분산된다. 더욱이, 본 발명에서는 TFT를 통해 공통전압들(Vcom1, Vcom2)을 액정셀들의 공통전극에 인가하기 때문에 다른 수평라인에 인가되는 데이터전압에 의해 공통전압이 영향받는 것을 원천적으로 차단할 수 있다.

[0033] 제1 및 제2 세로 공통라인(310, 320)은 교대로 형성된다. 제1 및 제2 세로 공통라인(310, 320)은 각각 한 개의 액정셀을 담당하도록 교대로 형성될 수 있으나, 공통라인으로 인한 개구율 감소를 고려하여 각각 두 개 또는 세 개의 액정셀들을 담당하도록 교대로 형성될 수 있다.

[0034] 도 9 및 도 10은 제1 및 제2 세로 공통라인(310, 320)이 각각 두 개의 액정셀들을 담당하도록 교대로 형성된 예를 보여준다.

[0035] 도 9를 참조하면, 제1 세로 공통라인(310)은 수평으로 인접한 두 개의 액정셀들(즉, R 액정셀과 G 액정셀)(이하, "제1 액정셀들"이라 함) 사이에 형성된다. 이 제1 세로 공통라인(310)은 제1 액정셀들 각각의 공통전압 공급용 스위치(TFT')를 통해 제1 액정셀들의 공통전극(Ec)에 연결된다. 제1 액정셀들의 공통전극(Ec)은 제1 액정셀들의 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. 제1 액정셀들의 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.

[0036] 제2 세로 공통라인(320)은 수평으로 인접한 두 개의 액정셀들(즉, B 액정셀과 R 액정셀)(이하, "제2 액정셀들"이라 함) 사이에 형성된다. 이 제2 세로 공통라인(320)은 제2 액정셀들 각각의 공통전압 공급용 스위치(TFT')를 통해 제2 액정셀들의 공통전극(Ec)에 연결된다. 제2 액정셀들의 공통전극(Ec)은 제2 액정셀들의 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. 제2 액정셀들의 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.

- [0037] 모든 액정셀들에는 제1 및 제2 세로 공통라인(310,320)과 직교하는 스토리지라인(330)이 더 형성될 수 있다. 스토리지라인(330)에는 일정 레벨의 스토리지전압(VST)이 공급된다. 스토리지라인(330)은 화소전극(Ep)과의 중첩 영역에서 스토리지 커패시터를 형성하여 액정셀의 충전량을 한 프레임동안 일정하게 유지시키는 역할을 한다. 또한, 액정셀들의 외곽 영역에는 스토리지라인(330)으로부터 데이터라인들(DL) 또는 제1 및 제2 세로 공통라인들(310,320)을 따라 연장되는 쉘드 패턴(335)이 더 형성될 수 있다. 쉘드 패턴(335)은 데이터라인들과 화소전극(EP) 사이에 형성되는 기생 용량을 차폐하여 데이터라인들의 전압 변동으로 인한 화소전극(EP)의 전위 변동을 방지하는 역할을 한다.
- [0038] 한편, 제1 및 제2 세로 공통라인(310,320) 각각은 수평으로 인접한 두 개의 액정셀들 사이에 형성되지 않고, 수평으로 인접한 두 개의 액정셀들 일측 사이트에 형성될 수 있다. 이 경우, 공통전압 공급용 스위치(TFT')는 두 개의 액정셀들 모두에 형성되지 않고, 제1 및 제2 세로 공통라인(310,320) 각각과 가까운 액정셀에만 형성될 수 있다.
- [0039] 도 10을 참조하면, 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)의 전압 레벨이 1 수평기간(1H)을 주기로 서로 반대 방향으로 스위칭되는 경우, 액정셀들은 수평 2도트 인버전 방식의 충전 극성을 갖는다. 충전전압(Vp)의 극성은 도 11과 같이, 공통전압(Vcom1/Vcom2) 대비 데이터전압(Vdata)이 높으면 정극성(+)을 띠고, 반대로 공통전압(Vcom1/Vcom2) 대비 데이터전압(Vdata)이 낮으면 부극성(-)을 띤다. 하이레벨(Vgh)의 스캔펄스(SP)에 응답하여 스위치들(TFT,TFT')이 턴 온되면, 데이터전압(Vdata)과 공통전압(Vcom1/Vcom2)의 차전압에 해당되는 전압(Vp)이 액정셀(C1c)에 충전된다. 로우레벨(Vgl)의 스캔펄스(SP)에 응답하여 스위치들(TFT,TFT')이 턴 오프되면, 도 12와 같이 액정셀(C1c)의 충전전압(Vp)은 플로팅되고, 스토리지 커패시터(Cst)에 의해 최초 충전 레벨을 일정하게 유지한다.
- [0040] 도 13은 제1 및 제2 세로 공통라인(310,320)이 각각 세 개의 액정셀들을 담당하도록 교대로 형성된 예를 보여준다.
- [0041] 도 13을 참조하면, 제1 및 제2 세로 공통라인(310,320)은 R,G,B 액정셀을 포함하는 단위 화소(P)들 사이에 교대로 형성된다. 제1 세로 공통라인(310)은 단위화소(P)를 구성하는 R,G,B 액정셀들 중 자신에게 가장 가까운 B 액정셀에 형성된 공통전압 공급용 스위치(TFT')를 통해 자신이 담당하는 R,G,B 액정셀들의 공통전극(Ec)에 연결된다. R,G,B 액정셀들 각각의 공통전극(Ec)은 전기적으로 서로 연결된다. R,G,B 액정셀들 각각에서 공통전극(Ec)은 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. R,G,B 액정셀들 각각에서 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.
- [0042] 제2 세로 공통라인(320)은 단위화소(P)를 구성하는 R,G,B 액정셀들 중 자신에게 가장 가까운 B 액정셀에 형성된 공통전압 공급용 스위치(TFT')를 통해 자신이 담당하는 R,G,B 액정셀들의 공통전극(Ec)에 연결된다. R,G,B 액정셀들 각각의 공통전극(Ec)은 전기적으로 서로 연결된다. R,G,B 액정셀들 각각에서 공통전극(Ec)은 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. R,G,B 액정셀들 각각에서 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.
- [0043] R,G,B 액정셀들에는 제1 및 제2 세로 공통라인(310,320)과 직교하는 스토리지라인(330)이 더 형성될 수 있다. 스토리지라인(330)에는 일정 레벨의 스토리지전압(VST)이 공급된다. 스토리지라인(330)은 화소전극(Ep)과의 중첩 영역에서 스토리지 커패시터를 형성하여 액정셀의 충전량을 한 프레임동안 일정하게 유지시키는 역할을 한다. 또한, 액정셀들의 외곽 영역에는 스토리지라인(330)으로부터 데이터라인들(DL) 또는 제1 및 제2 세로 공통라인들(310,320)을 따라 연장되는 쉘드 패턴(335)이 더 형성될 수 있다. 쉘드 패턴(335)은 데이터라인들과 화소전극(EP) 사이에 형성되는 기생 용량을 차폐하여 데이터라인들의 전압 변동으로 인한 화소전극(EP)의 전위 변동을 방지하는 역할을 한다.
- [0044] 도 13과 같이 제1 및 제2 세로 공통라인(310,320)이 각각 세 개의 액정셀들을 담당하도록 교대로 배치되는 경우에 있어, 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)의 전압 레벨이 1 수평기간(1H)을 주기로 서로 반대 방향으로 스위칭되는 경우, 액정셀들은 수평 3도트 인버전 방식의 충전 극성을 갖는다.
- [0045] 도 14 및 도 15는 본 발명의 확장 예들을 보여준다.
- [0046] 도 14의 액정셀 어레이는 도 9 및 도 13에 도시된 액정셀 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 액정셀 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 또한, 이 액정셀 어레이에서 좌우로 이웃하는 액정셀들(즉, R 액정셀과 G 액정셀)은 동일한 제1 세

로 공통라인(310)을 통해 시분할 방식으로 공급되는 제1 공통전압(Vcom1)을 연속으로 충전한다. 또한, 이 액정 셀 어레이에서 좌우로 이웃하는 액정셀들(즉, B 액정셀과 R 액정셀)은 동일한 제2 세로 공통라인(320)을 통해 시분할 방식으로 공급되는 제2 공통전압(Vcom2)을 연속으로 충전한다. 제1 및 제2 세로 공통라인(310,320)은 각각 두 개의 액정셀들을 담당한다.

[0047] 기수 게이트라인(G11,G21)에 접속된 액정셀들의 화소전극은 제1 데이터전압 공급용 스위치(TFT1)를 통해 데이터 라인들에 접속되고, 우수 게이트라인(G12,G22)에 접속된 액정셀들의 화소전극은 제2 데이터전압 공급용 스위치(TFT2)를 통해 데이터라인들에 접속된다. 기수 게이트라인(G11,G21)에 접속된 액정셀들의 화소전극과 수평으로 대향하는 공통전극은 제1 공통전압 공급용 스위치(TFT1')를 통해 제1 및 제2 세로 공통라인(310,320)에 교대로 접속되고, 우수 게이트라인(G12,G22)에 접속된 액정셀들의 화소전극과 수평으로 대향하는 공통전극은 제2 공통전압 공급용 스위치(TFT2')를 통해 제1 및 제2 세로 공통라인(310,320)에 교대로 접속된다.

[0048] 이 액정 셀 어레이의 해상도가 $m \times n$ 일 때, $\{m \times 3(\text{여기서, } 3 \text{은 RGB})\}/2$ 개의 데이터라인들과 $2n$ 개의 게이트라인들이 필요하다. 이 액정 셀 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 $1/2$ 수평기간의 게이트펄스가 순차적으로 공급된다.

[0049] 도 15의 액정 셀 어레이는 도 9 및 도 13에 도시된 액정 셀 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 $1/3$ 로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 $1/3$ 로 줄일 수 있다. 이 액정 셀 어레이에서 R 액정셀들, G 액정셀들 및 B 액정셀들 각각은 수평 라인 방향을 따라 배치된다. 이 액정 셀 어레이에서 R,G,B 액정셀을 포함하는 단위화소(P)는 수직 라인 방향을 따라 배치된다. 제1 및 제2 세로 공통라인(310,320)은 각각 두 개의 액정셀들을 담당한다.

[0050] 제1 세로 공통라인(310)은 수평으로 인접한 두 개의 액정셀들(이하, "제1 액정셀들"이라 함) 사이에 형성된다. 이 제1 세로 공통라인(310)은 제1 액정셀들 각각의 공통전압 공급용 스위치(TFT')를 통해 제1 액정셀들의 공통전극(Ec)에 연결된다. 제1 액정셀들의 공통전극(Ec)은 제1 액정셀들의 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. 제1 액정셀들의 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.

[0051] 제2 세로 공통라인(320)은 수평으로 인접한 두 개의 액정셀들(이하, "제2 액정셀들"이라 함) 사이에 형성된다. 이 제2 세로 공통라인(320)은 제2 액정셀들 각각의 공통전압 공급용 스위치(TFT')를 통해 제2 액정셀들의 공통전극(Ec)에 연결된다. 제2 액정셀들의 공통전극(Ec)은 제2 액정셀들의 화소전극(Ep)과 수평 방향으로 대향 구조를 이룬다. 제2 액정셀들의 화소전극(Ep)은 데이터전압 공급용 스위치(TFT)를 통해 데이터라인들에 연결된다.

[0052] 이 액정 셀 어레이의 해상도가 $m \times n$ 일 때, m 개의 데이터라인들과 $3n$ 개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 $1/3$ 수평기간의 게이트펄스가 순차적으로 공급된다.

[0053] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 공통라인의 배치를 최적화함과 아울러, TFT를 이용하여 데이터전압과 공통전압을 동시에 스위칭시킴으로써, 공통전압의 왜곡을 획기적으로 줄일 수 있다.

[0054] 나아가, 본 발명에 따른 액정표시장치는 공통전압이 안정화될 수 있는 환경하에서 공통전압을 스위칭시킴으로써, 화질 저하를 초래하지 않으면서 소비전력 감소, 응답속도 향상, 데이터 드라이브 IC의 갯수 및 칩 사이즈를 축소, 액정 구동마진 증가, 데이터 드라이브 IC의 발열 감소 등의 여러가지 탁월한 효과가 있다.

[0055] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0056] 도 1은 종래 공통라인의 접속 구조를 보여주는 도면.
- [0057] 도 2a는 종래 공통전압의 라인저항으로 인해 리플이 발생하는 것을 보여주는 도면.
- [0058] 도 2b는 종래 공통전압의 면내 편차를 보여주는 도면.
- [0059] 도 3a는 종래 공통전압의 불안정으로 인해 크로스토크가 발생하는 것을 보여주는 도면.
- [0060] 도 3b는 종래 공통전압의 불안정으로 인해 면내 상하 휘도차가 발생하는 것을 보여주는 도면.

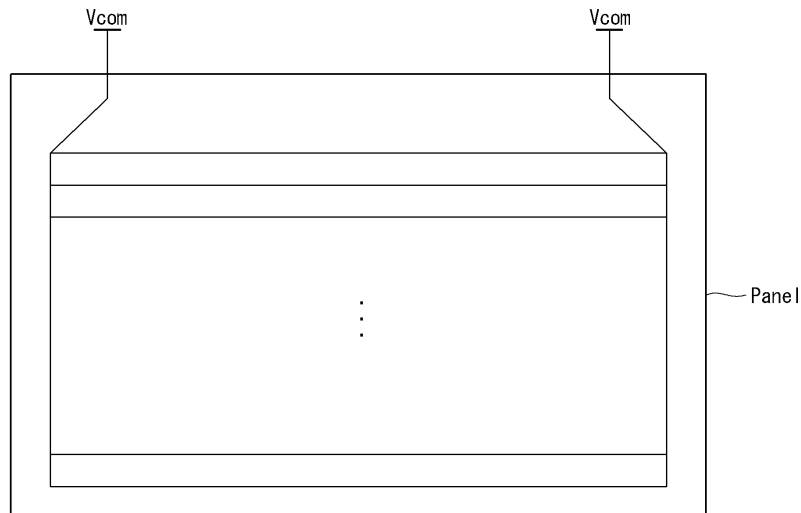
- [0061] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.
- [0062] 도 5는 본 발명의 실시예에 따른 제1 및 제2 공통전압의 파형도.
- [0063] 도 6은 본 발명의 실시예에 따른 제1 및 제2 공통라인을 보여 주는 평면도.
- [0064] 도 7은 도 6에 도시된 제1 및 제2 공통라인의 일부를 자세히 보여 주는 평면도.
- [0065] 도 8은 도 7을 I-I' 및 II-II'을 따라 절취하여 보여주는 단면도.
- [0066] 도 9 및 도 10은 제1 및 제2 세로 공통라인이 각각 두 개의 액정셀들을 담당하도록 교대로 형성된 예를 보여주는 도면.
- [0067] 도 11은 제1 및 제2 공통전압, 데이터전압, 스캔펄스, 및 충전전압을 보여주는 파형도.
- [0068] 도 12는 본 발명의 실시예에 따른 액정셀의 등가회로를 보여주는 회로도.
- [0069] 도 13은 제1 및 제2 세로 공통라인이 각각 세 개의 액정셀들을 담당하도록 교대로 형성된 예를 보여주는 도면.
- [0070] 도 14 및 도 15는 본 발명의 확장 예들을 보여주는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

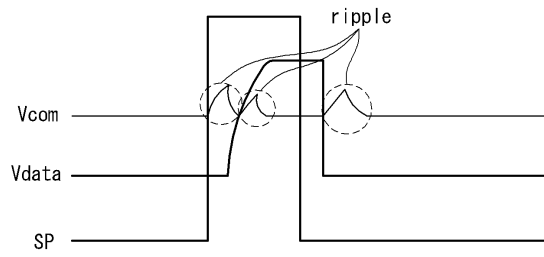
- | | |
|--|---|
| <ul style="list-style-type: none"> [0072] 10 : 액정표시패널 [0073] 12 ; 데이터 구동회로 [0074] 14 : 공통전압 발생부 [0075] 31,32 : 테두리 공통라인 [0076] 122 : 소스 TCP | <ul style="list-style-type: none"> 11 : 타이밍 콘트롤러 13 : 게이트 구동회로 20 : 소스 PCB 121 : 데이터 드라이브 IC 310,320 : 세로 공통라인 |
|--|---|

도면

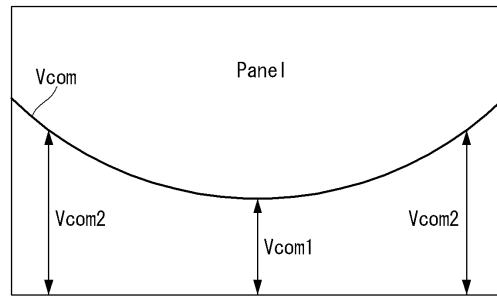
도면1



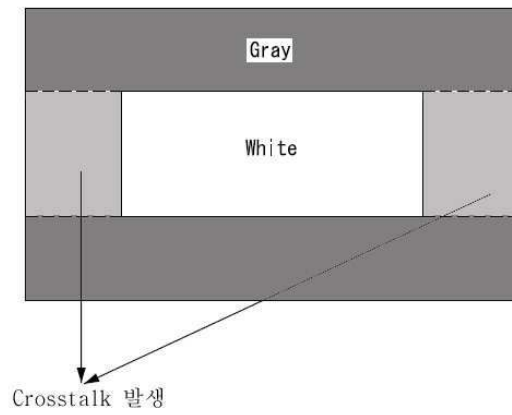
도면2a



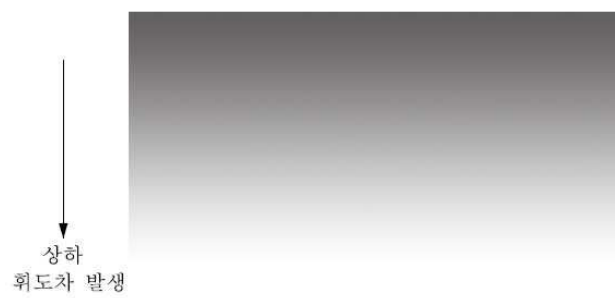
도면2b



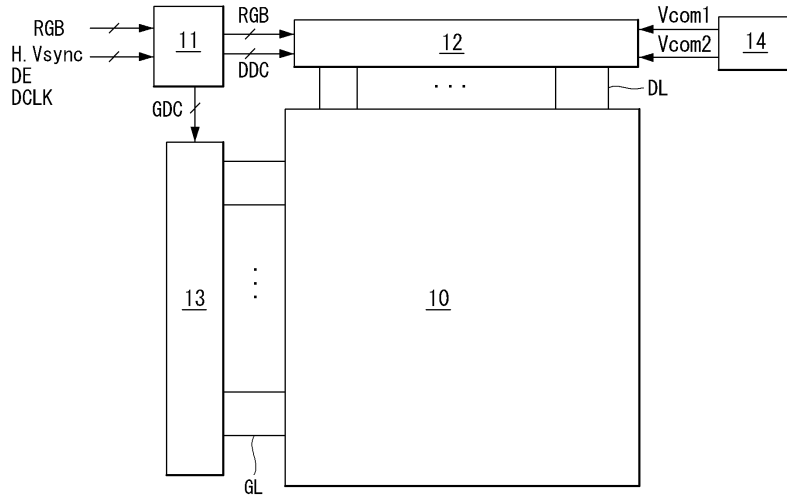
도면3a



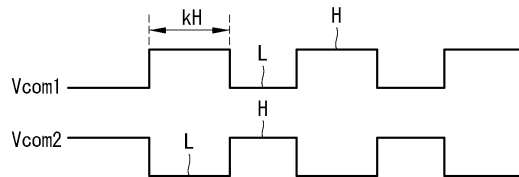
도면3b



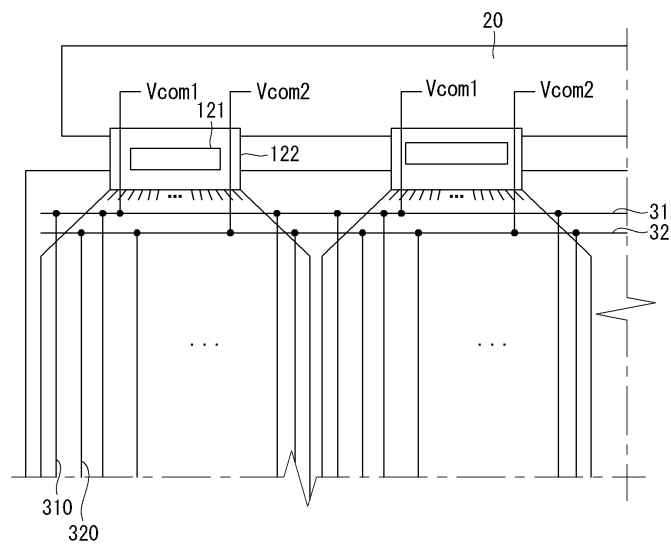
도면4



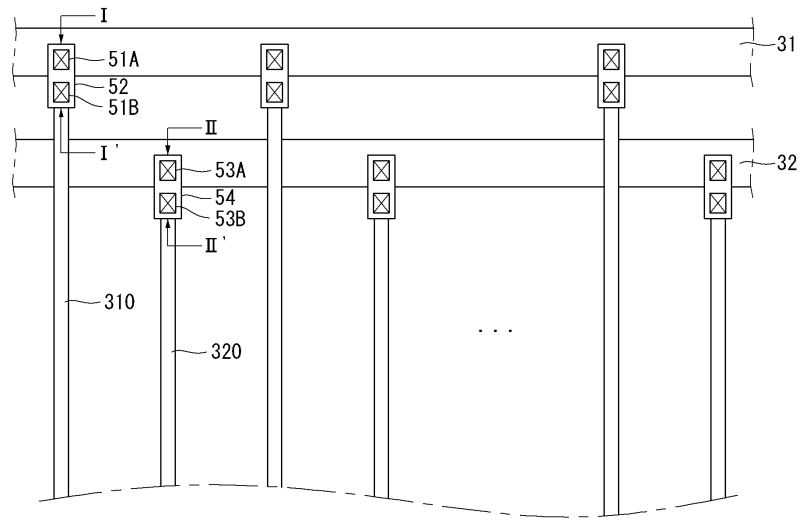
도면5



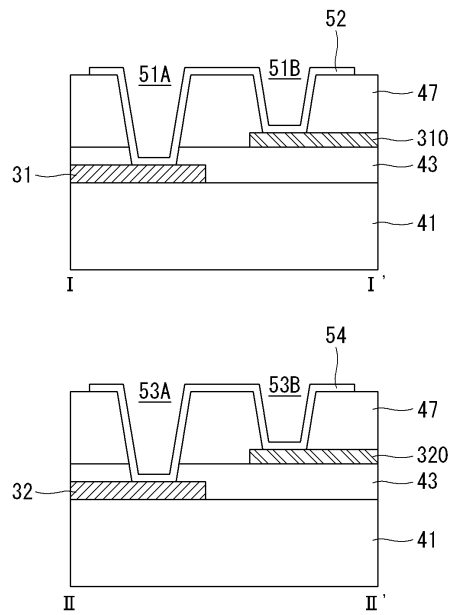
도면6



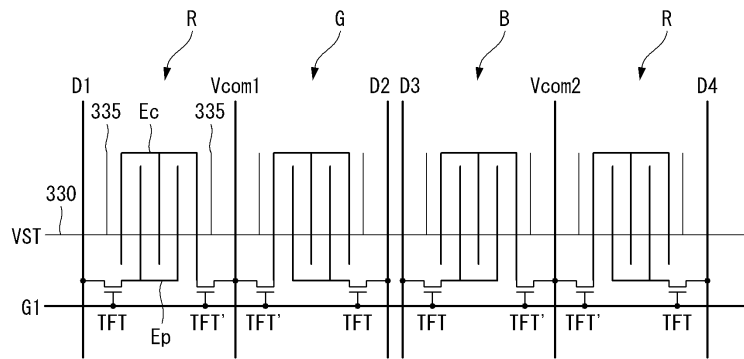
도면7



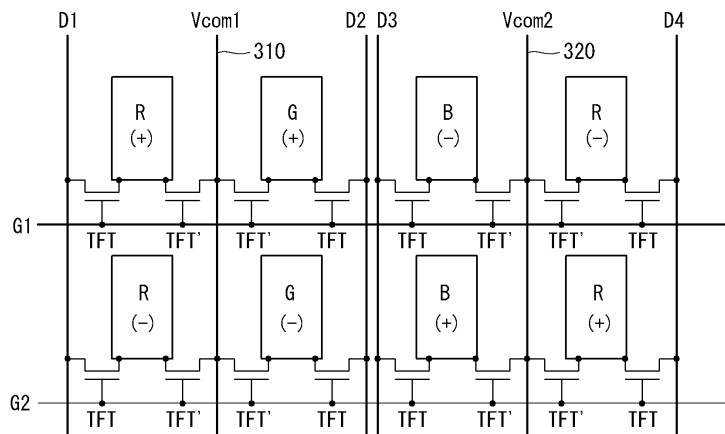
도면8



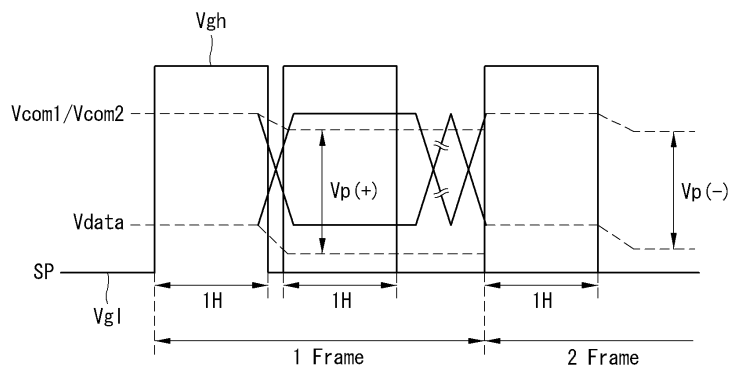
도면9



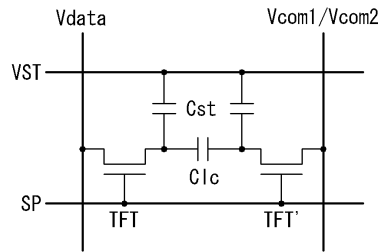
도면10



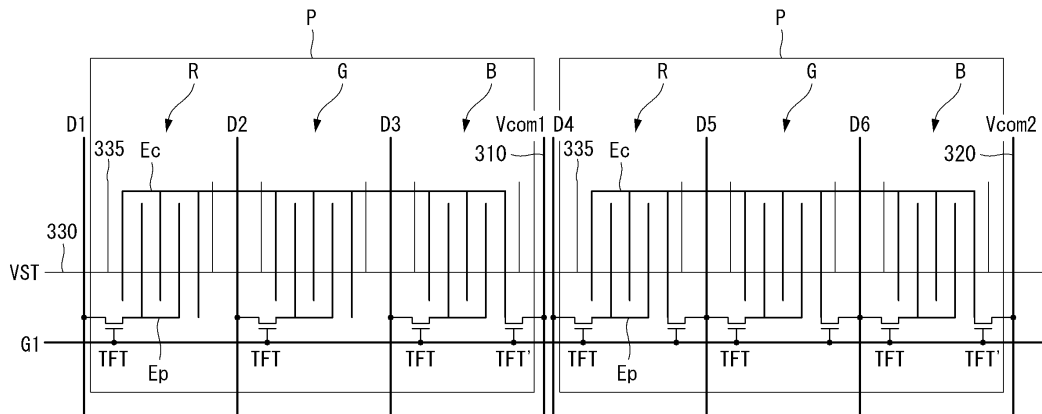
도면11



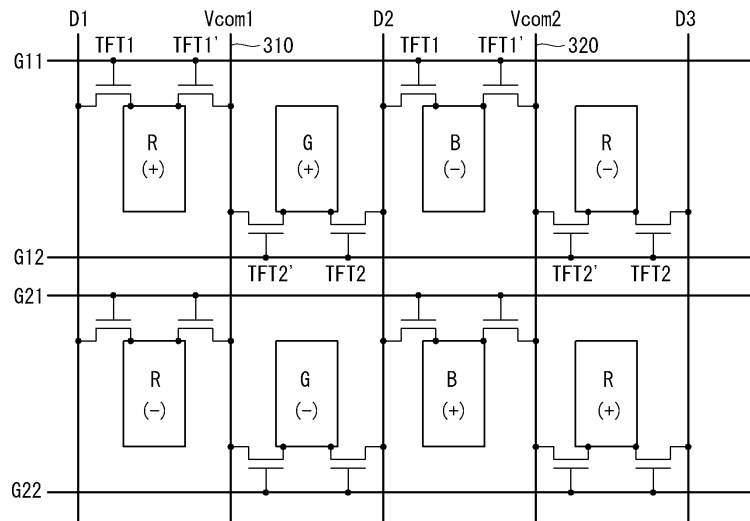
도면12



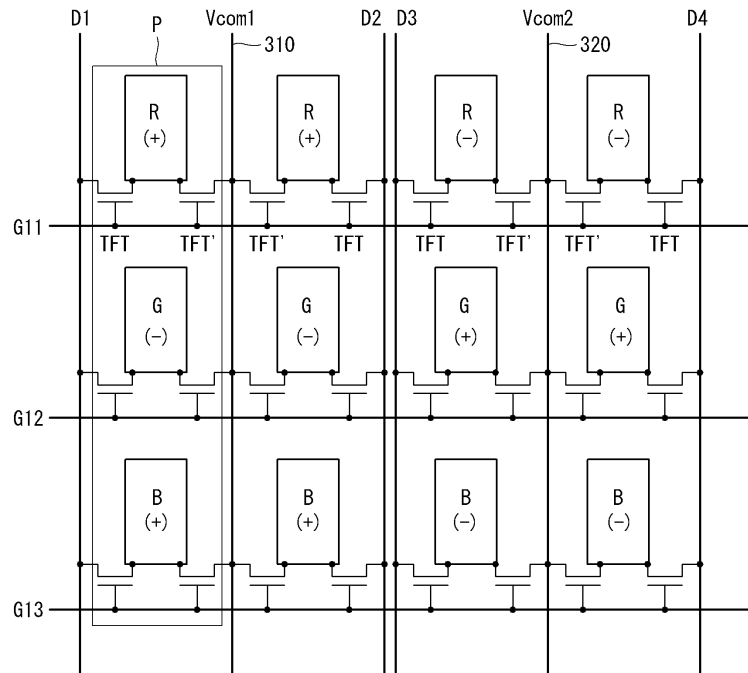
도면13



도면14



도면15



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110015929A	公开(公告)日	2011-02-17
申请号	KR1020090073384	申请日	2009-08-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YOUNG MIN 정영민 MOON HONG MAN 문홍만		
发明人	정영민 문홍만		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/133		
CPC分类号	G09G2300/0443 G09G2300/0434 G09G2300/0814 G09G2320/0233 G09G3/3655 G09G5/12 G09G2320/0223 G09G3/3614 G09G2300/0426 G09G2370/08 G02F1/1343 G02F1/133 G02F1/1345 G09G3/36		
外部链接	Espacenet		

摘要(译)

用途：提供液晶显示器，以减少公共电压的失真，并降低数据驱动器IC消耗的功率。组成：液晶显示面板（10）有多个第一单元和第二单元，它们分别包含在显示区域中的至少一个液体单元中，并具有多条数据线和多条与之交叉的栅极线。彼此。公共电压产生单元（14）产生第一公共电压和第二公共电压，该第一公共电压和第二公共电压在固定周期中摆动到不同的方向。多条第一公共线分别将通过多个第一输入单元输入的第一公共电压提供给形成在第一单元中的第一公共电极。多条第二横向公共线分别将通过多个第二输入单元输入的第二公共电压提供给形成在第二单元上的第二公共电极。

