



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0060377  
(43) 공개일자 2010년06월07일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0118953

(22) 출원일자 2008년11월27일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

남상진

충북 청주시 흥덕구 분평동 1202 분평주공아파트  
206-706

정용채

대구 달서구 장기동 영남네오빌파크 106동 1509호

박승철

경북 구미시 구평동 대우푸르지오아파트 102동  
1206호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 7 항

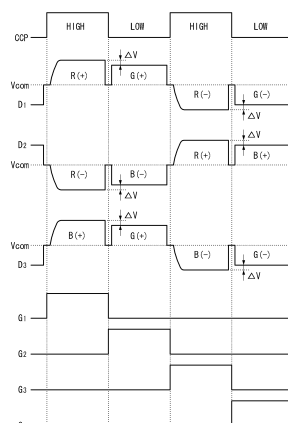
## (54) 액정표시장치

### (57) 요약

본 발명은 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치에 관한 것으로, 특히 액정셀들 간 충전편차를 보상하여 표시품위를 향상시킬 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치는 동일 수평라인상에 배치된 m개의 액정셀들을 구동하기 위해 m/2개의 공유 데이터라인들과 제1 및 제2 게이트라인이 할당되고, 상기 공유 데이터라인들 각각을 사이에 두고 이웃하는 2개의 액정셀들은 상기 제1 및 제2 게이트라인에 대칭 접속되는 액정표시패널; 상기 제1 및 제2 게이트라인에 순차적으로 스캔펄스를 공급하는 게이트 구동회로; 특정 계조 구간에서, 상기 제1 게이트라인이 구동되는 제1 스캔 타임에 동기하여 아날로그 정극성 감마전압을 제1 기준 레벨로 발생함과 아울러 아날로그 부극성 감마전압을 제2 기준 레벨로 발생하는 반면, 상기 제2 게이트라인이 구동되는 제2 스캔 타임에 동기하여 상기 아날로그 정극성 감마전압을 상기 제1 기준 레벨보다 낮은 제1 보상 레벨로 발생함과 아울러 상기 아날로그 부극성 감마전압을 상기 제2 기준 레벨보다 높은 제2 보상 레벨로 발생하는 충전편차 보상회로; 및 2 수평기간을 단위로 반전되는 극성제어신호에 응답하여 입력 디지털 비디오 데이터를 상기 아날로그 정극성 감마전압들과 아날로그 부극성 감마전압들 중 어느 하나로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로를 구비한다.

대표도 - 도11



## 특허청구의 범위

### 청구항 1

동일 수평라인상에 배치된  $m$ 개의 액정셀들을 구동하기 위해  $m/2$ 개의 공유 데이터라인들과 제1 및 제2 게이트라인이 할당되고, 상기 공유 데이터라인들 각각을 사이에 두고 이웃하는 2개의 액정셀들은 상기 제1 및 제2 게이트라인에 대칭 접속되는 액정표시패널;

상기 제1 및 제2 게이트라인에 순차적으로 스캔펄스를 공급하는 게이트 구동회로;

특정 계조 구간에서, 상기 제1 게이트라인이 구동되는 제1 스캔 타임에 동기하여 아날로그 정극성 감마전압을 제1 기준 레벨로 발생함과 아울러 아날로그 부극성 감마전압을 제2 기준 레벨로 발생하는 반면, 상기 제2 게이트라인이 구동되는 제2 스캔 타임에 동기하여 상기 아날로그 정극성 감마전압을 상기 제1 기준 레벨보다 낮은 제1 보상 레벨로 발생함과 아울러 상기 아날로그 부극성 감마전압을 상기 제2 기준 레벨보다 높은 제2 보상 레벨로 발생하는 충전편차 보상회로; 및

2 수평기간을 단위로 반전되는 극성제어신호에 응답하여 입력 디지털 비디오 데이터를 상기 아날로그 정극성 감마전압들과 아날로그 부극성 감마전압들 중 어느 하나로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 충전편차 보상회로는,

상기 데이터 구동회로의 구동에 필요한 소스 출력 인에이블 신호를 이용하여, 상기 감마전압들의 출력 타이밍 제어에 사용되는 보상제어신호를 발생하는 제어신호 발생기; 및

상기 보상제어신호에 응답하여 출력 감마전압을 상기 기준 레벨들 또는 보상 레벨들로 선택하는 감마전압 조정기를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 보상제어신호는 1 수평기간을 주기로 그 논리레벨이 반전되는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 2 항에 있어서,

상기 제어신호 발생기는,

상기 소스 출력 인에이블신호의 라이징 에지들에 동기하여 트리거되는 D-플립 플롭을 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 2 항에 있어서,

감마전압 조정기는,

고전위 전원전압과 저전위 전원전압 사이에서 서로 직렬로 접속된 다수의 분압용 저항들을 포함하는 저항 스트링과, 상기 저항들 사이마다 형성되어 해당 레벨의 감마전압 각각을 출력하기 위한 다수의 분압 노드들을 갖는 감마저항 스트링부; 및

상기 특정 계조에 대응되는 분압 노드에 접속되어 상기 보상제어신호의 논리레벨에 따라 기준 레벨의 감마전압들이 출력되는 제1 단자와 보상 레벨의 감마전압들이 출력되는 제2 단자에 선택적으로 접속되는 다수의 스위치들을 갖는 스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 6

제 5 항에 있어서,

상기 특정 계조는 피크 화이트 계조 대비 25% ~ 75% 의 계조값을 갖는 계조 구간에 속하는 것을 특징으로 하는 액정표시장치.

## 청구항 7

제 5 항에 있어서,

상기 스위치들 각각은 상기 보상제어신호가 제1 논리레벨로 발생하는 기간 동안 상기 제1 단자에 접속되는 반면, 상기 보상제어신호가 제2 논리레벨로 발생하는 기간 동안 제2 단자에 접속되는 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 DRD(Double Rate Driving) 방식으로 구동되는 액정표시장치에 관한 것으로, 특히 액정셀들 간 충전 편차를 보상하여 표시품위를 향상시킬 수 있는 액정표시장치에 관한 것이다.

[0002]

#### 배경 기술

[0003] 액정표시장치는 비디오 신호에 대응하여 액정층에 인가되는 전계를 통해 액정층의 광투과율을 제어함으로써 화상을 표시한다. 이러한 액정표시장치는 소형 및 박형화와 저 소비전력의 장점을 가지는 평판 표시장치로서, 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기 등으로 이용되고 있다. 특히, 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다.

[0004] 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 도 1과 같이 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.

[0005] 도 1을 참조하면, 액티브 매트릭스 타입의 액정표시장치는, 디지털 비디오 데이터를 감마기준전압을 기준으로 아날로그 데이터전압으로 변환하여 데이터라인(DL)에 공급함과 동시에 스캔펄스를 게이트라인(GL)에 공급하여, 데이터전압을 액정셀(C1c)에 충전시킨다. 이를 위해, TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극과 스토리지 캐패시터(Cst1)의 일측 전극에 접속된다. 액정셀(C1c)의 공통전극에는 공통전압(Vcom)이 공급된다. 스토리지 캐패시터(Cst1)는 TFT가 턴-온될 때 데이터라인(DL)으로부터 인가되는 데이터전압을 충전하여 액정셀(C1c)의 전압을 일정하게 유지하는 역할을 한다. 스캔펄스가 게이트라인(GL)에 인가되면 TFT는 턴-온(Turn-on)되어 소스전극과 드레인전극 사이의 채널을 형성하여 데이터라인(DL) 상의 전압을 액정셀(C1c)의 화소전극에 공급한다. 이때 액정셀(C1c)의 액정분자들은 화소전극과 공통전극 사이의 전계에 의하여 배열이 바뀌면서 입사광을 가변하게 된다.

[0006] 이러한 액정표시장치는 게이트라인(GL)들을 구동하기 위한 게이트 드라이브 IC(Integrated Circuit)와 데이터라인(DL)들을 구동하기 위한 데이터 드라이브 IC를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 드라이브 IC들의 갯수는 증가하고 있다. 그런데, 데이터 드라이브 IC는 타 소자에 비해 상대적으로 매우 고가이므로, 최근 데이터 드라이브 IC의 갯수를 줄이기 위한 여러 방안들이 제안되고 있다. 도 2는 상기 방안들 중 하나로써, 기존 대비 게이트라인들의 갯수는 2배로 늘리는 대신 데이터라인들의 갯수를 1/2배로 줄여 필요로 하는 데이터 드라이브 IC의 갯수를 반으로 줄여 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 구동방식을 보여준다.

[0007] 도 2를 참조하면, DRD 방식으로 구동되는 종래 액정표시장치는 하나의 수평라인에 배치된 m(m은 2 이상의 자연수)개의 액정셀들을 두개의 게이트라인들과 m/2개의 데이터라인들을 이용하여 구동시킨다. 이 DRD 방식의 종래 액정표시장치는 플리커를 최소화함과 아울러 소비전력을 줄이기 위해 데이터 드라이브 IC를 수직 2 도트 인버전 방식으로 구동시킨다. 이에 따라, 데이터라인을 사이에 두고 서로 인접한 두개의 액정셀들은 두개의 게이트라

인들에 각각 접속되어 데이터라인을 통해 공급되는 동일 극성의 데이터전압을 충전한다. 예컨대, 특정 프레임에서, 제1 수평라인(HL1)에 배치된 액정셀들 중 제1 데이터라인(D1)에 공유된 R 액정셀과 G 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되고, 제2 데이터라인(D2)에 공유된 R 액정셀과 B 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되며, 제3 데이터라인(D3)에 공유된 B 액정셀과 G 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전된다. 도 2에 도시된 화살표 방향은 각 데이터라인들에 접속된 액정셀들의 충전 순서를 나타낸다.

[0008] 도 3은 도 2의 화살표 방향을 따라 액정셀들이 충전될 때 각 액정셀에서의 충전전압 파형을 보여준다. 도 3을 참조하면, 제1 또는 제3 게이트라인(G1,G3)에 접속된 R 액정셀들에는 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)이 인가되고, 제2 또는 제4 게이트라인(G2,G4)에 접속된 G 액정셀들에는 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)이 인가된다. 또한, 제1 또는 제3 게이트라인(G1,G3)에 접속된 B 액정셀들에는 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)이 인가되고, 제2 또는 제4 게이트라인(G2,G4)에 접속된 B 액정셀들에는 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)이 인가된다. 알려진 바에 의하면, 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)이 인가되는 액정셀들의 충전량은, 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)이 인가되는 액정셀들의 충전량에 비해 떨어진다. 이는 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)의 라이징 타임(rising time)(또는 폴링 타임(falling time))이 긴 반면, 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)의 라이징 타임(또는 폴링 타임)은 상대적으로 짧기 때문이다.

[0009] 이에 따라, 종래 DRD 방식의 액정표시장치에서는 기수번째 게이트라인들에 접속된 액정셀들, 즉 모든 R 액정셀들과 일부 B 액정셀들의 충전량은, 우수번째 게이트라인들에 접속된 액정셀들, 즉 모든 G 액정셀들과 나머지 B 액정셀들의 충전량에 비해 적다. 다시 말해, R 액정셀들은 상대적으로 약충전되고, G 액정셀들은 상대적으로 강충전되며, B 액정셀들은 픽셀 단위로 강충전과 약충전을 반복한다. 여기서, 모든 액정셀들이 약충전되거나 또는 강충전되는 R,G 액정셀들은 상대적으로 쉽게 시인되지 않으나, 픽셀 단위로 강충전과 약충전을 반복하는 B 액정셀들은 세로 라인 뎀(Dim)으로 쉽게 시인된다. 결과적으로 종래 DRD 방식의 액정표시장치는 충전특성 편차에 기인하는 특정 색깔의 세로 라인 뎀(Dim)으로 인해 표시품질이 저하되는 문제점이 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0010] 따라서, 본 발명의 목적은 아날로그 감마전압의 선택적인 레벨 변경을 통해 충전특성 편차를 보상하여 표시품위를 향상시키도록 한 액정표시장치를 제공하는 데 있다.

### 과제 해결수단

[0011] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 동일 수평라인상에 배치된 m개의 액정셀들을 구동하기 위해 m/2개의 공유 데이터라인들과 제1 및 제2 게이트라인이 할당되고, 상기 공유 데이터라인들 각각을 사이에 두고 이웃하는 2개의 액정셀들은 상기 제1 및 제2 게이트라인에 대칭 접속되는 액정표시패널; 상기 제1 및 제2 게이트라인에 순차적으로 스캔펄스를 공급하는 게이트 구동회로; 특정 계조 구간에서, 상기 제1 게이트라인이 구동되는 제1 스캔 타임에 동기하여 아날로그 정극성 감마전압을 제1 기준 레벨로 발생함과 아울러 아날로그 부극성 감마전압을 제2 기준 레벨로 발생하는 반면, 상기 제2 게이트라인이 구동되는 제2 스캔 타임에 동기하여 상기 아날로그 정극성 감마전압을 상기 제1 기준 레벨보다 낮은 제1 보상 레벨로 발생함과 아울러 상기 아날로그 부극성 감마전압을 상기 제2 기준 레벨보다 높은 제2 보상 레벨로 발생하는 충전편차 보상회로; 및 2 수평기간을 단위로 반전되는 극성제어신호에 응답하여 입력 디지털 비디오 데이터를 상기 아날로그 정극성 감마전압들과 아날로그 부극성 감마전압들 중 어느 하나로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로를 구비하는 것을 특징으로 한다.

[0012] 상기 충전편차 보상회로는, 상기 데이터 구동회로의 구동에 필요한 소스 출력 인에이블 신호를 이용하여, 상기 감마전압들의 출력 타이밍 제어에 사용되는 보상제어신호를 발생하는 제어신호 발생기; 및 상기 보상제어신호에

응답하여 출력 감마전압을 상기 기준 레벨들 또는 보상 레벨들로 선택하는 감마전압 조정기를 구비하는 것을 특징으로 한다.

[0013] 상기 보상제어신호는 1 수평기간을 주기로 그 논리레벨이 반전되는 것을 특징으로 한다.

[0014] 상기 제어신호 발생기는, 상기 소스 출력 인에이블신호의 라이징 에지들에 동기하여 트리거되는 D-플립 플롭을 포함하는 것을 특징으로 한다.

[0015] 감마전압 조정기는, 고전위 전원전압과 저전위 전원전압 사이에서 서로 직렬로 접속된 다수의 분압용 저항들을 포함하는 저항 스트링과, 상기 저항들 사이마다 형성되어 해당 레벨의 감마전압 각각을 출력하기 위한 다수의 분압 노드들을 갖는 감마저항 스트링부; 및 상기 특정 계조에 대응되는 분압 노드에 접속되어 상기 보상제어신호의 논리레벨에 따라 기준 레벨의 감마전압들이 출력되는 제1 단자와 보상 레벨의 감마전압들이 출력되는 제2 단자에 선택적으로 접속되는 다수의 스위치들을 갖는 스위칭부를 구비하는 것을 특징으로 한다.

[0016] 상기 특정 계조는 피크 화이트 계조 대비 25% ~ 75% 의 계조값을 갖는 계조 구간에 속하는 것을 특징으로 한다.

[0017] 상기 스위치들 각각은 상기 보상제어신호가 제1 논리레벨로 발생하는 기간 동안 상기 제1 단자에 접속되는 반면, 상기 보상제어신호가 제2 논리레벨로 발생하는 기간 동안 제2 단자에 접속되는 것을 특징으로 한다.

## 효 과

[0018] 본 발명에 따른 액정표시장치는 아날로그 감마전압의 선택적인 레벨 변경을 통해 충전특성 편차를 보상함으로써 표시품위를 크게 향상시킬 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0019] 이하, 도 4 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0020] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0021] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 충전편차 보상회로(13) 및 게이트 구동회로(14)를 구비한다.

[0022] 액정표시패널(10)은 두 장의 유리기관 사이에 형성된 액정층을 갖는다. 이 액정표시패널(10)은 m/2 개의 데이터라인들(D1 내지 Dm/2)과 2n(n은 자연수) 개의 게이트라인들(G1 내지 G2n)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀(Clc)들을 포함하여 DRD 방식으로 구동된다. 액정표시패널(10)의 하부 유리기관에는 데이터라인들(D1 내지 Dm/2), 게이트라인들(G1 내지 G2n), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment)모드와 같은 수직전계 구동방식에서는 상부 유리기관 상에 형성되고, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서는 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0023] 액정셀들(Clc)에는 다수의 R 액정셀들, G 액정셀들 및 B 액정셀들이 포함된다. 도 2를 참조하여 이러한 액정셀들(Clc)의 접속 구조를 살펴보면, 제1 수평라인(HL1)에서, 제1 게이트라인(G1)에 접속된 R(+) 액정셀은 제2 게이트라인(G2)에 접속된 G(+) 액정셀과 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제2 게이트라인(G2)에 접속된 B(-) 액정셀은 제1 게이트라인(G1)에 접속된 R(-) 액정셀과 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제2 게이트라인(G2)에 접속된 G(+) 액정셀은 제1 게이트라인(G1)에 접속된 B 액정셀(+)과 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다. 그리고, 제2 수평라인(HL2)에서, 제3 게이트라인(G3)에 접속된 R(-) 액정셀은 제4 게이트라인(G4)에 접속된 G(-) 액정셀과 서로 이웃하여 제1 데이터라인(D1)에 공통 접속되고, 제4 게이트라인(G4)에 접속된 B(+) 액정셀은 제3 게이트라인(G3)에 접속된 R(+) 액정셀과 서로 이웃하여 제2 데이터라인(D2)에 공통 접속되며, 제4 게이트라인(G4)에 접속된 G(-) 액정셀은 제3 게이트라인(G3)에 접속된 B 액정셀(-)과 서로 이웃하여 제3 데이터라인(D3)에 공통 접속된다. 여기서, (+)액정셀은 공통전압(Vcom)보다 전위가 높은 정극성 전압이 충전되는 액정셀을, (-)액정셀은 공통전압(Vcom)보다 전위가 낮은 부극



성 전압이 충전되는 액정셀을 각각 나타낸다. 따라서, 제1 수평라인(HL1)에 배치된 액정셀들 중 제1 데이터라인(D1)에 공유된 R(+) 액정셀과 G(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되고, 제2 데이터라인(D2)에 공유된 R(-) 액정셀과 B(-) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되며, 제3 데이터라인(D3)에 공유된 B(+) 액정셀과 G(+) 액정셀은 게이트라인들(G1,G2)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전된다. 그리고, 제2 수평라인(HL2)에 배치된 액정셀들 중 제1 데이터라인(D1)에 공유된 R(-) 액정셀과 G(-) 액정셀은 게이트라인들(G3,G4)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전되고, 제2 데이터라인(D2)에 공유된 R(+) 액정셀과 B(+) 액정셀은 게이트라인들(G3,G4)로부터의 스캔펄스 공급시점에 동기되어 정극성으로 순차 충전되며, 제3 데이터라인(D3)에 공유된 B(-) 액정셀과 G(-) 액정셀은 게이트라인들(G3,G4)로부터의 스캔펄스 공급시점에 동기되어 부극성으로 순차 충전된다.

[0024] 타이밍 컨트롤러(11)는 시스템(미도시)으로부터 공급되는 수평 동기신호(Hsync), 수직 동기신호(Vsync), 데이터 인에이블신호(DE) 및 도트 클럭(DCLK) 등의 타이밍신호들을 이용하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호와, 충전편차 보상회로(13)의 동작 타이밍을 제어하기 위한 보상 제어신호와, 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 게이트 제어신호를 발생한다. 데이터 제어신호는 데이터 구동회로(12) 내에서 디지털 비디오 데이터(RGB)의 샘플링 시작점을 지시하는 소스 스타트 펄스(SSP), 라이징 에지(Rising Edge) 또는 폴링 에지(Falling Edge)에 기준하여 데이터 구동회로(12) 내에서 디지털 비디오 데이터(RGB)의 래치동작을 지시하는 소스 샘플링 클럭(SSC), 데이터 구동회로(12)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 액정표시패널(210)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL)등을 포함한다. 보상 제어신호는 소스 출력 인에이블신호(SOE)를 포함한다. 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스(GSP), 게이트 구동회로(14) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭신호(GSC), 게이트 구동회로(14)의 출력을 지시하는 게이트 출력 인에이블신호(GOE)등을 포함한다.

[0025] 또한, 타이밍 컨트롤러(11)는 시스템으로부터 공급되는 디지털 비디오 데이터(RGB)를 액정표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다.

[0026] 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(12)는 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm/2)에 공급한다. 이를 위해, 데이터 구동회로(12)는 도 5와 같은 구성을 포함하는 다수의 데이터 드라이브 IC들을 포함한다.

[0027] 충전편차 보상회로(13)는 타이밍 컨트롤러(11)의 제어 하에 특정 계조 구간에서 기수번째 스캔 타임에 동기될 아날로그 정극성 감마전압을 기준 레벨로 발생하는 반면, 우수번째 스캔 타임에 동기될 아날로그 정극성 감마전압을 기준 레벨보다 낮은 보상 레벨로 발생하여 데이터 구동회로(12)에 공급한다. 또한, 충전편차 보상회로(13)는 타이밍 컨트롤러(11)의 제어 하에 특정 계조 구간에서 기수번째 스캔 타임에 동기될 아날로그 부극성 감마전압을 기준 레벨로 발생하는 반면, 우수번째 스캔 타임에 동기될 아날로그 부극성 감마전압을 기준 레벨보다 높은 보상 레벨로 발생하여 데이터 구동회로(12)에 공급한다. 이러한 충전편차 보상회로(13)는 데이터 구동회로(12)에 포함될 수 있으며, 이하에서는 충전편차 보상회로(13)가 데이터 구동회로(12)에 포함된 상태를 전제로 설명하기로 한다.

[0028] 게이트 구동회로(14)는 타이밍 컨트롤러(11)의 제어 하에 아날로그 데이터전압이 공급될 액정표시패널(10)의 수평라인을 선택하는 스캔펄스를 발생하고, 이 스캔펄스를 게이트라인들(G1 내지 G2n)에 순차적으로 공급한다. 이를 위해, 게이트 구동회로(14)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(C1c)의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 레벨 쉬프터와 게이트라인 사이에 접속되는 출력 회로를 각각 포함하는 다수의 게이트 드라이브 IC들로 포함한다.

[0029] 도 5 및 도 6은 데이터 구동회로(12)를 구성하는 어느 하나의 데이터 드라이브 IC를 상세히 보여준다.

[0030] 도 5를 참조하면, 데이터 드라이브 IC는 쉬프트 레지스터(121), 제1 래치 어레이(122), 제2 래치 어레이(123), 충전편차 보상회로(13), 디지털/아날로그 변환기(이하, "DAC"라 한다)(124), 차지셰어회로(Charge Share Circuit)(125) 및 출력회로(126)를 포함한다.

- [0031] 쉬프트레지스터(121)는 타이밍 컨트롤러(11)로부터의 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 또한, 쉬프트 레지스터(121)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터에 캐리신호(CAR)를 전달한다.
- [0032] 제1 래치 어레이(122)는 쉬프트 레지스터(121)로부터 순차적으로 입력되는 샘플링신호에 응답하여 타이밍 컨트롤러(11)로부터의 디지털 비디오 데이터들(RGB)을 샘플링하고, 그 데이터들(RGB)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.
- [0033] 제2 래치 어레이(123)는 제1 래치 어레이(122)로부터 입력되는 1 수평라인분의 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 드라이브 IC들의 제2 래치 어레이와 동시에 래치된 디지털 비디오 데이터들(RGB)을 출력한다.
- [0034] 충전편차 보상회로(13)는 제어신호 발생기(131)와 감마전압 조정기(132)를 포함하여 기준 레벨의 정극성 감마전압(VGH)과 보상 레벨의 정극성 감마전압(CVGH), 및 기준 레벨의 부극성 감마전압(VGL)과 보상 레벨의 부극성 감마전압(CVGL)을 발생한다. 제어신호 발생기(131)는 타이밍 컨트롤러(11)로부터의 소스 출력 인에이블신호(SOE)를 이용하여 기준 레벨의 정극성 감마전압(VGH)과 보상 레벨의 정극성 감마전압(CVGH)의 출력 타이밍과, 기준 레벨의 부극성 감마전압(VGL)과 보상 레벨의 부극성 감마전압(CVGL)의 출력 타이밍을 제어하기 위한 보상제어신호(CCP)를 발생한다. 감마전압 조정기(132)는 보상제어신호(CCP)에 응답하여 스위칭됨으로써 특정 계조 구간에서 기수번째 스캔 타임에 동기될 감마전압을 기준 레벨의 정극성/부극성 감마전압(VGH, VGL)으로 선택하고, 우수번째 스캔 타임에 동기될 감마전압을 보상 레벨의 정극성/부극성 감마전압(CVGH, CVGL)으로 선택한다. 이러한 충전편차 보상회로(13)에 대해서는 도 7 내지 도 11을 참조하여 상세히 후술한다.
- [0035] DAC(124)는 도 6과 같이 기준 레벨 또는 보상 레벨의 정극성 감마전압(VGH/CVGH)이 공급되는 P-디코더(PDEC)(1241), 부극성 감마전압(VGL)이 공급되는 N-디코더(NDEC)(1242), 극성제어신호(POL)에 응답하여 P-디코더(1241)의 출력과 N-디코더(1242)의 출력을 선택하는 멀티플렉서(1243)를 포함한다. P-디코더(1241)는 제2 래치 어레이(123)로부터 입력되는 디지털 비디오 데이터(RGB)를 디코딩하여 그 데이터의 계조값에 해당하는 기준 레벨 또는 보상 레벨의 정극성 감마전압(VGH/CVGH)을 출력하고, N-디코더(1242)는 제2 래치 어레이(123)로부터 입력되는 디지털 비디오 데이터(RGB)를 디코딩하여 그 데이터의 계조값에 해당하는 기준 레벨 또는 보상 레벨의 부극성 감마전압(VGL/CVGL)을 출력한다. 멀티플렉서(1243)는 극성제어신호(POL)에 응답하여 정극성 감마전압들(VGH/CVGH)과 부극성 감마전압들(VGL/CVGL) 중 어느 하나를 선택한다.
- [0036] 차지웨어회로(125)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지웨어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 정극성 데이터전압과 부극성 데이터전압의 급격한 변화를 줄인다.
- [0037] 출력회로(126)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.
- [0038] 도 7은 도 5의 제어신호 발생기(131)를 상세히 보여준다. 그리고, 도 8은 제어신호 발생기(131)를 통해 발생하는 보상제어신호(CCP)를 보여준다.
- [0039] 도 7을 참조하면, 제어신호 발생기(131)는 에지 트리거되는 D-플립 플롭을 포함한다. D-플립 플롭은 입력단(D)을 통해 공급되는 입력 신호를 소스 출력 인에이블신호(SOE)의 시간 간격만큼 지연시켜 출력단(Q)으로 출력한다. 이를 통해 제어신호 발생기(131)는 도 8과 같이, 대략 1 수평기간(1H)을 주기로 발생하는 소스 출력 인에이블신호(SOE)의 라이징 에지들에 동기하여 트리거됨으로써 대략 1 수평기간(1H)을 주기로 제1 논리레벨(HIGH)과 제2 논리레벨(LOW)을 반복하는 보상제어신호(CCP)를 발생한다. 따라서, 보상제어신호(CCP)는 기수번째 게이트라인들과 우수번째 게이트라인들이 스캔될 때 서로 다른 논리레벨로 동기될 수 있다. 예컨대, 보상제어신호(CCP)는 기수번째 게이트라인들이 스캔되는 타이밍에 맞춰 제1 논리레벨(HIGH)로 발생될 수 있고, 우수번째 게이트라인들이 스캔되는 타이밍에 맞춰 제2 논리레벨(LOW)로 발생될 수 있다.
- [0040] 도 9 및 도 10은 도 5의 감마전압 조정기(132)를 상세히 보여준다.
- [0041] 도 9 및 도 10을 참조하면, 감마전압 조정기(132)는 스위칭부(132a)와 감마저항 스트링부(132b)를 포함한다.
- [0042] 감마저항 스트링부(132b)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 사이에서 서로 직렬로 접속된 다수의 분압용 저항들(R)을 포함하는 저항 스트링(String)과, 저항들(R) 사이에 형성되어 해당 레벨의 감마전압 각각을

출력하기 위한 다수의 분압 노드들을 구비한다. 이러한 감마저항 스트링부(132b)는 디지털 비디오 데이터(RGB)의 비트수(예컨대, 8비트)로 표현 가능한 계조 수(예컨대, 256)에 해당되는 기준 레벨의 정극성 감마전압들(VGH1 내지 VGH256)과, 상기 계조 수에 해당되는 기준 레벨의 부극성 감마전압들(VGL1 내지 VGL256)을 발생한다. 특히, 감마저항 스트링부(132b)는 피크 화이트 계조 대비 대략 25% ~ 75%의 계조값을 갖는 중간 계조 구간(64Gray ~ 190Gray)에 대응하여 해당 기준 레벨의 정극성/부극성 감마전압들(VGH64 내지 VGH190, VGL64 내지 VGL190)과 함께 선택적으로 보상 레벨의 정극성/부극성 감마전압들(CVGH64 내지 CVGH190, CVGL64 내지 CVGL190)을 발생한다. 여기서, 보상 레벨의 감마전압들이 발생하는 특정 계조 구간을 피크 화이트 계조 대비 대략 25% ~ 75%의 계조값을 갖는 범위로 설정한 이유는 이 계조 범위 내에서 세로 뒨 불량과 같은 현상이 가장 두드러지기 때문이다. 다만, 경우에 따라서 특정 계조 구간은 상기 예시된 구간보다 더 넓어질수도 있고 더 좁아질 수도 있음은 물론이다.

[0043] 스위칭부(132a)는 중간 계조에 대응되는 분압 노드에 접속되어 보상제어신호(CCP)의 논리레벨에 따라 기준 레벨의 정극성/부극성 감마전압이 출력되는 제1 단자(d1)와 보상 레벨의 정극성/부극성 감마전압이 출력되는 제2 단자(d2)에 선택적으로 접속되는 다수의 스위치들(SW)을 구비한다. 스위치들(SW) 각각은 보상제어신호(CCP)가 제1 논리레벨(HIGH)로 발생하는 기간 동안 제1 단자(d1)에 접속되는 반면, 보상제어신호(CCP)가 제2 논리레벨(LOW)로 발생하는 기간 동안 제2 단자(d2)에 접속된다. 여기서, 보상 레벨의 정극성 감마전압은 기준 레벨의 정극성 감마전압에 비해 충전편차 만큼 낮은 전위를 가지며, 보상 레벨의 부극성 감마전압은 기준 레벨의 부극성 감마전압에 비해 충전편차 만큼 높은 전위를 가진다. 충전편차란 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)의 충전량과 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)의 충전량 간의 편차를 의미한다.

[0044] 도 11은 도 2의 제1 및 제2 수평라인(HL1, HL2)에 배치된 액정셀들에 대해 액정셀들 간 충전특성 편차가 보상되는 것을 보여준다.

[0045] 도 11을 참조하면, 기수번째 스캔 타임(G1, G3)에 동기되어 구동되는 액정셀들은 제1 논리레벨(HIGH)의 보상제어신호(CCP)에 의해 기준 레벨의 정극성 데이터전압 또는 기준 레벨의 부극성 데이터전압을 충전한다. 반면, 우수번째 스캔 타임(G2, G4)에 동기되어 구동되는 액정셀들은 제2 논리레벨(LOW)의 보상제어신호(CCP)에 의해 기준 레벨보다 충전편차( $\Delta V$ ) 만큼 낮은 정극성 데이터전압 또는 기준 레벨보다 충전편차( $\Delta V$ ) 만큼 높은 부극성 데이터전압을 충전한다. 이에 따라, 부극성 전압(또는 정극성 전압)으로부터 상승(또는 하강)하는 정극성 전압(또는 부극성 전압)의 충전량과 정극성 전압(또는 부극성 전압)으로부터 변하는 정극성 전압(또는 부극성 전압)의 충전량 간의 편차로 인해 발생되던 세로 뒨 현상은 효과적으로 방지된다.

[0046] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 아날로그 감마전압의 선택적인 레벨 변경을 통해 충전특성 편차를 보상함으로써 표시품위를 크게 향상시킬 수 있다.

[0047] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 도면의 간단한 설명

[0048] 도 1은 통상적인 액정표시장치의 화소의 등가 회로도.

[0049] 도 2는 DRD 방식으로 구동되는 종래 액정표시장치를 보여주는 도면.

[0050] 도 3은 도 2의 화살표 방향을 따라 액정셀들이 충전될 때 각 액정셀에서의 충전전압 파형을 보여주는 도면.

[0051] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.

[0052] 도 5 및 도 6은 데이터 구동회로를 구성하는 어느 하나의 데이터 드라이브 IC를 상세히 보여주는 도면.

[0053] 도 7은 도 5의 제어신호 발생기를 상세히 보여주는 도면.

[0054] 도 8은 제어신호 발생기를 통해 발생하는 보상제어신호의 파형도.

[0055] 도 9 및 도 10은 도 5의 감마전압 조정기를 상세히 보여주는 도면.

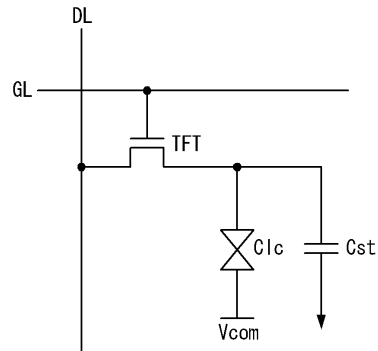
[0056] 도 11은 도 2의 제1 및 제2 수평라인에 배치된 액정셀들에 대해 액정셀들 간 충전특성 편차가 보상되는 것을 보여주는 파형도.



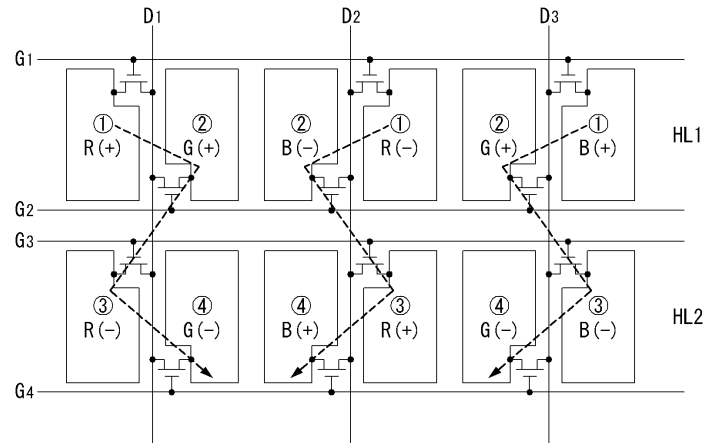
|        |                        |                |
|--------|------------------------|----------------|
| [0057] | 〈도면의 주요 부분에 대한 부호의 설명〉 |                |
| [0058] | 10 : 액정표시패널            | 11 : 타이밍 콘트롤러  |
| [0059] | 12 : 데이터 구동회로          | 13 : 충전편차 보상회로 |
| [0060] | 14 : 게이트 구동회로          | 131 : 제어신호 발생기 |
| [0061] | 132 : 감마전압 조정기         |                |

## 도면

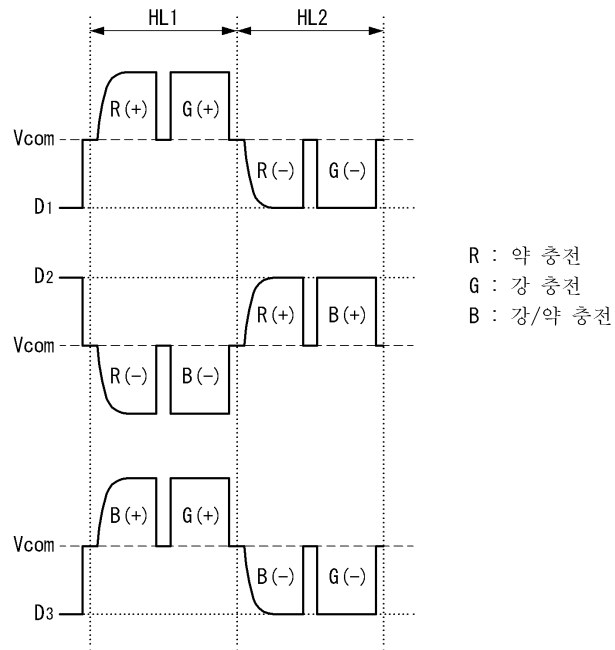
### 도면1



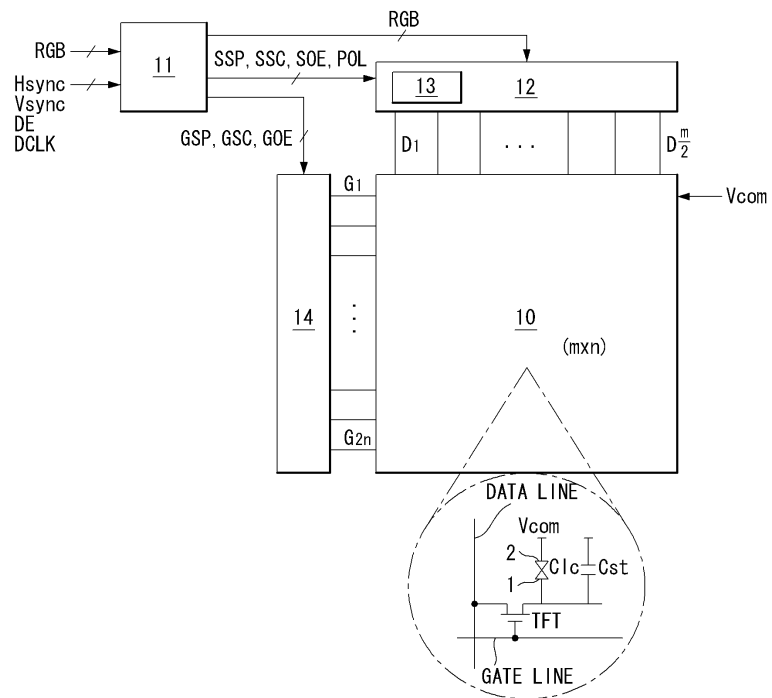
### 도면2



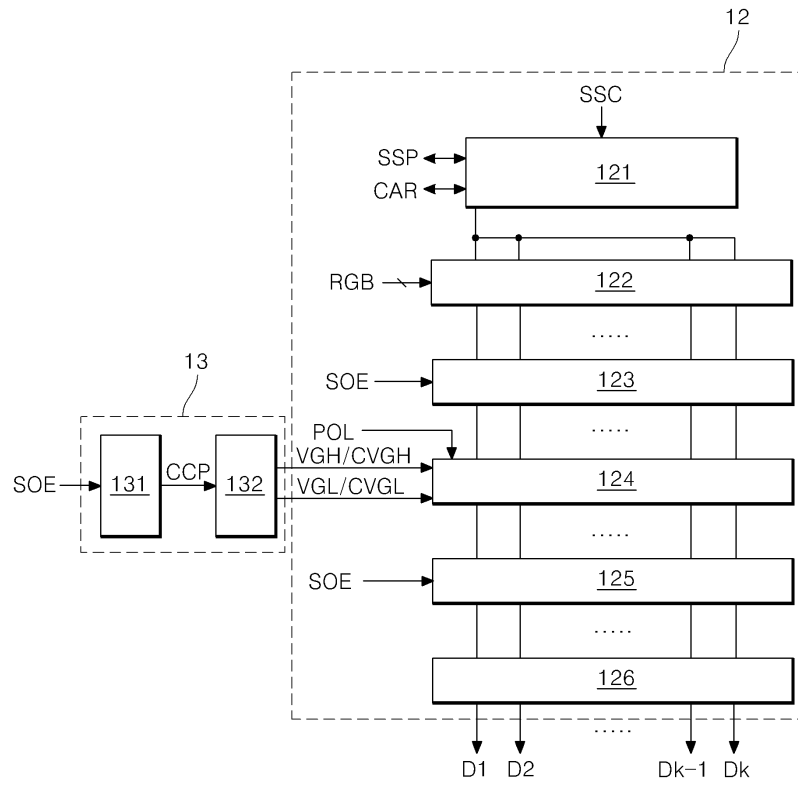
도면3



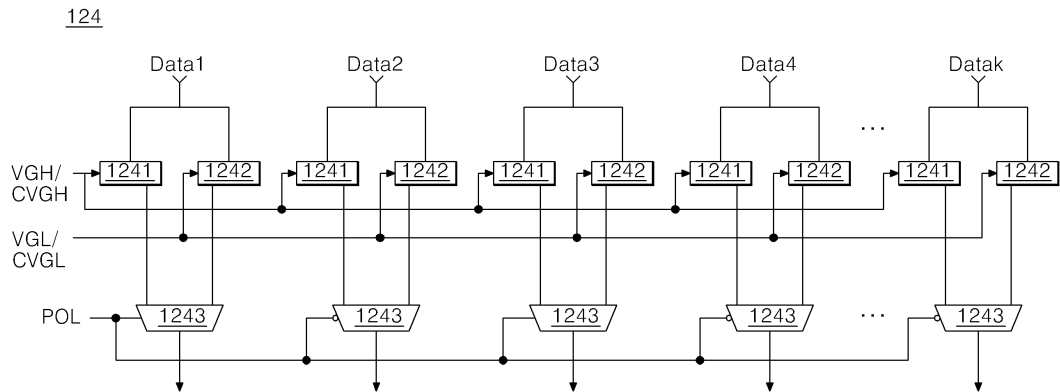
도면4



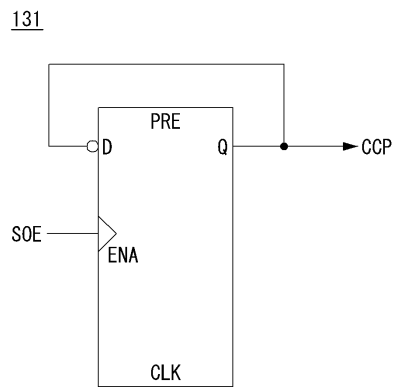
도면5



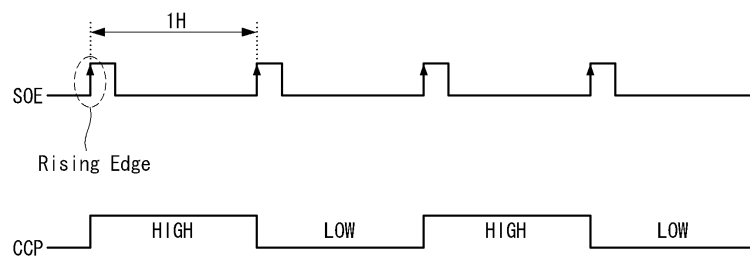
도면6



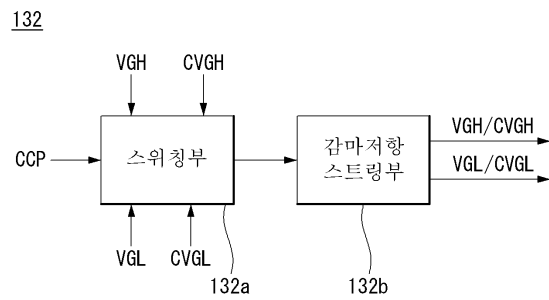
도면7



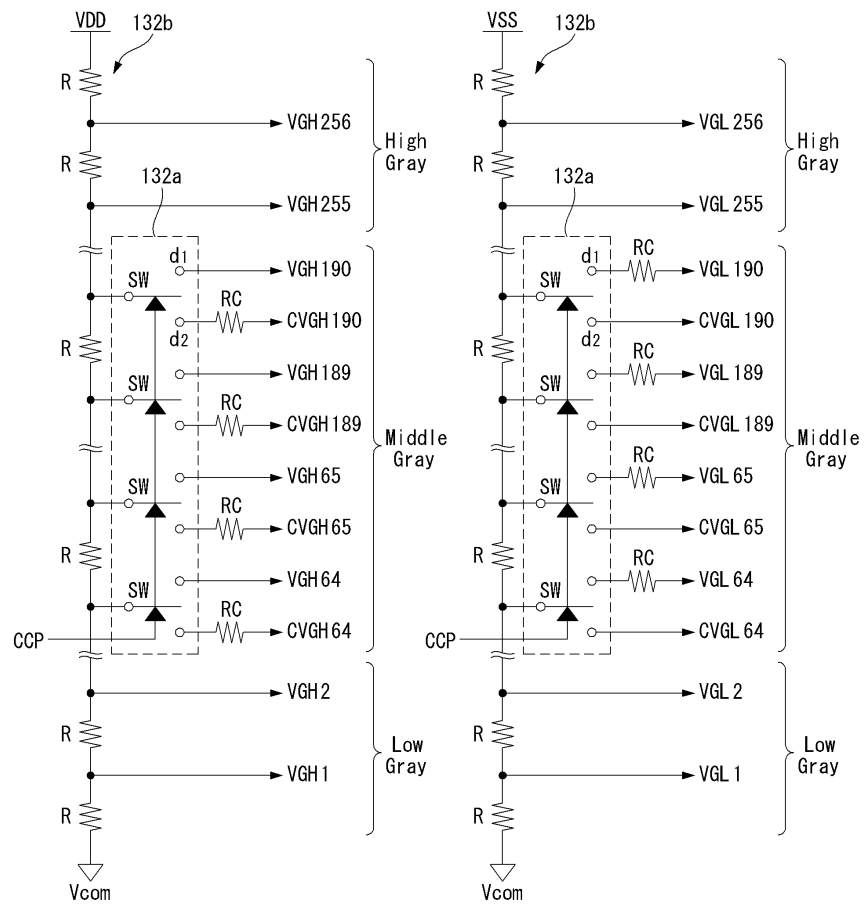
도면8



도면9

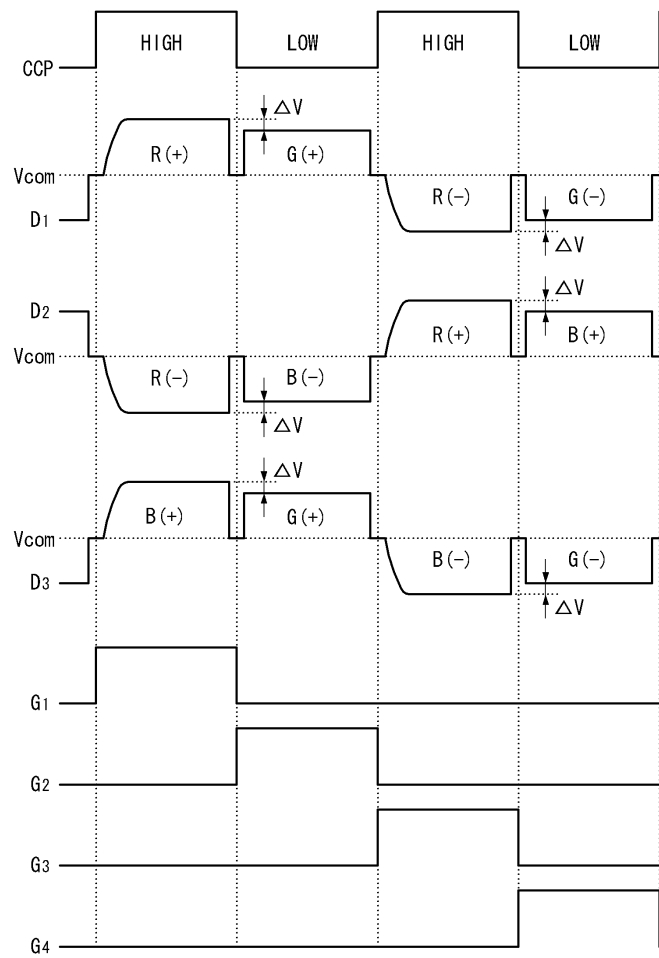


도면10





도면11



|                |                                                                        |         |            |
|----------------|------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                                  |         |            |
| 公开(公告)号        | <a href="#">KR1020100060377A</a>                                       | 公开(公告)日 | 2010-06-07 |
| 申请号            | KR1020080118953                                                        | 申请日     | 2008-11-27 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                               |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                              |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                              |         |            |
| [标]发明人         | NAM SANG JIN<br>남상진<br>JUNG YONG CHAE<br>정용채<br>PARK SEUNG CHUL<br>박승철 |         |            |
| 发明人            | 남상진<br>정용채<br>박승철                                                      |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                            |         |            |
| CPC分类号         | G09G2320/0242 G09G2320/0673 G09G3/3614 G09G3/3688 G09G2300/0426        |         |            |
| 其他公开文献         | KR101322002B1                                                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                              |         |            |

#### 摘要(译)

本发明涉及一种在DRD (驱动双速率) 方案驱动的液晶显示装置, 并且更具体地涉及能够通过补偿液晶单元之间的电荷差提高显示质量的液晶显示装置。横跨米的液晶显示装置/ 2共享数据线和所述第一和第二栅极线被分配, 共享数据线, 每一个用于驱动设置在同一水平线上的液晶单元的m个一种液晶显示面板, 其中两个相邻的液晶单元对称地连接到第一和第二栅极线;栅极驱动电路, 用于顺序地向第一和第二栅极线提供扫描脉冲;在第一参考电平产生模拟正伽马电压, 并且与驱动第一栅极线的第一扫描时间同步地在第二参考电平产生模拟负伽马电压, 第二个由第二同步于扫描时间的是, 栅极线驱动模拟正伽马电压与第一和也降低1个补偿水平比基准电平的发生以及模拟负伽马电压到所述第二参考电平电荷偏差补偿电路, 发生在第二高补偿电平;并响应于在单元被反转极性控制信号的两个水平周期将模拟正伽马电压中的一个和所述模拟负伽马电压到到数据驱动电路, 用于提供到所述数据线的输入的数字视频数据和。

