



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0056152
(43) 공개일자 2010년05월27일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0115189

(22) 출원일자 2008년11월19일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

문대웅

경기 군포시 오금동 퇴계2차아파트 354동 1604호

김해열

경기도 파주시 금촌동 후곡마을 트란채아파트 405동 801호

(74) 대리인

김용인, 박영복

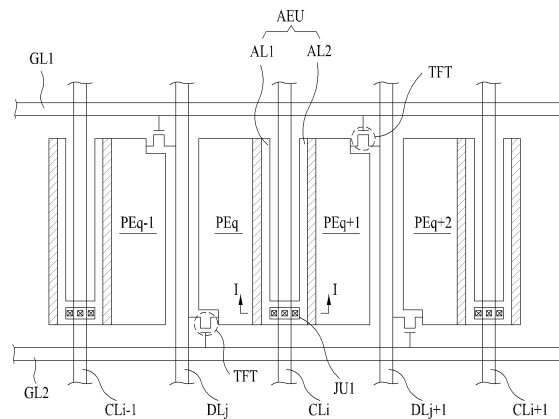
전체 청구항 수 : 총 10 항

(54) 액정표시장치

(57) 요약

본 발명은 공통 라인의 저항을 최소화할 수 있는 액정표시장치에 관한 것으로, 서로 교번하여 배열된 다수의 데이터 라인들과 다수의 공통 라인들; 상기 데이터 라인들 및 공통 라인들에 교차하도록 배열된 다수의 게이트 라인들; 상기 데이터 라인, 공통 라인, 및 게이트 라인에 의해 둘러싸여 정의된 화소영역에 형성된 화소전극; 및, 임의의 공통 라인에 전기적으로 연결된 상태에서, 상기 임의의 공통 라인에 인접한 임의의 화소전극들의 일부를 중첩하는 적어도 하나의 보조 전극부를 포함함을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

서로 교번하여 배열된 다수의 데이터 라인들과 다수의 공통 라인들;

상기 데이터 라인들 및 공통 라인들에 교차하도록 배열된 다수의 게이트 라인들;

상기 데이터 라인, 공통 라인, 및 게이트 라인에 의해 둘러싸여 정의된 화소영역에 형성된 화소전극; 및,

임의의 공통 라인에 전기적으로 연결된 상태에서, 상기 임의의 공통 라인에 인접한 임의의 화소전극들의 일부를 중첩하는 적어도 하나의 보조 전극부를 포함함을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 보조 전극부는,

상기 임의의 공통 라인의 일측에 위치하며, 상기 임의의 공통 라인의 일측에 위치한 화소 전극의 일부를 중첩하는 제 1 보조 라인;

상기 임의의 공통 라인의 타측에 위치하며, 상기 임의의 공통 라인의 타측에 위치한 화소 전극의 일부를 중첩하는 제 2 보조 라인을 포함하며;

상기 제 1 보조 라인의 일측 단부와 상기 제 2 보조 라인의 일측 단부가 서로 연결된 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 및 제 2 보조 라인의 각 일측 단부와 상기 공통 라인의 일측간을 연결하는 제 1 연결부를 더 포함함을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제 1 보조 라인의 타측 단부와 상기 제 2 보조 라인의 타측 단부가 서로 연결된 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 2 보조 라인의 각 타측 단부와 상기 공통 라인의 타측간을 연결하는 제 2 연결부를 더 포함함을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 공통 라인은 상기 데이터 라인과 동일한 물질로 제조되고;

상기 제 1 및 제 2 보조 라인은 상기 게이트 라인과 동일한 물질로 제조되고; 그리고,

상기 제 1 및 제 2 연결부는 상기 화소 전극과 동일한 물질로 제조됨을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 데이터 라인에 근접하여 위치한 화소 전극의 일부를 중첩하는 보조 공통 라인;

상기 화소 전극의 중심부에 위치하며, 상기 보조 공통 라인과 보조 전극부를 전기적으로 연결시키는 보조 연결부를 더 포함하며; 그리고,

상기 보조 공통 라인, 보조 전극부, 및 보조 연결부가 일체로 구성됨을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 보조 공통 라인, 보조 전극부, 및 보조 연결부는 상기 게이트 라인과 동일한 물질로 제조됨을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 게이트 라인들은,

수평라인을 따라 배열된 한 수평라인분의 화소들을 포함하는 화소행의 상측에 위치한 제 1 게이트 라인; 및,

상기 화소행의 하측에 위치한 제 2 게이트 라인을 포함함을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

한 수평라인을 따라 배열된 화소셀들 중 홀수번째 화소셀들은 상기 제 1 게이트 라인에 접속되며, 짝수번째 화소셀들은 상기 제 2 게이트 라인에 접속됨을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 공통 라인의 저항을 최소화할 수 있는 액정표시장치에 대한 것이다.

배경 기술

[0002] 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 화소셀마다 스위칭소자가 형성되어 동영상 표시하기에 유리하다. 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)가 이용되고 있다.

[0003] 이러한 액정표시장치는 서로 교차하는 다수의 게이트 라인들과 다수의 데이터 라인들과, 상기 다수의 게이트 라인들과 데이터 라인들에 의해 정의된 화소영역마다 형성된 화소셀을 포함한다.

[0004] 각 화소셀은 자신에게 공급된 데이터 신호를 한 프레임 기간동안 안정적으로 유지시키기 위한 스토리지 커패시터를 포함한다. 이 스토리지 커패시터는 공통 전압을 전송하는 공통 라인의 일부를 상부 또는 하부 전극으로 사용하는데, 이에 따라 이 공통 라인의 저항을 줄이는 것이 중요하다.

발명의 내용

해결하고자하는 과제

[0005] 본 발명에서는 이 공통 라인의 저항을 최소화할 수 있는 구조를 제안하는데 그 목적 있다.

과제 해결수단

[0006] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교번하여 배열된 다수의 데이터 라인들과 다수의 공통 라인들; 상기 데이터 라인들 및 공통 라인들에 교차하도록 배열된 다수의 게이트 라인들; 상기 데이터 라인, 공통 라인, 및 게이트 라인에 의해 둘러싸여 정의된 화소영역에 형성된 화소전극; 및, 임의의

공통 라인에 전기적으로 연결된 상태에서, 상기 임의의 공통 라인에 인접한 임의의 화소전극들의 일부를 중첩하는 적어도 하나의 보조 전극부를 포함함을 특징으로 한다.

- [0007] 상기 보조 전극부는, 상기 임의의 공통 라인의 일측에 위치하며, 상기 임의의 공통 라인의 일측에 위치한 화소 전극의 일부를 중첩하는 제 1 보조 라인; 상기 임의의 공통 라인의 타측에 위치하며, 상기 임의의 공통 라인의 타측에 위치한 화소 전극의 일부를 중첩하는 제 2 보조 라인을 포함하며; 상기 제 1 보조 라인의 일측 단부와 상기 제 2 보조 라인의 일측 단부가 서로 연결된 것을 특징으로 한다.
- [0008] 상기 제 1 및 제 2 보조 라인의 각 일측 단부와 상기 공통 라인의 일측간을 연결하는 제 1 연결부를 더 포함함을 특징으로 한다.
- [0009] 상기 제 1 보조 라인의 타측 단부와 상기 제 2 보조 라인의 타측 단부가 서로 연결된 것을 특징으로 한다.
- [0010] 상기 제 1 및 제 2 보조 라인의 각 타측 단부와 상기 공통 라인의 타측간을 연결하는 제 2 연결부를 더 포함함을 특징으로 한다.
- [0011] 상기 공통 라인은 상기 데이터 라인과 동일한 물질로 제조되고; 상기 제 1 및 제 2 보조 라인은 상기 게이트 라인과 동일한 물질로 제조되고; 그리고, 상기 제 1 및 제 2 연결부는 상기 화소 전극과 동일한 물질로 제조됨을 특징으로 한다.
- [0012] 상기 데이터 라인에 근접하여 위치한 화소 전극의 일부를 중첩하는 보조 공통 라인; 상기 화소 전극의 중심부에 위치하며, 상기 보조 공통 라인과 보조 전극부를 전기적으로 연결시키는 보조 연결부를 더 포함하며; 그리고, 상기 보조 공통 라인, 보조 전극부, 및 보조 연결부가 일체로 구성됨을 특징으로 한다.
- [0013] 상기 보조 공통 라인, 보조 전극부, 및 보조 연결부는 상기 게이트 라인과 동일한 물질로 제조됨을 특징으로 한다.
- [0014] 상기 게이트 라인들은, 수평라인을 따라 배열된 한 수평라인분의 화소들들을 포함하는 화소행의 상측에 위치한 제 1 게이트 라인; 및, 상기 화소행의 하측에 위치한 제 2 게이트 라인을 포함함을 특징으로 한다.
- [0015] 한 수평라인을 따라 배열된 화소셀들 중 홀수번째 화소셀들은 상기 제 1 게이트 라인에 접속되며, 짝수번째 화소셀들은 상기 제 2 게이트 라인에 접속됨을 특징으로 한다.

효 과

- [0016] 본 발명에 따른 액정표시장치에는 다음과 같은 효과가 있다.
- [0017] 첫째, 데이터 라인이 위치하지 않는 화소셀들 사이에 스토리지 커패시터를 형성하기 위한 공통 라인을 형성함으로써 개구율의 감소를 방지할 수 있다.
- [0018] 둘째, 보조 전극부를 게이트 라인과 동일 물질로 형성하고 이러한 보조 전극부와 공통 라인을 접속시킴으로써 공통 라인의 저항을 감소시킬 수 있으므로 이 공통 라인에서의 공통 전압의 왜곡을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.
- [0020] 본 발명의 실시예에 따른 액정표시장치는, 도 1에 도시된 바와 같이, 다수의 화소셀들을 포함하는 액정패널(100)과, 상기 액정패널(100)의 게이트 라인들 및 공통 라인들을 구동하기 위한 게이트 드라이버(GD)와, 상기 액정패널(100)의 데이터 라인들(DL1 내지 DLn)을 구동하기 위한 데이터 드라이버(DD)를 포함한다.
- [0021] 데이터 라인들(DL1 내지 DLn)과 공통 라인들(CL1 내지 CLm)을 서로 평행하게 배열되는데, 이 데이터 라인과 공통 라인은 서로 교번적으로 배열된다. 게이트 라인들은 상기 데이터 라인들(DL1 내지 DLn) 및 공통 라인들(CL1 내지 CLm)을 교차하도록 배열된다.
- [0022] 게이트 라인들은 교번적으로 배열된 다수의 제 1 및 제 2 게이트 라인(GL1, GL2)들을 포함한다. 제 1 게이트 라인(GL1)은 각 수평라인(HL1 내지 HLk)의 상측에 위치하며, 제 2 게이트 라인(GL2)은 각 수평라인(HL1 내지 HLk)의 하측에 위치한다.
- [0023] 제 1 게이트 라인(GL1), 제 2 게이트 라인(GL2), 데이터 라인 및 공통 라인에 의해 둘러싸인 영역이 화소영역이며, 이 화소영역에 화소셀(PXL)이 형성된다.

- [0024] 화소셀(PXL)들은 적색 화상을 표시하기 위한 적색 화소셀들, 녹색 화상을 표시하기 위한 녹색 화소셀들, 및 청색 화상을 표시하기 위한 청색 화소셀들을 포함한다. 한 수평라인을 따라 배열된 다수의 화소셀(PXL)들 중 홀수 번째 화소셀들은 제 1 게이트 라인(GL1)에 접속되며, 짝수번째 화소셀들은 제 2 게이트 라인(GL2)에 접속된다.
- [0025] 하나의 데이터 라인의 양측에 위치한 두 개의 화소셀(PXL)은 이 하나의 데이터 라인에 공통으로 접속된다.
- [0026] 여기서, 임의의 공통 라인의 하부에는 이 공통 라인에 접속된 상태에서, 상기 임의의 공통 라인에 인접한 임의의 화소전극들의 일부를 중첩하는 적어도 하나의 보조 전극부를 포함한다. 이 보조 전극부에 대하여 좀 더 구체적으로 설명하면 다음과 같다.
- [0027] 도 2는 본 발명의 제 1 실시예에 따른 보조 전극부(AEU)의 구조를 설명하기 위한 도면이고, 도 3은 도 2에서의 보조 전극부(AEU)의 형태를 나타낸 도면이며, 그리고 도 4는 도 2의 I~I 선상에 따른 단면도를 나타낸 도면이다.
- [0028] 먼저, 도 2에 도시된 바와 같이, 하나의 화소셀(PXL)은 박막트랜지스터(TFT)와 화소전극을 포함한다. 박막트랜지스터(TFT)는 제 1 또는 제 2 게이트 라인(GL1, GL2)으로부터 게이트 신호에 따라 턴-온되며, 턴-온시 데이터 라인(DLi)으로부터의 데이터 신호를 화소 전극(PEq)에 공급한다. 이 화소 전극(PEq)과 이에 대하여 위치한 공통 전극(도시되지 않음) 사이에는 액정층(도시되지 않음)이 형성되는데, 이 화소 전극(PEq)에 데이터 신호가 공급됨에 따라 액정층의 투과율이 변화되어 화상이 표시된다.
- [0029] 도 2 내지 도 4에 도시된 바와 같이, 제 1 실시예에 따른 보조 전극부(AEU)는 제 1 보조 라인(AL1)과 제 2 보조 라인(AL2)을 포함한다.
- [0030] 제 1 보조 라인(AL1)은 임의의 공통 라인(CLi)의 일측에 위치하며, 상기 임의의 공통 라인(CLi)의 일측에 위치한 화소 전극(PEq)의 일부를 중첩한다. 그리고, 제 2 보조 라인(AL2)은 상기 임의의 공통 라인(CLi)의 타측에 위치하며, 상기 임의의 공통 라인(CLi)의 타측에 위치한 화소 전극(PEq+1)의 일부를 중첩한다. 여기서, 제 1 보조 라인(AL1)의 일측 단부와 제 2 보조 라인(AL2)의 일측 단부가 서로 연결된다. 한편, 제 1 연결부(JU1)는 제 1 및 제 2 보조 라인(AL1, AL2)의 각 일측 단부와 상기 공통 라인(CLi)의 일측간을 연결한다. 이 제 1 연결부(JU1)에 의해 상기 제 1 및 제 2 보조 라인(AL1, AL2)과 공통 라인(CLi)이 서로 연결되어 공통 라인(CLi)으로부터의 공통 전압이 상기 제 1 및 제 2 보조 라인(AL1, AL2)에 공급된다.
- [0031] 예를 들어, 도 2 내지 도 4에 도시된 바와 같이, 임의의 공통 라인(CLi)의 일측에는 제 1 보조 라인(AL1)이 위치하는데, 이 제 1 보조 라인(AL1)의 가장자리는 화소 전극(PEq)의 가장자리와 중첩하고 있다. 이 제 1 보조 라인(AL1)과 화소 전극(PEq)이 중첩하는 부분(OL1)에서 제 1 스토리지 커패시터(Cst1)가 형성된다. 이 제 1 스토리지 커패시터(Cst1)의 제 1 보조 라인(AL1)이 커패시터의 하부 전극으로서 기능하며, 화소 전극(PEq)이 상부 전극으로서 기능하며, 그리고 이 상부 전극과 하부 전극 사이에 위치한 게이트 절연막(GI) 및 보호막(PS)이 커패시터의 유전체로서 기능한다.
- [0032] 이와 비슷하게, 임의의 공통 라인(CLi)의 타측에는 제 2 보조 라인(AL2)이 위치하는데, 이 제 2 보조 라인(AL2)의 가장자리는 화소 전극(PEq+1)의 가장자리와 중첩하고 있다. 이 제 2 보조 라인(AL2)과 화소 전극(PEq+1)이 중첩하는 부분(OL2)에서 제 2 스토리지 커패시터(Cst2)가 형성된다. 이 제 2 스토리지 커패시터(Cst2)의 제 2 보조 라인(AL2)이 커패시터의 하부 전극으로서 기능하며, 화소 전극(PEq+1)이 상부 전극으로서 기능하며, 그리고 이 상부 전극과 하부 전극 사이에 위치한 게이트 절연막(GI) 및 보호막(PS)이 커패시터의 유전체로서 기능한다.
- [0033] 도 2 및 도 3에서의 빗금친 부분이 보조 전극부(AEU)와 화소 전극(PEq)이 중첩되는 부분이며, 이 중첩되는 부분(OL1, OL2)에서 제 1 및 제 2 스토리지 커패시터(Cst1, Cst2)가 형성된다.
- [0034] 도 4에 도시된 바와 같이, 제 1 및 제 2 콘택홀(CH1, CH2)을 통해서 제 1 및 제 2 보조 라인(AL1, AL2)의 일부가 노출된다. 이 제 1 및 제 2 콘택홀(CH1, CH2)은 보호막(PS) 및 게이트 절연막(GI)의 일부를 제거함으로써 형성된다. 그리고, 제 3 콘택홀(CH3)을 통해서 공통 라인(CLi)의 일측의 일부가 노출된다. 이 제 3 콘택홀(CH3)은 보호막(PS)의 일부를 제거함으로써 형성된다. 이 제 1 내지 제 3 콘택홀(CH1, CH2, CH3)을 통해서 제 1 연결부(JU1)는 제 1 및 제 2 보조 라인(AL1, AL2)과 공통 라인(CLi)간을 전기적으로 접속시킨다. 미설명된 도면 SUB는 액정패널(100)의 하부 기판을 의미한다.
- [0035] 한편, 이 하부 기판이 4마스크 공정으로 진행될 경우, 보조 전극부(AEU)와 게이트 절연막(GI) 사이에는 반도체층 및 오믹 콘택층이 더 형성된다.

- [0036] 공통 라인(CLi)은 데이터 라인(DLj)과 동일한 물질로 이루어지며, 제 1 및 제 2 보조 라인(AL1, AL2)은 게이트 라인과 동일한 물질로 이루어지며, 그리고 제 1 연결부(JU1)는 화소 전극(PEq)과 동일한 물질로 이루어진다.
- [0037] 도 5는 본 발명의 제 2 실시예에 따른 보조 전극부(AEU)의 구조를 설명하기 위한 도면이고, 도 6은 도 5에서의 보조 전극부(AEU)의 형태를 나타낸 도면이다.
- [0038] 본 발명의 제 2 실시예에 따른 보조 전극부(AEU)는 제 1 실시예의 보조 전극부(AEU)와 거의 동일하며, 단지 도 5 및 도 6에 도시된 바와 같이, 제 1 보조 라인(AL1)의 타측 단부와 제 2 보조 라인(AL2)의 타측 단부가 서로 연결되어 있다. 그리고, 이 제 1 및 제 2 보조 라인(AL1, AL2)의 각 타측 단부와 공통 라인(CLi)의 타측은 제 2 연결부(JU2)에 의해 서로 전기적으로 연결된다. 제 1 및 제 2 보조 라인(AL1, AL2)의 타측 단부와 제 2 연결부(JU2)간의 접속 관계는 도 4에 도시된 바와 같은 구조를 갖는다.
- [0039] 공통 라인(CLi)은 데이터 라인(DLj)과 동일한 물질로 이루어지며, 제 1 및 제 2 보조 라인(AL1, AL2)은 게이트 라인과 동일한 물질로 이루어지며, 그리고 제 1 및 제 2 연결부(JU1, JU2)는 화소 전극(PEq)과 동일한 물질로 이루어진다.
- [0040] 도 5 및 도 6에서의 빗금친 부분이 보조 전극부(AEU)와 화소 전극(PEq)이 중첩되는 부분이며, 이 중첩되는 부분에서 제 1 및 제 2 스토리지 커패시터가 형성된다.
- [0041] 도 7은 본 발명의 제 3 실시예에 따른 보조 전극부(AEU)의 구조를 설명하기 위한 도면이고, 도 8은 도 7에서의 보조 전극부(AEU)의 형태를 나타낸 도면이다.
- [0042] 본 발명의 제 3 실시예에 따른 보조 전극부(AEU)는, 도 7 및 도 8에 도시된 바와 같이, 직사각형 형태를 갖는다. 이 제 3 실시예에 따른 보조 전극부(AEU)의 일측 단부는 제 1 연결부(JU1)에 의해 공통 라인(CLi)의 일측에 전기적으로 연결되고, 이 보조 전극부(AEU)의 타측 단부는 제 2 연결부에 의해 공통 라인(CLi)의 타측에 전기적으로 연결된다.
- [0043] 공통 라인(CLi)은 데이터 라인(DLj)과 동일한 물질로 이루어지며, 보조 전극부(AEU)는 상기 게이트 라인과 동일한 물질로 이루어지며, 그리고 제 1 및 제 2 연결부(JU1, JU2)는 화소 전극(PEq)과 동일한 물질로 이루어진다.
- [0044] 도 7 및 도 8에서의 빗금친 부분이 보조 전극부(AEU)와 화소 전극(PEq)이 중첩되는 부분이며, 이 중첩되는 부분에서 스토리지 커패시터가 형성된다.
- [0045] 도 9는 본 발명의 제 4 실시예에 따른 보조 전극부(AEU)의 구조를 설명하기 위한 도면이고, 도 10은 도 9에서의 보조 전극부(AEU)의 형태를 나타낸 도면이다.
- [0046] 본 발명의 제 4 실시예에 따른 액정표시장치는, 도 9 및 도 10에 도시된 바와 같이, 데이터 라인(DLi)에 근접하여 위치한 화소 전극(PEq)의 일부를 중첩하는 보조 공통 라인(901)과, 화소 전극(PEq)의 중심부에 위치하며 보조 공통 라인(901)과 보조 전극부(AEU)를 전기적으로 연결시키는 보조 연결부(902)를 더 포함한다.
- [0047] 여기서, 보조 공통 라인(CLi), 보조 전극부(AEU), 및 보조 연결부(902)가 일체로 구성된다. 한편, 보조 공통 라인(901), 보조 전극부(AEU), 및 보조 연결부(902)는 상기 게이트 라인과 동일한 물질로 이루어진다.
- [0048] 도 9 및 도 10에서의 빗금친 부분이 보조 전극부(AEU)(또는 보조 공통 라인(901), 또는 보조 연결부(902))와 화소 전극(PEq)이 중첩되는 부분이며, 이 중첩되는 부분에서 스토리지 커패시터가 형성된다.
- [0049] 한편, 미설명된 도면 903은 서로 인접한 화소간의 보조 공통 라인간을 접속시키기 위한 연결부이다. 이 연결부(903)도 상기 게이트 라인과 동일 물질로 이루어진다.
- [0050] 이와 같이 본 발명에서는 데이터 라인이 위치하지 않는 화소셀(PXL)들 사이에 스토리지 커패시터를 형성하기 위한 공통 라인(CLi)을 형성함으로써 개구율의 감소를 방지함과 아울러, 보조 전극부(AEU)를 게이트 라인과 동일 물질로 형성하고 이러한 보조 전극부(AEU)와 공통 라인(CLi)을 접속시킴으로써 공통 라인(CLi)의 저항을 감소시킬 수 있으므로 이 공통 라인(CLi)에서의 공통 전압의 왜곡을 방지할 수 있다.
- [0051] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을

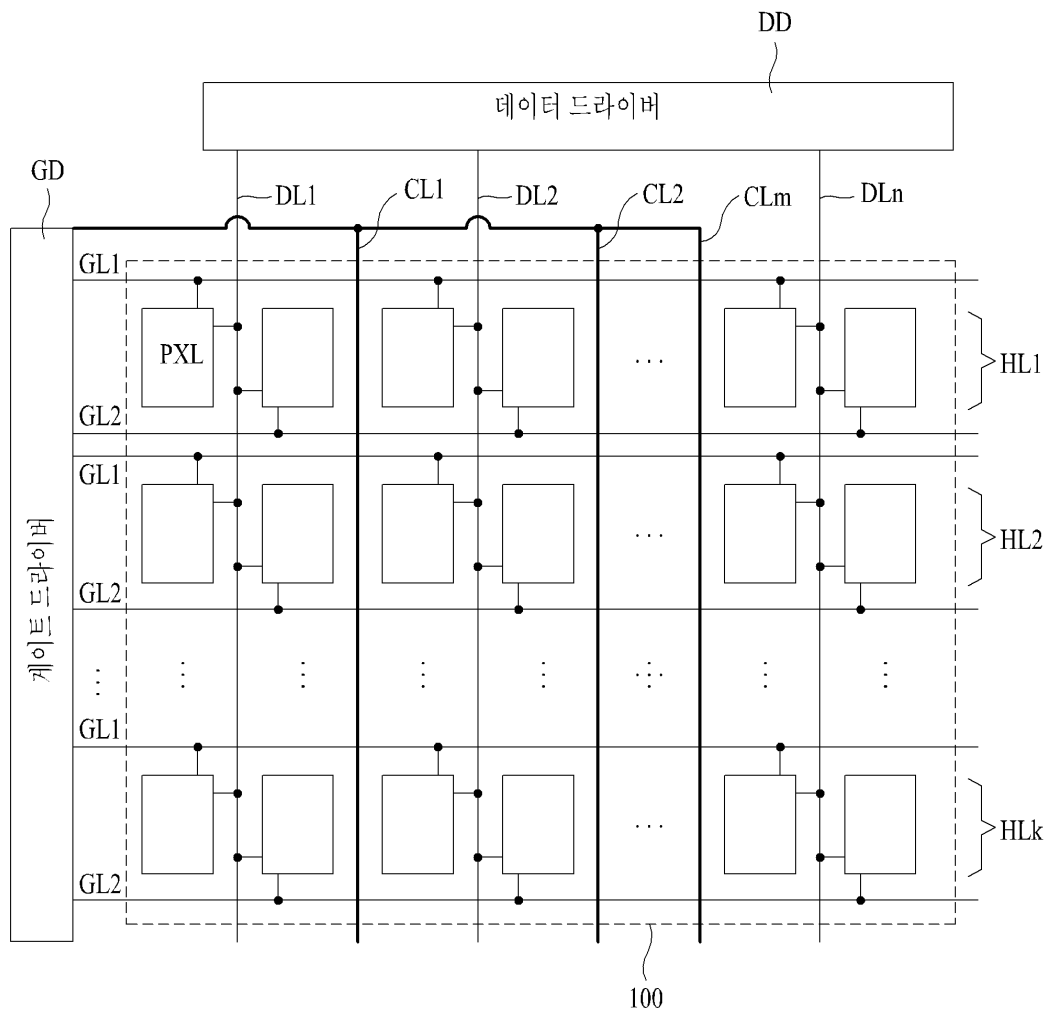
벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

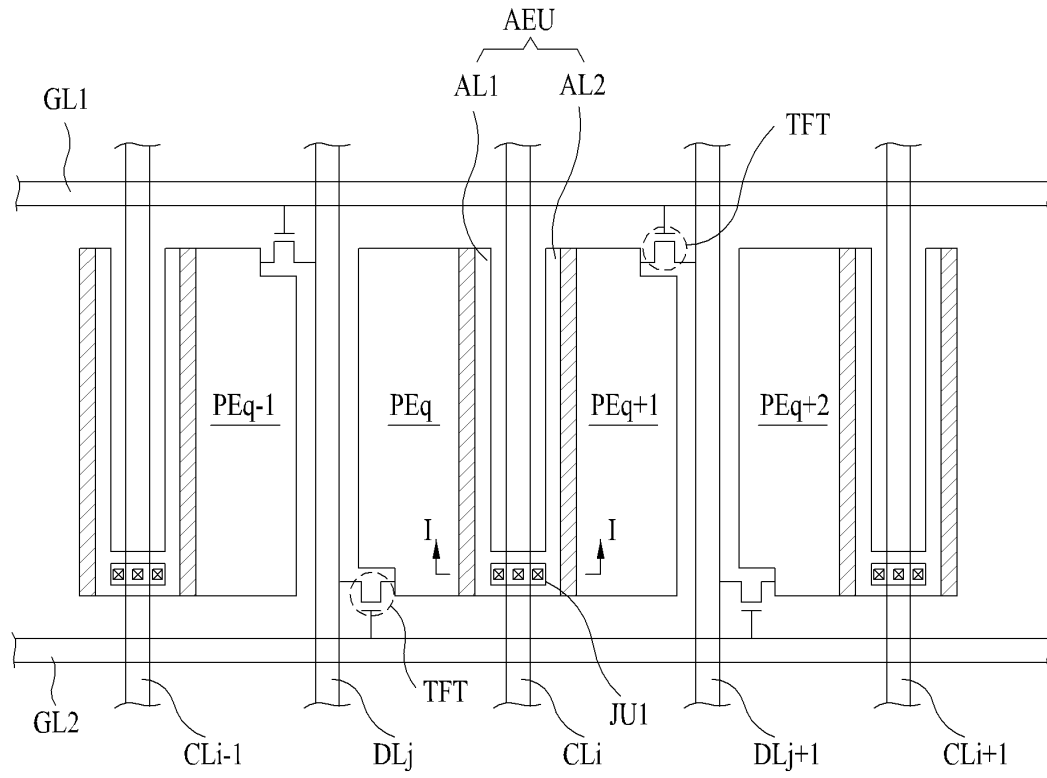
- [0052] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면
- [0053] 도 2는 본 발명의 제 1 실시예에 따른 보조 전극부의 구조를 설명하기 위한 도면
- [0054] 도 3은 도 2에서의 보조 전극부의 형태를 나타낸 도면
- [0055] 도 4는 도 2의 1~1 선상에 따른 단면도를 나타낸 도면
- [0056] 도 5는 본 발명의 제 2 실시예에 따른 보조 전극부의 구조를 설명하기 위한 도면
- [0057] 도 6은 도 5에서의 보조 전극부의 형태를 나타낸 도면
- [0058] 도 7은 본 발명의 제 3 실시예에 따른 보조 전극부의 구조를 설명하기 위한 도면
- [0059] 도 8은 도 7에서의 보조 전극부의 형태를 나타낸 도면
- [0060] 도 9는 본 발명의 제 4 실시예에 따른 보조 전극부의 구조를 설명하기 위한 도면
- [0061] 도 10은 도 9에서의 보조 전극부의 형태를 나타낸 도면

도면

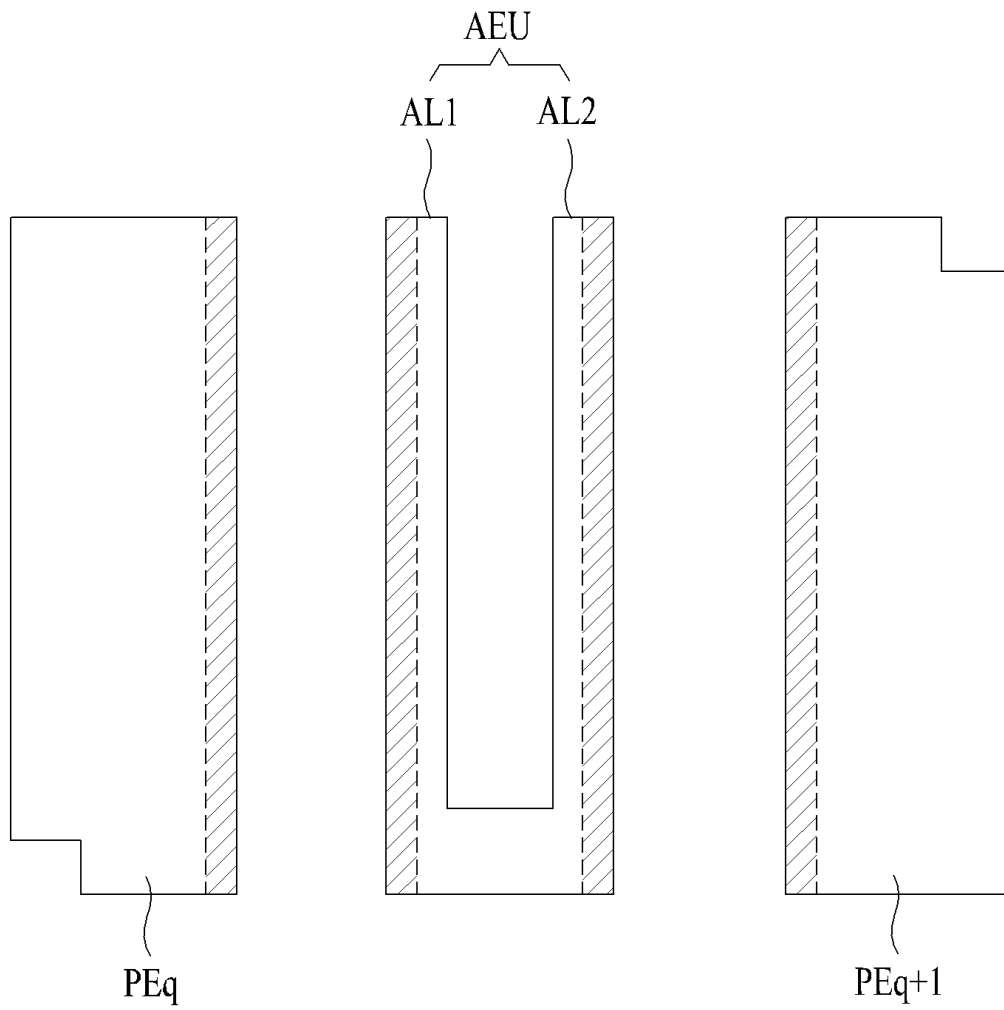
도면1



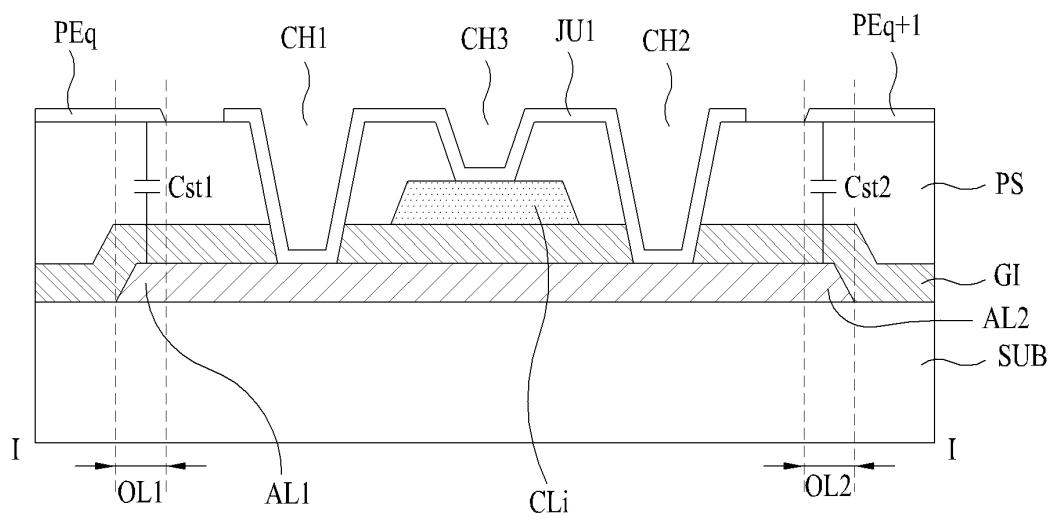
도면2



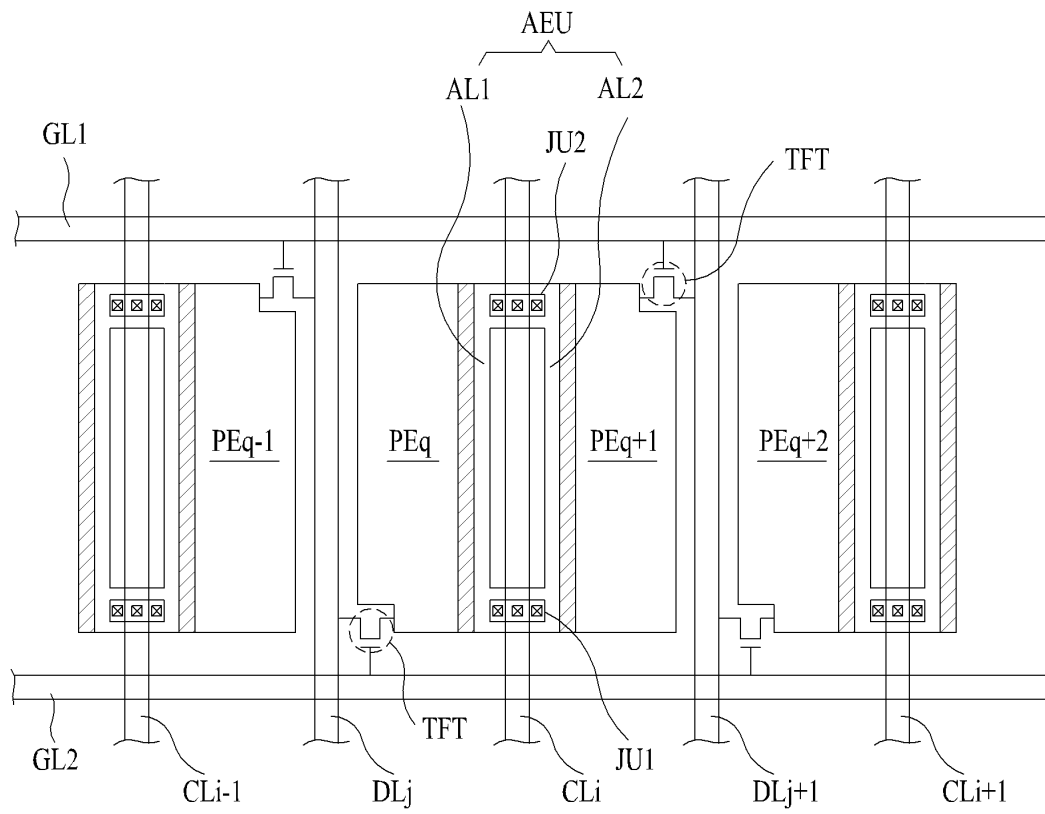
도면3



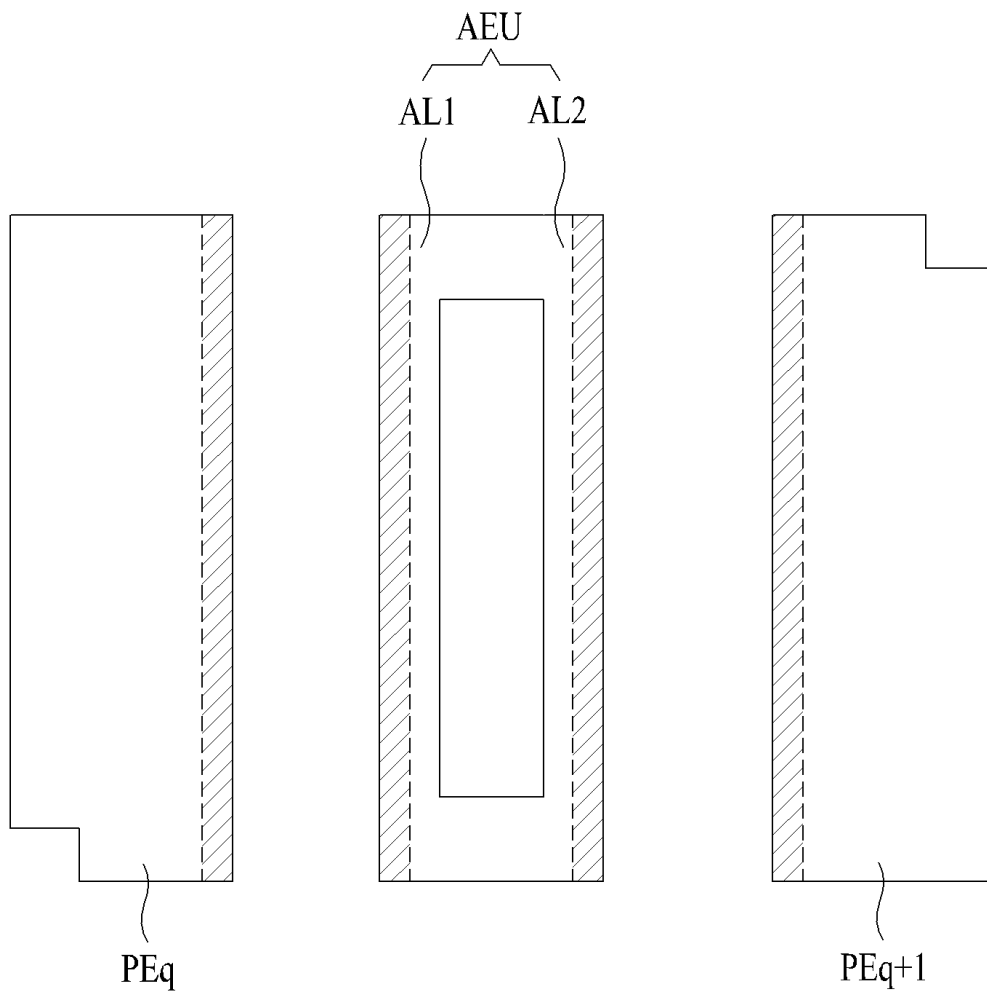
도면4



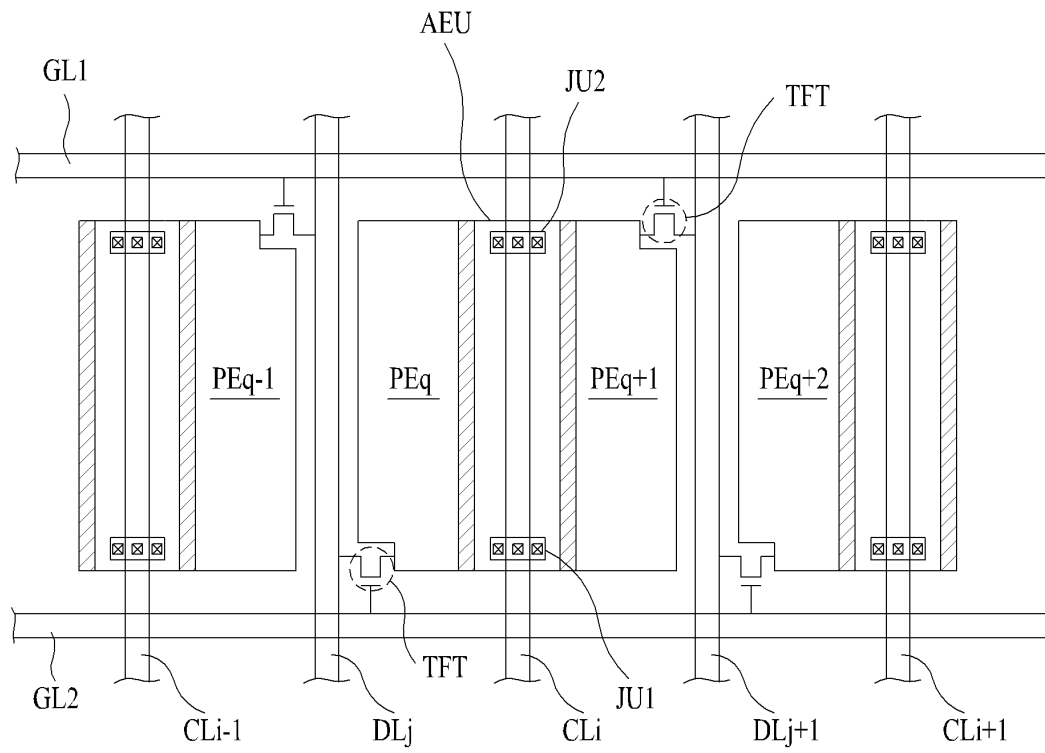
도면5



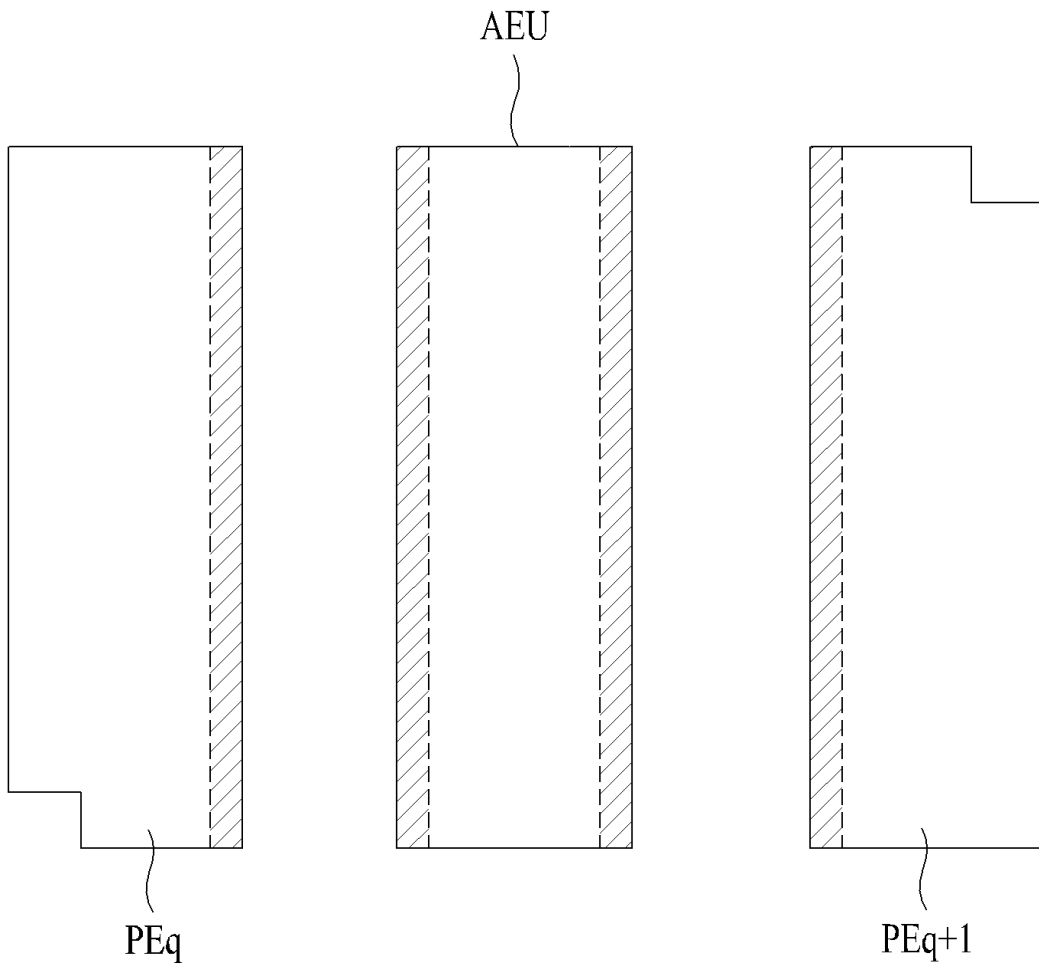
도면6



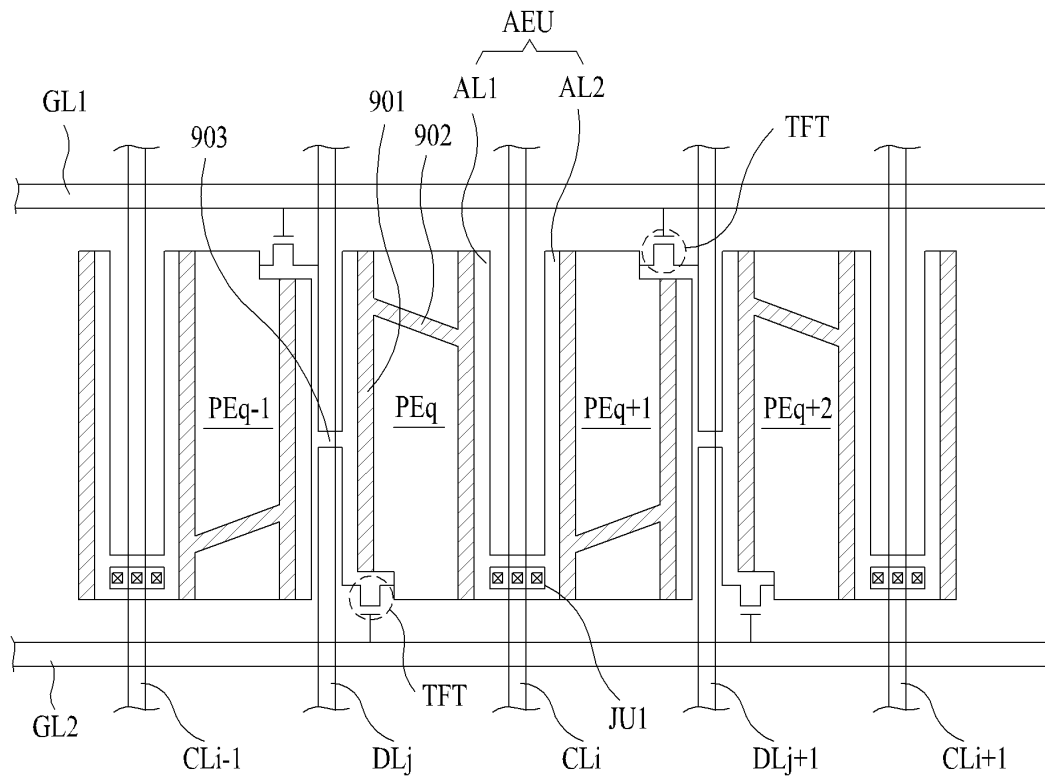
도면7



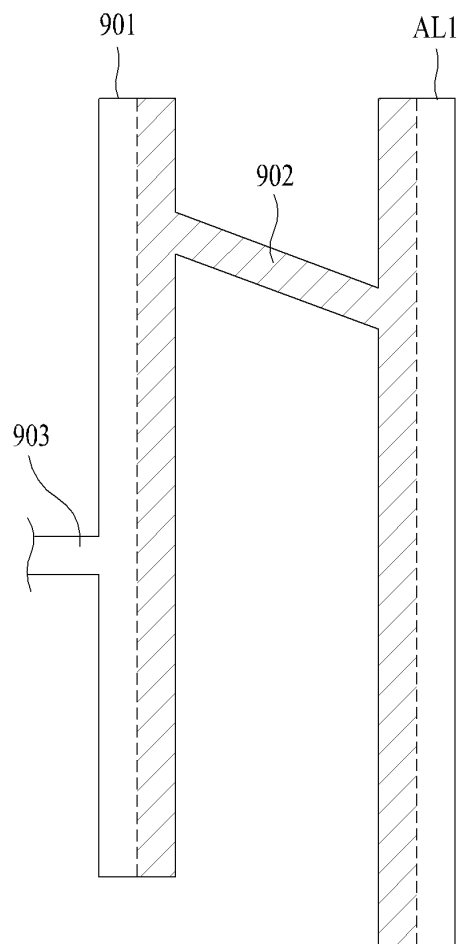
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100056152A	公开(公告)日	2010-05-27
申请号	KR1020080115189	申请日	2008-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON TAE WOONG 문태웅 KIM HAE YEOL 김해열		
发明人	문태웅 김해열		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/136295		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR101286546B1		
外部链接	Espacenet		

摘要(译)

本发明涉及使公共线路的电阻最小化的液晶显示器。并且其特征在于彼此交替并且包括排列的多条数据线和多条公共线，数据线和多条栅极线，形成在像素区域上的像素电极，以及与任意像素的部分重叠的至少一个辅助电极部分电极。布置数据线和多条栅极线以便在公共线中相交。形成在像素区域上的像素电极被数据线包围，并且公共线和栅极线被限定。与任意像素电极的一部分重叠的至少一个二次电极部分在任意公共线中电连接的状态下与任意公共线相邻。液晶显示器，公共线，公共电压，存储电容器，次级电极部分。

