



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0049027
(43) 공개일자 2009년05월15일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0111412

(22) 출원일자 2008년11월11일

심사청구일자 없음

(30) 우선권주장

1020070114937 2007년11월12일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김화영

경기 수원시 장안구 정자동 29-1번지 신미주아파트 1002호

이상훈

대구 북구 태전동 936-1번지(9/1) 한신중앙아파트 204동 301호

(74) 대리인

김용인, 박영복

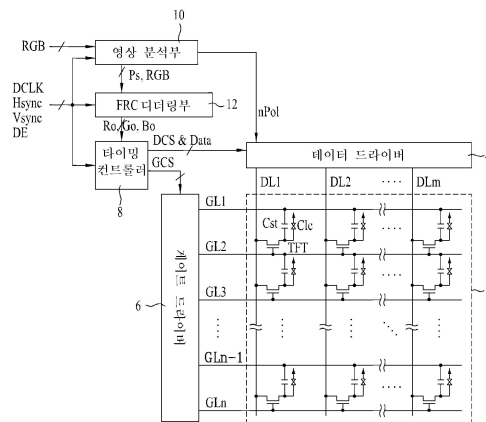
전체 청구항 수 : 총 12 항

(54) 액정 표시 장치의 구동 장치 및 방법

(57) 요약

본 발명은 입력되는 영상 데이터의 패턴에 따라 디더링 패턴을 변환하여 화질을 향상시킬 수 있는 액정 표시 장치의 구동 장치 및 방법에 관한 것으로, 본 발명의 액정 표시 장치의 구동 장치는 미리 저장된 다수의 영상 패턴과, 외부로부터 입력된 영상 데이터의 패턴을 비교하여, 상기 입력 영상 데이터 패턴과 가장 유사한 저장 영상 패턴을 지시하는 패턴 분석신호를 출력하는 영상 분석부와; 상기 영상 분석부와 접속되고, 상기 패턴 분석신호에 따라 디더링 패턴을 선택하고, 선택된 디더링 패턴에 근거하여 상기 입력 영상 데이터를 디더링하고, 디더링된 영상 데이터를 출력하는 디더링부를 구비하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

미리 저장된 다수의 영상 패턴과, 외부로부터 입력된 영상 데이터의 패턴을 비교하여, 상기 입력 영상 데이터 패턴과 가장 유사한 저장 영상 패턴을 지시하는 패턴 분석신호를 출력하는 영상 분석부와;

상기 영상 분석부와 접속되고, 상기 패턴 분석신호에 따라 디더링 패턴을 선택하고, 선택된 디더링 패턴에 근거하여 상기 입력 영상 데이터를 디더링하고, 디더링된 영상 데이터를 출력하는 디더링부를 구비한 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 2

제 1 항에 있어서,

상기 영상 분석부는 상기 패턴 분석 신호에 응답하여 액정 표시 장치의 인버전 모드를 설정하는 인버전 모드 신호를 더 출력하고, 상기 인버전 모드 신호를 상기 액정 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버로 공급하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 3

제 1 항에 있어서,

상기 영상 분석부에 저장된 다수의 영상 패턴은 도트 패턴, 수평 라인 패턴, 수직 2도트 패턴, 수직 라인 패턴, 서브-도트 패턴, 수평 2도트 패턴 중 어느 하나를 포함하는 것을 액정 표시 장치의 구동 장치.

청구항 4

제 1 항에 있어서,

상기 영상 분석부는 외부로부터의 동기 신호를 이용하여 프레임 또는 수평 라인 단위로 입력 영상 데이터의 패턴과 상기 다수의 저장된 영상 패턴을 비교하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 5

제 1 항에 있어서,

상기 영상 분석부 및 디더링부 사이에 접속되고 상기 입력 데이터의 비트수를 증가시키는 비트 변환부를 추가로 구비하고,

상기 디더링부는 상기 비트 변환부로부터 비트수가 증가되어 입력된 데이터를 상위 비트와 하위 비트로 분할하여 이용하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 6

제 5 항에 있어서, 상기 디더링부는 상기 동기 신호를 이용하여 프레임 수를 카운팅하여 프레임 수 정보를 출력하는 프레임 판단부와,

상기 동기 신호를 이용하여 상기 비트 변환부로부터의 입력 데이터의 화소 위치를 판단하여 화소 위치 정보를 출력하는 화소 위치 판단부와,

상기 입력 영상 데이터 패턴에 대응하여 최적화된 다수의 디더링 패턴 세트를 저장한 메모리와,

상기 영상 분석 신호에 응답하여 상기 다수의 디더링 패턴 세트 중 하나의 디더링 패턴 세트를 선택하고, 상기 입력 데이터의 하위 비트에 대응하는 계조값과, 상기 프레임 수 정보 및 상기 화소 위치 정보에 응답하여 상기 선택된 디더링 패턴 세트에서 해당 디더링 비트를 선택하여 출력하는 선택부와,

상기 분리된 상위 비트에 상기 선택된 디더 비트를 가산하여 출력하는 가산기를 구비한 것을 특징으로 하는 액정 표시 장치의 구동 장치.

청구항 7

미리 저장된 다수의 영상 패턴과, 외부로부터 입력된 영상 데이터의 패턴을 비교하는 단계와;

상기 다수의 저장된 영상 패턴에서 상기 입력 영상 데이터의 패턴과 가장 유사한 저장 패턴을 지시하는 영상 분석 신호를 출력하는 단계와;

상기 패턴 분석신호에 응답하여 디더링 패턴을 선택하는 단계와;

상기 선택된 디더링 패턴을 이용하여 상기 입력 영상 데이터를 디더링하는 단계와;

상기 디더링된 영상 데이터를 출력하는 단계를 포함한 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 8

제 7 항에 있어서,

상기 영상 분석 신호에 응답하여 상기 액정 표시 장치의 인버전 모드를 설정하기 위한 인버전 모드 신호를 출력하는 단계를 추가로 포함하고,

상기 인버전 모드 신호는 상기 액정 표시 장치의 데이터 라인을 구동하는 데이터 드라이버로 출력하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 9

제 7 항에 있어서,

상기 저장된 영상 패턴은 도트 패턴, 수평 라인 패턴, 수직 2도트 패턴, 수직 라인 패턴, 서브-도트 패턴 및 수평 2도트 패턴 중 적어도 하나를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 10

제 7 항에 있어서,

상기 비교 단계는 외부로부터의 동기 신호를 이용하여 프레임 또는 수평 라인 단위로 상기 입력 영상 데이터의 패턴을 상기 저장된 다수의 영상 패턴과 순차적으로 비교하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 11

제 7 항에 있어서,

상기 입력 영상 데이터를 디더링하기 이전에,

상기 입력 영상 데이터의 비트수를 증가시키는 단계와,

상기 비트수가 증가된 영상 데이터를 상위 비트와 하위 비트로 분할하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 12

제 11 항에 있어서,

상기 디더링 단계는

상기 동기 신호를 이용하여 프레임 수를 카운팅하여 프레임 수 정보를 출력하는 단계와,

상기 동기 신호를 이용하여, 상기 비트수가 증가된 영상 데이터의 화소 위치를 판단하고 화소 위치 정보를 출력하는 단계와,

상기 입력 영상 데이터의 패턴에 따라 최적화되어 미리 저장된 다수의 디더링 패턴 세트에서 상기 영상 분석 신호에 응답하여 하나의 디더링 패턴 세트를 선택하는 단계와;

상기 비트수가 증가된 영상 데이터의 하위 비트에 대응하는 계조값과, 상기 프레임 수 정보 및 상기 화소 위치 정보에 응답하여 상기 선택된 디더링 패턴 세트에서 해당 디더링 비트를 선택하여 출력하는 단계와;

상기 분리된 상위 비트에 상기 선택된 디더 비트를 가산하여 출력하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 액정 표시장치에 관한 것으로, 특히 입력되는 영상 데이터의 특성에 따라 프레임 레이트 컨트롤 패턴을 변환하여 화질을 향상시킬 수 있는 액정 표시 장치의 구동 장치 및 방법에 관한 것이다.

배경 기술

- <2> 최근, 평판 표시장치(Flat Panel Display)로는 액정 표시 장치(Liquid Crystal Display), 전계 방출 표시 장치(Field Emission Display), 플라스마 표시 패널(Plasma Display Panel) 및 발광 표시 장치(Light Emitting Display) 등이 대두되고 있다.
- <3> 이 중, 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 영상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 복수의 화소를 가지는 액정 패널과, 액정 패널에 광을 조사하는 백 라이트 유닛 및 화소를 구동하기 위한 구동 회로를 구비한다.
- <4> 액정 패널에는 복수의 게이트 및 데이터 라인이 교차하게 배열되고, 게이트 라인 및 데이터 라인들이 수직 교차하여 정의되는 영역에 화소가 위치하게 된다. 이러한, 복수의 화소 각각에는 전계를 인가하기 위한 화소 전극과 공통전극이 형성된다. 여기서, 각각의 화소 전극은 스위칭 소자인 박막 트랜지스터(TFT; Thin Film Transistor)와 접속되고, TFT는 각 게이트 라인의 스캔펄스에 의해 턴-온되어, 각 데이터 라인으로부터의 데이터 신호가 화소 전극에 충전되도록 한다.
- <5> 구동 회로는 복수의 게이트 라인을 구동하기 위한 게이트 드라이버, 복수의 데이터 라인을 구동하기 위한 데이터 드라이버, 게이트 드라이버와 데이터 드라이버를 제어하기 위한 제어 신호를 공급하는 타이밍 컨트롤러 및 액정 패널 및 각 드라이버 등의 구동에 필요한 구동 전압을 공급하는 전원 공급부 등을 구비한다.
- <6> 이러한 구성을 갖는 액정 표시 장치는 표시되는 영상의 계조를 증가시키기 위하여 프레임 레이트 제어(FRC; Frame Rate Control)를 이용한 디더(Dither) 방법(이하; FRC 디더방법)을 사용하고 있다. FRC 디더링 방법은 화면상의 화소를 일정한 크기의 디더 블록으로 분할하여 블록 내의 화소 밝기를 조절하고, 그 블록 내의 화소 밝기를 프레임마다 다르게 함으로써 정해진 계조의 수 보다 더욱 많은 계조를 표시할 수 있게 한다. 예를 들면, 한 화소가 R,G,B 데이터의 조합으로 18비트의 컬러를 표시할 수 있는 액정 표시장치에서 FRC 디더링 방법을 이용하는 경우, 8비트씩의 R,G,B 데이터 조합으로 24비트의 컬러를 표시하는 것과 같은 유사한 효과를 얻을 수 있게 된다. 즉, FRC 디더링 방법을 이용한 액정 표시 장치는 18비트의 R, G, B 데이터를 입력하여 24비트의 R,G,B 데이터에 대응하는 계조 수를 표시할 수 있게 된다.
- <7> 하지만, 종래의 FRC 디더링 방법은 액정 표시 장치의 인버전 구동방식이나 표시되는 영상의 특징들과는 무관하게 동일한 방법으로 사용되기 때문에 화질이 저하되는 문제가 발생한다. 다시 말하여, 도트 인버전 방식으로 구동되는 액정 표시장치가 수평 또는 수직으로 일정한 패턴을 갖는 영상을 표시하는 경우, 특정 위치의 화소들이 반짝이게 보이는 등의 플리커(Flicker)가 발생하게 된다. 이와 같이, 종래의 FRC 디더링 방법은 인버전 구동방식이나 영상의 특징들과 무관하게 동일한 방법으로 사용되기 때문에 도트 패턴, 수평/수직 줄무늬 패턴 등과 같은 특정 패턴에서 플리커(Flicker), 노이즈(Noise), 다크 바(Dark Bar) 등이 발생되어 화질이 저하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 입력되는 영상 데이터의 특성에 따라 FRC 패턴을 변환하여 화질을 향상시킬 수 있는 액정 표시 장치의 구동 장치 및 방법을 제공하는 것이다.

과제 해결수단

- <9> 본 발명의 실시 예에 따른 액정 표시 장치의 구동 장치는 미리 저장된 다수의 영상 패턴과, 외부로부터 입력된 영상 데이터의 패턴을 비교하여, 상기 입력 영상 데이터 패턴과 가장 유사한 저장 영상 패턴을 지시하는 패턴 분

석신호를 출력하는 영상 분석부와; 상기 영상 분석부와 접속되고, 상기 패턴 분석신호에 따라 디더링 패턴을 선택하고, 선택된 디더링 패턴에 근거하여 상기 입력 영상 데이터를 디더링하고, 디더링된 영상 데이터를 출력하는 디더링부를 구비한다.

- <10> 상기 영상 분석부는 상기 패턴 분석 신호에 응답하여 액정 표시 장치의 인버전 모드를 설정하는 인버전 모드 신호를 더 출력하고, 상기 인버전 모드 신호를 상기 액정 표시 장치의 데이터 라인들을 구동하는 데이터 드라이버로 공급한다.
- <11> 상기 영상 분석부에 저장된 다수의 영상 패턴은 도트 패턴, 수평 라인 패턴, 수직 2도트 패턴, 수직 라인 패턴, 서브-도트 패턴, 수평 2도트 패턴 중 어느 하나를 포함한다.
- <12> 상기 영상 분석부는 외부로부터의 동기 신호를 이용하여 프레임 또는 수평 라인 단위로 입력 영상 데이터의 패턴과 상기 다수의 저장된 영상 패턴을 비교한다.
- <13> 본 발명의 구동 장치는 상기 영상 분석부 및 디더링부 사이에 접속되고 상기 입력 데이터의 비트수를 증가시키는 비트 변환부를 추가로 구비하고, 상기 디더링부는 상기 비트 변환부로부터 비트수가 증가되어 입력된 데이터를 상위 비트와 하위 비트로 분할하여 이용한다.
- <14> 상기 디더링부는 상기 동기 신호를 이용하여 프레임 수를 카운팅하여 프레임 수 정보를 출력하는 프레임 판단부와, 상기 동기 신호를 이용하여 상기 비트 변환부로부터의 입력 데이터의 화소 위치를 판단하여 화소 위치 정보를 출력하는 화소 위치 판단부와, 상기 입력 영상 데이터 패턴에 대응하여 최적화된 다수의 디더링 패턴 세트를 저장한 메모리와, 상기 영상 분석 신호에 응답하여 상기 다수의 디더링 패턴 세트 중 하나의 디더링 패턴 세트를 선택하고, 상기 입력 데이터의 하위 비트에 대응하는 계조값과, 상기 프레임 수 정보 및 상기 화소 위치 정보에 응답하여 상기 선택된 디더링 패턴 세트에서 해당 디더링 비트를 선택하여 출력하는 선택부와, 상기 분리된 상위 비트에 상기 선택된 디더 비트를 가산하여 출력하는 가산기를 구비한다.
- <15> 본 발명에 따른 액정 표시 장치의 구동 방법은 미리 저장된 다수의 영상 패턴과, 외부로부터 입력된 영상 데이터의 패턴을 비교하는 단계와; 상기 다수의 저장된 영상 패턴에서 상기 입력 영상 데이터의 패턴과 가장 유사한 저장 패턴을 지시하는 영상 분석 신호를 출력하는 단계와; 상기 패턴 분석신호에 응답하여 디더링 패턴을 선택하는 단계와; 상기 선택된 디더링 패턴을 이용하여 상기 입력 영상 데이터를 디더링하는 단계와; 상기 디더링된 영상 데이터를 출력하는 단계를 포함한다.
- <16> 본 발명의 구동 방법은 상기 영상 분석 신호에 응답하여 상기 액정 표시 장치의 인버전 모드를 설정하기 위한 인버전 모드 신호를 출력하는 단계를 추가로 포함하고, 상기 인버전 모드 신호는 상기 액정 표시 장치의 데이터 라인을 구동하는 데이터 드라이버로 출력한다.
- <17> 상기 비교 단계는 외부로부터의 동기 신호를 이용하여 프레임 또는 수평 라인 단위로 상기 입력 영상 데이터의 패턴을 상기 저장된 다수의 영상 패턴과 순차적으로 비교한다.
- <18> 본 발명의 구동 방법은 상기 입력 영상 데이터를 디더링하기 이전에, 상기 입력 영상 데이터의 비트수를 증가시키는 단계와, 상기 비트수가 증가된 영상 데이터를 상위 비트와 하위 비트로 분할하는 단계를 추가로 포함한다.
- <19> 상기 디더링 단계는 상기 동기 신호를 이용하여 프레임 수를 카운팅하여 프레임 수 정보를 출력하는 단계와, 상기 동기 신호를 이용하여, 상기 비트수가 증가된 영상 데이터의 화소 위치를 판단하고 화소 위치 정보를 출력하는 단계와, 상기 입력 영상 데이터의 패턴에 따라 최적화되어 미리 저장된 다수의 디더링 패턴 세트에서 상기 영상 분석 신호에 응답하여 하나의 디더링 패턴 세트를 선택하는 단계와; 상기 비트수가 증가된 영상 데이터의 하위 비트에 대응하는 계조값과, 상기 프레임 수 정보 및 상기 화소 위치 정보에 응답하여 상기 선택된 디더링 패턴 세트에서 해당 디더링 비트를 선택하여 출력하는 단계와; 상기 분리된 상위 비트에 상기 선택된 디더 비트를 가산하여 출력하는 단계를 포함한다.

효 과

- <20> 본 발명의 실시 예에 따른 액정 표시 장치의 구동 장치 및 방법은 다음과 같은 효과가 있다.
- <21> 본 발명에 따른 액정 표시 장치의 구동 장치 및 방법은 입력되는 영상 데이터의 패턴을 분석하고, 분석된 영상 패턴, 또는 분석된 영상 패턴 및 인버전 모드에 따라 최적화된 다수의 FRC 디더링 패턴 세트 중 하나의 세트를 선택하여 FRC 디더링 방법을 수행한다. 따라서, 본 발명은 특정 입력 영상 패턴과 FRC 디더링 패턴과의 간섭을 방지함으로써 화질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <22> 이하, 본 발명의 실시 예에 따른 액정 표시 장치의 구동 장치 및 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- <23> 도 1은 본 발명의 실시 예에 따른 액정 표시 장치의 구동 장치를 개략적으로 나타낸 구성도이다.
- <24> 도 1에 도시된 액정 표시 장치는 복수의 화소를 구비하여 형성된 액정 패널(2), 외부로부터 입력된 영상 데이터(RGB)의 패턴을 분석하고 분석 결과에 따라 인버전 모드 신호(nPol)와 패턴 분석 신호(Ps)를 출력하는 영상 분석부(10), 상기 인버전 모드 신호(nPol)에 따라 복수의 데이터 라인(DL1 내지 DLm)을 구동하는 데이터 드라이버(4), 복수의 게이트 라인(GL1 내지 GLn)을 구동하는 게이트 드라이버(6), 상기 패턴 분석 신호(Ps)에 따라 상기 영상 데이터(RGB)를 FRC 디더링 처리하는 FRC 디더링부(12), 및 상기 FRC 디더링부(12)로부터의 데이터(Ro,Go,Bo)를 정렬하여 상기 데이터 드라이버(4)에 공급함과 아울러 게이트 및 데이터 제어신호(GCS,DCS)를 생성하여 데이터 드라이버(4)와 게이트 드라이버(6)를 제어하는 타이밍 컨트롤러(8)를 구비한다. 여기서, FRC 디더링부(12)는 타이밍 컨트롤러(8)에 내장될 수 있다.
- <25> 액정 패널(2)은 복수의 게이트 라인(GL1 내지 GLn)과 복수의 데이터 라인(DL1 내지 DLm)에 의해 정의되는 각 화소 영역에 형성된 박막 트랜지스터(TFT; Thin Film Transistor) 및 TFT와 접속된 액정 커패시터(C1c)를 구비한다. 액정 커패시터(C1c)는 TFT와 접속된 화소 전극, 화소 전극과 액정을 사이에 두고 대면하는 공통 전극으로 구성된다. TFT는 각각의 게이트 라인(GL1 내지 GLn)으로부터의 스캔 펄스 즉, 게이트 온 신호에 응답하여 각각의 데이터 라인(DL1 내지 DLm)으로부터의 데이터 신호를 화소 전극에 공급한다. 액정 커패시터(C1c)는 화소 전극에 공급된 데이터 신호와 공통 전극에 공급된 공통 전압의 차전압을 충전하고, 그 차전압에 따라 액정 분자들의 배열을 가변시켜 광투과율을 조절함으로써 계조를 구현한다. 그리고 액정 커패시터(C1c)에는 스토리지 커패시터(Cst)가 병렬로 접속되어 액정 커패시터(C1c)에 충전된 전압이 다음 데이터 신호가 공급될 때까지 유지되게 한다. 스토리지 커패시터(Cst)는 화소 전극이 이전 게이트 라인과 절연막을 사이에 두고 중첩되어 형성되거나, 화소 전극이 스토리지 라인과 절연막을 사이에 두고 중첩되어 형성된다.
- <26> 데이터 드라이버(4)는 타이밍 컨트롤러(8)로부터의 데이터 제어 신호(DCS)와 영상 분석부(10)로부터의 인버전 모드 신호(nPol)에 따라, 디지털 데이터(Data)를 아날로그 데이터 전압 즉, 영상 신호로 변환한다. 그리고, 각 게이트 라인(GL1 내지 GLn)에 스캔 펄스가 공급되는 1수평 주기마다 1수평 라인분의 영상 신호를 각 데이터 라인(DL1 내지 DLm)으로 공급한다. 즉, 데이터 드라이버(4)는 데이터(Data)의 계조값과 인버전 모드 신호(nPol)에 따라 소정 레벨을 가지는 정극성 또는 부극성의 감마 전압을 선택하고 선택된 감마 전압을 영상 신호로 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- <27> 게이트 드라이버(6)는 타이밍 컨트롤러(8)로부터의 게이트 제어 신호(GCS)에 응답하여 스캔 펄스 예를 들어, 게이트 온 전압을 순차적으로 발생하여 각 게이트 라인(GL1 내지 GLn)으로 순차 공급한다.
- <28> 영상 분석부(10)는 외부로부터의 동기신호들(DCLK,DE,Hsync,Vsync)을 이용하여 입력된 영상 데이터(RGB)의 패턴을 분석하고 분석 결과에 따라 인버전 모드 신호(nPol)와 패턴 분석 신호(Ps)를 출력한다. 다시 말하여, 영상 분석부(10)는 외부로부터의 동기 신호들(DCLK,DE,Hsync,Vsync)에 따라 입력된 영상 데이터(RGB)의 패턴을 적어도 한 프레임 단위로 분석한다. 예를 들면, 영상 분석부(10)는 수평 라인 단위 또는 프레임 단위로 입력되는 영상의 패턴이 수직, 수평, 1 도트, 수직 2 도트, 또는 수평 2 도트 등의 패턴 중 어느 패턴과 더 유사한지를 분석하여 패턴 분석 신호(Ps)를 FRC 디더링부(12)로 출력한다. 또한, 영상 분석부(10)는 분석된 영상의 패턴 즉, 패턴 분석 신호(Ps)에 따라 수직, 수평, 1 도트, 수직 2 도트, 수평 2 도트 또는 스퀘어(square) 등의 인버전 방식을 설정하는 인버전 모드신호(nPol)를 생성하여 데이터 드라이버(4)로 공급한다. 한편, 영상 분석부(10)는 패턴 분석 신호(Ps)와 함께 인버전 모드 신호(nPol)를 FRC 디더링부(12)로 공급할 수도 있다.
- <29> FRC 디더링부(12)는 영상 분석부(10)로부터의 패턴 분석 신호(Ps)에 따라 입력되는 영상 데이터(RGB)를 FRC 디더링 처리하여 디더링된 데이터(Ro,Go,Bo)를 생성한다. 구체적으로, FRC 디더링부(12)는 패턴 분석 신호(Ps)에 따라 화질의 불량을 최소화할 수 있도록 다수의 FRC 디더링 패턴 세트 중에서 하나의 세트를 선택한다. 다시 말하여, FRC 디더링부(12)는 패턴 분석 신호(Ps)에 따라, 특정의 영상 패턴과 특정의 FRC 디더링 패턴의 간섭을 방지할 수 있도록, 다수의 FRC 디더링 패턴 중 적합한 하나의 FRC 디더링 패턴 세트를 선택한다. 특정의 영상 패턴과 특정의 FRC 디더링 패턴이 간섭하는 경우, 특정의 영상 패턴에 대응하는 화소 영역에서 정극성 또는 부극성의 화소 수가 상대적으로 증가함으로써, 화질 저하가 발생된다. 이를 방지하기 위하여, FRC 디더링부(12)는 해당 화소 영역에서 정극성 및 부극성 화소수가 서로 유사하도록, 영상 분석부(10)에서 분석된 영상 패턴에 최

적화된 FRC 디터 패턴 세트를 선택한다. 그리고, FRC 디터링부(12)는 입력되는 영상 데이터(RGB)의 일부 하위 비트들을 FRC 디터링 방법, 즉 선택된 FRC 디터링 패턴을 이용하여 공간 및 시간적으로 분산시켜서 영상 데이터(RGB)의 휘도를 미세하게 조정한다. 즉, FRC 디터링부(12)는 영상 데이터(RGB)의 일부 하위 비트들을 선택된 FRC 디터링 패턴 세트를 이용하여 공간 및 시간적으로 분산되도록 변환한다. 이에 따라, FRC 디터링부(12)는 특정 영상 패턴과 특정 FRC 디터링 패턴디터링 패턴 방지하여 화질 저하를 최소화할 수 있다..

- <30> 타이밍 컨트롤러(8)는 FRC 디터링부(12)로부터의 데이터(Ro,Go,Bo)를 액정 패널(2)의 구동에 알맞도록 정렬하여 데이터 드라이버(4)에 공급한다. 또한, 외부로부터의 동기 신호들(DCLK,DE,Hsync,Vsync)을 이용하여 게이트 제어 신호(GCS)와 데이터 제어 신호(DCS)를 생성하고 데이터 드라이버(4)와 게이트 드라이버(6)를 각각 제어한다.
- <31> 도 2는 도 1에 도시된 영상 분석부와 FRC 디터링부를 나타낸 구성도이다. 그리고, 도 3은 도 2의 영상 분석부에서 분석되는 패턴들을 나타낸 도면이다.
- <32> 도 2에 도시된 영상 분석부(10)는 외부로부터 입력된 동기신호들(DCLK,DE,Hsync,Vsync)에 따라 적어도 한 프레임 단위로 영상 데이터(RGB)의 패턴을 분석하고 분석된 결과에 따라 패턴 분석신호(Ps)와 인버전 모드신호(nPol)를 출력한다.
- <33> 영상 분석부(10)는 외부로부터 입력되는 동기 신호들(DCLK,DE,Hsync,Vsync) 중 적어도 하나의 신호를 이용하여 입력되는 영상 데이터(RGB)를 수평 라인 및 프레임 단위로 복수의 분석 패턴들과 순차 비교한다. 구체적으로, 영상 분석부(10)에는 적어도 하나의 메모리와 비교 회로가 구비되어 각 메모리에 저장된 분석 패턴들을 입력되는 영상 데이터(RGB)와 비교하게 된다. 여기서, 적어도 하나의 메모리에는 도 3에 도시된 바와 같은, 도트 패턴, 수평/수직 라인 패턴, 수직 2 도트 패턴, 서브 도트 화소 패턴, 수평 2 도트 패턴 등이 저장될 수 있다. 따라서, 영상 분석부(10)는 입력되는 영상 데이터(RGB)를 복수의 분석 패턴들과 순차적으로 비교하여 동기 신호들을 생성한다. 그리고, 생성된 동기 신호들을 카운팅하여 가장 유사하다고 판단된 분석 패턴 즉, 동기 신호가 가장 많이 발생된 분석 패턴에 따라 패턴 분석 신호(Ps)를 출력할 수 있다. 예를 들어, 영상 분석부(10)가 적어도 한 프레임 단위로 입력된 영상 데이터(RGB)를 복수의 분석 패턴들과 순차적으로 비교한 결과 수직 2 도트 패턴과의 비교시 동기신호가 가장 많이 발생 되었다면 이에 대응하는 3비트의 패턴 분석 신호(Ps)를 생성하게 된다. 그리고, 3비트의 패턴 분석 신호(Ps) 예를 들어, "011"신호를 FRC 디터링부(12)에 공급한다.
- <34> 또한, 영상 분석부(10)는 패턴 분석 신호(Ps)에 대응하여 화질의 불량을 최소화할 수 있는 인버전 모드 신호(nPol)를 선택하여 출력한다. 여기서, 패턴 분석신호(Ps)에 대응하는 인버전 모드 신호(nPol)는 설계자에 의해 미리 설정될 수 있다. 다시 말하여, 패턴 분석 신호(Ps)가 "011"로 수직 2 도트 패턴을 지시하면 영상 분석부(10)는 수평 2 도트 인버전 방식으로 액정 표시 장치를 구동하도록 인버전 모드 신호(nPol)를 생성할 수 있다. 또한, 패턴 분석 신호(Ps)가 "001"로 수평라인 패턴을 지시하면 영상 분석부(10)는 수직 라인 인버전 방식으로 액정 표시 장치를 구동하도록 인버전 모드 신호(nPol)를 생성할 수도 있다. 이와 같이, 영상 분석부(10)는 적어도 한 프레임 단위로 입력되는 패턴 분석 신호(Ps)에 따라 수직, 수평, 1 도트, 수직 2 도트, 수평 2 도트 또는 스케어(square) 등의 인버전 방식을 설정하는 인버전 모드 신호(nPol)를 생성하여 데이터 드라이버(4)에 공급하게 된다. 예를 들어, 패턴 분석 신호(Ps)가 수직 2도트 패턴을 지시하면 수평 2도트 인버전 모드를 지시하는 인버전 모드 신호(nPol)가, 수평 2도트 패턴을 지시하면 수직 2도트 인버전 모드를 지시하는 인버전 모드 신호(nPol)가, 수평 라인 패턴을 지시하면 스케어 인버전 모드를 지시하는 인버전 모드 신호(nPol)가 설정되어 데이터 드라이버(4)로 공급된다. 한편, 영상 분석부(10)는 패턴 분석 신호(Ps)와 함께 인버전 모드 신호(nPol)를 FRC 디터링부(12)로 공급할 수 있다.
- <35> 본 발명의 액정 표시 장치는 영상 분석부(10)와 FRC 디터링부(12) 사이에 접속되어서, 입력되는 영상 데이터(RGB)의 비트수를 변환하는 비트 변환부(120)를 추가로 구비한다. 비트 변환부(120)는 영상 분석부(10)로부터의 입력 영상 데이터(RGB)의 비트수를 증가시키고, 비트수가 증가된 영상 데이터(Rc, Gc, Bc)를 FRC 디터링부(12)로 공급한다. 비트 변환부(120)는 룩-업 테이블(look-up table)을 저장한 적어도 하나의 메모리를 구비하고, 룩-업 테이블을 이용해서, 입력되는 영상 데이터(RGB)에 대응하여 비트수가 증가된 영상 데이터(Rc,Gc,Bc)를 선택하여 출력한다. 구체적으로, 비트 변환부(120)는 R,G,B 각각의 영상 데이터(RGB)가 8비트로 입력된다면 이에 대응하는 9비트의 R,G,B 영상 데이터(Rc,Gc,Bc)를 출력하게 된다. 이때, 변환된 영상 데이터(Rc,Gc,Bc)는 입력된 영상 데이터(RGB)의 최하위 비트에 1비트 즉, "0" 또는 "1"이 추가된 데이터이다.
- <36> FRC 디터링부(12)는 프레임 수를 카운팅하여 프레임 수 정보를 출력하는 프레임 판단부(202), 비트 변환부(120)로부터의 영상 데이터(Rc,Gc,Bc)의 화소 위치를 감지하는 화소 위치 판단부(204), 다수의 FRC 디터링 패턴 세트를 저장하는 메모리(210), 영상 분석부(10)로부터의 패턴 인식 신호(Ps)에 응답하여 다수의 FRC 디터링 패턴

세트 중 하나의 세트를 선택하고, 비트 변환부(120)로부터의 영상 데이터(Rc, Gc, Bc) 각각의 일부 하위 비트에 해당하는 계조값과 프레임 판단부(202)로부터 입력된 프레임 수 정보 및 화소 위치 판단부(204)로부터 입력된 화소 위치 정보를 이용하여, 선택된 FRC 디더링 패턴 세트에서 해당되는 디더값(Dr, Dg, Db)을 선택하여 출력하는 선택부(206), 및 비트 변환부(120)로부터의 데이터(Rc, Gc, Bc) 각각에서 분리된 일부 상위 비트와 선택부(206)에서 선택된 디더값(Dr, Dg, Db)을 각각 가산하여 출력하는 가산기(208)를 구비한다. 여기서, 비트 변환부(120)로부터의 영상 데이터(Rc, Gc, Bc) 각각은 상위 6비트와 하위 3비트가 각각 분리되어 상위 6비트는 가산기(208)로 공급되고 하위 3비트는 선택부(206)로 공급된다.

<37> 프레임 판단부(202)는 영상 분석부(10)로부터 입력된 동기 신호(Vsync, Hsync, DE, DCLK) 중 수직 동기 신호(Vsync)를 카운팅하여 프레임 수를 카운팅하고, 카운팅된 프레임 수 정보를 선택부(206)로 출력한다.

<38> 화소 위치 판단부(204)는 상기의 동기신호(Vsync, Hsync, DE, DCLK) 중 적어도 하나를 이용하여, 비트 변환부(120)로부터의 입력 데이터(Rc, Gc, Bc)의 화소 위치를 감지한다. 예를 들면, 데이터 인에이블 신호(DE)의 인에이블 기간에 도트 클럭(DCLK)을 카운팅하여 입력 데이터(Rc, Gc, Bc)의 가로 위치를 감지하고, 수직 동기 신호(Vsync)와 데이터 인에이블 신호(DE)가 동시에 인에이블된 기간에서 수평 동기 신호(Vsync)를 카운팅하여 입력데이터(Rc, Gc, Bc)의 화소 세로 위치를 감지하며, 감지된 화소 위치 정보를 선택부(206)로 출력한다.

<39> 메모리(210)는 다수의 입력 영상 패턴의 특성에 따라 최적화되어 미리 설정된 다수의 FRC 디더링 패턴 세트를 저장한다. 예를 들면, 메모리(210)는 도 4 내지 도 6에 도시된 바와 같이 입력 영상 패턴의 특성에 따라 제1 내지 제3 FRC 디더링 패턴 세트를 저장한다. 도 4 내지 도 6에 도시된 제1 내지 제3 FRC 디더링 패턴 세트 각각은 4*4 화소 크기를 갖고, 0, 1/8, 2/8, 3/8, 4/8, 5/8, 6/8, 7/8, 1의 계조값에 따라 디더링 비트가 "1"(검은색)인 화소 수가 점진적으로 증가하도록 배열된 다수의 디더링 패턴들을 록-업 테이블 형태로 저장된다(1의 계조값을 갖는 디더링 패턴은 미도시). 4*4 화소 크기의 디더링 패턴들 각각의 화소는 "1"(검은색) 또는 "0"의 디더링 비트를 갖게 되고, 계조값은 디더링 비트가 "1"인 화소 수에 비례하여 결정된다. 또한, 도 4 내지 도 6에 도시된 제1 내지 제3 FRC 디더링 패턴 세트 각각은 동일한 계조값에 대해서도 디더링 비트가 "1"인 화소들의 위치가 프레임별로 다른 즉, 복수의 프레임(Frame1 내지 Frame4) 각각에서 "1"의 화소 위치가 다른 다수의 디더링 패턴들을 포함한다. 다시 말하여, 도 4 내지 도 6에 도시된 제1 내지 제3 FRC 디더링 패턴 세트 각각은 계조별 및 프레임별로 서로 다른 디더링 패턴들을 포함한다. 디더링 패턴의 4*4 화소크기와 디더링 패턴들 각각에서 "1"의 위치는 설계자의 필요에 따라 다양하게 변화될 수 있다. 여기서, "e"열은 짝수번째 화소열을 나타내며 "o"열은 홀수번째 화소열을 나타낸다. 이러한 제1 내지 제3 FRC 디더링 패턴 세트 각각에 의해 입력 데이터(Rc, Gc, Bc)가 공간적 및 시간적으로 분산되므로 입력 영상의 특성에 적합하게 휘도가 미세 조정될 수 있다.

<40> 선택부(206)는 패턴 분석 신호(Ps)에 응답하여 메모리(210)에 저장된 다수의 FRC 디더링 패턴 세트 중 해당 세트를 선택하고, 선택된 FRC 디더링 패턴 세트에서 입력 데이터(Rc, Gc, Bc) 각각의 일부 하위 비트 예를 들어, 하위 3비트와, 프레임 판단부(202)로부터의 프레임 수 정보 및 화소 위치 판단부(204)로부터의 화소 위치 정보에 응답하여 해당되는 디더링 비트(Dr, Dg, Db)를 각각 선택하여 출력한다. 선택부(206)는 패턴 분석 신호(Ps)에 따라 해당 FRC 디더링 세트를 선택한다. 예를 들면, 패턴 분석 신호(Ps)가 수직 2 도트 패턴을 지시하는 "011"로 입력되면, 선택부(206)는 도 4에 도시된 제1 FRC 디더링 패턴 세트를 선택한다. 패턴 분석 신호(Ps)가 수평 2 도트 패턴을 지시하는 "101"로 입력되면, 선택부(206)는 도 5에 도시된 제2 디더링 패턴 세트를 선택한다. 패턴 분석 신호(Ps)가 수평라인 패턴을 지시하는 "001"로 입력되면, 선택부(206)는 도 6에 도시된 제3 FRC 디더링 패턴을 선택한다. 그 다음, 선택부(206)는 입력 데이터(Rc, Gc, Bc)의 하위 비트와, 프레임 판단부(202)로부터의 프레임 수 정보와, 화소 위치 판단부(204)로부터의 화소 위치에 응답하여, 선택된 FRC 디더링 패턴 세트에서 해당 디더링 비트(Dr, Dg, Db)를 각각 선택하여 가산기(208)로 출력한다. 비트 변환부(120)로부터의 입력 데이터(Rc, Gc, Bc) 각각이 9비트로 구성된 경우, 선택부(206)는 상기 각 9비트 데이터 중 하위 3비트를 이용하여 디더링 비트(Dr, Dg, Db) 각각을 선택하고, 나머지 상위 6비트는 가산기(208)로 공급된다.

<41> 가산기(208)는 입력 데이터(Rc, Gc, Bc) 각각에서 하위 3비트와 분리된 상위 6비트와, 선택부(206)에서 선택된 디더링 비트(Dr, Dg, Db)를 각각 가산하고, 가산된 6비트 크기의 출력 데이터(Ro, Go, Bo)를 타이밍 컨트롤러(8)로 공급한다.

<42> 이와 같이, FRC 디더링부(12)는 영상 분석부(10)로부터의 패턴 분석 신호(Ps)에 따라 입력 영상 패턴에 적합한 FRC 디더링 패턴 세트를 선택하고, 선택된 FRC 디더링 패턴 세트를 이용하여 입력 데이터(Rc, Gc, Bc) 각각의 하위 비트를 시간적 및 공간적으로 분산시킴으로써, 휘도를 미세 조정한다. 따라서, FRC 디더링부(12)는 FRC 디더링 방법에 의해 입력 데이터(Rc, Gc, Bc) 보다 비트수가 감소된 출력 데이터(Ro, Go, Bo)를 타이밍 컨트롤러

(8)로 공급한다. 이 결과, FRC 디더링부(12)는 입력 영상 패턴에 따라 서로 다른 FRC 디더링 패턴 세트를 이용하여 특정 영상 패턴과 특정 FRC 패턴과의 간섭을 방지함으로써 화질 불량을 최소화할 수 있다.

<43> 한편, FRC 디더링부(12)는 영상 분석부(10)로부터의 영상 분석 신호(Ps)와 함께 인버전 모드 신호(nPol)에 응답하여 해당 FRC 디더링 패턴 세트를 선택할 수 있다.

<44> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<45> 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구동장치를 개략적으로 나타낸 구성도.

<46> 도 2는 도 1에 도시된 영상 분석부와 FRC 디터링부를 나타낸 구성도.

<47> 도 3은 도 2의 영상 분석부에서 분석되는 영상 패턴들을 나타낸 도면.

<48> 도 4는 도 2에 도시된 메모리에 저장된 제1 FRC 디더링 세트를 나타낸 도면.

<49> 도 5는 도 2에 도시된 메모리에 저장된 제2 FRC 디더링 세트를 나타낸 도면.

<50> 도 6은 도 2에 도시된 메모리에 저장된 제3 FRC 디더링 세트를 나타낸 도면.

<51> <부호의 간단한 설명>

<52> 2 : 액정패널 4 : 데이터 드라이버

<53> 6 : 게이트 드라이버 8 : 타이밍 컨트롤러

<54> 10 : 영상 분석부 12 : FRC 디더링부

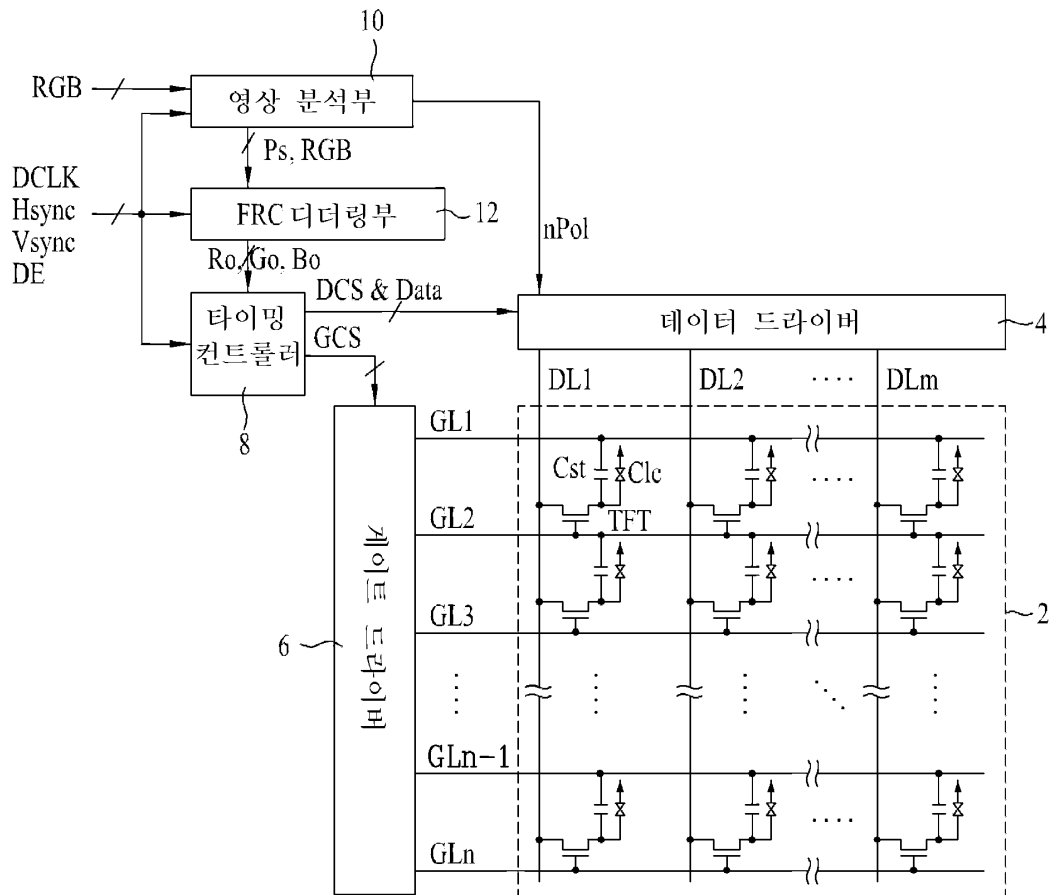
<55> 120 : 비트 변환부 202 : 프레임 판단부

<56> 204 : 화소 위치 판단부 206 : 선택부

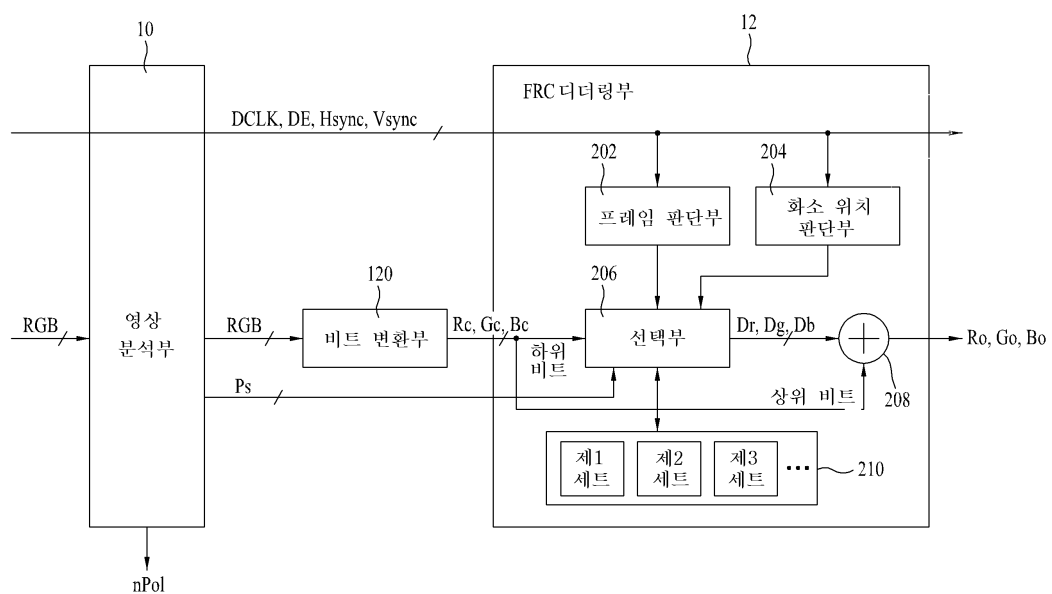
<57> 208 : 가산기

도면

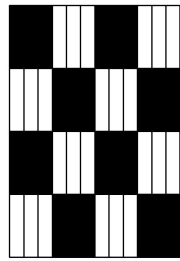
도면1



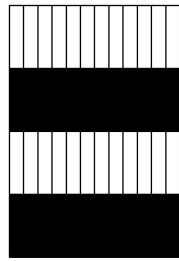
도면2



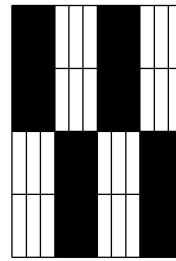
도면3



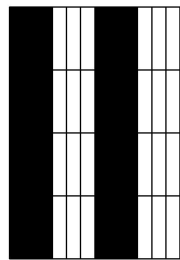
(도트 패턴)



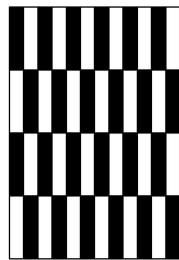
(수평 라인 패턴)



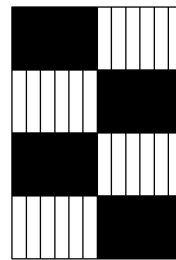
(수직 2도트 패턴)



(수직 라인 패턴)

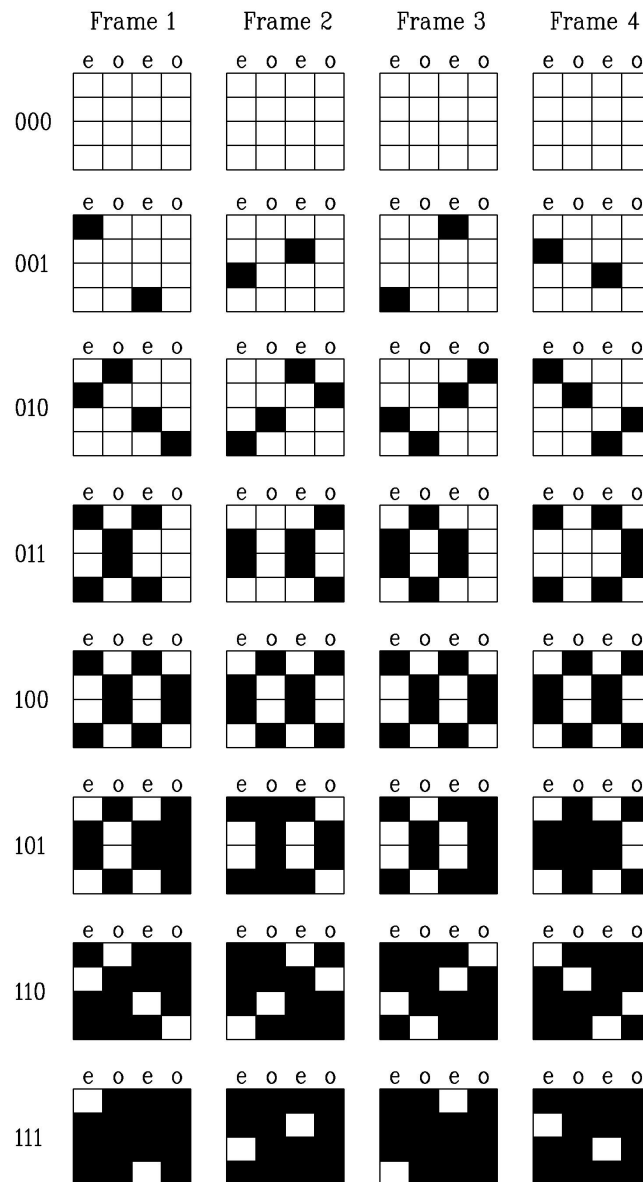


(서브 도트 화소 패턴)

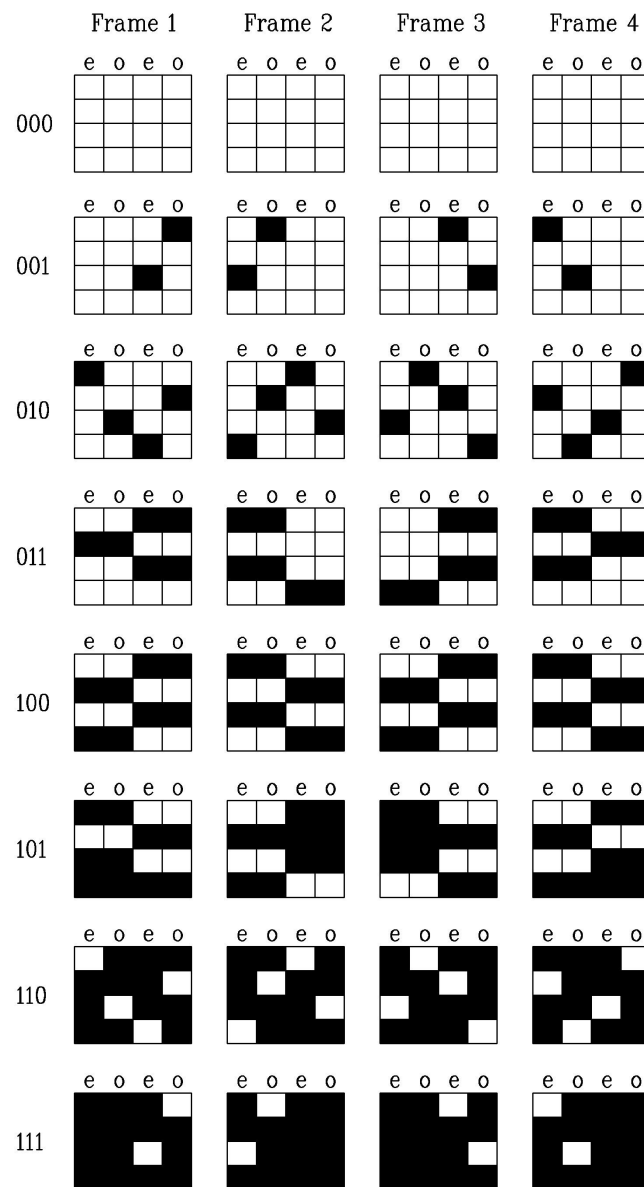


(수평 2도트 패턴)

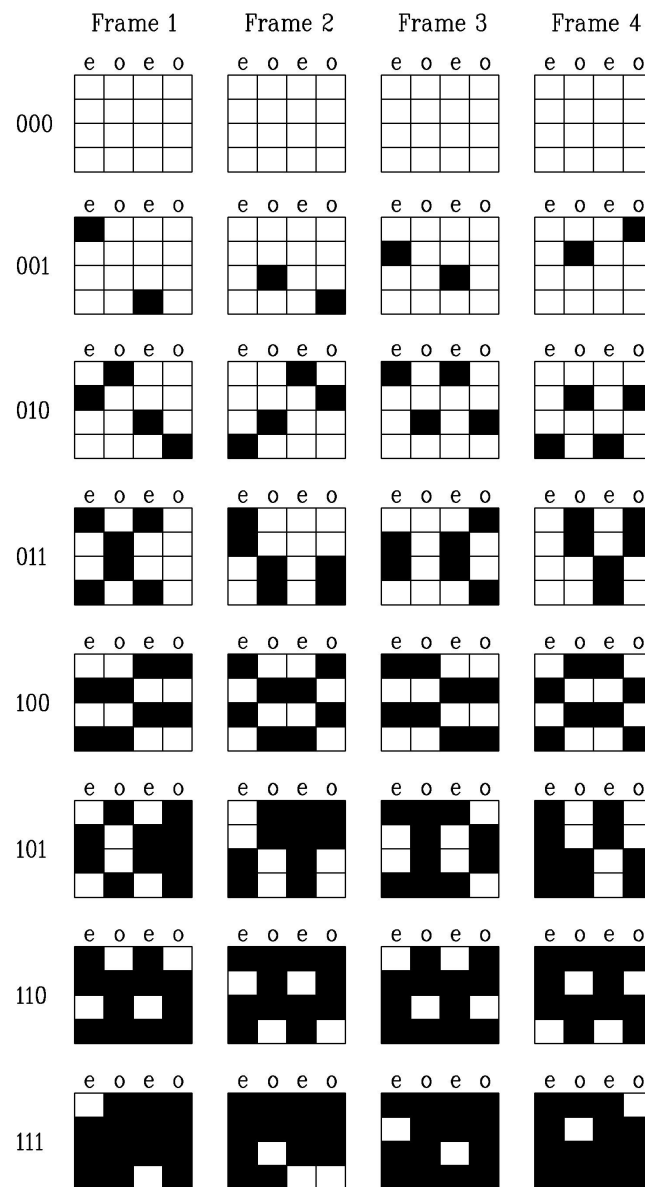
도면4



도면5



도면6



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	KR1020090049027A	公开(公告)日	2009-05-15
申请号	KR1020080111412	申请日	2008-11-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HWA YOUNG 김화영 LEE SANG HOON 이상훈		
发明人	김화영 이상훈		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/2018 G09G3/2055 G09G2320/0233 G09G2320/0247 G09G2360/16		
代理人(译)	Bakyounbok		
优先权	1020070114937 2007-11-12 KR		
其他公开文献	KR101552984B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于驱动液晶显示器的装置和方法，以通过防止特征输入图像图案和FRC抖动图案之间的干扰来改善图像质量。组成：图像分析单元（10）输出指示a的图案分析信号。通过将先前存储的图像图案与从外部输入的图像数据图案进行比较，类似于输入图像数据图案的存储图像图案。FRC抖动单元（12）连接到图像分析单元，根据模式分析信号选择抖动模式，基于所选择的抖动模式抖动输入图像数据，并输出抖动图像数据。图像分析单元响应于图案分析信号输出设置液晶显示装置的反转模式的反转模式信号，并将反转模式信号提供给驱动液晶显示装置的数据线的数据驱动器。帧确定单元（202）通过使用同步信号对帧进行计数，并输出帧计数信息.KIPO 2009

