



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월13일
(11) 등록번호 10-1837656
(24) 등록일자 2018년03월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1362 (2006.01) G02F 1/1333 (2006.01)

G02F 1/1335 (2006.01) G02F 1/1368 (2006.01)

(21) 출원번호 10-2010-0116339

(22) 출원일자 2010년11월22일

심사청구일자 2015년11월18일

(65) 공개번호 10-2012-0054936

(43) 공개일자 2012년05월31일

(56) 선행기술조사문헌

KR1020040061187 A*

KR1020060062644 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박경민

경기도 성남시 분당구 분당로 190, 101동 703호
(분당동, 셋별마을)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 16 항

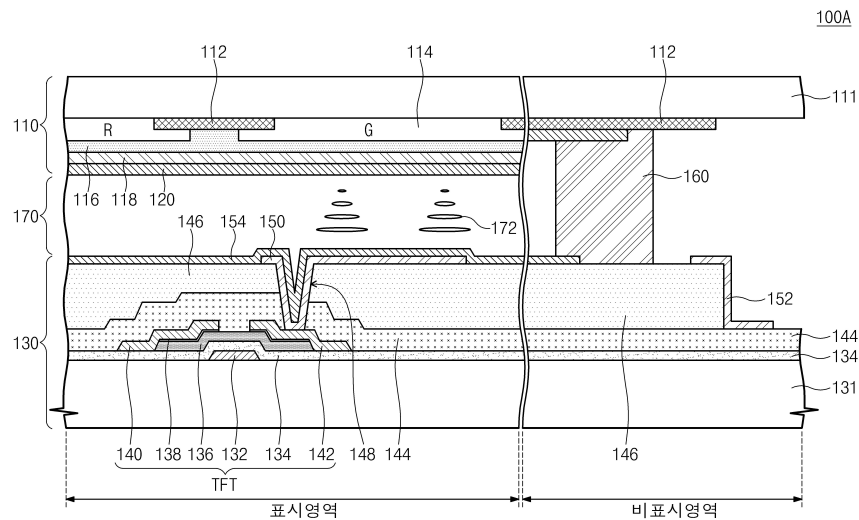
심사관 : 신창우

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 일 실시예는, 제1 기판; 상기 제1 기판과 대향되, 영상을 표시하는 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 포함하는 제2 기판; 상기 제2 기판 상에 제공되며, 상기 비표시영역의 가장자리에서 그 아래의 막을 노출하는 제1 절연막; 상기 제1 절연막의 가장자리에 제공된 부식방지막; 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층; 및 상기 제1 절연막 상에 제공되며, 상기 제1 기판과 상기 제2 기판을 합착시키는 실 패턴(seal pattern)을 포함하는 액정표시장치를 제공한다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 기관;

상기 제1 기관과 대향되되, 영상을 표시하는 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 포함하는 제2 기관;

상기 제2 기관 상에 제공되며, 상기 비표시영역의 가장자리에서 그 아래의 막을 노출하는 제1 절연막;

상기 제1 절연막의 가장자리에 제공되고, 상기 제1 절연막의 측면을 커버하는 부식방지막;

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정층; 및

상기 제1 절연막 상에 제공되며, 상기 제1 기관과 상기 제2 기관을 합착시키는 실 패턴을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 기관의 상기 표시영역에 제공되고, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터를 더 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 절연막 상에 제공되고, 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 더 포함하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 부식방지막은 상기 화소 전극과 동일한 물질로 이루어지는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 부식방지막은 IT0로 이루어지는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 박막트랜지스터와 상기 제1 절연막 사이에 제공된 제2 절연막을 더 포함하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제1 절연막은 상기 제2 절연막을 노출시키는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 부식방지막은 노출된 상기 제2 절연막 상으로 연장되어, 상기 제1 절연막의 측면과 노출된 상기 제2 절연

막에 접촉하는 액정표시장치.

청구항 9

제 6 항에 있어서,

상기 게이트 절연막은 상기 비표시영역의 상기 제2 기판과 상기 제2 절연막 사이로 연장하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 절연막 및 상기 제2 절연막의 적층막은 상기 게이트 절연막을 노출시키는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 부식방지막은 노출된 상기 게이트 절연막 상으로 연장되어 노출된 상기 게이트 절연막에 접촉하는 액정표시장치.

청구항 12

제 9 항에 있어서,

상기 제1 절연막, 상기 제2 절연막 및 상기 게이트 절연막의 적층막은 상기 제2 기판을 노출시키는 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 부식방지막은 노출된 상기 제2 기판 상으로 연장되어 노출된 상기 제2 기판에 접촉하는 액정표시장치.

청구항 14

제 6 항에 있어서,

상기 제1 절연막은 유기물로 이루어지는 액정표시장치.

청구항 15

제14 항에 있어서,

상기 제2 절연막은 무기물로 이루어지는 액정표시장치.

청구항 16

제 1 항에 있어서,

상기 제2 기판 상에 제공된 컬러필터층 및 공통 전극을 더 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 게이트 회로부의 부식을 개선할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 액정의 광학적 이방특성을 이용한 화상표시장치이다. 상기 액정표시장치는 전압의 인가에 따라 분극 특성을 보이는 액정에 빛을 조사하게 되면, 전압인가에 따른 액정의 배향상태에 따라 빛의 양을 조절할 수 있게 된다. 따라서, 이와 같은 원리로 이미지 표현이 가능하다.

[0003] 상기 액정표시장치는 박막트랜지스터 및 화소 전극이 제공된 박막트랜지스터 기판, 컬러필터 및 공통 전극이 제공된 컬러필터 기판, 및 상기 박막트랜지스터 기판과 상기 컬러필터 기판 사이에 개재된 액정층을 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 게이트 회로부의 부식을 개선할 수 있는 액정표시장치를 제공하는 것에 있다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위해서, 본 발명의 일 실시예는, 제1 기판; 상기 제1 기판과 대향되, 영상을 표시하는 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 포함하는 제2 기판; 상기 제2 기판 상에 제공되며, 상기 비표시영역의 가장자리에서 그 아래의 막을 노출하는 제1 절연막; 상기 제1 절연막의 가장자리에 제공된 부식방지막; 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층; 및 상기 제1 절연막 상에 제공되며, 상기 제1 기판과 상기 제2 기판을 합착시키는 실 패턴을 포함하는 액정표시장치를 제공한다.

[0006] 상기 제2 기판의 상기 표시영역에 제공되고, 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터를 더 포함한다.

[0007] 상기 제1 절연막 상에 제공되고, 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 더 포함한다.

[0008] 상기 부식방지막은 상기 화소 전극과 동일한 물질로 이루어진다.

[0009] 상기 부식방지막은 ITO(Indium Tin Oxide)로 이루어진다.

[0010] 상기 박막트랜지스터와 상기 제1 절연막 사이에 제공된 제2 절연막을 더 포함한다.

[0011] 상기 제1 절연막은 상기 제2 절연막을 노출시킨다.

[0012] 상기 부식방지막은 노출된 상기 제2 절연막 상으로 연장한다.

[0013] 상기 게이트 절연막은 상기 비표시영역의 상기 제2 기판과 상기 제2 절연막 사이로 연장하는 액정표시장치.

[0014] 상기 제1 절연막 및 상기 제2 절연막의 적층막은 상기 게이트 절연막을 노출시킨다.

[0015] 상기 부식방지막은 노출된 상기 게이트 절연막 상으로 연장한다.

[0016] 상기 제1 절연막, 상기 제2 절연막 및 상기 게이트 절연막의 적층막은 상기 제2 기판을 노출시킨다.

[0017] 상기 부식방지막은 노출된 상기 제2 기판 상으로 연장한다.

[0018] 상기 제1 절연막은 유기물로 이루어진다.

[0019] 상기 제2 기판 상에 제공된 컬러필터층 및 공통 전극을 더 포함한다.

발명의 효과

[0020] 본 발명의 실시예들에 따르면, 비표시영역의 가장자리에서 그 아래의 막을 노출하는 절연막의 가장자리에 부식방지막을 형성하여 절단 후 셀 분리 시 상기 절연막과 그 아래막의 들뜸을 억제함으로써, 상기 절연막과 그 아래막의 계면을 통해 습기가 침투하는 것을 방지하여 게이트 회로부의 부식을 개선함에 따라 액정표시장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타낸 단면도이다.

2a 내지 도 2g는 본 발명의 제1 실시예에 따른 액정표시장치의 박막트랜지스터 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 3은 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸 단면도이다.

도 4는 본 발명의 제3 실시예에 따른 액정표시장치를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세히 설명한다. 다만, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안되며, 당업계에서 보편적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다. 따라서, 도면에서의 요소들이 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0023] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타낸 단면도이다.
- [0024] 도 1에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 액정표시장치(100A)는 컬러필터 기관(110), 박막트랜지스터 기관(130) 및 이들 두 기관들(110, 130) 사이에 개재된 액정층(170)을 포함할 수 있다.
- [0025] 상기 컬러필터 기관(110)의 제1 기관(111)은 투명한 유리로 형성될 수 있다. 상기 제1 기관(111) 아래에는 일정 간격 이격되어 패터닝된 블랙매트릭스들(Black Matrix; BM, 112)이 제공될 수 있다. 상기 블랙매트릭스들(112)은 외광 및 산란광을 흡수하는 빛샘 차단 역할을 하기 위하여 상기 박막트랜지스터 기관(130)의 박막트랜지스터(TFT) 형성부, 게이트 배선(미도시) 및 데이터 배선(미도시)과 대응되는 영역에 제공될 수 있다. 또한, 상기 블랙매트릭스들(112)은 컬러필터층(114)의 경계부에 제공되어 상기 컬러필터층(114) 사이의 혼색을 방지할 수 있다. 상기 블랙매트릭스들(112)은 금속으로 이루어질 수 있으며, 예를 들면, Cr, CrOx 또는 이들의 이층층으로 이루어질 수 있다.
- [0026] 상기 블랙매트릭스들(112) 사이에는 특정 파장대의 빛만을 걸러주는 적색(R), 녹색(G) 및 청색(B)의 컬러필터층(114)이 제공될 수 있다. 상기 컬러필터층(114)은 지지체인 아크릴 수지(arcyl resin) 및 안료를 포함할 수 있다. 상기 컬러필터층(114)은 색상을 구현하는 상기 안료의 종류에 따라서 적색(R), 녹색(G), 청색(B)으로 구분할 수 있다.
- [0027] 그리고, 상기 블랙매트릭스들(112) 및 상기 컬러필터층(114) 아래에는 오버코트층(overcoat layer, 116)이 추가적으로 제공될 수 있다. 상기 오버코트층(116)은 상기 컬러필터층(114)의 보호, 상기 컬러필터층(114)의 표면 평탄화 및 공통전극(118)과의 접착력 향상을 위해 제공되며, 아크릴 계열 수지 또는 폴리머 계열 수지로 이루어질 수 있다.
- [0028] 다음으로, 상기 오버코트층(116) 아래에는 공통전극(118)이 제공될 수 있다. 상기 공통전극(118)은 투명 도전성 물질로 형성되며, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 이루어질 수 있다. 상기 공통전극(118) 아래에는 액정의 배열을 용이하게 유도하기 위해 상부 배향막(120)이 추가적으로 제공될 수 있다.
- [0029] 도면으로 제시하지는 않았으나, 상기 컬러필터 기관(110)에는 상기 컬러필터 기관(110)과 상기 박막트랜지스터 기관(130) 사이의 일정한 셀 갭(Cell Gap)을 유지하는 역할을 하는 스페이서(Spacer, 미도시)가 제공될 수 있다. 상기 스페이서는 유기 고분자 물질 중 일반적으로 수지로 이루어질 수 있다.
- [0030] 상기 박막트랜지스터 기관(130)의 제2 기관(131)은 영상을 표시하는 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 포함하며, 투명한 유리로 형성될 수 있다. 상기 제2 기관(131) 상의 표시영역에는 게이트 전극(132), 게이트 절연막(134), 반도체층(136), 오믹 콘택층(138), 소스 전극(140) 및 드레인 전극(142)을 포함하는 박막트랜지스터(TFT)가 형성될 수 있다. 상기 박막트랜지스터(TFT)는 액정에 신호를 인가하고 차단하는 스위칭 소자이다.
- [0031] 구체적으로, 상기 게이트 전극(132)은 금속과 같은 도전성 물질로 이루어질 수 있다. 예를 들면, 상기 게이트 전극(132)은 알루미늄(Al), 알루미늄합금(AlNd), 텅스텐(W), 크롬(Cr), 티타늄(Ti) 및 몰리브덴(Mo) 등으로 이루어진 군에서 선택되는 어느 하나로 이루어질 수 있다.
- [0032] 상기 게이트 절연막(134)은 상기 게이트 전극(132) 상에 제공되며, 상기 비표시영역의 상기 제2 기관(131) 상으로 연장된다. 상기 게이트 절연막(134)은 실리콘 산화막(SiO₂)으로 이루어질 수 있다.
- [0033] 상기 반도체층(136)은 상기 게이트 전극(132)에 대응되는 상기 게이트 절연막(134) 상에 제공되며, 순수 비정질

실리콘(a-Si:H)으로 이루어질 수 있다. 상기 오믹 콘택층(138)은 상기 반도체층(136) 상에 제공되며, 불순물이 주입된 비정질 실리콘(n+ a-Si:H)으로 이루어질 수 있다. 상기 오믹 콘택층(138)은 상기 반도체층(136)의 표면 일부를 노출시킨다.

- [0034] 상기 소스 전극(140) 및 상기 드레인 전극(142)은 상기 오믹 콘택층(138) 상에 서로 이격되어 제공된다. 상기 소스 전극(140) 및 상기 드레인 전극(142)은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 텅스텐몰리브덴(MoW), 크롬(Cr), 니켈(Ni), 알루미늄(Al) 및 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종 이상으로 이루어질 수 있다. 상기 반도체층(136)의 표면 일부가 노출된 상기 소스 전극(140) 및 드레인 전극(142) 간의 이격 구간에는 상기 소스 전극(140) 및 상기 드레인 전극(142)을 도통시키는 채널(Channel, 미도시)이 형성된다.
- [0035] 따라서, 상기 게이트 전극(132)에 하이 레벨(high level)의 전압이 인가되고, 상기 소스 전극(140)에 데이터 전압이 인가되면, 상기 게이트 전극(132)으로 인가된 하이 레벨의 전압에 의해 상기 반도체층(136)이 도통되게 되므로, 상기 소스 전극(140)으로 인가된 데이터 전압이 상기 반도체층(136)을 경유하여 상기 드레인 전극(142)으로 공급되게 된다.
- [0036] 도면으로 제시하지는 않았지만, 상기 게이트 전극(132)과 연결되어 제1 방향으로 게이트 배선이 제공되고, 상기 제1 방향과 교차하는 제2 방향으로 상기 소스 전극(140)과 연결되는 데이터 배선이 제공되고, 상기 게이트 배선 및 상기 데이터 배선이 교차되는 영역은 화소 영역으로 정의된다.
- [0037] 제1 절연막(144)이 상기 박막트랜지스터(TFT)를 보호하고, 제2 절연막(146)의 미충진을 방지하기 위하여 상기 박막트랜지스터(TFT) 상에 제공되며, 상기 비표시영역의 상기 게이트 절연막(134) 상으로 연장될 수 있다. 상기 제1 절연막(144)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0038] 제2 절연막(146)이 상기 게이트 배선(미도시)과 화소전극(150) 간에 발생하는 기생 커패시턴스의 값을 줄이기 위하여 상기 제1 절연막(144) 상에 제공될 수 있다. 상기 제2 절연막(146)은 유기물로 이루어질 수 있으며, 예를 들어, 아크릴 수지(acryl resin) 또는 벤조싸이클로부텐(Benzocyclobutene; BCB) 등과 같이 유전율이 낮은 물질로 이루어질 수 있다.
- [0039] 상기 제2 절연막(146)은 상기 비표시영역의 상기 제1 절연막(144) 상으로 연장되며, 상기 비표시영역의 가장자리에서 그 아래의 막인 상기 제1 절연막(144)을 노출시키는 오프닝(opening, 0, 도 2e 참조)을 가질 수 있다.
- [0040] 상기 표시영역에서 상기 제2 절연막(146) 및 상기 제1 절연막(144)의 내부에는 상기 드레인 전극(142)의 표면 일부를 노출시키는 콘택홀(148)이 제공될 수 있다. 상기 표시영역의 상기 제2 절연막(146) 상에는 상기 콘택홀(148)을 통해 상기 드레인 전극(142)과 전기적으로 연결되는 화소전극(150)이 제공될 수 있다. 상기 화소전극(150)은 상기 컬러필터층(114)과 대응되는 영역에 제공될 수 있다. 상기 화소전극(150)은 투명 도전성 물질로 이루어질 수 있다. 예를 들면, 상기 화소전극(150)은 ITO(Indium Tin Oxide)로 이루어질 수 있다.
- [0041] 상기 비표시영역에서 상기 제2 절연막(146)의 가장자리에 부식방지막(152)이 제공될 수 있다. 이때, 상기 부식방지막(152)은 노출된 상기 제1 절연막(144) 상으로 연장될 수 있다. 상기 부식방지막(152)은 상기 화소전극(150)과 동일한 물질로 이루어질 수 있다. 예를 들면, 상기 부식방지막(152)은 ITO로 이루어질 수 있다.
- [0042] 상기 부식방지막(152)은 절단(cutting) 후 셀 분리 시, 상기 제2 절연막(146)과 상기 제1 절연막(144) 간의 들뜸을 억제하여 이후에 상기 제2 절연막(146)과 상기 제1 절연막(144)의 계면을 통해 습기가 침투하는 것을 방지하는 역할을 한다.
- [0043] 그리고, 상기 화소전극(150) 및 상기 제2 절연막(146) 상에는 액정의 배열을 용이하게 유도하기 위해 하부 배향막(154)이 추가로 제공될 수 있다.
- [0044] 상기 컬러필터 기관(110)과 상기 박막트랜지스터 기관(130)은 상기 비표시영역에서 상기 실 패턴(seal pattern, 160)에 의해 합착된다. 상기 실 패턴(160)은 상기 부식방지막(152)과 이격되어 상기 제2 절연막(146) 상에 제공될 수 있으며, 상기 제2 절연막(146)과 상기 블랙매트릭스(112)를 부착시킨다. 이때, 상기 실 패턴(160)은 상기 상부 및 하부 배향막들(120, 154)의 공정 마진으로 인해 상기 상부 배향막(120) 및 상기 하부 배향막(154)과 일부 중첩될 수 있다. 상기 실 패턴(160)은 실런트(sealant)로 이루어질 수 있으며, 예를 들면 상기 실런트는 광경화성 또는 열경화성 에폭시 수지일 수 있다.
- [0045] 상기 컬러필터 기관(110)과 상기 박막트랜지스터 기관(130) 사이의 일정한 셀 갭이 발생된 영역에는 액정층(170)이 제공될 수 있다. 상기 액정층(170)은 광학적 이방특성을 갖는 액정(172)을 포함할 수 있다.

- [0046] 상기 액정표시장치(100A)는 상기 드레인 전극(142)을 통해 상기 화소전극(150)으로 전압이 인가되고, 상기 공통 전극(118)으로 전압이 인가되어 액정 셀을 구동시켜 영상을 표시하게 된다.
- [0047] 본 발명의 제1 실시예에 따르면, 상기 비표시영역에서 상기 제2 절연막(146)의 가장자리에 부식방지막(152)이 형성됨에 따라 절단(cutting) 후 셀 분리 과정 중에 상기 제2 절연막(146)과 상기 제1 절연막(144) 간 들뜸 현상이 억제된다. 그 결과, 상기 제2 절연막(146)과 상기 제1 절연막(144)의 계면을 통해 습기가 침투하는 것이 방지되므로, 게이트 회로부의 부식을 개선하여 상기 액정표시장치(100A)의 신뢰성을 향상시킬 수 있다.
- [0048] 도 2a 내지 도 2g는 본 발명의 제1 실시예에 따른 액정표시장치의 박막트랜지스터 기관의 제조 방법을 설명하기 위한 단면도들이다. 이하, 도시된 도면들을 참조하여 본 발명의 제1 실시예에 따른 액정표시장치의 박막트랜지스터 기관의 제조 방법을 간략히 설명하기로 한다.
- [0049] 도 2a를 참조하면, 영상을 표시하는 표시영역 및 상기 표시영역을 둘러싸는 비표시영역을 포함한 제2 기관(131)을 마련한다. 이후, 상기 제2 기관(131) 상에 도전성 금속을 스퍼터링(Sputtering) 또는 진공증착법(Evaporation) 등을 사용하여 증착하여 도전성 금속막을 형성한다. 상기 도전성 금속막을 마스크(mask)를 이용하여 패터닝하여 상기 표시영역에 게이트 전극(132)을 형성한다. 여기서, 상기 마스크는 사진식각(Photolithography) 공정을 통해 형성된 감광막 패터닐 수 있으며, 이는 공지된 기술이므로 이에 대한 설명은 생략하기로 한다. 한편, 도시하지는 않았으나, 상기 게이트 전극(132) 형성 시 게이트 배선이나 데이터 배선을 형성할 수 있다.
- [0050] 도 2b를 참조하면, 상기 게이트 전극(132) 및 상기 제2 기관(131) 상에 게이트 절연막(134)을 형성한다. 상기 게이트 절연막(134)은 상기 게이트 전극(132) 상에 실리콘 산화막(SiO_2)을 화학기상증착(Chemical Vapor Deposition; CVD)법을 사용하여 증착하여 형성할 수 있다. 따라서, 상기 게이트 절연막(134)은 상기 제2 기관(131) 상의 전체에 걸쳐 형성된다.
- [0051] 도 2c를 참조하면, 상기 게이트 전극(132)과 대응되는 상기 게이트 절연막(134) 상에 반도체층(136) 및 상기 반도체층(136)의 표면 일부를 노출시키는 오믹 콘택층(138)을 차례로 형성한다. 상기 반도체층(136) 및 오믹 콘택층(138)은 상기 게이트 절연막(132) 상에 순수 비정질 실리콘과 n형 또는 p형 불순물이 주입된 비정질 실리콘을 상기 CVD법을 사용하여 차례로 증착한 후 마스크 공정으로 패터닝하여 형성할 수 있다. 상기 오믹 콘택층(138)은 생략 가능하다.
- [0052] 도 2d를 참조하면, 상기 오믹 콘택층(138) 상에 서로 이격되도록 소스 전극(140) 및 드레인 전극(142)을 형성한다. 상기 소스 전극(140) 및 상기 드레인 전극(142)은 상기 오믹 콘택층(138) 및 상기 게이트 절연막(134) 상에 도전성 금속을 스퍼터링 또는 진공증착법 등을 사용하여 증착한 후 이를 마스크를 이용하여 패터닝하여 형성할 수 있다. 이때, 상기 소스 전극(140) 및 상기 드레인 전극(142) 사이의 상기 반도체층(136)이 노출되는 영역은 채널로 제공되게 된다.
- [0053] 이로써, 상기 제2 기관(131) 상의 상기 표시영역에는 상기 게이트 전극(132), 상기 게이트 절연막(134), 상기 반도체층(136), 상기 오믹 콘택층(138), 상기 소스 전극(140) 및 상기 드레인 전극(142)을 포함하는 박막트랜지스터(TFT)가 완성된다.
- [0054] 도 2e를 참조하면, 상기 박막트랜지스터(TFT) 및 상기 게이트 절연막(134) 상에 제1 절연막(144) 및 제2 절연막(146)을 차례로 형성한다. 상기 제1 절연막(144)은 상기 박막트랜지스터(TFT)의 보호막으로서, 상기 박막트랜지스터(TFT) 및 상기 게이트 절연막(134) 상에 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 이중층을 상기 CVD법을 사용하여 증착하여 형성할 수 있다. 상기 제2 절연막(146)은 아크릴 수지 또는 BCB 등과 같은 유기 물질을 스펀코팅(Spincoating) 방법을 사용하여 도포하여 형성할 수 있다. 따라서, 상기 제1 절연막(144) 및 상기 제2 절연막(146)은 상기 게이트 절연막(134) 상의 전체에 걸쳐 형성된다.
- [0055] 이어서, 상기 표시영역의 상기 제1 절연막(144) 및 상기 제2 절연막(146) 내부에 마스크를 이용한 패터닝으로 상기 드레인 전극(142)의 표면 일부를 노출시키는 콘택홀(148)을 형성한다. 또한, 상기 콘택홀(148) 형성 시, 상기 비표시영역에서 상기 제2 절연막(146)의 가장자리를 마스크를 이용하여 식각한다. 따라서, 상기 제2 절연막(146)은 상기 비표시영역의 가장자리에서 그 아래의 막인 상기 제1 절연막(144)을 노출시키는 오프닝(0)을 가진다.

- [0056] 도 2f를 참조하면, 상기 콘택홀(148)을 포함한 상기 제2 절연막(146) 상에 IT0와 같은 투명 도전성 물질을 스퍼터링 또는 진공증착법 등을 수행하여 증착한 후 마스크를 이용하여 패터닝하여 상기 표시영역에서 상기 제2 절연막(146) 상에 상기 콘택홀(148)을 통해 상기 드레인 전극(142)과 전기적으로 연결되는 화소전극(150)을 형성하고, 상기 비표시영역에서 상기 제2 절연막(146)의 가장자리에 부식방지막(152)을 형성한다. 이때, 상기 부식방지막(152)은 노출된 상기 제1 절연막(144) 상으로 연장하여 형성할 수 있다.
- [0057] 도 2g를 참조하면, 상기 화소전극(150) 및 상기 제2 절연막(146) 상에 폴리이미드(polyimide)를 스피닝(spining), 딥핑(dipping) 또는 롤러 코팅(roller coating) 등의 방법을 수행하여 도포하여 하부 배향막(154)을 추가적으로 형성한다. 상기 하부 배향막(154)은 실 패턴(160, 도 1 참조)과의 접착력이 감소되는 것을 방지하기 위하여 상기 실 패턴(160, 도 1 참조)과 중첩되지 않도록 형성하는 것이 바람직하다. 이로써, 상기 표시영역에 상기 박막트랜지스터(TFT) 및 상기 화소전극(150)을 포함하고, 상기 비표시영역에 상기 제2 절연막(146)의 가장자리에 제공된 상기 부식방지막(152) 등을 포함하는 박막트랜지스터 기판(130)이 완성된다.
- [0058] 도 3은 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸 단면도이다. 이하, 도 3, 도 2e 및 도 2f를 참조하여 본 발명의 제2 실시예를 설명한다.
- [0059] 도 3에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 액정표시장치(100B)는 비표시영역의 가장자리에서 제2 절연막(146) 및 제1 절연막(144)의 적층막이 그 아래의 막인 게이트 절연막(134)을 노출시키며, 상기 비표시영역에서 상기 부식방지막(152)이 상기 제2 절연막(146) 및 상기 제1 절연막(144)의 가장자리에 제공되는 것을 제외하고는 나머지 구성에 대해 상기 제1 실시예와 동일할 수 있다. 따라서, 상기 제1 실시예와 중복되는 부분은 생략하기로 하기로 한다.
- [0060] 또한, 상기 부식방지막(152)은 상기 도 2e의 상기 비표시영역에서 상기 제2 절연막(146)의 가장자리를 마스크를 이용하여 식각하는 과정에서 상기 제1 절연막(144)의 가장자리를 추가적으로 식각하여 상기 비표시영역의 가장자리에서 그 아래의 막인 상기 게이트 절연막(134)을 노출시키고, 상기 도 2f에서 상기 콘택홀(148)을 포함한 상기 제2 절연막(146) 상에 IT0와 같은 투명 도전성 물질을 스퍼터링 또는 진공증착법 등을 수행하여 증착한 후 마스크를 이용하여 패터닝하여 상기 비표시영역의 상기 제2 절연막(146) 및 상기 제1 절연막(144)의 가장자리에 형성한다. 이때, 상기 부식방지막(152)은 상기 노출된 게이트 절연막(134) 상으로 연장하여 형성할 수 있다.
- [0061] 도 4는 본 발명의 제3 실시예에 따른 액정표시장치를 나타낸 단면도이다. 이하, 도 4, 도 2e 및 도 2f를 참조하여 본 발명의 제3 실시예를 설명한다.
- [0062] 도 4에 도시된 바와 같이, 본 발명의 제3 실시예에 따른 액정표시장치(100C)는 비표시영역의 가장자리에서 제2 절연막(146), 제1 절연막(144) 및 게이트 절연막(134)의 적층막이 그 아래의 막인 제2 기판(131)을 노출시키며, 상기 비표시영역에서 상기 부식방지막(152)이 상기 제2 절연막(146), 상기 제1 절연막(144) 및 상기 게이트 절연막(134)의 가장자리에 제공되는 것을 제외하고는 나머지 구성에 대해 상기 제1 실시예와 동일할 수 있다. 따라서, 상기 제1 실시예와 중복되는 부분은 생략하기로 하기로 한다.
- [0063] 또한, 상기 부식방지막(152)은 상기 도 2e의 상기 제2 절연막(146)의 가장자리를 마스크를 이용하여 식각하는 과정에서 상기 제1 절연막(144) 및 상기 게이트 절연막(134)의 가장자리를 추가적으로 식각하여 상기 비표시영역의 가장자리에서 그 아래의 막인 상기 제2 기판(131)을 노출시키고, 상기 도 2f에서 상기 콘택홀(148)을 포함한 상기 제2 절연막(146) 상에 IT0와 같은 투명 도전성 물질을 스퍼터링 또는 진공증착법 등을 수행하여 증착한 후 마스크를 이용하여 패터닝하여 상기 비표시영역의 상기 제2 절연막(146), 상기 제1 절연막(144) 및 상기 게이트 절연막(134)의 가장자리에 형성한다. 이때, 상기 부식방지막(152)은 노출된 상기 제2 기판(131) 상으로 연장하여 형성할 수 있다.
- [0064] 이상, 본 발명의 제2 및 제3 실시예에 따르면, 상기 비표시영역에서 상기 제2 절연막(146) 및 상기 제1 절연막(144)의 가장자리, 또는 상기 제2 절연막(146), 상기 제1 절연막(144) 및 상기 게이트 절연막(134)의 가장자리에 부식방지막(152)이 형성된다. 따라서, 본 발명의 제1 실시예와 동일한 효과를 얻을 수 있다.
- [0065] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의

지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

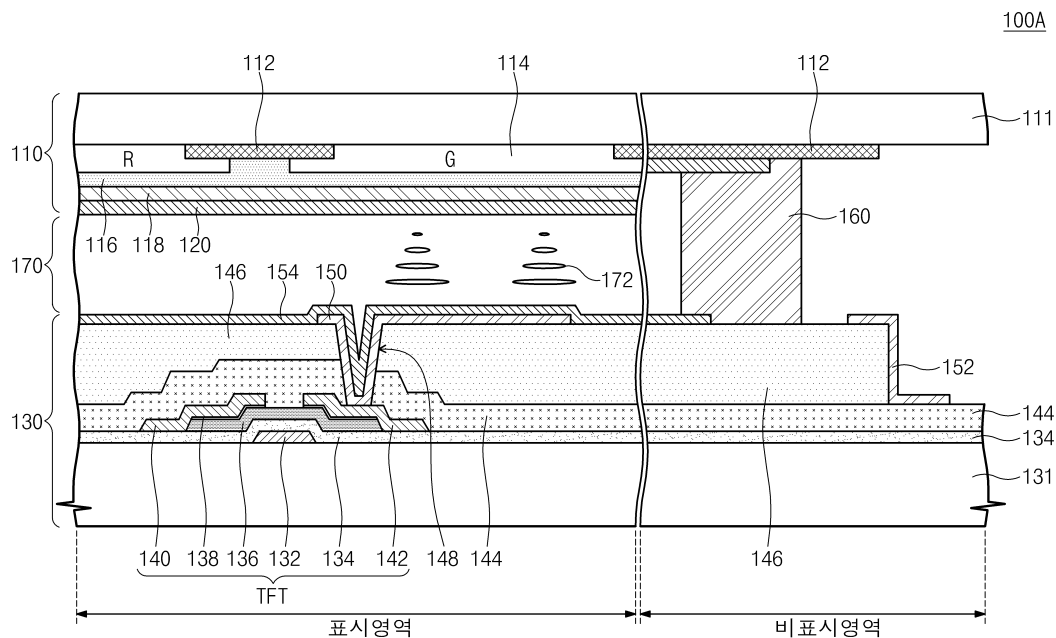
부호의 설명

[0066]

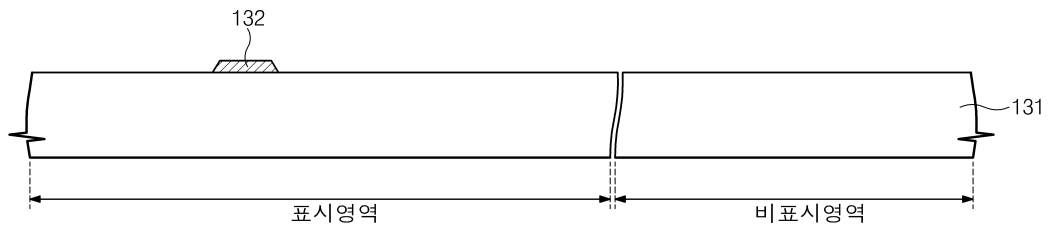
100A, 100B, 100C: 액정표시장치	110: 컬러필터 기판
111: 제1 기판	112: 블랙매트릭스
114: 컬러필터층	116: 오버코트층
118: 공통전극	120: 상부 배향막
130: 박막트랜지스터 기판	131: 제2 기판
132: 게이트 전극	134: 게이트 절연막
136: 반도체층	138: 오믹 콘택층
140: 소스 전극	142: 드레인 전극
144: 제1 절연막	146: 제2 절연막
148: 콘택홀	150: 화소전극
152: 부식방지막	154: 하부 배향막
160: 실 패턴	170: 액정층
172: 액정	

도면

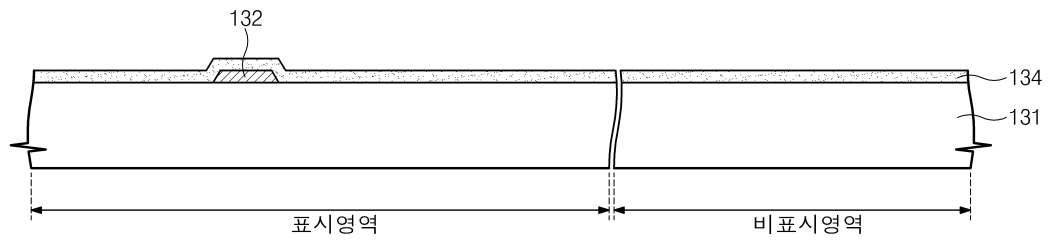
도면1



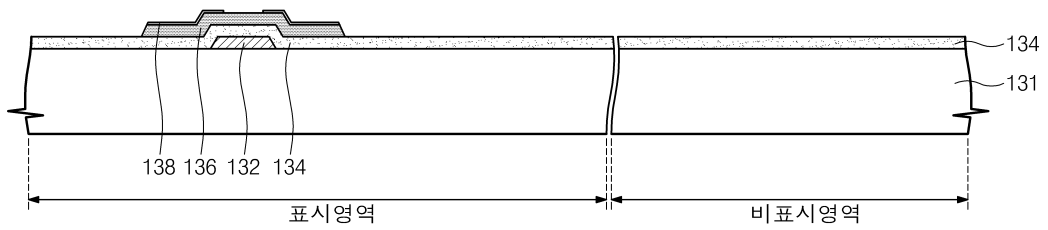
도면2a



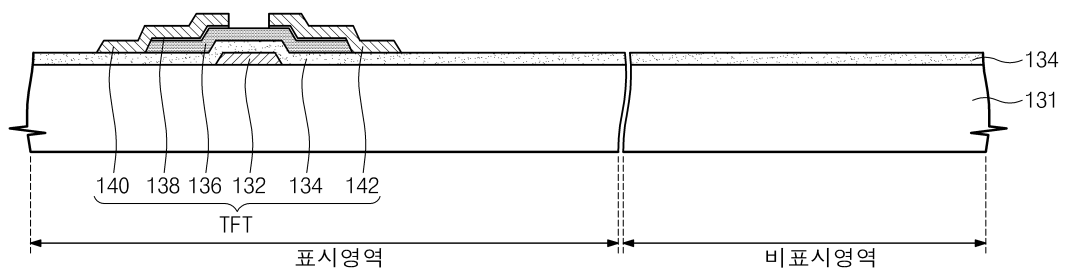
도면2b



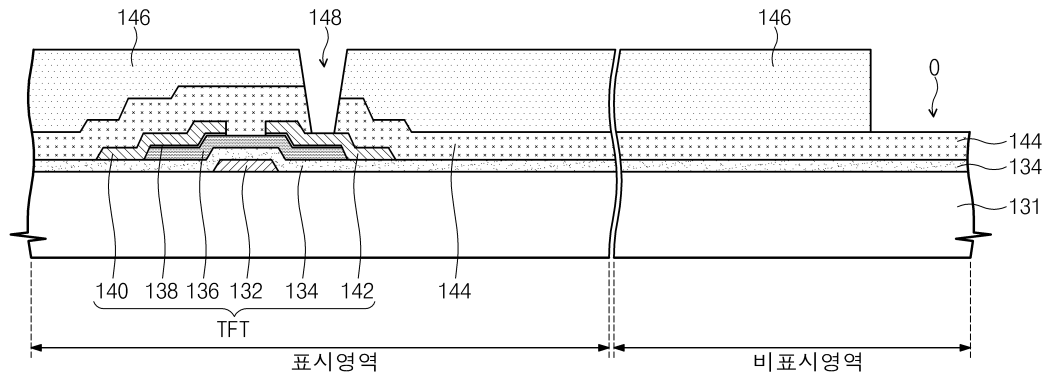
도면2c



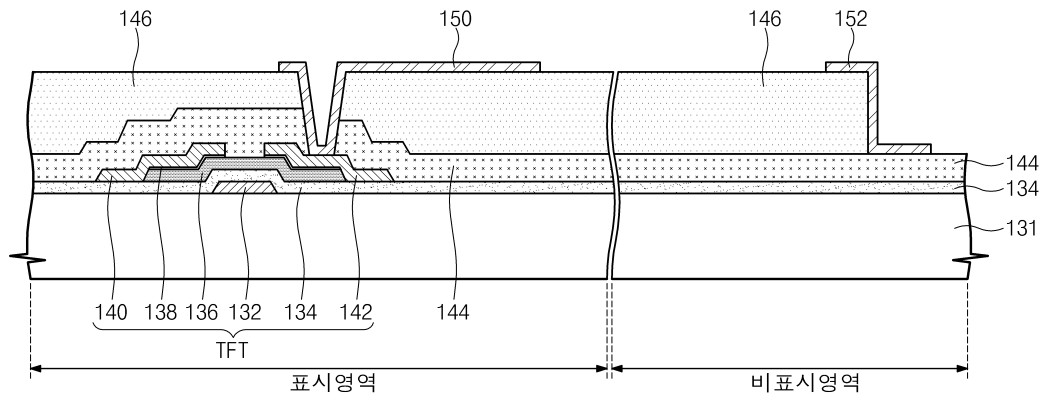
도면2d



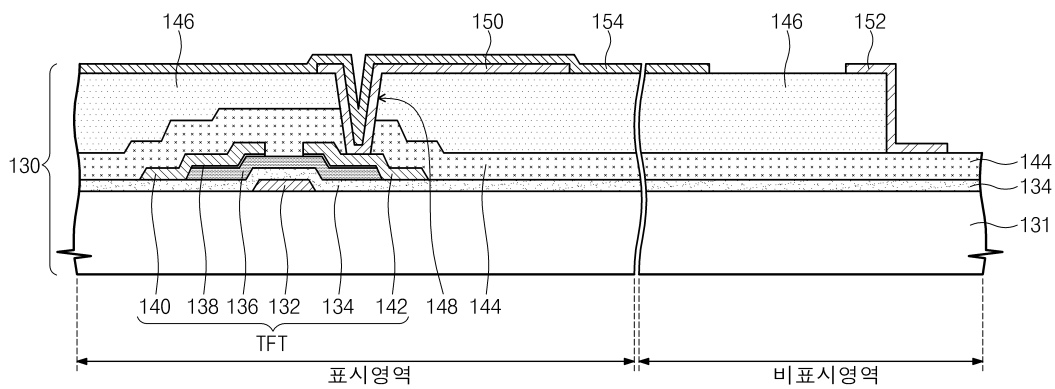
도면2e



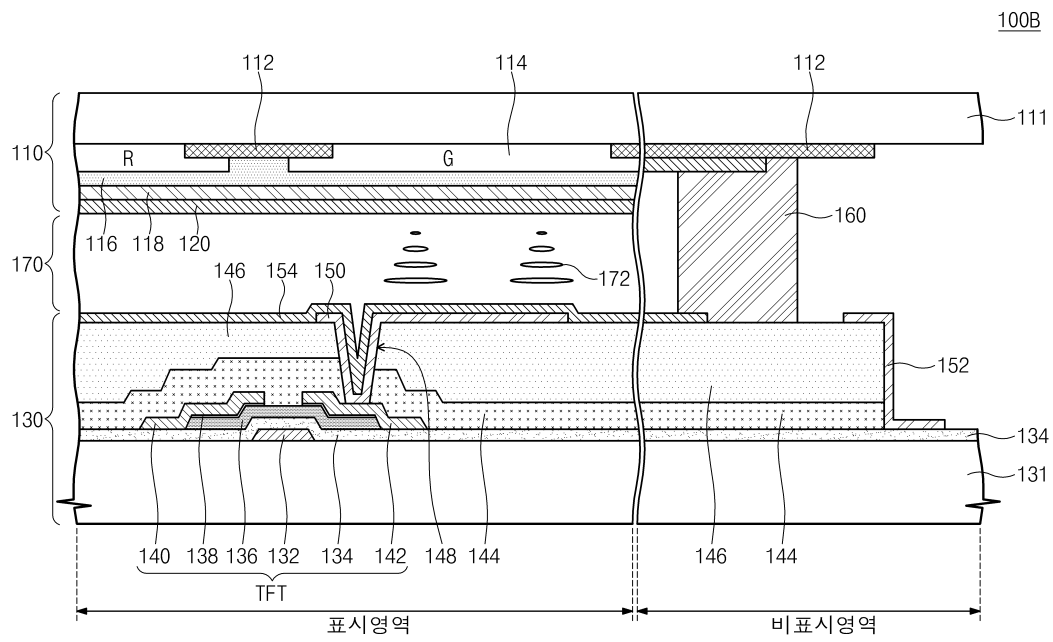
도면2f



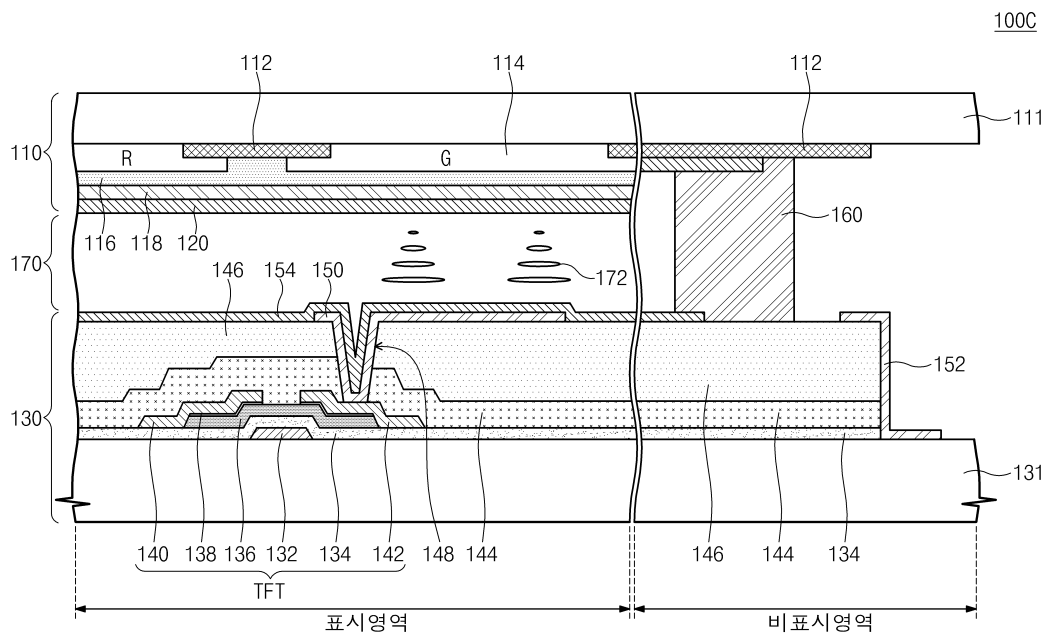
도면2g



도면3



도면4



专利名称(译)	液晶显示器		
公开(公告)号	KR101837656B1	公开(公告)日	2018-03-13
申请号	KR1020100116339	申请日	2010-11-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK KYUNGMIN 박경민		
发明人	박경민		
IPC分类号	G02F1/1362 G02F1/1333 G02F1/1335 G02F1/1368		
CPC分类号	G02F1/1362 G02F1/133345 G02F1/1333 G02F1/1368 G02F1/133514 G02F2001/133388 G02F2201/50 G02F2201/501 G02F1/1335 G02F1/1339 G02F1/133		
其他公开文献	KR1020120054936A		
外部链接	Espacenet		

摘要(译)

本发明的一个实施方案是一种液晶显示器，包括：第一基板；面向第一基板的第二基板，第二基板包括用于显示图像的显示区域和围绕显示区域的非显示区域；第一绝缘膜，设置在第二基板上，并在非显示区域的边缘下方暴露膜；防腐蚀膜设置在第一绝缘膜的边缘；介于第一基板和第二基板之间的液晶层；并且密封图案设置在第一绝缘膜上并且将第一基板和第二基板彼此附接。

