



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년08월01일

(11) 등록번호 10-1644049

(24) 등록일자 2016년07월25일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/133* (2006.01)
G02F 1/136 (2006.01)
- (21) 출원번호 10-2009-0097443
- (22) 출원일자 2009년10월13일
 심사청구일자 2014년08월21일
- (65) 공개번호 10-2011-0040250
- (43) 공개일자 2011년04월20일
- (56) 선행기술조사문헌
 KR1020090046540 A*
 KR1020080009888 A*
 JP2006330633 A
 KR1020080086119 A
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
박경호
 충청남도 천안시 서북구 두정중3길 14 503호 (두정동)
- 김윤장**
 경기도 수원시 영통구 매영로310번길 12, 신나무
 실5단지아파트 542동 1704호 (영통동)
- (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 32 항

심사관 : 차건숙

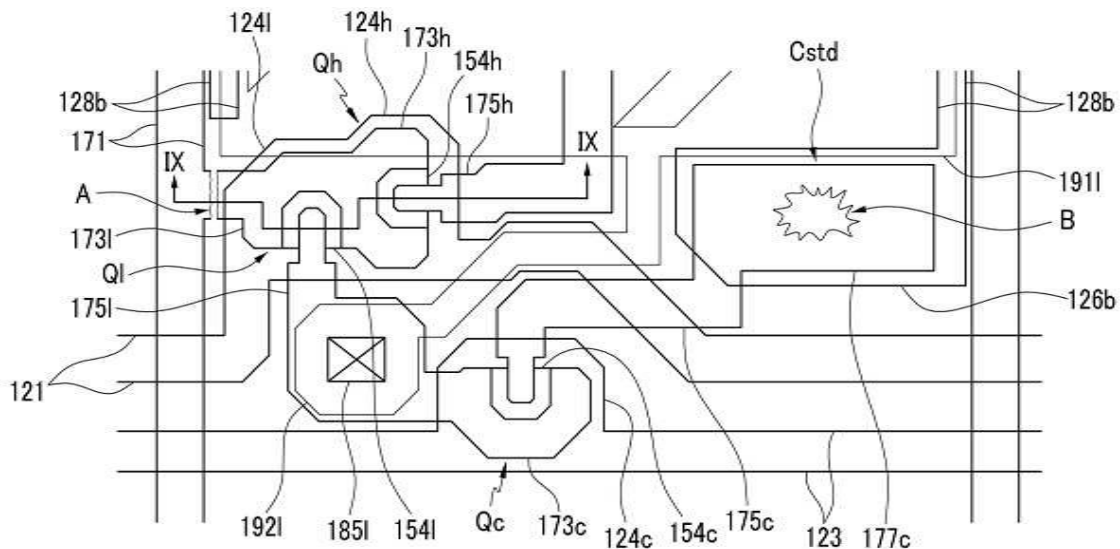
(54) 발명의 명칭 액정 표시 장치 및 그 리페어 방법

(57) 요약

본 발명은 액정 표시 장치 및 그 리페어 방법에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는 복수의 데이터선, 그리고 행렬 형태로 배열되어 있는 복수의 화소를 포함하고, 상기 복수의 화소는 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각 제1 부화소 전극 및 제2 부화소 전극, 상기 제1 부

(뒷면에 계속)

대표도 - 도8



화소 전극과 연결되어 있는 제1 드레인 전극, 그리고 상기 제1 드레인 전극과 마주하는 제1 소스 전극을 포함하는 제1 스위칭 소자, 상기 제2 부화소 전극과 연결되어 있는 제2 드레인 전극, 그리고 상기 제2 드레인 전극과 마주하는 제2 소스 전극을 포함하는 제2 스위칭 소자, 상기 제2 드레인 전극과 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 마주하는 제3 드레인 전극을 포함하는 제3 스위칭 소자, 그리고 상기 제3 드레인 전극과 공통 전압을 전달하는 공통 전압선을 두 단자로서 포함하는 변압 축전기를 포함하고, 상기 제1 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 연결되어 있고, 상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 단선되어 있으며, 상기 제2 화소의 상기 변압 축전기의 두 단자는 서로 단락되어 있다.

명세서

청구범위

청구항 1

복수의 데이터선, 그리고
 행렬 형태로 배열되어 있는 복수의 화소
 를 포함하고,
 상기 복수의 화소는 제1 화소 및 제2 화소를 포함하고,
 상기 제1 화소 및 상기 제2 화소는 각각
 제1 부화소 전극 및 제2 부화소 전극,
 상기 제1 부화소 전극과 연결되어 있는 제1 드레인 전극, 그리고 상기 제1 드레인 전극과 마주하는 제1 소스 전극을 포함하는 제1 스위칭 소자,
 상기 제2 부화소 전극과 연결되어 있는 제2 드레인 전극, 그리고 상기 제2 드레인 전극과 마주하는 제2 소스 전극을 포함하는 제2 스위칭 소자,
 상기 제2 드레인 전극과 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 마주하는 제3 드레인 전극을 포함하는 제3 스위칭 소자, 그리고
 상기 제3 드레인 전극과 공통 전압을 전달하는 공통 전압선을 두 단자로서 포함하는 변압 축전기를 포함하고,
 상기 제1 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 연결되어 있고,
 상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 단선되어 있으며,
 상기 제2 화소의 상기 변압 축전기의 두 단자는 서로 단락되어 있는
 액정 표시 장치.

청구항 2

제1항에서,
 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결되어 있는 복수의 제1 게이트선, 그리고 상기 제3 스위칭 소자와 연결되어 있는 복수의 제2 게이트선을 더 포함하는 액정 표시 장치.

청구항 3

제2항에서,
 상기 제2 화소의 상기 제1 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제1 소스 전극과 도통되는 액정 표시 장치.

청구항 4

제3항에서,
 상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통되는 액정 표시 장치.

청구항 5

제4항에서,
 상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가

되고, 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 게이트 오프 전압(Voff)이 인가되는 액정 표시 장치.

청구항 6

제2항에서,

상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통되는 액정 표시 장치.

청구항 7

제6항에서,

상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가되고, 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 게이트 오프 전압(Voff)이 인가되는 액정 표시 장치.

청구항 8

제2항에서,

상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가되고, 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 상기 게이트 오프 전압(Voff)이 인가되는 액정 표시 장치.

청구항 9

제8항에서,

상기 제1 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극의 전압의 크기가 달라지는 액정 표시 장치.

청구항 10

제8항에서,

상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치.

청구항 11

제10항에서,

상기 제2 화소에서 상기 제1 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통되는 액정 표시 장치.

청구항 12

제2항에서,

상기 제2 화소에서 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치.

청구항 13

제12항에서,

상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극에도 상기 공통 전압이 전달되는 액정 표시 장치.

청구항 14

제1항에서,

상기 제2 화소에서 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치.

청구항 15

제2항에서,

상기 제2 화소에서 상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통되는 액정 표시 장치.

청구항 16

제14항에서,

상기 제2 화소에서 상기 제1 부화소 전극에도 상기 공통 전압이 전달되는 액정 표시 장치.

청구항 17

복수의 데이터선, 그리고 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각 제1 부화소 전극 및 제2 부화소 전극, 상기 제1 부화소 전극과 연결되어 있는 제1 드레인 전극, 그리고 상기 제1 드레인 전극과 마주하는 제1 소스 전극을 포함하는 제1 스위칭 소자, 상기 제2 부화소 전극과 연결되어 있는 제2 드레인 전극, 그리고 상기 제2 드레인 전극과 마주하는 제2 소스 전극을 포함하는 제2 스위칭 소자, 상기 제2 드레인 전극과 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 마주하는 제3 드레인 전극을 포함하는 제3 스위칭 소자, 그리고 상기 제3 드레인 전극과 공통 전압을 전달하는 공통 전압선을 두 단자로서 포함하는 변압 축전기를 포함하는 액정 표시 장치의 리페어 방법으로서,

상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극을 상기 데이터선으로부터 단선시키는 단계, 그리고

상기 제2 화소의 상기 변압 축전기의 두 단자를 서로 단락시키는 단계

를 포함하는 액정 표시 장치의 리페어 방법.

청구항 18

제17항에서,

상기 제1 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극은 상기 데이터선과 연결되어 있는 액정 표시 장치의 리페어 방법.

청구항 19

제17항에서,

상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결되어 있는 복수의 제1 게이트선, 그리고 상기 제3 스위칭 소자와 연결되어 있는 복수의 제2 게이트선을 더 포함하는 액정 표시 장치의 리페어 방법.

청구항 20

제19항에서,

상기 제2 화소의 상기 제1 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제1 소스 전극과 도통되는 액정 표시 장치의 리페어 방법.

청구항 21

제20항에서,

상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통되는 액정 표시 장치의 리페어 방법.

청구항 22

제19항에서,

상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통되는 액정 표시 장치의 리페어 방법.

청구항 23

제19항에서,

상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가되고, 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 상기 게이트 오프 전압(Voff)이 인가되는 액정 표시 장치의 리페어 방법.

청구항 24

제23항에서,

상기 제1 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극의 전압의 크기가 달라지는 액정 표시 장치의 리페어 방법.

청구항 25

제23항에서,

상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치의 리페어 방법.

청구항 26

제25항에서,

상기 제2 화소에서 상기 제1 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통되는 액정 표시 장치의 리페어 방법.

청구항 27

제19항에서,

상기 제2 화소에서 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치의 리페어 방법.

청구항 28

제27항에서,

상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극에도 상기 공통 전압이 전달되는 액정 표시 장치의 리페어 방법.

청구항 29

제19항에서,

상기 제2 화소에서 상기 제2 부화소 전극에 상기 공통 전압이 전달되는 액정 표시 장치의 리페어 방법.

청구항 30

제29항에서,

상기 제2 화소에서 상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통되는 액정 표시 장치의 리페어 방법.

청구항 31

제29항에서,

상기 제2 화소에서 상기 제1 부화소 전극에도 상기 공통 전압이 전달되는 액정 표시 장치의 리페어 방법.

청구항 32

제17항에서,

상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극을 상기 데이터선으로부터 단선시키는 단계 및 상기 제2 화소의 상기 변압 축전기의 두 단자를 서로 단락시키는 단계 중 적어도 하나는 레이저를 사용하는 단계를 포함하는 액정 표시 장치의 리페어 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 리페어 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정층은 굴절률 이방성을 가지는 액정 물질을 포함하는데 이러한 액정 물질의 굴절률 이방성 때문에 액정 표시 장치를 보는 각도에 따라 색의 변화 및 대비의 변화 등이 커 시야각이 좁아 전면 시인성에 비하여 측면 시인성이 떨어질 수 있다. 이를 해결하기 위하여 하나의 화소 전극을 두 개의 부화소 전극으로 분할하고 두 개의 부화소 전극에 인가하는 전압을 달리하는 방법이 제시되었다. 각 부화소 전극은 인가되는 전압을 스위칭 하기 위한 삼단자 소자인 박막 트랜지스터와 연결되어 있다.

[0004] 액정 표시 장치의 제조 과정에서 이물이 개입되거나 도전층의 패턴을 형성하기 위한 감광막을 형성할 때 사용되는 노광기의 초점이 맞지 않을 경우 박막 트랜지스터의 채널에 불량이 생겨 부화소 전극에 데이터 전압이 인가되지 않아야 하는 경우에도 데이터 전압이 인가되어 표시 불량이 생길 수 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 한 화소가 두 부화소를 포함하는 액정 표시 장치에서 불량이 생긴 화소를 리페어하는 방법 및 그에 의한 액정 표시 장치를 제공하는 것이다.

과제 해결수단

[0006] 본 발명의 한 실시예에 따른 액정 표시 장치는 복수의 데이터선, 그리고 행렬 형태로 배열되어 있는 복수의 화소를 포함하고, 상기 복수의 화소는 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각 제1 부화소 전극 및 제2 부화소 전극, 상기 제1 부화소 전극과 연결되어 있는 제1 드레인 전극, 그리고 상기 제1 드레인 전극과 마주하는 제1 소스 전극을 포함하는 제1 스위칭 소자, 상기 제2 부화소 전극과 연결되어 있는 제2 드레인 전극, 그리고 상기 제2 드레인 전극과 마주하는 제2 소스 전극을 포함하는 제2 스위칭 소자, 상기 제2 드레인 전극과 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 마주하는 제3 드레인 전극을 포함하는 제3 스위칭 소자, 그리고 상기 제3 드레인 전극과 공통 전압을 전달하는 공통 전압선을 두 단자로서 포함하는 변압 축전기를 포함하고, 상기 제1 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 연결되어 있고, 상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극이 상기 데이터선과 단선되어 있으며, 상기 제2 화소의 상기 변압 축전기의 두 단자는 서로 단락되어 있다.

[0007] 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결되어 있는 복수의 제1 게이트선, 그리고 상기 제3 스위칭

소자와 연결되어 있는 복수의 제2 게이트선을 더 포함할 수 있다.

- [0008] 상기 제2 화소의 상기 제1 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제1 소스 전극과 도통될 수 있다.
- [0009] 상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통될 수 있다.
- [0010] 상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가되고, 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 게이트 오프 전압(Voff)이 인가될 수 있다.
- [0011] 상기 제1 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극과 상기 제2 부화소 전극의 전압이 달라질 수 있다.
- [0012] 상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달될 수 있다.
- [0013] 상기 제2 화소에서 상기 제1 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통될 수 있다.
- [0014] 상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극에도 상기 공통 전압이 전달될 수 있다.
- [0015] 상기 제2 화소에서 상기 제2 부화소 전극에 상기 공통 전압이 전달될 수 있다.
- [0016] 상기 제2 화소에서 상기 제1 부화소 전극에도 상기 공통 전압이 전달될 수 있다.
- [0017] 본 발명의 한 실시예에 따른 액정 표시 장치의 리페어 방법은 복수의 데이터선, 그리고 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각 제1 부화소 전극 및 제2 부화소 전극, 상기 제1 부화소 전극과 연결되어 있는 제1 드레인 전극, 그리고 상기 제1 드레인 전극과 마주하는 제1 소스 전극을 포함하는 제1 스위칭 소자, 상기 제2 부화소 전극과 연결되어 있는 제2 드레인 전극, 그리고 상기 제2 드레인 전극과 마주하는 제2 소스 전극을 포함하는 제2 스위칭 소자, 상기 제2 드레인 전극과 연결되어 있는 제3 소스 전극, 그리고 상기 제3 소스 전극과 마주하는 제3 드레인 전극을 포함하는 제3 스위칭 소자, 그리고 상기 제3 드레인 전극과 공통 전압을 전달하는 공통 전압선을 두 단자로서 포함하는 변압 축전기를 포함하는 액정 표시 장치의 리페어 방법으로서, 상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극을 상기 데이터선으로부터 단선시키는 단계, 그리고 상기 제2 화소의 상기 변압 축전기의 두 단자를 서로 단락시키는 단계를 포함한다.
- [0018] 상기 제1 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극은 상기 데이터선과 연결되어 있을 수 있다.
- [0019] 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자와 연결되어 있는 복수의 제1 게이트선, 그리고 상기 제3 스위칭 소자와 연결되어 있는 복수의 제2 게이트선을 더 포함할 수 있다.
- [0020] 상기 제2 화소의 상기 제1 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제1 소스 전극과 도통될 수 있다.
- [0021] 상기 제2 화소의 상기 제2 부화소 전극은 상기 제1 게이트선의 게이트 신호와 상관 없이 상기 제2 소스 전극과 도통될 수 있다.
- [0022] 상기 제1 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제2 게이트선에는 게이트 오프 전압(Voff)이 인가되고, 상기 제2 게이트선에 게이트 온 전압(Von)이 인가될 때 상기 제1 게이트선에는 게이트 오프 전압(Voff)이 인가될 수 있다.
- [0023] 상기 제1 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극과 상기 제2 부화소 전극의 전압이 달라질 수 있다.
- [0024] 상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제2 부화소 전극에 상기 공통 전압이 전달될 수 있다.
- [0025] 상기 제2 화소에서 상기 제1 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극이 상기 제2 부화소 전극과 도통될 수 있다.

- [0026] 상기 제2 화소에서 상기 제2 게이트선에 상기 게이트 온 전압(Von)이 인가될 때 상기 제1 부화소 전극에도 상기 공통 전압이 전달될 수 있다.
- [0027] 상기 제2 화소에서 상기 제2 부화소 전극에 상기 공통 전압이 전달될 수 있다.
- [0028] 상기 제2 화소에서 상기 제1 부화소 전극에도 상기 공통 전압이 전달될 수 있다.
- [0029] 상기 제2 화소의 상기 제1 소스 전극 및 상기 제2 소스 전극을 상기 데이터선으로부터 단선시키는 단계 및 상기 제2 화소의 상기 변압 축전기의 두 단자를 서로 단락시키는 단계 중 적어도 하나는 레이저를 사용하는 단계를 포함할 수 있다.

효 과

- [0030] 본 발명의 실시예에 따르면 불량이 생긴 액정 표시 장치의 화소의 제1 및 제2 박막 트랜지스터의 소스 전극을 데이터선으로부터 단선시키고 변압 축전기를 단락시켜 제1 부화소 전극 또는 제1 및 제2 부화소 전극에 공통 전압을 인가하여 해당 화소를 리페어 할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0031] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0032] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0033] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 및 도 2를 참고하여 상세하게 설명한다.
- [0034] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이다.
- [0035] 도 1을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400) 및 데이터 구동부(data driver)(500)를 포함한다.
- [0036] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(signal line)(G1-Gn, D1-Dm)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 그 사이에 들어 있는 액정 층(3)을 포함한다.
- [0037] 신호선(G1-Gn, D1-Dm)은 하부 표시판(100)에 구비되어 있으며, 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G1-Gn)과 데이터 전압을 전달하는 복수의 데이터선(D1-Dm)을 포함한다.
- [0038] 각 화소(PX), 예를 들면 i번째(i=1, 2, ..., n) 게이트선(Gi)과 j번째(j=1, 2, ..., m) 데이터선(Dj)에 연결된 화소(PX)는 제1 부화소 및 제2 부화소를 포함하며, 제1 및 제2 부화소는 제1 및 제2 액정 축전기(liquid crystal capacitor)(Clch, Clcl)를 각각 포함한다. 제1 및 제2 부화소는 게이트선(G1-Gn), 데이터선(D1-Dm) 및 제1 및 제2 액정 축전기(Clch, Clcl)와 연결된 스위칭 소자(도시하지 않음)를 더 포함한다.
- [0039] 제1 및 제2 액정 축전기(Clch, Clcl)는 하부 표시판(100)의 제1 및 제2 부화소 전극(191h, 191l)과 상부 표시판(200)의 공통 전극(common electrode)(270)을 각각 두 단자로 하며 제1 및 제2 부화소 전극(191h, 191l)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 제1 및 제2 부화소 전극(191h, 191l)은 서로 분리되어 있으며 하나의 화소 전극을 이룬다. 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되어 있을 수도 있다.
- [0040] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합

으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 부화소 전극(191h, 191i) 위 또는 아래에 형성할 수도 있다.

- [0041] 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다.
- [0042] 다시 도 1을 참고하면, 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D1-Dm)과 연결되어 있으며 데이터 전압을 데이터선(D1-Dm)에 인가한다.
- [0043] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G1-Gn)과 연결되어 있으며 스위칭 소자를 턴 온시킬 수 있는 게이트 온 전압(Von)과 턴 오프시킬 수 있는 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G1-Gn)에 인가한다.
- [0044] 그러면 도 3 및 앞에서 설명한 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대해 설명한다.
- [0045] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0046] 도 3을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 게이트선(121), 제2 게이트선(123), 공통 전압선(125) 및 데이터선(171)을 포함하는 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.
- [0047] 화소(PX)는 제1 스위칭 소자(Qh), 제2 스위칭 소자(Q1), 제3 스위칭 소자(Qc), 제1 액정 축전기(C1ch), 제2 액정 축전기(C1cl), 그리고 변압 축전기(Cstd)를 포함한다.
- [0048] 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Q1)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 제1 게이트선(121)과 연결되어 있고, 입력 단자는 데이터선(171)과 연결되어 있으며, 출력 단자는 제1 액정 축전기(C1ch) 및 제2 액정 축전기(C1cl)와 각각 연결되어 있다.
- [0049] 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(123)과 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cl)와 연결되어 있으며, 출력 단자는 변압 축전기(Cstd)와 연결되어 있다.
- [0050] 변압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 공통 전압선(125)에 연결되어 있으며, 하부 표시판(100)에 구비된 공통 전압선(125)과 제3 스위칭 소자(Qc)의 출력 단자가 절연체를 사이에 두고 중첩되어 이루어진다.
- [0051] 제1 액정 축전기(C1ch) 및 제2 액정 축전기(C1cl)에 대해서는 앞에서 설명하였으므로 상세한 설명은 생략한다.
- [0052] 앞에서 설명한 도 1 내지 도 3과 함께 도 4를 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치의 동작에 대해 설명한다.
- [0053] 도 4는 도 3에 도시한 액정 표시 장치에서 제1 게이트선(121)의 게이트 신호(Vgn) 및 제2 게이트선(123)의 게이트 신호(Vgc)를 보여주는 도면이다.
- [0054] 제1 게이트선(121)에 게이트 온 전압(Von)이 인가되면 이에 연결된 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Qh, Q1)가 턴 온 된다.
- [0055] 이에 따라 데이터선(171)의 데이터 전압은 턴 온된 제1 및 제2 스위칭 소자(Qh, Q1)를 통하여 제1 및 제2 부화소 전극(191h, 191i)에 동일하게 인가된다. 제1 및 제2 액정 축전기(C1ch, C1cl)는 공통 전극(270)의 공통 전압(Vcom)과 제1 및 제2 부화소 전극(191h, 191i)의 전압 차이만큼 충전되므로 제1 액정 축전기(C1ch)의 충전 전압과 제2 액정 축전기(C1cl)의 충전 전압도 서로 동일하다. 이 때 제2 게이트선(123)에는 게이트 오프 전압(Voff)이 인가된다.
- [0056] 다음 제1 게이트선(121)에 게이트 오프 전압(Voff)이 인가될 때 또는 그 이후에 제2 게이트선(123)에 게이트 온 전압(Von)이 인가되면 제1 게이트선(121)에 연결된 제1 및 제2 스위칭 소자(Qh, Q1)는 턴 오프되고 제3 스위칭 소자(Qc)는 턴 온된다. 이에 따라 제2 스위칭 소자(Q1)의 출력 단자와 연결된 제2 부화소 전극(191i)의 전하가 변압 축전기(Cstd)로 흘러 들어 제2 액정 축전기(C1cl)의 전압이 하강한다.
- [0057] 특히 본 실시예에 따른 액정 표시 장치가 프레임 반전(frame inversion)으로 구동되는 경우 현재 프레임에서 테

이터선(171)에 공통 전압(Vcom)을 기준으로 극성이 양(+)인 데이터 전압이 인가되는 경우를 예로 하여 설명하면, 이전 프레임이 끝난 후에 변압 축전기(Cstd)에는 음(-)의 전하가 모여 있으므로 현재 프레임에서 제3 스위칭 소자(Qc)가 턴 온되면 제2 부화소 전극(1911)의 양(+)의 전하가 제3 스위칭 소자(Qc)를 통해 변압 축전기(Cstd)로 흘러 들어가고 변압 축전기(Cstd)의 음(-)의 전하는 제2 부화소 전극(1911)으로 흘러 들어오므로 제2 부화소 전극(1911)의 전압은 하강하게 된다. 다음 프레임에서는 반대로 제2 부화소 전극(1911)에 음(-)의 전하가 충전된 상태에서 제3 스위칭 소자(Qc)가 턴 온되면 제2 부화소 전극(1911)의 음(-)의 전하가 변압 축전기(Cstd)로 흘러 들어 변압 축전기(Cstd)에는 음(-)의 전하가 모이고 제2 액정 축전기(Clcl)의 전압은 하강한다.

[0058] 이와 같이 제1 및 제2 액정 축전기(Clch, Clcl)의 충전 전압을 다르게 하여 액정 표시 장치의 측면 시인성을 향상할 수 있다.

[0059] 다음 도 5 내지 도 7을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 설명한다.

[0060] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 6은 도 5에 도시한 액정 표시 장치의 일부를 확대한 도면이고, 도 7은 도 5 및 도 6의 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0061] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다. 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있을 수 있다.

[0062] 먼저 하부 표시판(100)에 대하여 설명한다.

[0063] 절연 기판(110) 위에 복수의 제1 게이트선(gate line)(121), 복수의 제2 게이트선(123) 및 공통 전압선(125)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

[0064] 제1 게이트선(121) 및 제2 게이트선(123)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 제1 게이트선(121)은 위로 돌출한 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)을 포함하고, 제2 게이트선(123)은 위로 돌출한 제3 게이트 전극(124c)을 포함한다. 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)은 서로 연결되어 하나의 돌출부를 이룬다.

[0065] 공통 전압선(125)도 주로 가로 방향으로 뻗어 있으며 공통 전압(Vcom) 등의 정해진 전압을 전달한다. 공통 전압선(125)은 아래로 돌출한 좌측 및 우측 공통 전압 전극(128b)과 우측 공통 전압 전극(128b)의 끝 부분에 연결되어 있는 확장부(126b)를 포함한다.

[0066] 게이트 도전체(121, 123, 125) 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

[0067] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 제1 및 제2 게이트 전극(124h, 124i)을 향하여 뻗어 나와 있으며 서로 연결되어 있는 제1 및 제2 반도체(154h, 154i), 그리고 제2 반도체(154i)와 연결되어 있는 제3 반도체(154c)를 포함한다.

[0068] 선형 반도체(151) 위에는 복수의 선형 저항성 접촉 부재(ohmic contact)(161)가 형성되어 있으며, 제1 반도체(154h) 위에는 한 쌍의 저항성 접촉 부재(163h, 165h)가 형성되어 있고, 제2 반도체(154i) 위에는 한 쌍의 저항성 접촉 부재(163i, 165i)가 형성되어 있다. 제3 반도체(154c)위에도 한 쌍의 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재(163i, 163h)는 선형 저항성 접촉 부재(161)와 연결되어 있다.

[0069] 저항성 접촉 부재(161, 165h, 165i) 위에는 복수의 데이터선(data line)(171), 복수의 제1 드레인 전극(175h), 복수의 제2 드레인 전극(175i), 복수의 제3 소스 전극(173c) 및 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다.

[0070] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 제1 게이트선(121) 및 제2 게이트선(123)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)을 향하여 뻗어 있는 제1 소스 전극(173h) 및 제2 소스 전극(173i)을 포함한다. 제1 소스 전극(173h) 및 제2 소스 전극(173i)은 서로 연결되어 있다.

[0071] 제1 드레인 전극(175h), 제2 드레인 전극(175i) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175h) 및 제2 드레인 전극(175i)의 막대형 끝 부분은 각각 제1 소스 전극(173h) 및 제2 소스 전극(173i)으로 일부 둘러싸여 있고, 제3 소스 전극(173c)도 제3 소스 전극(173c)으

로 일부 둘러싸여 있다. 제2 드레인 전극(1751)의 넓은 한 쪽 끝 부분은 제3 소스 전극(173c)과 연결되어 있다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 공통 전압선(125)의 확장부(126b)와 중첩하여 변압 축전기(Cstd)를 이룬다.

- [0072] 제1/제2/제3 게이트 전극(124h/124i/124c), 제1/제2/제3 소스 전극(173h/173i/173c) 및 제1/제2/제3 드레인 전극(175h/175i/175c)은 제1/제2/제3 반도체(154h/154i/154c)와 함께 하나의 제1/제2/제3 박막 트랜지스터(thin film transistor, TFT)(Qh/Qi/Qc)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173h/173i/173c)과 각 드레인 전극(175h/175i/175c) 사이의 각 반도체(154h/154i/154c)에 형성된다.
- [0073] 반도체(154h, 154i, 154c)를 포함하는 선형 반도체(151)는 소스 전극(173h, 173i, 173c)과 드레인 전극(175h, 175i, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 175h, 175i, 175c) 및 그 하부의 저항성 접촉 부재(161, 165h, 165i)와 실질적으로 동일한 평면 모양을 가진다. 즉, 반도체(154h, 154i, 154c)를 포함하는 선형 반도체(151)에는 소스 전극(173h, 173i, 173c)과 드레인 전극(175h, 175i, 175c) 사이를 비롯하여 데이터 도전체(171, 175h, 175i, 175c)에 의해 가리지 않고 노출된 부분이 있다.
- [0074] 데이터 도전체(171, 175h, 175i, 175c) 및 노출된 반도체(154h, 154i, 154c) 부분 위에는 보호막(180)이 형성되어 있다.
- [0075] 보호막(180)에는 제1 드레인 전극(175h)의 넓은 끝 부분과 제2 드레인 전극(175i)의 넓은 끝 부분을 각각 드러내는 복수의 접촉 구멍(185h, 185i)이 형성되어 있다.
- [0076] 보호막(180) 위에는 화소 전극(191)이 형성되어 있다.
- [0077] 화소 전극(191)은 전체적으로 대략 사각형이고 간극(91)을 사이에 두고 서로 맞물려 있는 제1 및 제2 부화소 전극(191h, 191i)을 포함한다. 제1 부화소 전극(191h)은 제2 부화소 전극(191i)의 중앙에 삽입되어 있으며, 간극(91)은 하나의 세로부와 가상의 가로 중심선(또는 공통 전압선(125))을 기준으로 위에 위치하는 한 쌍의 사선부 및 아래에 위치하는 한 쌍의 사선부를 포함한다.
- [0078] 제2 부화소 전극(191i)은 중앙 전극(191ia)과 상부 및 하부 전극(191ib), 그리고 하부 전극(191ib)으로부터 아래로 돌출되어 있는 돌출부(192i)를 포함한다. 중앙 전극(191ia)은 대략 삼각형 모양으로 왼쪽 변 중앙에 형성되어 있는 절개부(93)를 포함하고, 상부 및 하부 전극(191ib)은 각각 절개부(92)를 포함한다.
- [0079] 간극(91)의 사선부, 절개부(92, 93)를 이루는 변들은 제1 및 제2 게이트선(121, 123) 및 공통 전압선(125)에 대하여 비스듬하며 대략 45도의 각을 이룰 수 있다.
- [0080] 절개부의 수효는 화소 전극(191)의 가로변과 세로변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.
- [0081] 제2 부화소 전극(191i)의 면적은 제1 부화소 전극(191h)의 면적의 대략 1.0배 내지 2.2배일 수 있다.
- [0082] 제1 부화소 전극(191h)은 접촉 구멍(185h)을 통해 제1 드레인 전극(175h)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191i)은 돌출부(192i) 및 접촉 구멍(185i)을 통해 제2 드레인 전극(175i)으로부터 데이터 전압을 인가 받는다.
- [0083] 제1 및 제2 부화소 전극(191h, 191i), 그리고 보호막(180) 위에는 배향막(11)이 형성되어 있다. 배향막(11)은 수직 배향막일 수 있다.
- [0084] 다음 상부 표시판(200)에 대하여 설명한다.
- [0085] 절연 기판(210) 위에 블랙 매트릭스(black matrix)라고도 하는 차광 부재(220) 및 복수의 색필터(230)가 형성되어 있고, 차광 부재(220) 및 색필터(230) 위에는 덮개막(250)이 형성되어 있다.
- [0086] 덮개막(250) 위에는 ITO, IZO 등의 투명한 도전체 또는 금속 따위로 만들어질 수 있는 공통 전극(270)이 형성되어 있고, 그 위에는 배향막(21)이 형성되어 있을 수 있다. 배향막(21)은 수직 배향막일 수 있다.
- [0087] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 유전율 이방성을 가지는 액정 분자를 포함하며, 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0088] 데이터 전압이 인가된 제1 및 제2 부화소 전극(191h, 191i)은 상부 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 액정 분자가 기울어

진 정도에 따라 액정층(3)에 입사된 빛의 편광의 변화 정도가 달라지며 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.

[0089] 제1 부화소 전극(191h)과 공통 전극(270)은 그 사이의 액정층(3)과 함께 제1 액정 축전기(C1ch)를 이루고, 제2 부화소 전극(191l)과 공통 전극(270)은 그 사이의 액정층(3)과 함께 제2 액정 축전기(C1cl)를 이루어 제1 및 제2 박막 트랜지스터(Qh, Ql)가 턴 오프된 후에도 인가된 전압을 유지한다.

[0090] 제1 및 제2 박막 트랜지스터(Qh, Ql)가 턴 오프된 후에는 제3 박막 트랜지스터(Qc)가 턴 온되어 제2 액정 축전기(C1cl)가 변압 축전기(Cstd)와 연결되어 제2 액정 축전기(C1cl)의 전압이 떨어진다. 제1 및 제2 액정 축전기(C1ch, C1cl)의 전압이 다르게 하면 휘도 또한 달라지며, 제1 및 제2 액정 축전기(C1ch, C1cl)의 전압을 적절하게 맞추면 측면 시인성을 향상할 수 있다. 앞에서 설명한 도 1 내지 도 4 도시한 실시예에 따른 액정 표시 장치의 여러 특징 및 동작은 본 실시예에도 적용될 수 있다.

[0091] 그러면, 도 5 내지 도 7에 도시한 액정 표시 장치의 하부 표시판(100)을 제조 방법에 대해 설명한다.

[0092] 먼저 투명한 유리 파우로 만들어진 절연 기판(110) 위에 게이트 도전층(도시하지 않음)을 적층하고 그 위에 감광막을 도포한다. 노광기를 이용하여 광 마스크(도시하지 않음)를 통해 감광막에 빛을 조사한 후 현상하여 감광막 패턴(도시하지 않음)을 형성하고 게이트 도전층을 식각하여 복수의 제1 게이트선(121), 복수의 제2 게이트선(123) 및 공통 전압선(125)을 포함하는 복수의 게이트 도전체를 형성한다.

[0093] 이어서 게이트 도전체 위에 무기 절연물 또는 유기 절연물 파우로 이루어진 게이트 절연막(140)을 적층한다.

[0094] 이어서 게이트 절연막(140) 위에 반도체층(도시하지 않음), 불순물이 도핑된 반도체층(도시하지 않음)을 화학 기상 증착법 등을 이용하여 차례로 적층하고 스퍼터링 파우의 방법으로 데이터 도전층(도시하지 않음)을 적층한 다음 그 위에 감광막을 도포한다. 다음 노광기를 이용하여 광 마스크(도시하지 않음)를 통하여 감광막에 빛을 조사한 후 현상하여 두께가 다른 부분을 포함하는 감광막 패턴(도시하지 않음)을 형성한다. 다음 감광막 패턴을 마스크로 하여 데이터 도전층, 불순물이 도핑된 반도체층 및 반도체층을 식각하여 동일한 평면 형태의 데이터 도전체층(도시하지 않음), 저항성 접촉층(도시하지 않음), 그리고 복수의 선형 반도체(151)를 형성한다.

[0095] 다음 감광막 패턴의 일부를 제거한 후 노출된 데이터 도전체층 및 저항성 접촉층을 식각하여 제1, 제2 및 제3 박막 트랜지스터(Qh, Ql, Qc)의 채널 영역을 형성하고, 복수의 데이터선(171), 복수의 제1 드레인 전극(175h), 복수의 제2 드레인 전극(175l), 복수의 제3 소스 전극(173c) 및 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체, 그리고 복수의 저항성 접촉 부재(161, 165h, 165l)를 형성한다.

[0096] 이어서 데이터 도전체 위에 보호막(180)을 형성한 다음 보호막(180)에 복수의 접촉 구멍(185h, 185l)을 형성하고, 보호막(180) 위에 IZO 또는 ITO 층을 스퍼터링 방법으로 증착하고 패터닝하여 간극(91) 및 절개부(92, 93)를 포함한 복수의 화소 전극(191)을 형성한다.

[0097] 이와 같이 액정 표시 장치의 제조 과정에서 제1, 제2 및 제3 박막 트랜지스터(Qh, Ql, Qc)를 이루는 제1, 제2 및 제3 게이트 전극(124h, 124l, 124c), 제1, 제2 및 제3 반도체(154h, 154l, 154c), 제1, 제2 및 제3 소스 전극(173h, 173l, 173c), 그리고 제1, 제2 및 제3 드레인 전극(175h, 175l, 175c)의 형성은 노광기의 노광 단계를 포함한다. 이러한 노광기에서 나오는 빛의 초점이 맞지 않거나 정렬 오차가 생기는 경우 또는 제조 과정에서 외부로부터의 이물질이 개입되는 경우 등 여러 가지 원인에 의해 제1, 제2 및 제3 박막 트랜지스터(Qh, Ql, Qc) 등의 채널 영역에 불량이 생겨 제1, 제2 및 제3 박막 트랜지스터(Qh, Ql, Qc)가 자기의 게이트 신호에 상관없이 항상 턴 온 상태가 되는 경우가 생길 수 있다. 특히 제1 및 제2 부화소 전극(191h, 191l)과 연결되어 데이터 전압을 인가하는 제1 및 제2 박막 트랜지스터(Qh, Ql)에 불량이 생기면 제1 및 제2 부화소 전극(191h, 191l)에 다른 화소(PX)에 대한 데이터 전압이 인가될 수 있어 해당 화소(PX)의 영상을 제대로 표시할 수 없을 수 있다. 따라서 불량이 생긴 화소(PX)는 항상 블랙을 표시하도록 리페어하도록 한다. 특히 도 5 내지 도 7을 참고하면, 제1 박막 트랜지스터(Qh) 및 제2 박막 트랜지스터(Ql)는 서로 가까이 위치하고 있어 동시에 불량이 생길 확률이 크다.

[0098] 그러면 도 8 내지 도 11을 참고하여 도 5 내지 도 7에 도시한 액정 표시 장치의 일부 화소에 불량이 생긴 경우 리페어하는 방법 및 리페어된 액정 표시 장치의 화소에 대해 설명한다. 앞에서 설명한 실시예와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여하고, 동일한 설명은 생략한다.

[0099] 도 8은 본 발명의 한 실시예에 따른 액정 표시 장치의 리페어된 화소에 대한 배치도이고, 도 9는 도 8에 도시한 액정 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이고, 도 10은 본 발명의 한 실시예에 따른 액정 표시 장

치의 리페어된 화소에 대한 등가 회로도이고, 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소 전극 및 각각의 표시 영역을 간략히 도시한 도면이다.

- [0100] 도 8 내지 도 10을 참고하면 본 발명의 한 실시예에 따른 액정 표시장치의 일부 화소의 제1 박막 트랜지스터(Qh)에 불량이 생기거나 제1 및 제2 박막 트랜지스터(Qh, Q1)에 불량이 생긴 경우, 레이저(laser) 등을 이용하여 제1 박막 트랜지스터(Qh)의 제1 소스 전극(173h)과 데이터선(171) 사이를 단선(disconnection)하고(A 부분) 변압 축전기(Cstd)의 두 단자를 이루는 제3 드레인 전극(175c)의 넓은 끝 부분(177c)과 공통 전압선(125)의 확장부(126b)는 서로 단락시킨다(B 부분).
- [0101] 그러면 제1 및 제2 박막 트랜지스터(Qh, Q1)는 모두 데이터선(171)으로부터 분리되어 데이터 전압을 인가 받지 못하게 되고 변압 축전기(Cstd)의 기능은 상실되어 제3 박막 트랜지스터(Qc)의 제3 드레인 전극(175c)이 공통 전압(Vcom)과 직접 연결된다. 따라서 제2 게이트선(123)에 게이트 온 전압(Von)이 인가되어 제3 박막 트랜지스터(Qc)가 턴 온되면 접촉 구멍(1851)을 통해 제2 부화소 전극(1911)에 공통 전압(Vcom)이 인가되어 제2 액정 축전기(C1c1)에 인가되는 전압은 실질적으로 0이 되어 도 11의 제2 부화소 전극(1911)에 대응하는 제1 표시 영역(A1)은 블랙을 표시하게 된다. 도 11에서 제1 표시 영역(A1)은 제2 부화소 전극(1911)에 대응하는 영상 표시 영역이고, 제2 표시 영역(A2)은 제1 부화소 전극(191h)에 대응하는 영상 표시 영역이다.
- [0102] 이와 달리 제3 박막 트랜지스터(Qc)의 채널 영역에도 불량이 생긴 경우에는 제2 게이트선(123)의 게이트 신호(Vgc)와 상관 없이 제2 부화소 전극(1911)에 공통 전압(Vcom)이 인가되어 도 11의 제1 표시 영역(A1)이 블랙을 표시할 수 있다.
- [0103] 다음, 제1 게이트선(121)에 게이트 온 전압(Von)이 인가되면 제1 및 제2 박막 트랜지스터(Qh, Q1)가 턴 온되어 제1 부화소 전극(191h)은 턴 온된 제1 및 제2 박막 트랜지스터(Qh, Q1) 및 접촉 구멍(1851)을 통해 제2 부화소 전극(1911)과 연결된다. 따라서 제1 부화소 전극(191h)의 전압은 공통 전압(Vcom) 쪽으로 이동하며, 프레임이 반복될수록 제1 부화소 전극(191h)의 전압은 공통 전압(Vcom)에 수렴하게 된다. 이로써 제1 액정 축전기(C1c1h)에 인가되는 전압도 실질적으로 0이 되어 도 11의 제1 부화소 전극(191h)에 대응하는 제2 표시 영역(A2)도 블랙을 표시하게 된다.
- [0104] 제1 및 제2 박막 트랜지스터(Qh, Q1)의 채널 영역에 모두 불량이 생긴 경우에는 제1 게이트선(121)의 게이트 신호(Vgn)에 상관없이 제1 및 제2 박막 트랜지스터(Qh, Q1)가 항상 턴 온 상태가 될 수 있으므로 이 경우에는 제2 부화소 전극(1911)에 공통 전압(Vcom)이 인가될 때 제1 부화소 전극(191h)에도 동시에 공통 전압(Vcom)이 인가될 수 있다.
- [0105] 제1 및 제2 박막 트랜지스터(Qh, Q1) 뿐만 아니라 제3 박막 트랜지스터(Qc)에도 불량이 생긴 경우에는 제1 게이트선(121)의 게이트 신호(Vgn) 및 제2 게이트선(123)의 게이트 신호(Vgc)와 상관 없이 제1 부화소 전극(191h) 및 제2 부화소 전극(1911)에 각각적으로 공통 전압(Vcom)이 인가될 수도 있다.
- [0106] 이와 같이 제1 박막 트랜지스터(Qh)에 불량이 생기거나 제1 및 제2 박막 트랜지스터(Qh, Q1)에 불량이 생기는 등과 같이 액정 표시 장치의 화소에 불량이 생긴 경우 해당 화소를 위에 설명한 방법으로 손쉽게 리페어하여 비정상적으로 밝은 불량 화소를 블랙으로 오프(off)시켜 표시 불량이 생기는 것을 막을 수 있다.
- [0107] 위에서 설명한 본 발명의 실시예에서는 제1 박막 트랜지스터(Qh) 및 제2 박막 트랜지스터(Q1)의 채널 영역의 불량으로 인한 화소 불량을 예로 하여 설명하였지만 이에 한정되지 않고 제1 부화소 전극(191h)에 대응하는 제2 표시 영역(A2) 또는 제2 부화소 전극(1911)에 대응하는 제1 표시 영역(A1)이 제대로 표시 동작을 수행하지 못하게 된 다양한 경우에 본 발명의 실시예에 따른 액정 표시 장치의 리페어 방법이 사용될 수 있다.
- [0108] 다음, 도 12 및 도 13을 참고하여 본 발명의 다른 실시예에 따른 액정 표시 장치의 리페어 방법 및 리페어된 액정 표시 장치의 화소에 대해 설명한다. 앞에서 설명한 실시예와 동일한 구성 요소에 대해서는 동일한 도면 부호를 부여하고, 동일한 설명은 생략한다.
- [0109] 도 12는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 13은 도 12의 액정 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.
- [0110] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0111] 먼저 상부 표시판(200)에 대하여 설명하면, 절연 기판(210) 위에 공통 전극(270)이 형성되어 있고, 공통 전극

(270) 위에는 배향막(도시하지 않음)이 형성되어 있을 수 있다.

- [0112] 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자를 포함하며 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0113] 다음 하부 표시판(100)에 대하여 설명하면, 절연 기판(110) 위에 복수의 제1 게이트선(121), 복수의 제2 게이트선(123) 및 복수의 공통 전압선(125)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 공통 전압선(125)은 위 아래로 돌출한 전극(129), 제1 게이트선(121)에 대략 수직하게 아래로 뻗은 한 쌍의 세로부(128) 및 한 쌍의 세로부(128)의 끝을 서로 연결하는 가로부(127)를 포함한다. 가로부(127)는 아래로 확장된 확장부(126)를 포함한다.
- [0114] 게이트 도전체(121, 123, 125) 위에는 게이트 절연막(140)이 형성되어 있다.
- [0115] 게이트 절연막(140) 위에는 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 서로 연결되어 있는 제1 및 제2 반도체(154h, 154i), 그리고 제2 반도체(154i)와 연결된 제3 반도체(154c)를 포함한다.
- [0116] 선형 반도체(151) 위에는 복수의 선형 저항성 접촉 부재(161)가 형성되어 있으며, 제1 반도체(154h) 위에는 한 쌍의 저항성 접촉 부재(163h, 165h)가 형성되어 있고, 제2 반도체(154i) 및 제3 반도체(154c) 위에도 각각 한 쌍의 저항성 접촉 부재(도시하지 않음)가 형성되어 있다.
- [0117] 저항성 접촉 부재(161, 165h) 위에는 복수의 데이터선(171), 복수의 제1 드레인 전극(175h), 복수의 제2 드레인 전극(175i), 그리고 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다. 데이터선(171)은 제1 소스 전극(173h) 및 제2 소스 전극(173i)을 포함한다. 제1 드레인 전극(175h), 제2 드레인 전극(175i) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175h) 및 제2 드레인 전극(175i)의 막대형 끝 부분은 제1 소스 전극(173h) 및 제2 소스 전극(173i)으로 일부 둘러싸여 있다. 제2 드레인 전극(175i)의 넓은 한 쪽 끝 부분은 다시 연장되어 'U'자 형태로 굽은 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)의 넓은 끝 부분(177c)은 공통 전압선(125)의 확장부(126)와 중첩하여 변압 축전기(Cstd)를 이루며, 막대형 끝 부분은 제3 소스 전극(173c)으로 일부 둘러싸여 있다.
- [0118] 제1/제2/제3 게이트 전극(124h/124i/124c), 제1/제2/제3 소스 전극(173h/173i/173c) 및 제1/제2/제3 드레인 전극(175h/175i/175c)은 제1/제2/제3 섬형 반도체(154h/154i/154c)와 함께 하나의 제1/제2/제3 박막 트랜지스터(Qh/Qi/Qc)를 이룬다.
- [0119] 데이터 도전체(171, 175h, 175i, 175c) 및 노출된 반도체(154h, 154i, 154c) 부분 위에는 질화규소 또는 산화규소 따위의 무기 절연물로 만들어질 수 있는 하부 보호막(180p)이 형성되어 있고, 하부 보호막(180) 위에는 색필터(230)가 위치한다.
- [0120] 색필터(230)가 위치하지 않는 영역 및 색필터(230)의 일부 위에는 차광 부재(220)가 위치한다. 차광 부재(220)는 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Qi) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 영역을 덮는 부분 및 데이터선(171)을 따라 뻗는 부분을 포함한다. 차광 부재(220)는 제1 박막 트랜지스터(Qh) 및 제2 박막 트랜지스터(Qi) 위에 위치하는 개구부(227), 제1 드레인 전극(175h)의 넓은 끝 부분 위에 위치하는 개구부(226h), 제2 드레인 전극(175i)의 넓은 끝 부분 위에 위치하는 개구부(226i), 그리고 제3 박막 트랜지스터(Qc) 위에 위치하는 개구부(228)를 포함할 수 있다. 이와 같이 차광 부재(220)가 제거된 개구부(226h, 226i, 227, 228)는 액정 표시 장치의 제조 공정 중에 박막 트랜지스터 등의 불량 검사를 가능하게 한다.
- [0121] 색필터(230) 및 차광 부재(220) 위에는 상부 보호막(180q)이 형성되어 있다.
- [0122] 하부 보호막(180p) 및 상부 보호막(180q)에는 제1 드레인 전극(175h)의 넓은 끝 부분과 제2 드레인 전극(175i)의 넓은 끝 부분을 각각 드러내는 복수의 접촉 구멍(185h, 185i)이 형성되어 있다. 접촉 구멍(185h, 185i)은 차광 부재(220)의 개구부(226h, 226i) 안에 위치한다.
- [0123] 상부 보호막(180q) 위에는 제1 부화소 전극(191h) 및 제2 부화소 전극(191i)을 포함하는 화소 전극이 형성되어 있다.
- [0124] 제1 부화소 전극(191h)의 전체적인 모양은 사각형이며, 가로 줄기부 및 세로 줄기부를 포함하는 십(十)자 줄기부(195h), 외곽을 둘러싸는 외곽 줄기부(196h), 그리고 십자 줄기부(195h)의 세로 줄기부의 하단으로부터 아래로 돌출한 돌출부(192h)를 포함한다.
- [0125] 제2 부화소 전극(191i)의 전체적인 모양도 사각형이며, 가로 줄기부 및 세로 줄기부를 포함하는 십(十)자 줄기

부(1951), 상단 가로부(1961a) 및 하단 가로부(1961b), 십자 줄기부(1951)의 세로 줄기부의 상단으로부터 위로 돌출한 돌출부(1921), 그리고 제1 부화소 전극(191h)의 좌우에 위치하는 좌우 세로부(1931a, 1931b)를 포함한다. 좌우 세로부(1931a, 1931b)는 데이터선(171)과 제1 부화소 전극(191h) 사이의 용량성 결합, 즉 커플링(capacitive coupling)을 방지할 수 있다.

[0126] 제1 부화소 전극(191h) 및 제2 부화소 전극(1911) 각각은 각각의 십자 줄기부(195h, 1951)에 의해 네 개의 부영역으로 나뉘어진다. 제1 및 제2 부화소 전극(191h, 1911)은 각 부영역에서 십자 줄기부(195h, 1951)로부터 바깥쪽으로 비스듬하게 뻗는 복수의 미세 가지부(199h, 1991)를 포함하며, 이웃하는 미세 가지부(199h, 1991) 사이에는 미세 슬릿(91h, 911)이 위치한다.

[0127] 제1 부화소 전극(191h)의 돌출부(192h)는 접촉 구멍(185h)을 통해 제1 드레인 전극(175h)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(1911)의 돌출부(1921)는 접촉 구멍(1851)을 통해 제2 드레인 전극(1751)으로부터 데이터 전압을 인가 받는다. 이 때 제2 부화소 전극(1911)이 인가 받는 데이터 전압은 제1 부화소 전극(191h)이 인가 받는 데이터 전압보다 작을 수 있다.

[0128] 제1 및 제2 부화소 전극(191h, 1911), 그리고 상부 보호막(180q) 위에는 배향막(도시하지 않음)이 형성되어 있을 수 있다.

[0129] 본 발명의 실시예에서 제1 및 제2 부화소 전극(191h, 1911)은 미세 가지부(199h, 1991) 또는 미세 슬릿(91h, 911)의 길이 방향이 서로 다른 네 개의 부영역을 포함하므로 액정층(3)의 액정 분자들이 기울어지는 방향도 총 네 방향이 된다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

[0130] 이외에도 앞에서 설명한 도 1 내지 도 4에 도시한 실시예에 따른 액정 표시 장치의 여러 특징 및 동작은 본 실시예에도 적용될 수 있다.

[0131] 본 발명의 실시예에서 불량이 생긴 화소의 경우 도 12 및 도 13에 도시한 바와 같이 레이저 등을 이용하여 제1 박막 트랜지스터(Qh)의 제1 소스 전극(173h)과 데이터선(171) 사이를 단선하고(A 부분), 변압 축전기(Cstd)의 두 단자를 이루는 제3 드레인 전극(175c)의 넓은 끝 부분(177c)과 공통 전압선(125)의 확장부(126)는 서로 단락시킨다(B 부분).

[0132] 그러면 앞에서 설명한 실시예와 같이 제1 및 제2 박막 트랜지스터(Qh, Q1)는 모두 데이터선(171)으로부터 분리되어 데이터 전압을 인가 받지 못하게 되고 제3 박막 트랜지스터(Qc)의 드레인 전극(175c)이 공통 전압(Vcom)과 직접 연결된다. 앞에서 설명한 도 8 내지 도 10에 도시한 실시예에 따른 액정 표시 장치의 리페어 방법 및 여러 특징은 본 실시예에도 적용될 수 있다.

[0133] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0134] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고,

[0135] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이고,

[0136] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이고,

[0137] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 신호를 보여주는 도면이고,

[0138] 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고,

[0139] 도 6은 도 5에 도시한 액정 표시 장치의 일부를 확대한 도면이고,

[0140] 도 7은 도 5 및 도 6의 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이고,

[0141] 도 8은 본 발명의 한 실시예에 따른 액정 표시 장치의 리페어된 화소에 대한 배치도이고,

[0142] 도 9는 도 8에 도시한 액정 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이고,

[0143] 도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 리페어된 화소에 대한 등가 회로도이고,

[0144] 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소 전극 및 각각의 표시 영역을 간략히 도시한 도면이고,

[0145] 도 12는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이고,

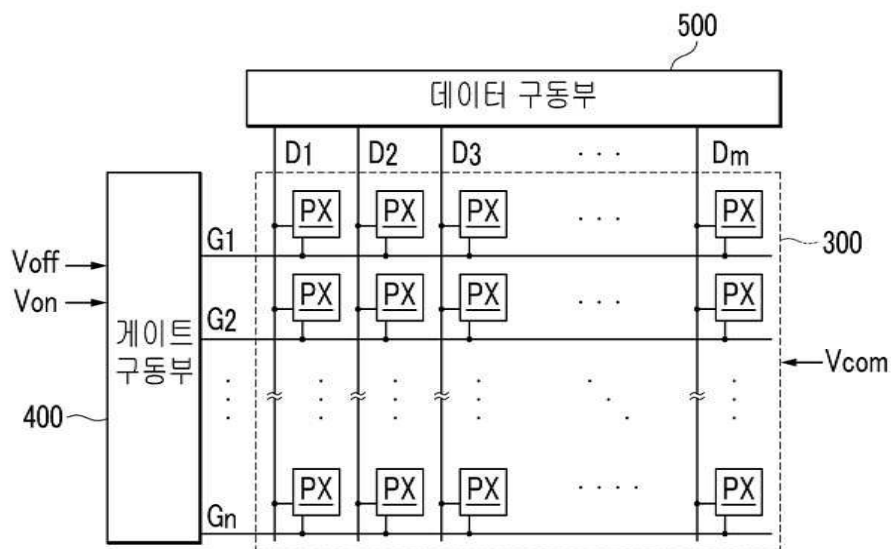
[0146] 도 13은 도 12의 액정 표시 장치를 XIII-XIII 선을 따라 잘라 도시한 단면도이다.

[0147] <도면의 주요 부분에 대한 부호의 설명>

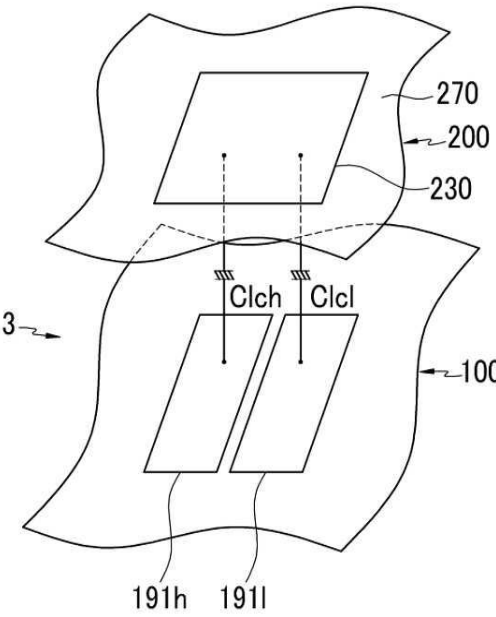
[0148]	3: 액정층	71: 절개부
[0149]	100: 하부 표시판	
[0150]	110, 210: 기판	121: 제1 게이트선
[0151]	123: 제2 게이트선	124l, 124h, 124c: 게이트 전극
[0152]	125: 공통 전압선	
[0153]	140: 게이트 절연막	151, 154, 154h, 154l, 154c: 반도체
[0154]	161, 163l, 165l, 163h, 165h:	저항성 접촉 부재
[0155]	171: 데이터선	
[0156]	173h, 173l, 173c: 소스 전극	
[0157]	175h, 175l, 175c: 드레인 전극	
[0158]	180, 180p, 180q: 보호막	
[0159]	185, 185h, 185l: 접촉 구멍	191, 191h, 191l: 화소 전극
[0160]	200: 상부 표시판	220: 차광 부재
[0161]	230: 색필터	250: 덮개막
[0162]	270: 공통 전극	

도면

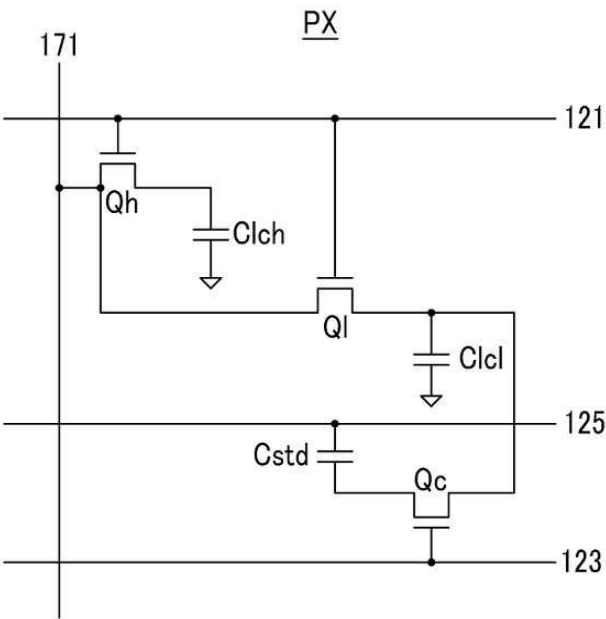
도면1



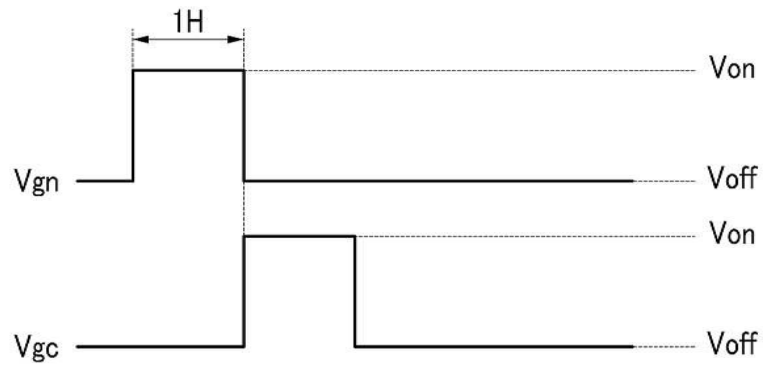
도면2



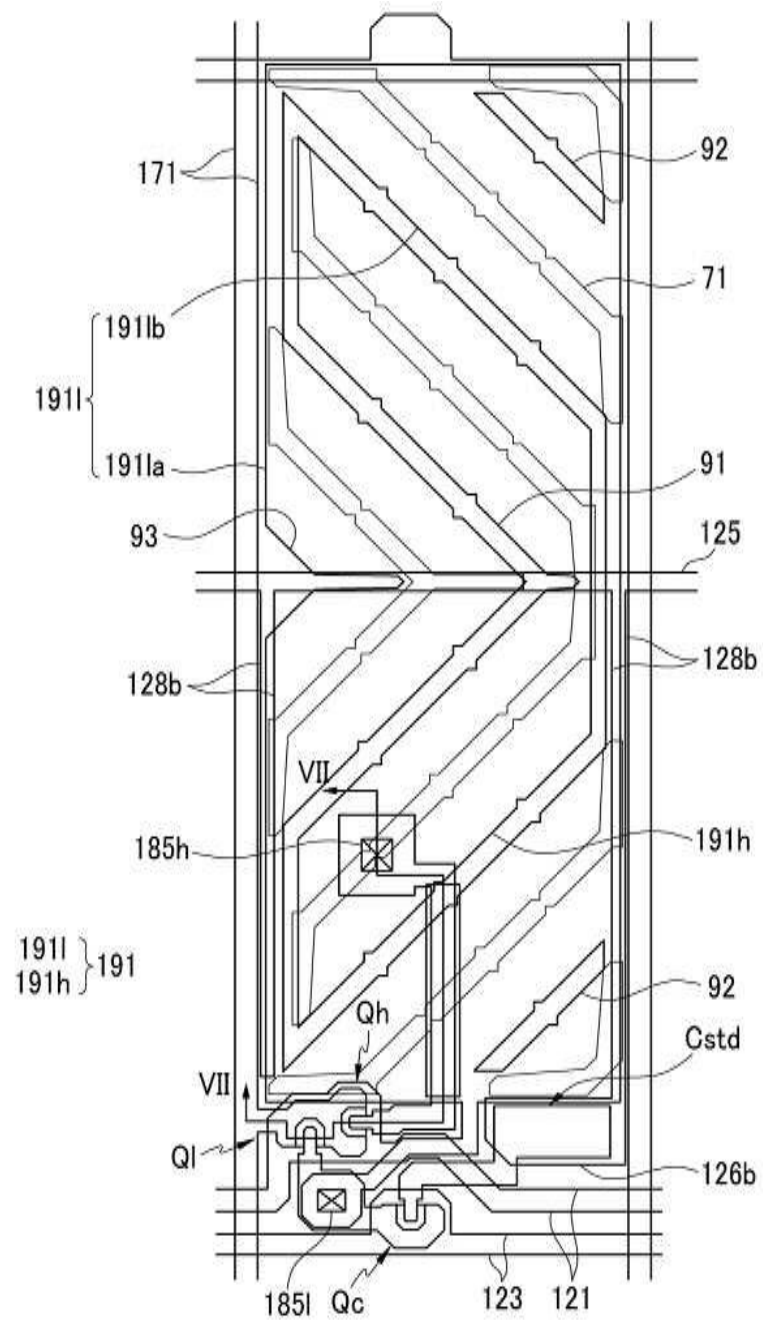
도면3



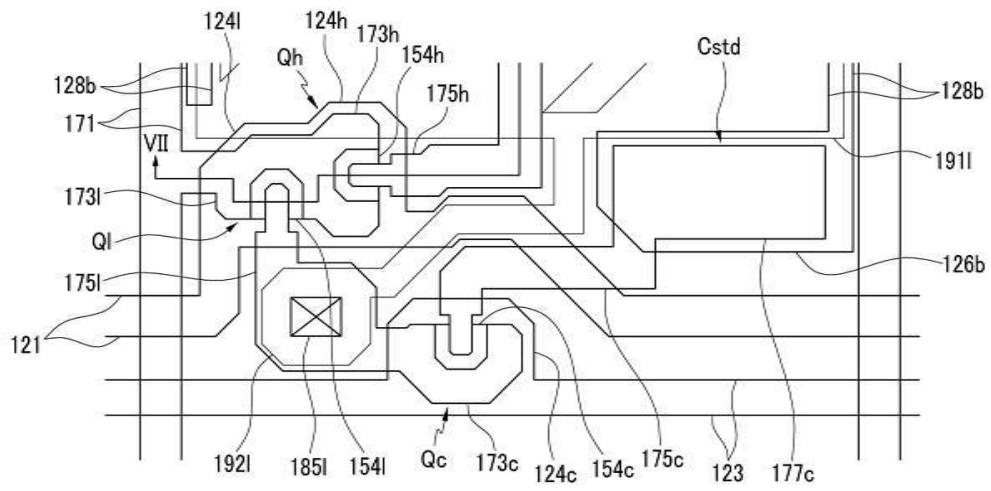
도면4



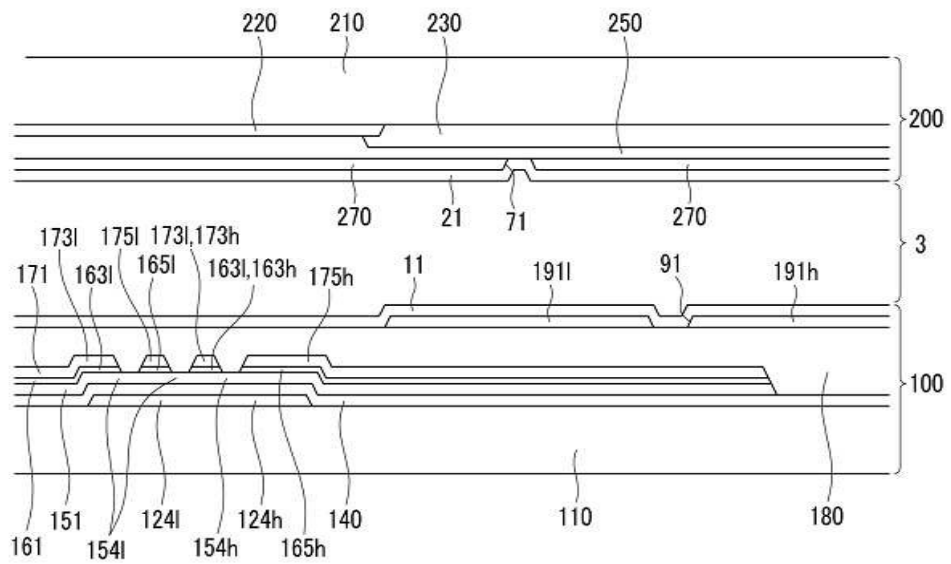
도면5



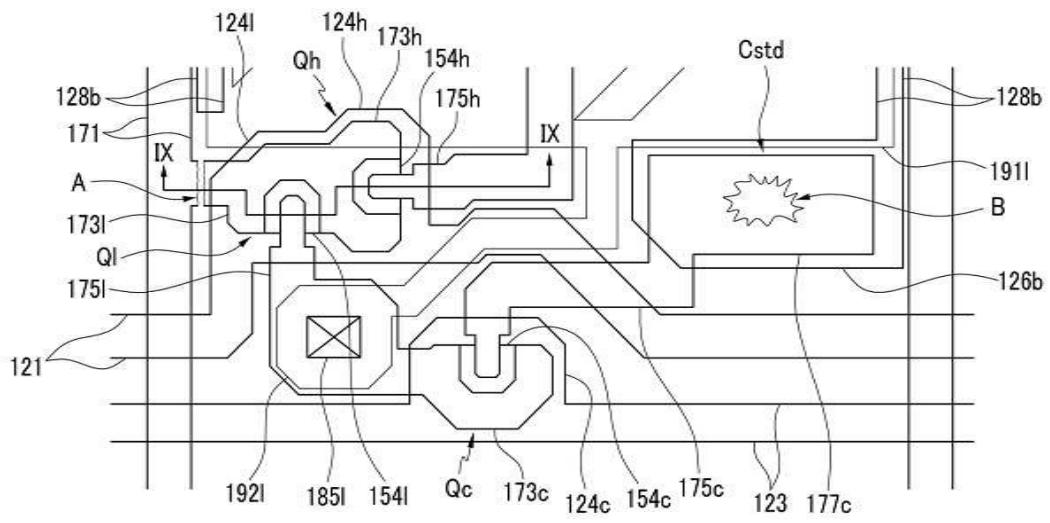
도면6



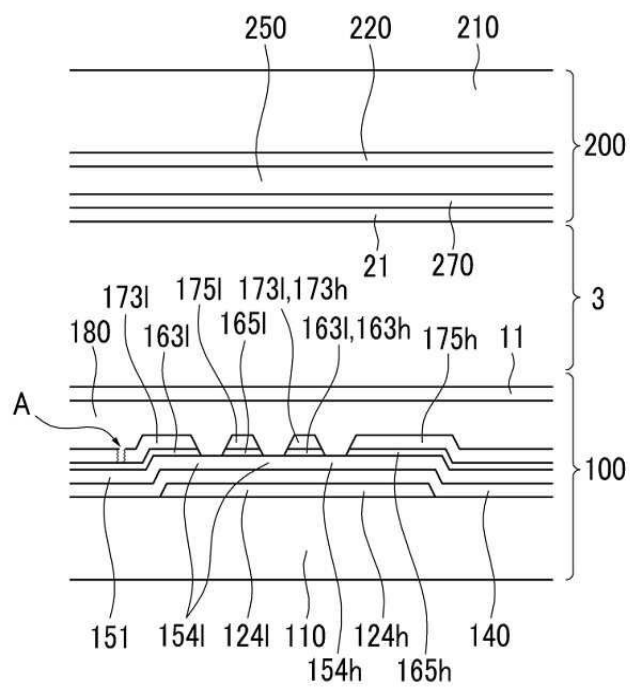
도면7



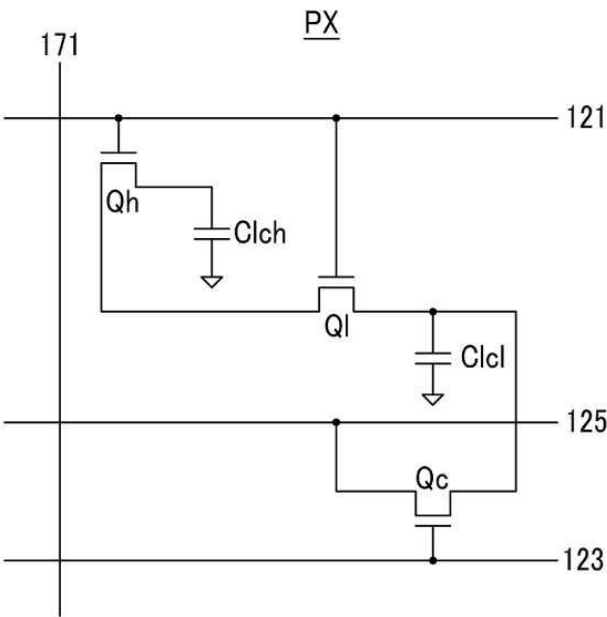
도면8



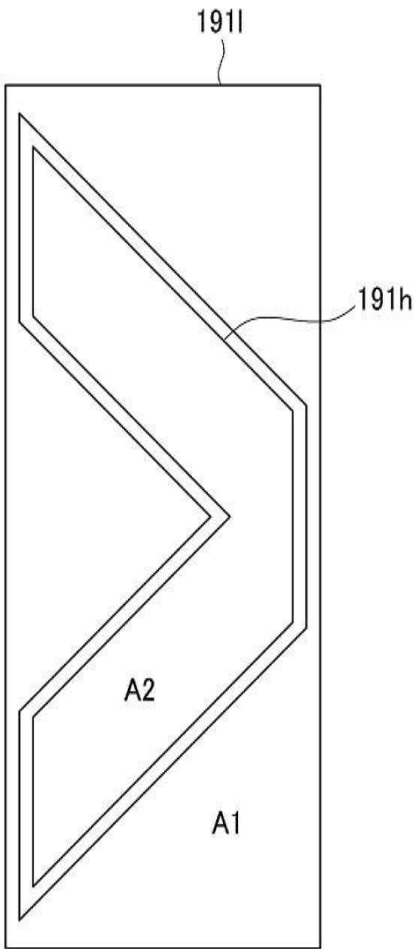
도면9



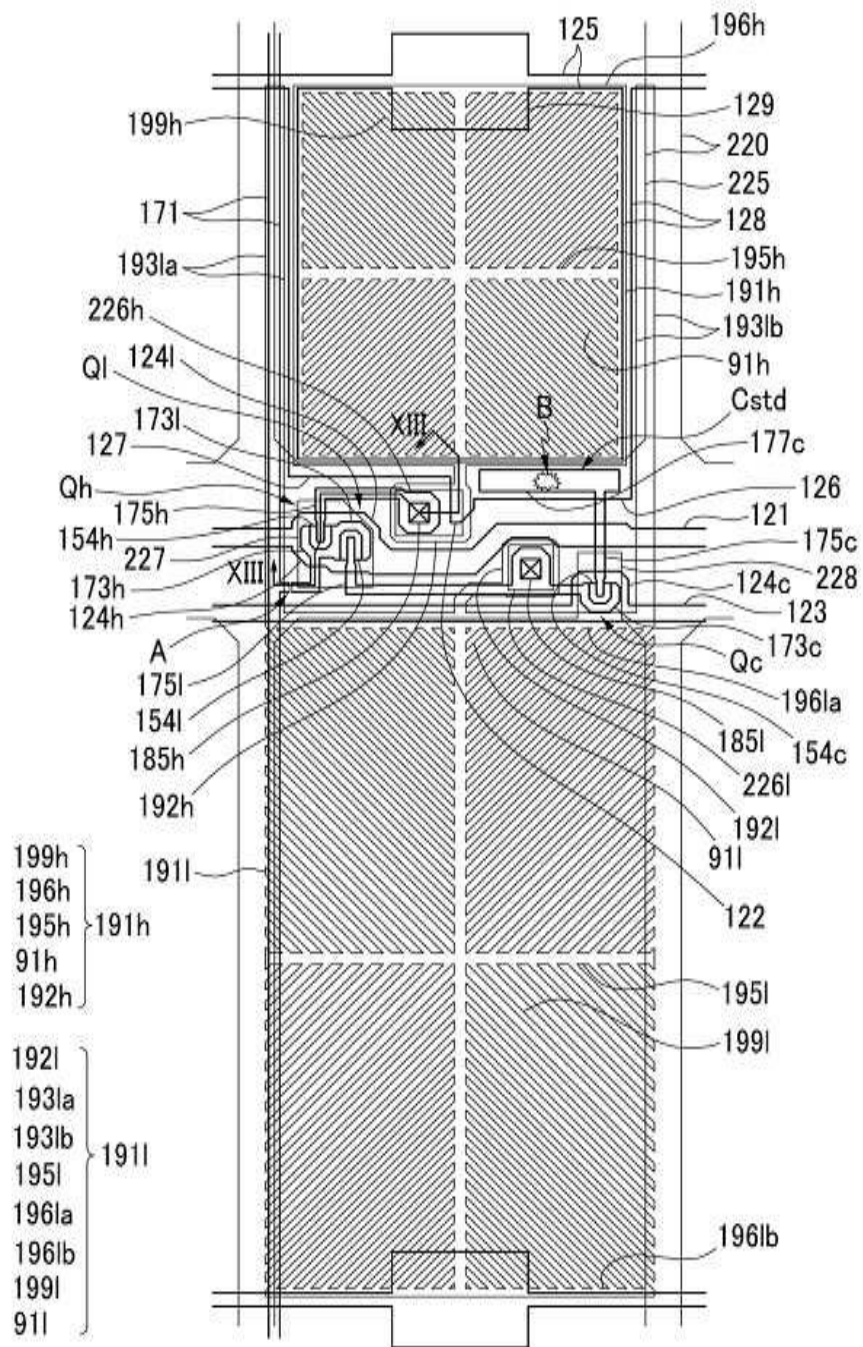
도면10



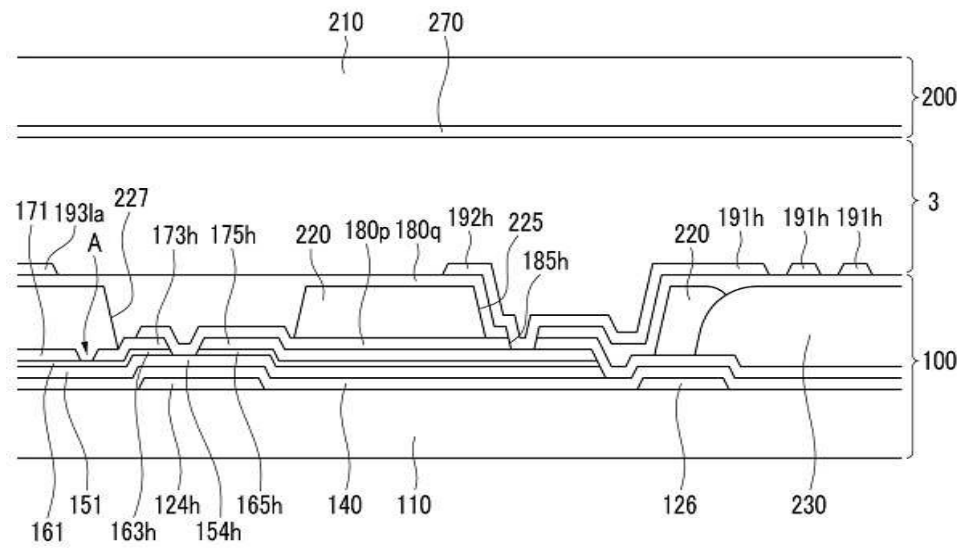
도면11



도면12



도면13



专利名称(译)	标题：液晶显示装置及其修复方法		
公开(公告)号	KR101644049B1	公开(公告)日	2016-08-01
申请号	KR1020090097443	申请日	2009-10-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK KYUNG HO 박경호 KIM YOON JANG 김윤장		
发明人	박경호 김윤장		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136		
CPC分类号	G02F1/1343 G02F1/134309 G02F1/136 G02F1/133 G02F1/13624 G02F1/1333 G02F1/136259		
其他公开文献	KR1020110040250A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置及其修复方法，用于修复液晶显示装置中的缺陷像素。

