



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월29일

(11) 등록번호 10-1539354

(24) 등록일자 2015년07월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0086329

(22) 출원일자 2008년09월02일

심사청구일자 2013년08월20일

(65) 공개번호 10-2010-0027419

(43) 공개일자 2010년03월11일

(56) 선행기술조사문헌

KR1020040062195 A*

KR100477128 B1*

KR1020080068240 A*

KR1020020010199 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

심승환

경기도 성남시 분당구 수내로 42, 두산위브 센티움 102동 710호 (수내동)

윤갑수

서울특별시 강서구 화곡로26가길 10, 704호 (화곡동, 서부인터빌)

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 17 항

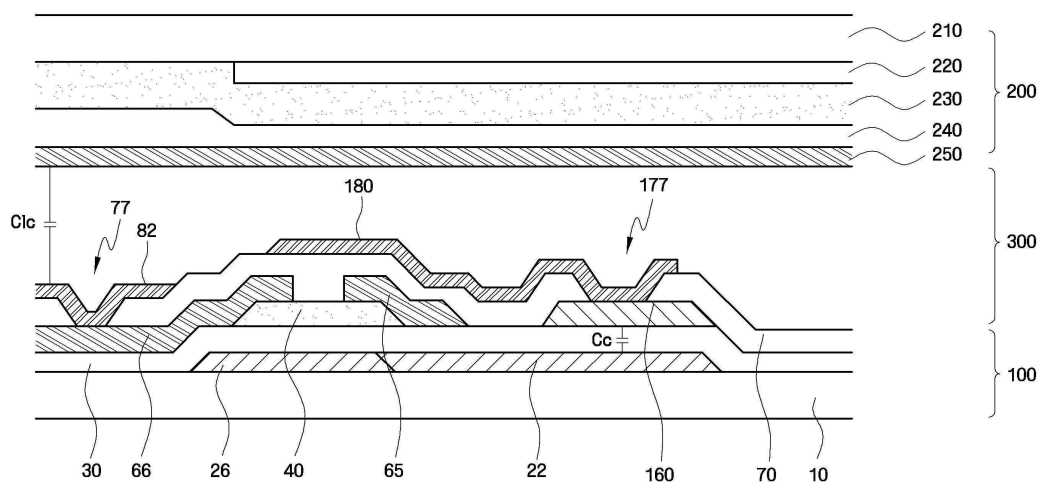
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치

(57) 요약

추가 배선 없이 상부 게이트에 레벨 및 극성이 조절된 전압을 인가할 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는 제1 기판 상에 일 방향으로 배열된 게이트선 및 게이트선으로부터 돌출된 하부 게이트 전극을 포함하는 게이트 배선과, 게이트 배선 상에 형성된 산화물 액티브층 패턴과, 게이트선과 교차하도록 형성된 데이터선을 포함하는 데이터 배선과, 게이트 배선과 오버랩되어 커패시턴스를 생성하는 플로팅 전극과, 하부 게이트 전극과 용량성 결합되는 상부 게이트 전극을 포함한다.

대 표 도 - 도2



(72) 발명자

양성훈

서울특별시 성동구 상원길 63, 101동 2001호 (성수
동1가, 쌍용아파트)

정기훈

충청남도 천안시 서북구 쌍용17길 52, 현대4차아파
트 403동 1602호 (쌍용동)

명세서

청구범위

청구항 1

제1 절연 기관 상에 일 방향으로 배열된 게이트선 및 상기 게이트선으로부터 돌출된 하부 게이트 전극을 포함하는 게이트 배선;

상기 게이트 배선 상에 형성된 산화물 액티브층 패턴;

상기 게이트선과 교차하도록 형성된 데이터선을 포함하는 데이터 배선;

상기 하부 게이트 전극과 용량성 결합되는 상부 게이트 전극; 및

상기 상부 게이트 전극에 유도되는 전압을 조절하기 위해 상기 게이트 배선과 오버랩되어 커플링 캐패시턴스를 생성하는 플로팅 전극을 포함하고,

상기 하부 게이트 전극의 상부에 상기 플로팅 전극이 배치되고, 상기 플로팅 전극의 상부에 상기 상부 게이트 전극이 배치된 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 상부 게이트 전극과 상기 플로팅 전극은 컨택홀에 의해 서로 전기적으로 연결되어 있는 액정 표시 장치.

청구항 3

제 1항에 있어서,

상기 제1 절연 기관 상에 형성된 화소 전극, 상기 제1 절연 기관과 이격하여 대향하는 제2 절연 기관, 상기 제2 절연 기관 상에 형성된 공통 전극, 및 상기 제1 및 제2 절연 기관 사이에 개재된 액정층을 더 포함하고,

상기 화소 전극, 상기 공통 전극, 및 상기 액정층은 액정 캐패시턴스를 생성하는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 액정 캐패시턴스와 상기 커플링 캐패시턴스의 비는 0.1 내지 10인 액정 표시 장치.

청구항 5

제 3항에 있어서,

상기 상부 게이트 전극에 인가되는 전압은 $[\text{상기 커플링 캐패시턴스} / (\text{상기 커플링 캐패시턴스} + \text{상기 액정 캐패시턴스})] * (\text{상기 하부 게이트 전극에 인가된 전압})$ 에 의존하는 액정 표시 장치.

청구항 6

제 1항에 있어서,

상기 플로팅 전극은 상기 게이트선과 오버랩되고,

상기 커플링 캐패시턴스는 상기 플로팅 전극과 상기 게이트선의 오버랩 면적에 의해 조절되는 액정 표시 장치.

청구항 7

제 1항에 있어서,

상기 플로팅 전극은 상기 데이터선과 실질적으로 동일한 레벨에 실질적으로 동일한 물질로 형성되는 액정 표시 장치.

청구항 8

제 1항에 있어서,

상기 상부 게이트 전극과 상기 플로팅 전극 사이에 개재된 보호막을 더 포함하고,

상기 상부 게이트 전극과 상기 플로팅 전극은 상기 보호막을 사이에 두고 서로 이격되어 상부 게이트 커패시팅 캐패시턴스를 생성하는 액정 표시 장치.

청구항 9

제1 절연 기판 상에 일 방향으로 배열된 게이트선 및 상기 게이트선으로부터 돌출된 하부 게이트 전극을 포함하는 게이트 배선;

상기 게이트선과 실질적으로 평행하게 배치된 스토리지선을 포함하는 스토리지 배선;

상기 게이트 배선 상에 형성된 산화물 액티브층 패턴;

상기 게이트선과 교차하도록 형성된 데이터선을 포함하는 데이터 배선;

상기 하부 게이트 전극과 용량성 결합되는 상부 게이트 전극; 및

상기 상부 게이트 전극에 유도되는 전압을 조절하기 위해 상기 게이트 배선과 오버랩되어 커패시팅 캐패시턴스를 생성하고, 상기 스토리지 배선과 오버랩되어 스토리지 캐패시턴스를 생성하는 플로팅 전극을 포함하고,

상기 하부 게이트 전극의 상부에 상기 플로팅 전극이 배치되고, 상기 플로팅 전극의 상부에 상기 상부 게이트 전극이 배치된 액정 표시 장치.

청구항 10

제 9항에 있어서,

상기 스토리지 캐패시턴스는 상기 커패시팅 캐패시턴스에 의해 충전된 초기 전압을 홀딩하는 액정 표시 장치.

청구항 11

제 9항에 있어서,

상기 상부 게이트 전극과 상기 플로팅 전극은 콘택홀에 의해 서로 전기적으로 연결되어 있는 액정 표시 장치.

청구항 12

제 9항에 있어서,

상기 제1 절연 기판 상에 형성된 화소 전극, 상기 제1 절연 기판과 이격하여 대향하는 제2 절연 기판, 상기 제2 절연 기판 상에 형성된 공통 전극, 및 상기 제1 및 제2 절연 기판 사이에 개재된 액정층을 더 포함하고,

상기 화소 전극, 상기 공통 전극, 및 상기 액정층은 액정 캐패시턴스를 생성하는 액정 표시 장치.

청구항 13

제 12항에 있어서,

상기 액정 캐패시턴스와, 상기 커패시팅 캐패시턴스 및 상기 스토리지 캐패시턴스의 비는 0.1 내지 10인 액정 표시 장치

청구항 14

제 12항에 있어서,

상기 상부 게이트 전극에 인가되는 전압은
$$\left[\frac{\text{상기 커패시팅 캐패시턴스} + \text{상기 스토리지 캐패시턴스}}{\text{상기 커패시팅 캐패시턴스} + \text{상기 스토리지 캐패시턴스} + \text{상기 액정 캐패시턴스}} \right] \times (\text{상기 하부 게이트 전극에 인가된 전압})$$
에 의존하는 액정 표시 장치.

청구항 15

제 9항에 있어서,

상기 플로팅 전극은 상기 게이트선 및 스토리지선과 오버랩되고,

상기 커플링 캐패시터는 상기 플로팅 전극과 상기 게이트선의 오버랩 면적에 의해 조절되고,

상기 스토리지 캐패시터는 상기 플로팅 전극과 상기 스토리지선의 오버랩 면적에 의해 조절되는 액정 표시 장치.

청구항 16

제 9항에 있어서,

상기 플로팅 전극은 상기 데이터선과 실질적으로 동일한 레벨에 실질적으로 동일한 물질로 형성되는 액정 표시 장치.

청구항 17

제 9항에 있어서,

상기 상부 게이트 전극과 상기 플로팅 전극 사이에 개재된 보호막을 더 포함하고,

상기 상부 게이트 전극과 상기 플로팅 전극은 상기 보호막을 사이에 두고 서로 이격되어 상부 게이트 커플링 캐패시터를 생성하는 액정 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 추가 배선 없이 상부 게이트 전극에 레벨 및 극성이 조절된 전압을 인가할 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 최근 액정 표시 장치에 대한 수요가 급증하고 고품질화가 요구됨에 따라 전류 및 광(light) 내성 등이 향상된 액정 표시 장치가 연구되고 있다. 액티브층 패턴으로 산화물 반도체를 이용하는 산화물 박막 트랜지스터 표시판은, 고이동도, 광 둔감성(light insensitivity), 및 저온 증착 특성 등의 장점으로 인해 액정 표시 장치에의 사용 빈도가 점점 증가하고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 그러나, 산화물 박막 트랜지스터 표시판은 네가티브 바이어스(NB: Negative Bias) 전압에 대한 내성이 낮아 문턱 전압 시프트에 의해 색빠짐 불량이 야기될 수 있다. 이러한 문제점을 해결하기 위해 상부 게이트 전극을 형성하여 상부 전압을 독립적으로 인가함으로써 네가티브 바이어스 전압에 대한 안정성을 향상시킬 수 있으나, 이 또한 추가 배선 및 별도의 전압 인가 등이 요구되어 실제 액정 표시 장치에 적용하기 어려울 수 있다.

[0005] 본 발명이 이루고자 하는 기술적 과제는 추가 배선 없이 상부 게이트 전극에 레벨 및 극성이 조절된 전압을 인가할 수 있는 액정 표시 장치를 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과

제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- [0007] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 기판 상에 일 방향으로 배열된 게이트선 및 상기 게이트선으로부터 돌출된 하부 게이트 전극을 포함하는 게이트 배선과, 상기 게이트 배선 상에 형성된 산화물 액티브층 패턴과, 상기 게이트선과 교차하도록 형성된 데이터선을 포함하는 데이터 배선과, 상기 게이트 배선과 오버랩되어 커플링 캐패시턴스를 생성하는 플로팅 전극과, 상기 하부 게이트 전극과 용량성 결합되는 상부 게이트 전극을 포함한다.
- [0008] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 제1 기판 상에 일 방향으로 배열된 게이트선 및 상기 게이트선으로부터 돌출된 하부 게이트 전극을 포함하는 게이트 배선과, 상기 게이트선과 실질적으로 평행하게 배치된 스토리지선을 포함하는 스토리지 배선과, 상기 게이트 배선 상에 형성된 산화물 액티브층 패턴과, 상기 게이트선과 교차하도록 형성된 데이터선을 포함하는 데이터 배선과, 상기 게이트 배선과 오버랩되어 커플링 캐패시턴스를 생성하고, 상기 스토리지 배선과 오버랩되어 스토리지 캐패시턴스를 생성하는 플로팅 전극과, 상기 하부 게이트 전극과 용량성 결합되는 상부 게이트 전극을 포함한다.
- [0009] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- [0010] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0011] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0012] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0013] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0014] 이하, 도 1 내지 도 3을 참조하여, 본 발명의 제1 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다. 도 2는 도 1의 A-A' 선을 따라 자른 본 발명의 제1 실시예에 따른 액정 표시 장치의 단면도이다. 도 3은 도 1의 A-A' 선을 따라 자른 본 발명의 제1 실시예의 변형례에 따른 액정 표시 장치의 단면도이다.
- [0015] 도 1 및 도 2를 참조하면, 본 실시예의 액정 표시 장치는 서로 이격되어 대향하는 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200), 및 이들 사이에 개재된 액정층(300)을 포함한다.
- [0016] 박막 트랜지스터 표시판(100)은 소다석회유리(soda lime glass) 또는 보로 실리케이트 유리 등의 유리 또는 플라스틱 등으로 이루어진 제1 절연 기판(10) 상에 형성된 박막 트랜지스터 등 다양한 소자들을 포함한다.

- [0017] 제1 절연 기관(10) 위에는 게이트 신호를 전달하는 게이트 배선(22, 26)이 형성되어 있다. 게이트 배선(22, 26)은 일 방향, 예를 들어 가로 방향으로 뻗어 있는 게이트선(22)과, 게이트선(22)으로부터 돌출되어 돌기 형태로 형성된 박막 트랜지스터의 하부 게이트 전극(26)을 포함한다. 하부 게이트 전극(26)은 후술하는 산화물 액티브층 패턴(40)의 하부 채널을 온(On)/오프(Off) 시킬 수 있다. 하부 게이트 전극(26)은 후술하는 상부 게이트 전극(180)과 용량성 결합되어 있다.
- [0018] 그리고 제1 절연 기관(10) 위에는 공통 전압(common voltage)을 전달하고 스토리지선(27) 및 스토리지선 분지부(28)를 포함하는 스토리지 배선(27, 28)이 형성되어 있다. 스토리지선(27)은 게이트선(22)과 실질적으로 평행하게 가로 방향으로 형성되어 있다. 스토리지선 분지부(28)는 스토리지선(27)으로부터 분지되어 후술하는 데이터선(62)과 오버랩되며 빔샘 현상을 방지할 수 있다.
- [0019] 게이트 배선(22, 26) 및 스토리지선(27) 및 스토리지선 분지부(28)는 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 이루어질 수 있다. 또한, 게이트 배선(22, 26), 스토리지선(27) 및 스토리지선 분지부(28)는 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26) 및 스토리지선(27) 및 스토리지선 분지부(28)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 산화 아연(ZnO), ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26), 스토리지선(27) 및 스토리지선 분지부(28)는 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.
- [0020] 게이트 배선(22, 26), 스토리지선(27) 및 스토리지선 분지부(28)를 형성하기 위해 예를 들어 스퍼터링(sputtering) 방법을 이용할 수 있다. 게이트 배선(22, 26) 및 스토리지선(27) 및 스토리지선 분지부(28)를 패터닝할 때 습식 식각 또는 건식 식각을 이용할 수 있다. 습식 식각의 경우, 인산, 질산, 초산 등의 식각액을 사용할 수 있다. 또한 건식 식각의 경우, 염소 계열의 식각 가스, 예를 들어 Cl_2 , BCl_3 등을 사용할 수 있다.
- [0021] 제1 절연 기관(10), 게이트 배선(22, 26), 스토리지선(27) 및 스토리지선 분지부(28)의 위에는 산화 규소(SiO_x) 또는 질화 규소(SiN_x) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.
- [0022] 게이트 절연막(30)은 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD), 반응성 스퍼터링(reactive sputtering) 등을 이용하여 형성할 수 있다.
- [0023] 게이트 절연막(30) 위에는 Zn, In, Ga, Sn 및 이들의 조합에서 선택된 물질의 산화물로 이루어진 산화물 액티브층 패턴(40)이 형성되어 있다. 산화물 액티브층 패턴(40)에서 '액티브'란 구동 전류 인가시 전기적 특성을 가지게 되는 활성 물질을 의미하며, 반도체 및 금속 산화물 등을 모두 포함한다. 예를 들어 산화물 액티브층 패턴(40)으로는 ZnO , $InZnO$, $InGaO$, $InSnO$, $ZnSnO$, $GaSnO$, $GaZnO$, $GaZnSnO$ 또는 $GaInZnO$ 등의 혼합 산화물이 사용될 수 있다. 이러한 산화물 액티브층 패턴(40)은 수소화 비정질 규소에 비하여 전하의 유효 이동도(effective mobility)가 2 내지 100배 정도 크고, 온/오프 전류비가 10^5 내지 10^8 의 값을 가짐으로써 뛰어난 반도체 특성을 가지고 있다. 또한 산화물 액티브층 패턴(40)의 경우, 밴드갭(band gap)이 약 3.0 내지 3.5eV 이므로 가시광에 대하여 누설 광전류가 발생하지 않는다. 따라서 산화물 박막 트랜지스터의 순간 잔상을 방지할 수 있고, 산화물 박막 트랜지스터 하부에 광차단막을 형성할 필요가 없으므로 액정 표시 장치의 개구율을 높일 수 있다. 산화물 반도체의 특성을 향상시키기 위해 주기율표상의 3족, 4족, 5족 또는 전이원소가 추가로 포함될 수 있다. 또한, 산화물 액티브층 패턴(40)은 비정질 상태이지만 높은 전하의 유효 이동도를 가지고 있고, 기존 비정질 규소의 제조 공정을 그대로 적용할 수 있어서 대면적 표시 장치에 대하여 적용할 수 있다.
- [0024] 산화물 액티브층 패턴(40)은 상술한 물질을 이용하여 단일막으로 제공될 수 있으며, 본 발명의 제1 실시예의 변형예에서는 하이브리드막으로 제공될 수도 있다. 도 3을 참조하면, 본 발명의 제1 실시예의 변형예에 따른 산화물 액티브층 패턴(40, 44)은 상술한 ZnO , $InZnO$, $InGaO$, $InSnO$, $ZnSnO$, $GaSnO$, $GaZnO$, $GaZnSnO$ 또는 $GaInZnO$ 등의 혼합 산화물 및 마이크로 크리스탈 실리콘(micro crystal Si)이 적층된 하이브리드막 구조로 형성될 수 있다. 본 발명의 제1 실시예에 따른 단일막 구조의 산화물 액티브층 패턴(40)을 포함하는 박막 트랜지스터 표시판(100)은 후술하는 상부 게이트 전극(180)에 네가티브 바이어스를 인가한 경우 우수한 네가티브 바이어스 안정성

을 가지고, 본 발명의 제1 실시예의 변형예에 따른 하이브리드막 구조의 산화물 액티브층 패턴(40, 44)을 포함하는 박막 트랜지스터 표시판(101)은 상부 게이트 전극(180)에 포지티브 바이어스(positive bias)를 인가한 경우 우수한 네가티브 바이어스 안정성을 가진다. 여기서, 네가티브 바이어스 안정성이란, 온 전압(Von) 대비 상대적으로 장시간 액정 표시 장치에 인가되는 오프 전압(Voff)으로 인해 액정 표시 장치를 장시간 구동시키는 경우 박막 트랜지스터의 문턱 전압이 네가티브 방향으로 시프트 함으로써 누설 전류가 발생하고, 색빠짐 불량이 야기되는 것을 의미한다.

[0025] 산화물 액티브층 패턴(40) 및 게이트 절연막(30) 위에는 데이터 배선(62, 65, 66)이 형성되어 있다. 데이터 배선(62, 65, 66)은 예를 들어 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62)과, 데이터선(62)으로부터 분지되어 산화물 액티브층 패턴(40)의 상부까지 연장되어 있는 소스 전극(65)과, 소스 전극(65)과 분리되어 있으며 하부 게이트 전극(26) 또는 산화물 박막 트랜지스터의 채널부를 중심으로 소스 전극(65)과 대향하도록 산화물 액티브층 패턴(40) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

[0026] 플로팅 전극(160)은 게이트 배선(22, 26)과 오버랩되어 커플링 캐패시턴스(Cc)를 형성할 수 있다. 구체적으로 플로팅 전극(160)은 게이트선(22)과 오버랩될 수 있으며, 플로팅 전극(160)과 게이트선(22)의 오버랩 면적에 의해 커플링 캐패시턴스(Cc)의 크기가 조절된다.

[0027] 플로팅 전극(160)은 예를 들어 데이터선(62)과 동일 레벨에 형성될 수 있다. 또한, 플로팅 전극(160)은 데이터선(62)과 동일한 물질로 이루어질 수 있다. 이에 따라 플로팅 전극(160)은 데이터 배선(62, 65, 66)의 형성 공정과 동일한 공정으로 형성할 수 있으므로 공정 시간이 증가되지 않으며, 플로팅 전극(160)을 형성하는 데 소요되는 공정 비용 증가도 미미하다.

[0028] 데이터 배선(62, 65, 66)과 플로팅 전극(160)은 알루미늄(Al), 구리(Cu), 은(Ag), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 니켈(Ni), 코발트(Co) 또는 이들의 합금으로 이루어질 수 있다. 바람직하게는 데이터 배선(62, 65, 66)과 플로팅 전극(160)은 비저항이 낮은 금속 물질, 예를 들어, 알루미늄(Al)과 알루미늄 합금과 같은 알루미늄 계열의 금속, 은(Ag)과 은 합금과 같은 은 계열의 금속, 구리(Cu)와 구리 합금과 같은 구리 계열의 금속으로 이루어질 수 있다.

[0029] 소스 전극(65)은 산화물 액티브층 패턴(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 산화물 박막 트랜지스터의 채널부를 중심으로 소스 전극(65)과 대향하며 산화물 액티브층 패턴(40)과 적어도 일부분이 중첩된다.

[0030] 데이터 배선(62, 65, 66) 상부에는 보호막(70)이 형성되어 있다. 예를 들어 보호막(70)은 질화규소 또는 산화규소 등으로 이루어진 무기 물질, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 형성될 수 있다. 또한 보호막(70)은 무기막과 유기막의 이중막 구조를 가질 수 있다.

[0031] 보호막(70)에는 드레인 전극(66)을 드러내는 콘택홀(77)이 형성되어 있다. 보호막(70) 위에는 콘택홀(77)을 통하여 드레인 전극(66)과 전기적으로 연결되는 화소 전극(82)이 형성되어 있다. 보호막(70)에는 상부 게이트 전극(180)과 플로팅 전극(160)을 전기적으로 연결하기 위한 콘택홀(177)도 형성되어 있다.

[0032] 화소 전극(82)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전체 또는 알루미늄 등의 반사성 도전체로 이루어질 수 있다. 데이터 전압이 인가된 화소 전극(82)은 후술하는 공통 전극(250)과 함께 전계를 생성함으로써 박막 트랜지스터 표시판(100)과 공통 전극 표시판(200) 사이에 개재된 액정층(300)의 액정 분자들을 회전시킨다.

[0033] 상부 게이트 전극(180)은 소스 전극(65), 드레인 전극(66) 및 산화물 액티브층 패턴(40)과 적어도 일부 오버랩 되도록 형성될 수 있다. 상부 게이트 전극(180)은 하부 게이트 전극(26)과 용량성 결합되어 하부 게이트 전극(26)에 전압이 인가되면 상부 게이트 전극(180)에도 전압이 유도된다. 이 경우 상부 게이트 전극(180)에 유도되는 전압은 하부 게이트 전극(26)의 전압과 상이한 전압일 수 있다. 상부 게이트 전극(180)은 산화물 액티브층 패턴(40)의 상부 채널을 온(On)/오프(Off)시킬 수 있다.

[0034] 상부 게이트 전극(180)은 화소 전극(82)과 동일한 물질로 이루어질 수 있으며, 화소 전극(82)과 동일한 레벨에 형성될 수 있다. 상부 게이트 전극(180)은 화소 전극(82)의 형성 공정과 동일한 공정으로 형성할 수 있으므로 상부 게이트 전극(180)을 형성하더라도 별도의 공정 시간이 소요되지 않을 수 있다.

[0035] 본 실시예의 경우 상부 게이트 전극(180)이 플로팅 전극(160)과 콘택홀(177)에 의해 서로 연결되어 있으므로, 상부 게이트 전극(180)에 인가되는 전압은 커플링 캐패시턴스(Cc)에 의해 플로팅 전극(160)에 유도된 전압 자체일 수 있다.

[0036] 커플링 캐패시턴스(Cc)에 의해 유도되는 전압(Vc) 또는 상부 게이트 전극(180)에 유도되는 전압(Vtgate 1)은 하기 수학식 1로 표시될 수 있다.

[0037] [수학식 1]

[0038]
$$V_{tgate\ 1} = V_{bgate} * (C_c) / (C_c + C_{lc})$$

[0039] 상기 식 중, Vtgate 1은 커플링 캐패시턴스에 의해 유도되는 전압 또는 상부 게이트 전극에 유도되는 전압, Vbgate는 하부 게이트 전극에 인가된 전압, Cc는 커플링 캐패시턴스, Clc는 액정 캐패시턴스를 각각 의미한다. 액정 캐패시턴스에 대해서는 이후에 설명한다.

[0040] 플로팅 전극(160)과 게이트선(22)의 오버랩 면적을 변화시켜 커플링 캐패시턴스(Cc)를 조절하면서 상부 게이트 전극(180)에 유도되는 전압의 크기를 상기 수학식 1에 의해 계산하면 하기 표 1과 같은 결과를 얻을 수 있다.

[0041] [표 1]

[0042]

Vbgate	Vtgate 1			
20V	2.5V	4.4V	7.2V	10.6V
25V	3.1V	5.5V	9V	13.2V

[0043] 상기 표 1의 결과는 표 1의 좌측열부터 우측열로 커플링 캐패시턴스(Cc)를 각각 0.05F, 0.1F, 0.2F, 0.4F로 변화시키고 액정 캐패시턴스(Clc)가 0.35F인 경우, 하부 게이트 전극(26)에 인가된 전압에 대한 상부 게이트 전극(180)에 유도된 전압값을 나타낸 것이다. 하부 게이트 전극(26)에 인가되는 Von 전압이 20V이고 커플링 캐패시턴스가 0.4F인 경우, 상부 게이트 전극(180)에 유도되는 전압은 10.6V임을 확인할 수 있다. 플로팅 전극(160)과 게이트선(22)의 오버랩 면적을 조절하여 커플링 캐패시턴스(Cc)를 조절함으로써, 상부 게이트 전극(180)에 유도되는 전압 레벨(level)을 조절할 수 있다. 이와 같이 상부 게이트 전극(180)에 하부 게이트 전극(26)과 상이한 별도의 전압을 인가할 수 있어 문턱 전압의 시프트 현상이 감소된 네가티브 바이어스 안정성이 우수한 액정 표시 장치를 구현할 수 있다. 또한, 상부 게이트 전극(180)에 하부 게이트 전극(26)과 상이한 별도의 추가 배선을 형성할 필요가 없어 액정 표시 장치의 제작이 용이하다.

[0044] 이어서, 박막 트랜지스터 표시판(100)과 대항하는 공통 전극 표시판(200)에 대하여 상세히 설명한다.

[0045] 본 실시예의 제2 절연 기판(210) 상에는 화소 영역을 정의하는 블랙 매트릭스(220)가 형성되어 있다.

[0046] 블랙 매트릭스(220)는 예를 들어 크롬(Cr) 등의 불투명 물질로 이루어질 수 있으며, 빛샘을 방지하여 화질을 개선하는 역할을 한다. 블랙 매트릭스(220)는 개구율을 극대화하기 위하여 박막 트랜지스터 표시판(100)의 게이트 배선(22, 26) 및/또는 데이터 배선(62, 65, 66)과 중첩하도록 형성될 수 있다.

[0047] 블랙 매트릭스(220)에 의해 정의된 화소 영역은 각각 다수의 화소들로 이루어지며, 이들 화소들은 스트라이프(stripe), 모자이크(mosaic) 및 델타(delta) 형상으로 배치될 수 있다. 스트라이프 형상으로 화소가 배치되고, 서로 순차적으로 배치된 각각의 화소 영역들을 '화소열'이라고 정의한다.

[0048] 이들 화소 영역들에는 각각 컬러 필터 패턴(230)이 형성된다. 이들 컬러 필터 패턴(230)은 서로 다른 컬러의 빛을 투과시키는 물질로 이루어져, 특정한 파장대의 빛만을 통과시키는 역할을 한다. 컬러 필터 패턴(230)은 화소 영역에 형성되고 블랙 매트릭스(220)의 적어도 일부와 중첩되어 형성될 수 있다. 이에 따라 블랙 매트릭스(220) 상에 형성된 컬러 필터 패턴(230)과 공통 전극 기판(200) 상에 형성된 컬러 필터 패턴(230)은 단차를 가지도록 형성된다.

[0049] 컬러 필터 패턴(230)은 각각 레드 파장의 광을 통과시키는 레드 유기물, 그린 파장의 광을 통과시키는 그린 유기물, 블루 파장의 광을 통과시키는 블루 유기물로 이루어질 수 있다. 즉, 각 화소열 중 임의의 n 번째(단, n은 자연수) 화소열은 레드 컬러필터 패턴을 포함하고, n+1 번째 화소열은 그린 컬러필터 패턴을 포함하며, n+2 번째 화소열은 블루 컬러필터 패턴을 포함할 수 있다.

[0050] 또한, 컬러 필터 패턴(230)은 감광성 유기물, 예를 들어 포토 레지스트로 이루어질 수 있다. 구체적으로 본 실시예의 컬러 필터 패턴(230)은 빛이 조사된 부분이 경화되는 네가티브형 포토 레지스트 또는 빛이 조사된 부분

이 연화되는 포지티브형 포토 레지스트로 이루어질 수 있다.

- [0051] 이들 컬러 필터 패턴(230)은 서로 동일한 두께로 형성될 수 있으나, 도시한 바와는 달리 셀 갭(cell gap)과 일정 색상을 나타내는 광의 파장의 관계를 고려하여 일정한 단차를 가지고 형성될 수 있다.
- [0052] 오버코트층(240)은 블랙 매트릭스(220) 및 컬러 필터 패턴(230) 상에 형성되어 하부막에 의해 형성된 단차를 어느 정도 완화시키는 역할을 한다.
- [0053] 오버코트층(240) 상부에는 공통 전극(250)이 형성되어 있다. 공통 전극(250)은 박막 트랜지스터 표시판(100)의 화소 전극(82)과 전위차를 형성하여 액정층(300)의 액정 분자의 배열을 조절하며, 이에 따라 액정 표시 장치에 컬러 영상을 표시하게 된다. 따라서, 공통 전극(130)은 빛을 투과하여 컬러 영상을 표시할 수 있도록 투명한 도전체인 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 구성될 수 있다.
- [0054] 공통 전극(250)과 화소 전극(82)에 의해 형성된 캐패시턴스를 액정 캐패시턴스(Cl_c)라고 하며, 상부 게이트 전극(180)에 유도되는 전압에 영향을 준다는 점은 상술한 수학식 1에서 확인한 바와 같다.
- [0055] 게이트 전압에 대한 소스/드레인 전류의 초기 전류 시프트를 최소화하기 위하여 액정 캐패시턴스(Cl_c)와 커플링 캐패시턴스(C_c)의 비는 0.1 내지 10인 것이 바람직하다. 액정 캐패시턴스(Cl_c)와 커플링 캐패시턴스(C_c)가 상기 범위인 경우 하부 게이트 전극(26)에 인가되는 전압에 의해 유도된 상부 게이트 전극(180)의 전압이 최적값을 가지게 되어 네가티브 바이어스 안정성이 향상될 수 있다.
- [0056] 본 실시예는 상부 기판에 블랙 매트릭스(220), 컬러 필터 패턴(230), 및 공통 전극(250)이 모두 형성되어 있는 경우를 예로 들어 설명하였으나, 본 실시예는 이에 한정되는 것은 아니며, 블랙 매트릭스(220)가 박막 트랜지스터 표시판(100)에 형성된 BOA(Black matrix On Array)구조에 적용될 수 있다. 또한, 본 실시예는 컬러 필터 패턴(230)이 박막 트랜지스터 표시판(100)에 형성된 COA(Color filter On Array)구조에도 적용될 수 있다. 이하의 실시예에 따른 액정 표시 장치도 BOA 구조 및 COA 구조에 적용될 수 있음은 물론이다.
- [0057] 이하, 도 4 및 도 5를 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다. 도 5는 도 4의 B-B' 선을 따라 자른 본 발명의 제2 실시예에 따른 액정 표시 장치의 단면도이다. 설명의 편의상, 이하의 실시예들에서는 상기 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략하거나 간략화한다.
- [0058] 도 4 및 도 5를 참조하면, 본 실시예의 박막 트랜지스터 표시판(102) 상의 보호막(70)은 이전 실시예와 달리 상부 게이트 전극(180)과 플로팅 전극(160)을 연결하기 위한 컨택홀(도 2의 177 참조)은 형성되어 있지 않다. 다시 말해, 본 실시예의 상부 게이트 전극(180)은 플로팅 전극(160)과 이격되어 있으며, 상부 게이트 전극(180)과 플로팅 전극(160)의 이격 공간에는 보호막(70)이 개재되어 있다. 이에 따라 상부 게이트 전극(180)과 플로팅 전극(160) 사이에는 상부 게이트 커플링 캐패시턴스(C_{gf})가 형성된다.
- [0059] 하부 게이트 전극(26)에 전압이 인가되면 커플링 캐패시턴스(C_c)와 상부 게이트 커플링 캐패시턴스(C_{gf})에 의해 상부 게이트 전극(180)에 전압이 유도된다. 즉, 본 실시예에서는 하부 게이트 전극(26)에 인가된 전압과 독립적인 전압을 상부 게이트 전극(180)에 인가시키기 위하여, 커플링 캐패시턴스(C_c)와 상부 게이트 커플링 캐패시턴스(C_{gf}) 등의 이중 캐패시턴스를 이용한다.
- [0060] 이하, 도 6 및 도 7을 참조하여, 본 발명의 제3 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다. 도 7은 도 6의 C-C' 선을 따라 자른 본 발명의 제3 실시예에 따른 액정 표시 장치의 단면도이다.
- [0061] 도 6 및 도 7을 참조하면, 본 실시예의 박막 트랜지스터 표시판(103)의 플로팅 전극(162)은 스토리지 배선(27, 28)과도 오버랩된다. 구체적으로 본 실시예의 플로팅 전극(162)은 스토리지선(27)과 오버랩되어 스토리지 캐패시턴스(C_{st})를 생성한다. 즉, 본 실시예의 플로팅 전극(162)은 게이트 배선(22, 26)과 오버랩되어 커플링 캐패시턴스(C_c)를 생성하고, 스토리지 배선(27, 28)과 오버랩되어 스토리지 캐패시턴스(C_{st})를 생성한다. 커플링 캐패시턴스(C_c)는 플로팅 전극(162)과 게이트선(22)의 오버랩 면적에 의해 조절되고, 스토리지 캐패시턴스(C_{st})는 플로팅 전극(162)과 스토리지선(27)의 오버랩 면적에 의해 조절된다.
- [0062] 스토리지 캐패시턴스(C_{st})는 커플링 캐패시턴스(C_c)에 의해 충전된 초기 전압을 홀딩한다. 이에 따라 하부 게이트 전극(26)에 인가되는 전압을 포지티브 전압에서 네가티브 전압으로 변경 시 상부 게이트 전극(180)의 전압은 양전압을 유지한다. 즉, 하부 게이트 전극(26)의 전압이 포지티브에서 네가티브로 스윙(swing)되는 동안 커플링

에 의해 상부 게이트 전극(180)의 전압이 네가티브 전압으로 다운되는 것을 방지하여, 상부 게이트 전극(180)에는 직류(DC:Direct Current)의 포지티브 전압이 인가될 수 있다. 즉, 본 실시예의 스토리지 캐패시턴스(Cst)는 상부 게이트 전극(180)에 인가되는 전압의 극성을 제어할 수 있다.

[0063] 본 실시예의 상부 게이트 전극(180)과 플로팅 전극(162)은 컨택홀(178)에 의해 서로 전기적으로 연결되어 있다. 이에 따라 상부 게이트 전극(180)은 커플링 캐패시턴스(Cc) 및 스토리지 캐패시턴스(Cst)에 의해 플로팅 전극(162)에 커플링된 전압을 인가받을 수 있다.

[0064] 이 경우 상부 게이트 전극(180)에 유도되는 전압(Vtgate 2)은 하기 수학적 식 2로 표시될 수 있다.

[0065] [수학적 식 2]

[0066]
$$V_{tgate\ 2} = V_{bgate} * (C_c + C_{st}) / (C_c + C_{st} + C_{lc})$$

[0067] 상기 식 중, Vtgate 2는 상부 게이트 전극에 유도되는 전압, Vbgate는 하부 게이트 전극에 인가된 전압, Cc는 커플링 캐패시턴스, Cst는 스토리지 캐패시턴스, Clc는 액정 캐패시턴스를 각각 의미한다. 본 실시예의 경우 상부 게이트 전극(180)에 인가되는 전압은 스토리지 캐패시턴스(Cst)에 의한 영향도 받는다.

[0068] 게이트 전압에 대한 소스/드레인 전류의 초기 전류 시프트를 최소화하기 위하여 액정 캐패시턴스(Clc) 대 커플링 캐패시턴스(Cc) 및 스토리지 캐패시턴스(Cst)의 비는 0.1 내지 10인 것이 바람직하다. 상기 액정 캐패시턴스(Clc)와, 커플링 캐패시턴스(Cc) 및 스토리지 캐패시턴스(Cst)의 비가 상기 범위인 경우 하부 게이트 전극(26)에 인가되는 전압에 의해 유도된 상부 게이트 전극(180)의 전압이 최적값을 가지게 되어 네가티브 바이어스 안정성이 향상될 수 있다.

[0069] 이하, 도 8 및 도 9를 참조하여, 본 발명의 제4 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 8은 본 발명의 제4 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다. 도 9는 도 8의 D-D'선을 따라 자른 본 발명의 제4 실시예에 따른 액정 표시 장치의 단면도이다.

[0070] 도 8 및 도 9를 참조하면, 본 실시예의 박막 트랜지스터 표시판(104)의 상부 게이트 전극(180)은 플로팅 전극(162)과 보호막(70)을 사이에 두고 이격되어 있다는 점을 제외하고는 본 발명의 제 실시예와 동일하다. 상부 게이트 전극(180)은 플로팅 전극(162)과 상부 게이트 커플링 캐패시턴스(Cgf)를 형성한다.

[0071] 즉, 본 실시예에서는 하부 게이트 전극(26)에 인가된 전압과 독립적인 전압을 상부 게이트 전극(180)에 인가시키기 위하여, 커플링 캐패시턴스(Cc)와 상부 게이트 커플링 캐패시턴스(Cgf) 등의 이중 캐패시턴스를 이용하며, 상부 게이트 전극(180)에 유도된 전압은 스토리지 캐패시턴스(Cst)에 의해 유지된다.

[0072] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0073] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다.

[0074] 도 2는 도 1의 A-A'선을 따라 자른 본 발명의 제1 실시예에 따른 액정 표시 장치의 단면도이다.

[0075] 도 3은 도 1의 A-A'선을 따라 자른 본 발명의 제1 실시예의 변형예에 따른 액정 표시 장치의 단면도이다.

[0076] 도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다.

[0077] 도 5는 도 4의 B-B'선을 따라 자른 본 발명의 제2 실시예에 따른 액정 표시 장치의 단면도이다.

[0078] 도 6은 본 발명의 제3 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다.

[0079] 도 7은 도 6의 C-C'선을 따라 자른 본 발명의 제3 실시예에 따른 액정 표시 장치의 단면도이다.

[0080] 도 8은 본 발명의 제4 실시예에 따른 액정 표시 장치에 포함되는 박막 트랜지스터 표시판의 배치도이다.

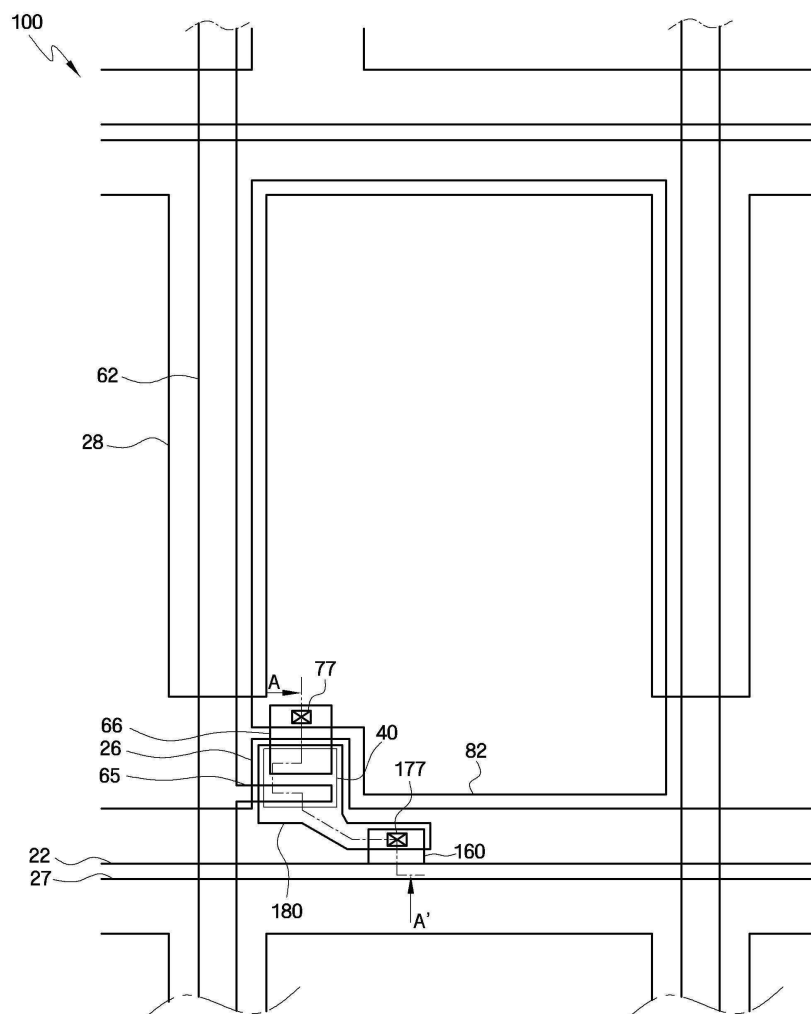
[0081] 도 9는 도 8의 D-D'선을 따라 자른 본 발명의 제4 실시예에 따른 액정 표시 장치의 단면도이다.

[0082] (도면의 주요부분에 대한 부호의 설명)

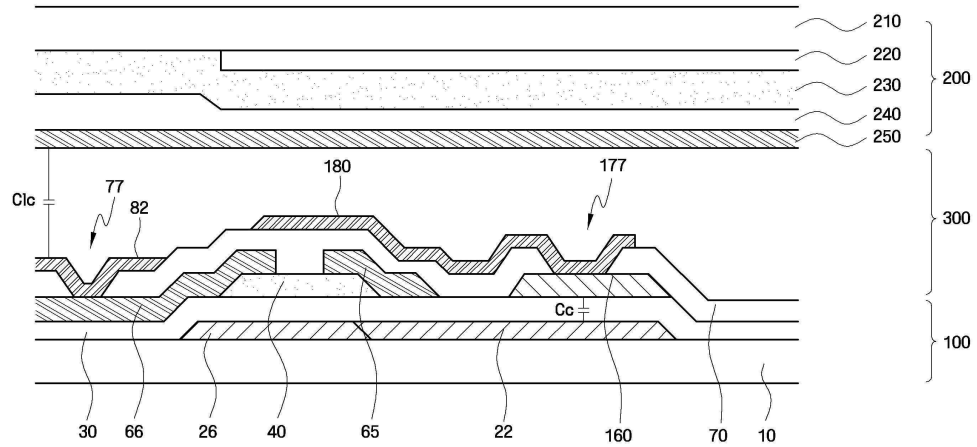
[0083]	10: 제1 절연 기관	22: 게이트선
[0084]	26: 하부 게이트 전극	27: 스토리지선
[0085]	30: 게이트 절연막	40: 산화물 액티브층 패턴
[0086]	62: 데이터선	65: 소스 전극
[0087]	66: 드레인 전극	70: 보호막
[0088]	77, 177: 컨택홀	82: 화소 전극
[0089]	100: 박막 트랜지스터 표시판	180: 상부 게이트 전극
[0090]	200: 공통 전극 표시판	210: 제2 절연 기관
[0091]	220: 블랙 매트릭스	230: 컬러 필터 패턴
[0092]	240: 오버코트층	250: 공통 전극
[0093]	300: 액정층	

도면

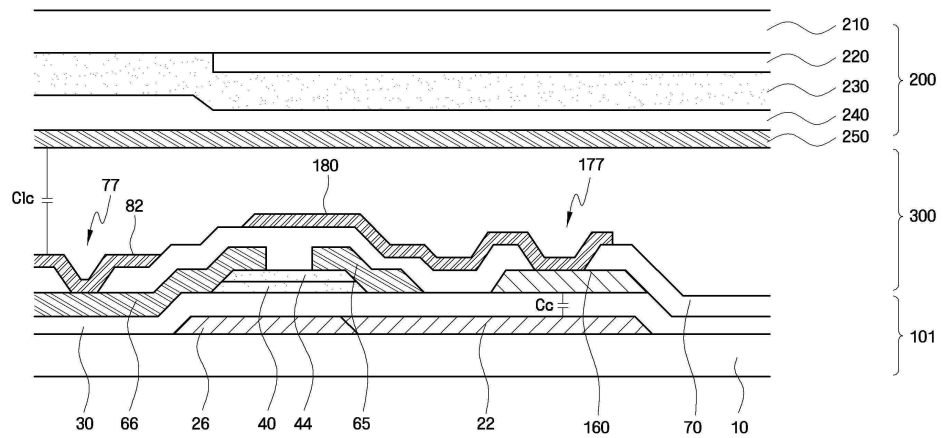
도면1



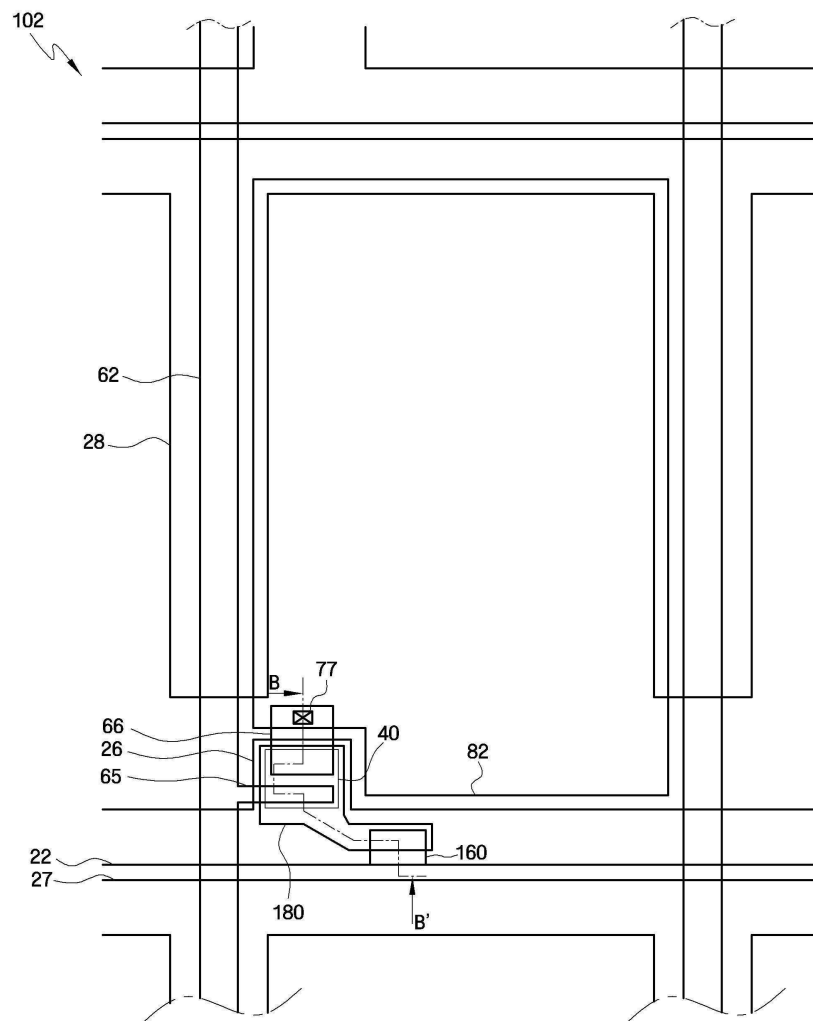
도면2



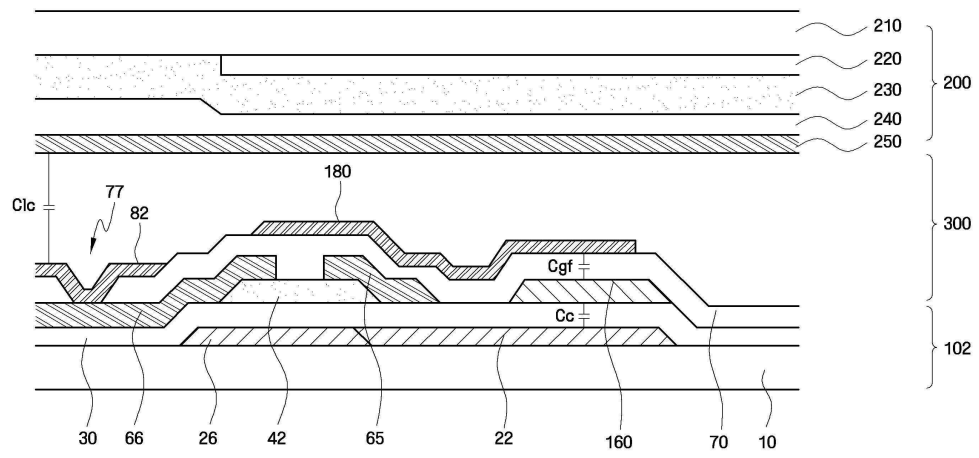
도면3



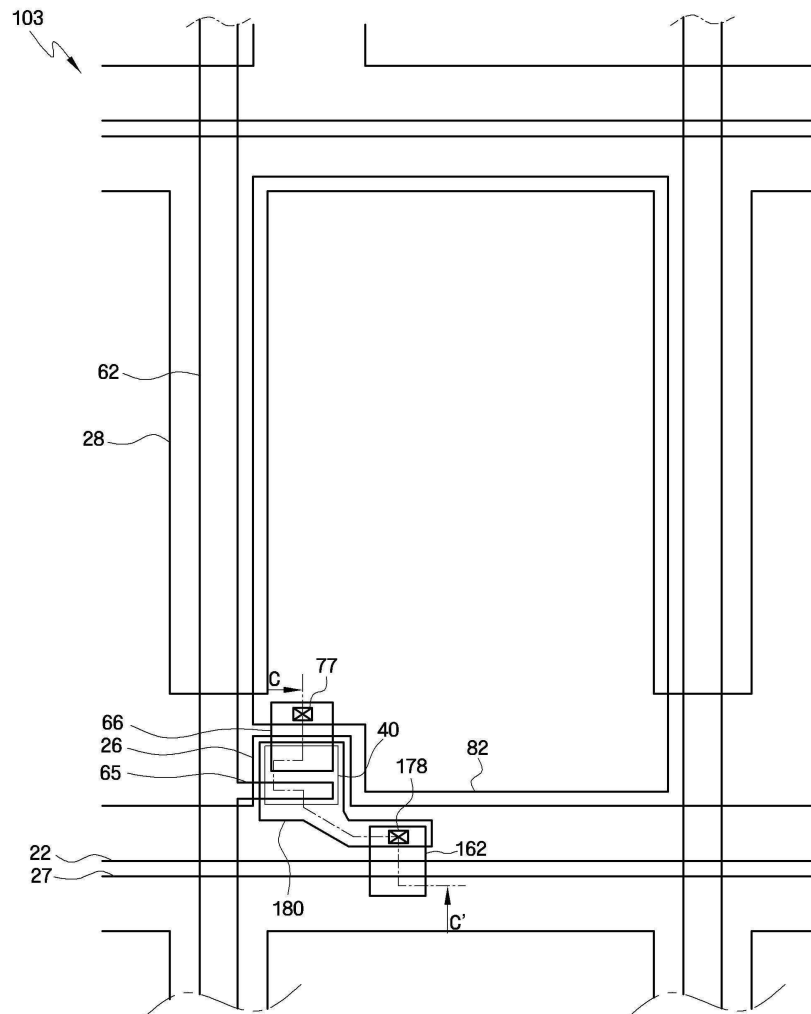
도면4



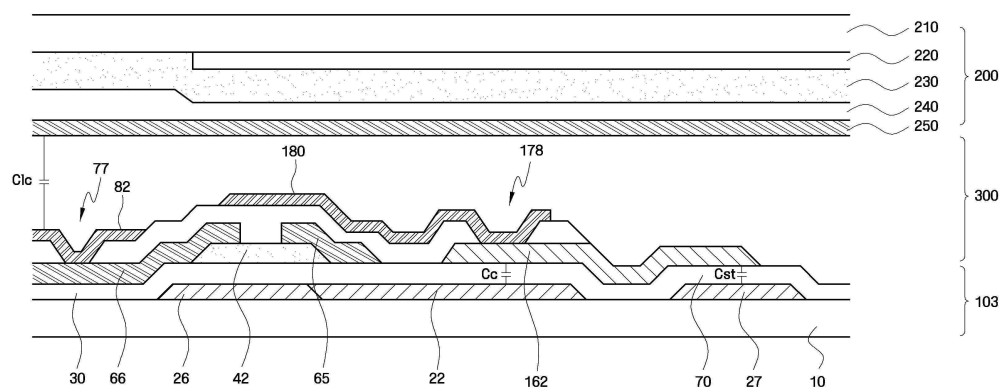
도면5



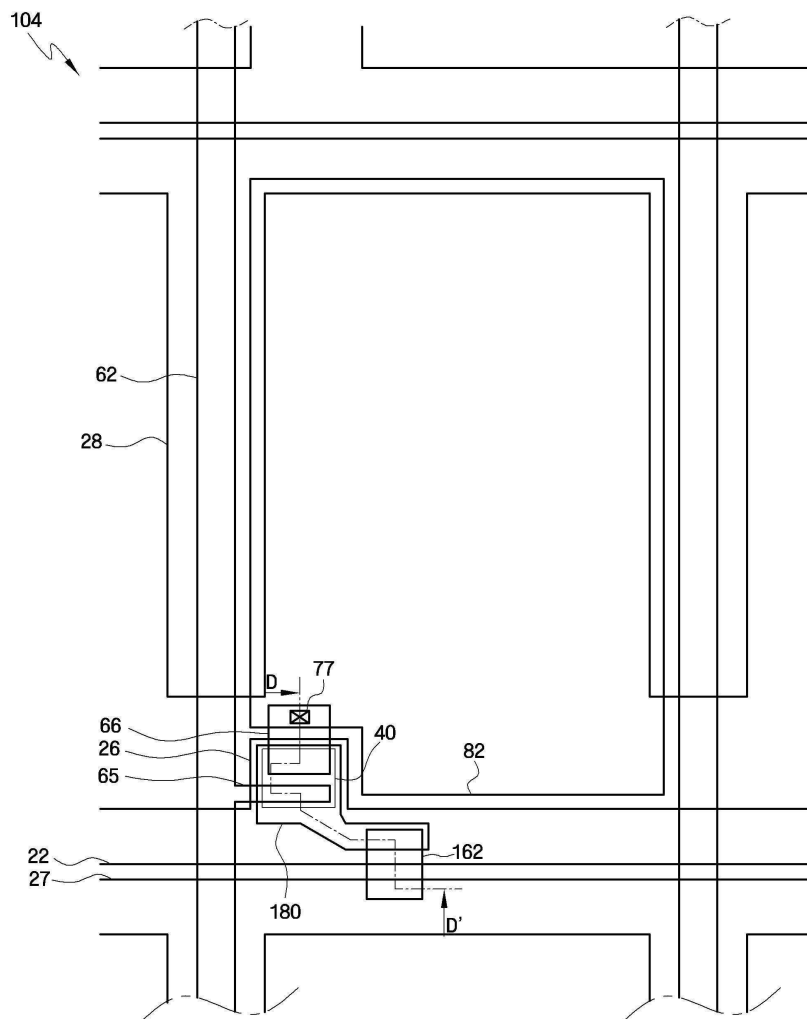
도면6



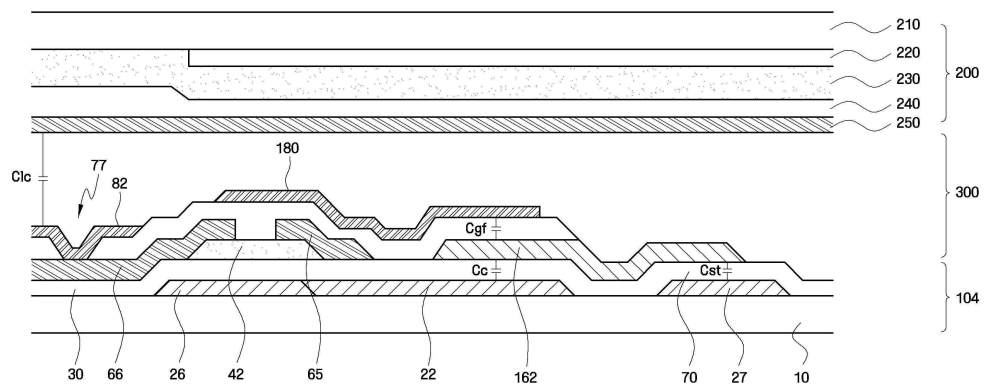
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제9항, 6째줄

【변경전】

형 성된

【변경후】

형성된

专利名称(译)	液晶显示器		
公开(公告)号	KR101539354B1	公开(公告)日	2015-07-29
申请号	KR1020080086329	申请日	2008-09-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIM SEUNG HWAN 심승환 YOON KAP SOO 윤갑수 YANG SUNG HOON 양성훈 JEONG KI HUN 정기훈		
发明人	심승환 윤갑수 양성훈 정기훈		
IPC分类号	G02F1/1343 G02F1/133		
CPC分类号	G02F1/1368 H01L27/1225 H01L27/1255 H01L27/124 G02F1/136213		
其他公开文献	KR1020100027419A		
外部链接	Espacenet		

摘要(译)

液晶显示器 (LCD) 包括栅极布线，第一绝缘基板，氧化物有源层图案，数据布线，浮动电极和上栅电极。栅极布线包括形成在第一绝缘基板上的栅极线和从栅极线延伸的下栅极电极。在栅极布线上形成氧化物有源层图案。数据布线包括与栅极线相交的数据线。浮动电极通过重叠栅极布线产生耦合电容。上栅电极电容耦合到下栅电极。

