



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월19일

(11) 등록번호 10-1521648

(24) 등록일자 2015년05월13일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0049713

(22) 출원일자 2008년05월28일

심사청구일자 2013년05월07일

(65) 공개번호 10-2009-0123564

(43) 공개일자 2009년12월02일

(56) 선행기술조사문헌

KR1020000061175 A*

KR1020040059706 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박형석

경기도 광명시 철산로 57, 철산주공13단지아파트
1301동 1503호 (철산동)

(74) 대리인

서교준

전체 청구항 수 : 총 9 항

심사관 : 신창우

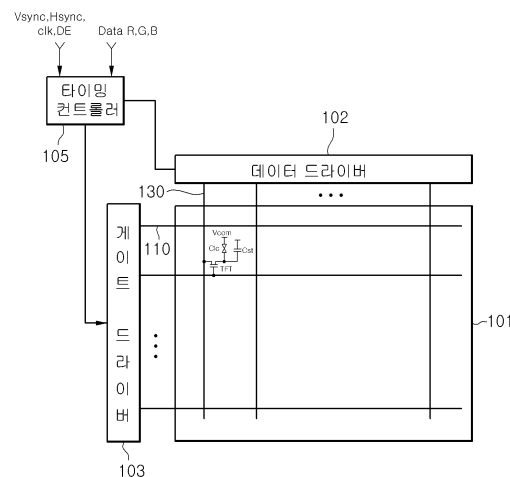
(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 마스크 공정을 줄일 수 있는 액정표시장치가 개시된다.

개시된 본 발명의 액정표시장치는 복수의 게이트 라인과, 복수의 게이트 라인과 교차되는 복수의 데이터 라인과, 게이트 라인으로부터 연장된 게이트 전극과, 게이트 전극 상에 형성된 게이트 절연 패턴과, 게이트 절연막 상에 형성된 반도체 패턴과, 게이트 전극, 게이트 절연 패턴 및 반도체 패턴의 측면에 형성된 보호 패턴과, 반도체 패턴 및 보호 패턴 상에 형성된 소스/드레인 전극과, 소스/드레인 전극 상에 형성된 투명 도전 패턴을 포함하는 것을 특징으로 한다.

대표도 - 도3



명세서

청구범위

청구항 1

복수의 게이트 라인;

상기 게이트 라인으로부터 연장된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연 패턴;

상기 게이트 절연막 상에 형성된 반도체 패턴;

상기 게이트 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에 형성된 보호 패턴;

상기 반도체 패턴 및 상기 보호 패턴 상에 형성된 소스/드레인 전극 및 상기 복수의 게이트 라인과 교차되는 복수의 데이터 라인;

상기 소스/드레인 전극 상에 형성된 투명 도전 패턴; 및

상기 투명 도전 패턴은 상기 드레인 전극 상에 형성된 화소 전극을 포함하고,

화소 영역의 상기 화소 전극과 동일층에 형성된 공통 전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 소스/드레인 전극 사이에는 상기 보호 패턴이 더 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 게이트 라인의 끝단에 형성되는 게이트 패드를 더 포함하고, 상기 게이트 패드는,

상기 게이트 라인으로부터 연장된 게이트 패드 전극;

상기 게이트 패드 전극 상에 순차적으로 형성된 상기 게이트 절연 패턴 및 상기 반도체 패턴;

상기 게이트 패드 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에 형성된 상기 보호 패턴;

상기 반도체 패턴 및 상기 보호 패턴 상에 형성된 금속 패턴; 및

상기 금속 패턴 상에 형성되어 상기 게이트 패드 전극과 전기적으로 연결되는 게이트 패드 접촉 패턴;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제1 항에 있어서,

상기 데이터 라인의 끝단에 형성되는 데이터 패드를 더 포함하고, 상기 데이터 패드는,

상기 보호 패턴;

상기 보호 패턴 상에 형성된 데이터 패드 전극; 및

상기 데이터 패드 전극 상에 형성된 데이터 패드 접촉 패턴;을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

삭제

청구항 6

제1 항에 있어서,

상기 투명 도전 패턴은 상기 드레인 전극 상에 형성된 화소 전극을 포함하고, 화소 영역의 상기 화소 전극과 공통 전극은 상기 보호 패턴 상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 7

기판 상에 금속층, 게이트 절연층, 반도체층을 증착하는 단계;

상기 금속층, 게이트 절연층 및 반도체층 상에 포토레지스트막을 증착하고 제1 회절 마스크를 이용하여 제2 패턴부를 형성하는 단계;

상기 제2 패턴부가 형성된 기판을 식각하여 상기 게이트 전극, 상기 게이트 절연 패턴, 상기 반도체 패턴을 형성하는 단계;

상기 게이트 전극, 상기 게이트 절연 패턴, 상기 반도체 패턴 및 상기 제2 패턴부가 형성된 기판 상에 실리콘 질화막을 형성하는 단계;

상기 제2 패턴부와 상기 제2 패턴부 상부에 형성된 실리콘 질화막을 리프트 오프 공정으로 제거하여 상기 게이트 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에 보호 패턴을 형성하는 단계;

상기 보호 패턴, 반도체 패턴이 형성된 기판 상에 제 2 금속층을 증착하는 단계;

상기 제 2 금속층 상에 포토레지스트막을 증착하고 제2 회절 마스크를 이용하여 제3 패턴부 및 제5 패턴부를 형성하는 단계;

상기 제3 및 제5 패턴부 외부로 노출된 상기 제 2 금속층 및 상기 보호 패턴을 순차적으로 식각하여 금속패턴, 제3 패턴부 및 제5 패턴부를 형성하는 단계;

상기 제3 패턴부가 형성된 기판 상에 투명 도전막을 증착하는 단계;

상기 제3 패턴부 및 제5 패턴부와 상기 제3 패턴부 및 제5 패턴부 상부에 형성된 상기 투명 도전막을 리프트 오프 공정으로 제거하는 단계; 및

상기 잔류한 투명 도전막을 마스크로 이용하여 상기 금속 패턴을 식각하여 소스 전극, 드레인 전극, 화소 전극, 공통 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제7 항에 있어서,

상기 게이트 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴을 형성함과 동시에 게이트 패드부 영역의 게이트 패드 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제8 항에 있어서,

상기 게이트 패드 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에는 상기 보호 패턴이 형성된 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제7 항에 있어서,

상기 보호 패턴 및 상기 금속 패턴을 형성함과 동시에 데이터 패드부 영역의 상기 보호 패턴 및 데이터 패드 전극을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 공정 수를 줄일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 액정표시장치(liquid crystal display device)는 경량, 박형, 저소비 전력 구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이러한 추세에 따라, 상기 액정표시장치는 사무자동화 기기, 오디오/비디오 기기 등에 이용되고 있다.

[0003] 액정표시장치는 인가 전압에 따라 액체와 결정의 중간 상태 물질인 액정(liquid crystal)의 광투과도가 변화하는 특성을 이용하여, 전기 신호를 시각 정보로 변화시켜 영상을 표시한다. 통상의 액정표시장치는 전극이 구비된 두 개의 기판과 두 기판 사이에 개재된 액정 층으로 구성된다. 이와 같은 액정표시장치는 동일한 화면 크기를 가지는 다른 표시장치에 비하여 무게가 가볍고 부피가 작으며 작은 전력으로 동작한다.

[0004] 액정표시장치는 후면의 광원에서 발생한 빛을 전면에 있는 액정표시패널의 각 화소가 일종의 광 스위치 역할을 하여 선택적으로 투과시킴으로써 인하여 화상을 디스플레이하는 장치이다. 즉, 종래의 음극선관(CRT: cathode ray tube)이 전자선의 세기를 조절하여 휘도를 제어하는데 반하여, 액정표시장치는 광원에서 발생한 광의 세기를 제어하여 화면이 디스플레이된다.

[0005] 이상에서와 같은 액정표시장치의 액정표시패널은 컬러필터가 형성된 컬러필터 기판(상부기판)과 박막 트랜지스터(TFT: Thin Film Transistor)가 형성된 박막 트랜지스터 기판(하부기판)이 액정 층을 사이에 두고 합착된 구조로 이루어진다.

[0006] 도 1은 일반적인 박막 트랜지스터 기판의 화소를 나타낸 평면도이고, 도 2는 도 1의 I-I', II-II' 라인을 따라 절단한 박막 트랜지스터 기판을 도시한 단면도이다.

[0007] 도 1 및 도 2에 도시된 바와 같이, 일반적인 박막 트랜지스터 기판은 게이트 라인(10)과 데이터 라인(30)이 교차되고, 상기 게이트 라인(10)과 데이터 라인(30)의 교차영역에 박막 트랜지스터(TFT)가 형성된다.

[0008] 박막 트랜지스터(TFT)의 게이트 전극(21)은 상기 게이트 라인(10)으로부터 연장되고, 소스 전극(26)은 데이터 라인(30)으로부터 연장되고, 드레인 전극(27)은 화소 전극(61)과 제3 콘택홀(65)을 통해 전기적으로 연결된다. 여기서, 화소 전극(61)은 공통 전극(51)과 일정 간격 이격되어 형성된다. 즉, 상기 박막 트랜지스터 기판에는 화소 전극(61)과 공통 전극(51)이 모두 형성된 횡전계 구조임을 알 수 있다. 여기서, 상기 공통 전극(51)은 게이트 라인(10)이 평행하게 형성된 공통 전압 라인(50)에 전기적으로 연결된다.

[0009] 게이트 라인(10)의 일측에는 스캔 신호가 공급되는 게이트 패드(13)가 형성되며, 데이터 라인(30)의 일측에는 데이터 신호가 공급되는 데이터 패드(33)가 형성된다.

[0010] 박막 트랜지스터 기판의 제조방법을 상세히 설명하면, 먼저, 모기관(1) 상에 스퍼터링 방법으로 금속층을 증착하고, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정을 이용하여 게이트 라인(10), 게이트 패드 전극(11) 및 게이트 전극(21)을 형성한다.

[0011] 상기 게이트 라인(10), 게이트 패드 전극(11) 및 게이트 전극(21)을 포함한 모기관(1) 상에 게이트 절연막(22)이 형성되고, 상기 게이트 절연막(22) 상에 반도체층 및 금속층을 차례로 증착하고, 제2 마스크를 이용한 포토리소그래피 공정과 식각 공정을 이용하여 게이트 전극(21) 상에 활성 패턴(23) 및 오믹 콘택 패턴(24)과, 상기 오믹 콘택 패턴(24) 상에 소스/드레인 전극(26, 27)이 형성된다.

[0012] 상기 소스/드레인 전극(26, 27)을 포함한 모기관(1) 상에는 보호층이 형성되고, 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정을 이용하여 제1 내지 제3 콘택홀(15, 35, 65)이 형성된다.

[0013] 상기 제1 내지 제3 콘택홀(15, 35, 65)을 포함한 보호층 전면에는 투명한 도전막이 형성되고, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 드레인 전극(27)과 전기적으로 연결된 화소 전극(61), 게이트 패드 전극(11)과 전기적으로 연결된 게이트 패드 접촉 패턴(14) 및 데이터 패드 전극(31)과 전기적으로 연결된 데이터 패드 접촉 패턴(34)이 형성된다.

- [0014] 이상에서는 4개의 마스크를 이용하여 박막 트랜지스터 기관상에 패턴 및 층을 형성하는 4 마스크 제조 방법으로 여러 개의 마스크를 이용하기 때문에 이에 따른 제조 비용, 공정 수 및 공정시간이 늘어나는 문제가 있었다.
- [0015] 또한, 이상에서 설명한 4 마스크 구조의 박막 트랜지스터 기관을 구비한 액정표시장치는 소스/드레인 전극(26, 27)의 하부 전면에 활성 패턴(23) 및 오믹 콘택 패턴(24)을 포함한 반도체 패턴이 형성됨으로써, 개구율이 저하되는 문제가 있었다.
- [0016] 또한, 일반적인 4 마스크 구조의 액정표시장치는 데이터 라인(30)의 하부에 반도체 패턴이 형성된 구조로써, 백라이트로부터 출사한 광에 의한 누설 전류 발생을 야기하는 문제가 있었다.

발명의 내용

해결 하고자하는 과제

- [0017] 본 발명은 공정 수를 줄일 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.
- [0018] 또한, 본 발명은 제조비용 및 제조시간을 줄일 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.
- [0019] 또한, 본 발명은 개구율을 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.
- [0020] 또한 본 발명은 광에 의한 누설 전류 발생을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

과제 해결수단

- [0021] 본 발명의 일 실시예에 따른 액정표시장치는,
- [0022] 복수의 게이트 라인; 상기 복수의 게이트 라인과 교차되는 복수의 데이터 라인; 상기 게이트 라인으로부터 연장된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연 패턴; 상기 게이트 절연막 상에 형성된 반도체 패턴; 상기 게이트 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에 형성된 보호 패턴; 상기 반도체 패턴 및 상기 보호 패턴 상에 형성된 소스/드레인 전극; 및 상기 소스/드레인 전극 상에 형성된 투명 도전 패턴을 포함하는 것을 특징으로 한다.
- [0023] 또한, 본 발명의 다른 실시예에 따른 액정표시장치의 제조방법은,
- [0024] 제1 회절 마스크를 이용하여 게이트 전극, 게이트 절연 패턴 및 반도체 패턴을 형성하는 단계; 상기 게이트 전극, 상기 게이트 절연 패턴 및 상기 반도체 패턴의 측면에 보호 패턴을 형성하는 단계; 제2 회절 마스크를 이용하여 상기 반도체 패턴 및 상기 보호 패턴 상에 금속 패턴을 형성하는 단계; 상기 금속 패턴을 식각하여 소스/드레인 전극으로 분리하는 단계; 및 상기 소스/드레인 전극 상에 투명 도전 패턴을 형성하는 단계;를 포함하는 것을 특징으로 한다.

효 과

- [0025] 본 발명은 데이터 라인 및 데이터 패드 영역에 있어서, 일반적인 액정표시장치의 반도체 패턴이 삭제된 구조로써, 일반적인 액정표시장치에서 데이터 라인 및 데이터 패드 영역에 형성된 반도체 패턴이 백라이트 유닛으로부터의 광에 의해 누설 전류 발생으로 표시품질을 저하시키는 문제를 개선할 수 있는 효과가 있다.
- [0026] 또한, 본 발명의 박막 트랜지스터 기관은 박막 트랜지스터가 형성된 영역에 있어서, 반도체 패턴과 게이트 전극이 하나의 마스크로 패터닝됨으로써, 소스/드레인 전극의 하부면 전체에 반도체 패턴이 존재하는 일반적인 액정표시장치와 대비하여 개구율을 저하를 개선할 수 있는 효과가 있다.
- [0027] 또한, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은 2개의 마스크를 이용하여 형성됨으로써, 일반적인 박막 트랜지스터와 대비하여 마스크 수를 줄여 제조비용을 절감할 수 있고, 이에 따른 제조 공정 수 및 제조시간을 줄일 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- [0028] 첨부한 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명하도록 한다.

- [0029] 도 3은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이고, 도 4는 도 3의 하나의 화소를 도시한 박막 트랜지스터 기관의 평면도이고, 도 5는 도 4의 III-III', IV-IV' 라인을 따라 절단한 박막 트랜지스터 기관의 단면도이다.
- [0030] 도 3 내지 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치는 다수의 게이트 라인(110)과 다수의 데이터 라인(130)이 서로 교차되며, 상기 게이트 라인(110)과 일정 간격 이격된 공통 전압 라인(150)과, 상기 게이트 라인(110)과 데이터 라인(130)의 교차부에 액정 셀(C1c)을 구동하기 위한 박막 트랜지스터(TFT: Thin Film Transistor)가 형성된 액정표시패널(101)을 포함한다.
- [0031] 액정표시장치는 상기 액정표시패널(101)의 데이터 라인(130)으로 데이터 신호를 공급하기 위한 데이터 드라이버(102)와, 상기 액정표시패널(101)의 게이트 라인(110)으로 스캔 신호를 공급하기 위한 게이트 드라이버(103)와, 액정표시패널(101)에 광을 제공하는 백라이트 유닛(미도시)과, 데이터 드라이버(102)와 게이트 드라이버(103) 및 백라이트 유닛을 제어하는 타이밍 컨트롤러(105)를 더 포함한다.
- [0032] 액정표시패널(101)은 액정 셀마다 스위칭 소자로써, 박막 트랜지스터(TFT)가 형성된다. 박막 트랜지스터(TFT)의 게이트 전극(122)은 게이트 라인(110)에 접속되고, 소스 전극(126)은 데이터 라인(130)에 접속되며, 드레인 전극(127)은 액정 셀(C1c)의 화소 전극(161)과 스토리지 캐패시터(Cst)의 일측 전극에 접속된다. 액정 셀(C1c)의 공통 전압 라인(150)에는 공통전압(Vcom)이 공급되고, 스토리지 캐패시터(Cst)는 박막 트랜지스터(TFT)가 턴-온 될 때 데이터 라인들(DL1 내지 DLm)로부터 공급되는 데이터 전압을 충전하여 액정 셀(C1c)의 전압을 일정하게 유지시키는 역할을 한다.
- [0033] 스캔 펄스가 게이트 라인(110)에 순차적으로 공급되면, 박막 트랜지스터(TFT)는 턴-온되고, 소스 전극(126)과 드레인 전극(127) 사이의 채널이 형성되어 데이터 라인(130) 상의 전압을 액정 셀(C1c)의 화소 전극(161)에 공급한다. 이때, 액정 셀(C1c)의 액정분자들은 화소 전극(161)과 공통 전극(151) 사이의 전계에 의해 배열이 바뀌면서 입사광을 변조하게 된다.
- [0034] 데이터 드라이버(102)는 타이밍 컨트롤러(105)로부터 공급되는 데이터 구동 제어신호에 의해 데이터 신호를 데이터 라인(130)에 공급한다. 또한, 데이터 드라이버(102)는 타이밍 컨트롤러(105)로부터 입력된 데이터(Data R, G, B)를 샘플링하여 래치한 다음 도시되지 않은 감마기준전압 생성부로부터 공급된 감마기준전압을 기준으로 액정표시패널(101)의 액정 셀(C1c)에서 계조를 표현할 수 있는 아날로그 데이터 전압으로 변환시켜 데이터 라인(130)에 공급한다.
- [0035] 게이트 드라이버(103)는 타이밍 컨트롤러(105)로부터 공급되는 게이트 구동 제어신호에 의해 스캔 펄스 즉, 게이트 드라이버(103)는 스캔 펄스를 발생하여 게이트 라인(110)에 순차적으로 공급한다.
- [0036] 타이밍 컨트롤러(105)는 외부로부터 공급되는 수직/수평 동기신호(Vsync/Hsync), 데이터 인에이블 신호(DE), 클럭 신호(clk) 및 데이터 신호(Data R, G, B)를 이용하여 데이터 드라이버(102), 게이트 드라이버(103)를 제어하는 게이트/데이터 구동 제어신호를 생성한다.
- [0037] 타이밍 컨트롤러(105)로부터 게이트 드라이버(103)로 입력되는 게이트 구동 제어신호는 GSC(Gate Shift Clock), GSP(Gate Start Pulse), GOE(Gate Output Enable) 등을 포함하고, 데이터 드라이버(102)로 입력되는 데이터 구동 제어신호는 SSC(Source Sampling Clock), SSP(Source Start Pulse), SOE(Source OutPut Enable), POL(Polarity Reverse) 등을 포함한다.
- [0038] 도 4 및 도 5를 참조하여 박막 트랜지스터 기관의 하나의 화소를 상세히 설명하도록 한다.
- [0039] 본 발명의 박막 트랜지스터 기관은 게이트 라인(110)과 데이터 라인(130)이 교차되며, 상기 게이트 라인(110)과 데이터 라인(130)의 교차부에 박막 트랜지스터(TFT)가 형성된다.
- [0040] 상기 게이트 라인(110)의 일측에는 게이트 라인(110)과 콘택홀(114)을 통해 전기적으로 연결된 게이트 패드 접촉 패턴(115)을 포함하는 게이트 패드(113)가 형성된다.
- [0041] 상기 데이터 라인(130)의 일측에는 데이터 라인(130)과 전기적으로 연결된 데이터 패드 접촉 패턴(135)을 포함하는 데이터 패드(133)가 형성된다.
- [0042] 박막 트랜지스터 기관의 박막 트랜지스터(TFT)는 게이트 전극(121) 상에 게이트 절연 패턴(122) 및 반도체 패턴(123)이 순차적으로 형성된다.
- [0043] 상기 게이트 전극(121), 게이트 절연 패턴(122) 및 반도체 패턴(123)은 하나의 마스크를 이용하여 동시에 패턴

닝된다.

- [0044] 상기 게이트 전극(121), 게이트 절연 패턴(122) 및 반도체 패턴(123)의 측면에는 보호 패턴(125)이 형성된다. 상기 보호 패턴(125)은 반도체 패턴(123) 상의 일부 영역에도 형성된다.
- [0045] 상기 반도체 패턴(123) 및 보호 패턴(125) 상에는 소스/드레인 전극(126, 127)이 형성된다.
- [0046] 상기 보호 패턴(125)과 소스/드레인 전극(126, 127)은 하나의 마스크에 의해 동시에 패터닝된다.
- [0047] 상기 소스/드레인 전극(126, 127) 상에는 투명한 도전성 패턴이 형성되며, 상기 드레인 전극(127) 상에 형성된 투명한 도전성 패턴은 화소 전극(161)으로 정의된다.
- [0048] 게이트 패드(113)는 게이트 패드 전극(111) 상에 게이트 절연 패턴(122)과, 반도체 패턴(123)이 순차적으로 형성된다.
- [0049] 여기서, 상기 게이트 패드 전극(111), 게이트 절연 패턴(122) 및 반도체 패턴(123)은 하나의 마스크에 의해 동시에 패터닝된다.
- [0050] 상기 게이트 패드 전극(111), 게이트 절연 패턴(122) 및 반도체 패턴(123)의 측면에는 보호 패턴(125)이 형성된다.
- [0051] 상기 반도체 패턴(123) 및 보호 패턴(125) 상에는 금속 패턴(128)이 형성된다.
- [0052] 상기 보호 패턴(125) 및 금속 패턴(128)은 하나의 마스크에 의해 동시에 패터닝된다.
- [0053] 상기 게이트 패드 전극(111)은 콘택홀(114)에 의해 외부로 노출되며, 노출된 게이트 패드 전극(111)을 포함한 금속 패턴(128) 상에는 게이트 패드 접촉 패턴(115)이 형성된다.
- [0054] 데이터 패드(133)는 보호 패턴(125)과 데이터 패드 전극(129)이 순차적으로 형성되며, 상기 데이터 패드 전극(129) 상에는 데이터 패드 접촉 패턴(135)이 형성된다.
- [0055] 상기 데이터 패드 접촉 패턴(135)은 상기 데이터 패드 전극(129) 및 보호 패턴(125)을 감싸는 구조로 형성된다.
- [0056] 즉, 본 발명의 데이터 라인(130) 및 데이터 패드(133)에는 일반적인 액정표시장치의 반도체 패턴이 삭제된 구조로써, 일반적인 액정표시장치에서 데이터 라인(130) 및 데이터 패드(133) 영역에 형성된 반도체 패턴이 백라이트 유닛으로부터의 광에 의해 누설 전류 발생으로 표시품질을 저하시키는 문제를 개선할 수 있다.
- [0057] 이상에서의 화소 전극(161), 게이트 패드 접촉 패턴(111) 및 데이터 패드 접촉 패턴(135)은 투명한 도전성 금속을 증착하고 리프트-오프(Lift-off) 공정을 통해 패터닝된 것으로 금속 패턴(128), 소스/드레인 전극(126, 127) 및 게이트/데이터 패드 전극(111, 129)을 보호하는 역할을 한다.
- [0058] 이상에서 설명한 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기판은 2개의 마스크를 이용하여 형성됨으로써, 일반적인 박막 트랜지스터와 대비하여 마스크 수를 줄여 제조비용을 절감할 수 있고, 이에 따른 제조 공정 수 및 제조 시간을 줄일 수 있는 장점이 있다.
- [0059] 도 6 내지 도 12는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 제조방법을 도시한 단면도이다.
- [0060] 도 6을 참조하면, 본 발명의 박막 트랜지스터 기판은 모기관(100) 상에 금속층(120), 게이트 절연층(122a) 및 반도체층(123a)을 증착하고, 포토레지스트막을 증착한 후 회절 마스크를 이용하여 노광한다.
- [0061] 상기 포토레지스트막을 현상하면, 회절 마스크의 개구된 영역과 대응되는 포토레지스트막은 모두 제거되고, 회절 마스크의 차광된 영역과 대응되는 포토레지스트막은 잔류한다.
- [0062] 따라서, 반도체층(123a) 상에는 회절 마스크의 차광된 영역과 대응되는 제1 패턴부(170)와, 회절 마스크의 슬릿 패턴(미도시)이 형성된 영역과 대응되는 제2 패턴부(171)가 형성된다. 상기 제2 패턴부(171)는 회절 마스크의 슬릿패턴에 의해 전체 두께의 1/2의 깊이를 가지는 홈(180)이 형성된다.
- [0063] 도 7을 참조하면, 노광이 완료된 모기관(100)은 식각공정을 통해 제1 및 제2 패턴부(170, 171)와 대응되는 영역을 제외한 영역이 식각되어 박막 트랜지스터 영역의 게이트 전극(121), 게이트 절연 패턴(122) 및 반도체 패턴(123)과, 게이트 패드 영역의 게이트 패드 전극(111), 게이트 절연 패턴(122) 및 반도체 패턴(123)이 형성된다. 이후 건식식각 방법을 이용하여 홈(180)에 잔재된 포토레지스트 막을 제거한 후, 같은 건식식각 방법으로 반도체층의 N⁺층을 제거한다.

- [0064] 도 8을 참조하면, 모기관(100) 상에 스퍼터링 방법을 이용하여 실리콘 질화막(SiNx)을 증착한다.
- [0065] 상기 실리콘 질화막(SiNx)은 모기관(100)의 전면에 형성되고, 게이트 전극(121), 게이트 절연 패턴(122) 및 반도체 패턴(123) 측면과, 게이트 패드 전극(111), 게이트 절연 패턴(122) 및 반도체 패턴(123)의 측면에 형성된다. 또한, 실리콘 질화막은 제1 및 제2 패턴부(170, 171) 상에 형성되며, 상기 제2 패턴부(171)의 홈(도6의 180)과 대응되는 반도체 패턴(123) 상에도 형성된다.
- [0066] 상기 실리콘 질화막이 증착되면, 리프트-오프(Lift-off) 공정으로 제1 및 제2 패턴부(170, 171)를 제거한다. 이때, 상기 제1 및 제2 패턴부(170, 171) 상에 형성된 실리콘 질화막은 제거된다. 여기서, 본 발명에서는 리프트-오프(Lift-off) 공정을 통해 실리콘 질화막이 제거되지 않은 영역의 패턴들을 보호 패턴(125)이라고 정의한다.
- [0067] 도 9를 참조하면, 상기 보호 패턴(125) 전면과, 반도체 패턴(123) 상에 제2 금속층(128a)을 증착하고, 상기 제2 금속층(128a) 상에 포토레지스트막을 증착하고 회절 마스크를 이용하여 노광한다.
- [0068] 상기 포토레지스트막을 현상하면, 회절 마스크의 개구된 영역과 대응되는 포토레지스트막은 모두 제거되고, 회절 마스크의 차광된 영역과 대응되는 포토레지스트막은 잔류한다.
- [0069] 따라서, 도면에 도시된 바와 같이, 제2 금속층(128a) 상에는 제3 내지 제5 패턴부(173, 174, 175)가 형성된다.
- [0070] 제4 패턴부(174)는 게이트 패드 전극(111) 및 데이터 패드 전극(미도시)과 각각 대응되는 영역이며, 제5 패턴부(175)는 게이트 전극(121)과 대응되는 영역이다.
- [0071] 도 10을 참조하면, 노광이 완료된 모기관(100)에는 식각공정을 통해 제3 내지 제5 패턴부(173, 174, 175)와 대응되는 영역을 제외한 모든 영역이 식각된다.
- [0072] 여기서, 게이트 패드부에는 상기 식각 공정을 게이트 패드 전극(111)이 노출되도록 콘택홀(114)이 형성된다.
- [0073] 도 11을 참조하면, 콘택홀(114)을 포함한 모기관(100) 전면에 투명 도전막(160)을 형성한다.
- [0074] 상기 투명 도전막(160)은 제3 및 제5 패턴부(173, 175) 상에도 형성되고, 게이트 패드부의 금속 패턴(128) 상에도 형성된다. 또한, 상기 투명 도전막(160)은 데이터 패드부의 데이터 패드 전극(129) 상에도 형성된다.
- [0075] 도 12를 참조하면, 상기 투명 도전막(160)이 증착되면, 리프트-오프(Lift-off) 공정으로 제3 및 제5 패턴부(173, 175)를 제거한다. 이때, 상기 제3 및 제5 패턴부(173, 175) 상에 형성된 투명 도전막(160)은 제거된다.
- [0076] 상기 제3 및 제5 패턴부(173, 175)가 제거되면, 상기 투명 도전막(도11의 160)을 식각 마스크로 이용하여 식각 공정을 진행한다. 식각공정이 완료되면, 박막 트랜지스터(TFT)는 소스/드레인 전극(126, 127)이 나뉘어지고, 제3 패턴부(173)와 대응되는 영역은 금속 패턴(128)은 모두 제거된다.
- [0077] 이상에서 설명한 바와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기판은 2개의 회절 마스크를 이용하여 패터닝함으로써, 마스크 수를 줄여 비용을 절감하고, 공정 수 및 공정 시간을 줄일 수 있다.
- [0078] 도 13 내지 도 19는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기판의 제조방법을 도시한 도면이다.
- [0079] 도 13 및 도 14는 도 6 및 도 7에 도시된 본 발명의 일 실시예와 동일함으로 상세한 설명은 생략하기로 한다.
- [0080] 도 15을 참조하면, 모기관(100) 상에 스퍼터링 방법을 이용하여 실리콘 산화막(SiO₂)을 증착한다.
- [0081] 상기 실리콘 산화막은 모기관(100)의 전면에 형성되고, 게이트 전극(121), 게이트 절연 패턴(122) 및 반도체 패턴(123) 측면과, 게이트 패드 전극(111), 게이트 절연 패턴(122) 및 반도체 패턴(123)의 측면에 형성된다. 또한, 실리콘 산화막은 제1 및 제2 패턴부(170, 171) 상에도 형성되며, 상기 제2 패턴부(172)의 홈(도6의 180)과 대응되는 반도체 패턴(123) 상에도 형성된다.
- [0082] 상기 실리콘 산화막이 증착되면, 리프트-오프(Lift-off) 공정으로 제1 및 제2 패턴부(170, 171)를 제거한다. 이때, 상기 제1 및 제2 패턴부(170, 171) 상에 형성된 실리콘 산화막은 제거된다. 여기서, 본 발명에서는 리프트-오프 공정으로 제1 및 제2 패턴부(170, 171) 상에 형성된 실리콘 산화막을 제거하고, 다른 영역의 실리콘 산화막을 보호 패턴(225)이라고 정의한다.
- [0083] 도 16를 참조하면, 상기 보호 패턴(225) 전면과, 반도체 패턴(123) 상에 제2 금속층(128a)을 증착하고, 상기 제2 금속층(128a) 상에 포토레지스트막을 증착하고 회절 마스크를 이용하여 노광한다.
- [0084] 상기 포토레지스트막을 현상하면, 회절 마스크의 개구된 영역과 대응되는 포토레지스트막은 모두 제거되고, 회

절 마스크의 차광된 영역과 대응되는 포토레지스트막은 잔류한다.

- [0085] 따라서, 도면에 도시된 바와 같이, 제2 금속층(128a) 상에는 제3 내지 제5 패터부(173, 174, 175)가 형성된다.
- [0086] 제4 패터부(174)는 게이트 패드 전극(111) 및 데이터 패드 전극(미도시)과 대응되는 영역이며, 제5 패터부(175)는 게이트 전극(121)과 대응되는 영역이다.
- [0087] 도 17을 참조하면, 노광이 완료된 모기관(100)에는 식각공정을 통해 제3 내지 제5 패터부(175)와 대응되는 영역을 제외한 모든 영역의 제2 금속층(128a)이 식각된다.
- [0088] 여기서, 상기 보호 패터(225)은 실리콘 산화막으로 이루어져 상기 식각 공정이 완료하더라도 제거되지 않는다.
- [0089] 게이트 패드부에는 상기 식각 공정을 게이트 패드 전극(111)이 외부로 노출되도록 콘택홀이 형성된다.
- [0090] 도 18을 참조하면, 상기 콘택홀을 포함한 모기관(100) 전면에 투명 도전막(160)을 형성한다.
- [0091] 상기 투명 도전막(160)은 제3 및 제5 패터부(173, 175) 상에도 형성되고, 게이트 패드부의 금속 패터(128) 상에도 형성된다. 또한, 상기 투명 도전막(160)은 데이터 패드부의 데이터 패드 전극(129) 상에도 형성된다.
- [0092] 도 19를 참조하면, 상기 투명 도전막(160)이 증착되면, 리프트-오프(Lift-off) 공정으로 제3 및 제5 패터부(173, 175)를 제거한다. 이때, 상기 제3 및 제5 패터부(173, 175) 상에 형성된 투명 도전막(160)은 제거된다.
- [0093] 상기 제3 및 제5 패터부(173, 175)가 제거되면, 상기 투명 도전막(160)을 식각 마스크로 이용하여 식각 공정을 진행한다. 식각 공정이 완료되면, 박막 트랜지스터(TFT)는 소스/드레인 전극(126, 127)이 나뉘어지고, 제3 패터부(173)와 대응되는 영역에 형성된 금속 패터(128)들은 모두 제거된다.
- [0094] 본 발명의 다른 실시예에 따른 박막 트랜지스터 기판은 보호 패터(225)을 실리콘 산화막(SiO_2)으로 형성함으로써, 도 17에서와 같이 식각 공정에서는 보호 패터(225)이 식각되지 않는다. 따라서, 화소 전극(161) 및 공통 전극(151)은 상기 보호 패터(225) 상에 형성된 구조로 이루어진다.
- [0095] 도 20은 본 발명의 액정표시장치와 일반적인 액정표시장치의 투과율을 비교한 도면이다.
- [0096] 도 20에 도시된 바와 같이, 본 발명의 박막 트랜지스터 기판을 구비한 액정표시장치는 4 마스크를 이용한 박막 트랜지스터 기판을 구비한 일반적인 액정표시장치와 대비하여 공급된 구동 전압에 따른 투과율(transmittance) 변화에 있어서, 동일한 수준을 유지하고 있다.
- [0097] 이상에서 설명한 본 발명은 2개의 마스크를 이용하여 박막 트랜지스터 기판을 제조함에 있어서, 일반적인 액정표시장치의 박막 트랜지스터 기판과 대비하여 제조비용, 공정 수 및 공정시간을 줄일 수 있을 뿐만 아니라 데이터 라인 및 데이터 패드 영역에 반도체 패터가 삭제된 구조로써, 백라이트 광에 의한 누설전류 발생을 방지할 수 있다.
- [0098] 또한, 본 발명의 박막 트랜지스터 기판은 박막 트랜지스터가 형성된 영역에 있어서, 반도체 패터와 게이트 전극이 하나의 마스크로 패터닝됨으로써, 소스/드레인 전극의 하부면 전체에 반도체 패터가 존재하는 일반적인 액정표시장치와 대비하여 개구율을 저하를 개선할 수 있다.
- [0099] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

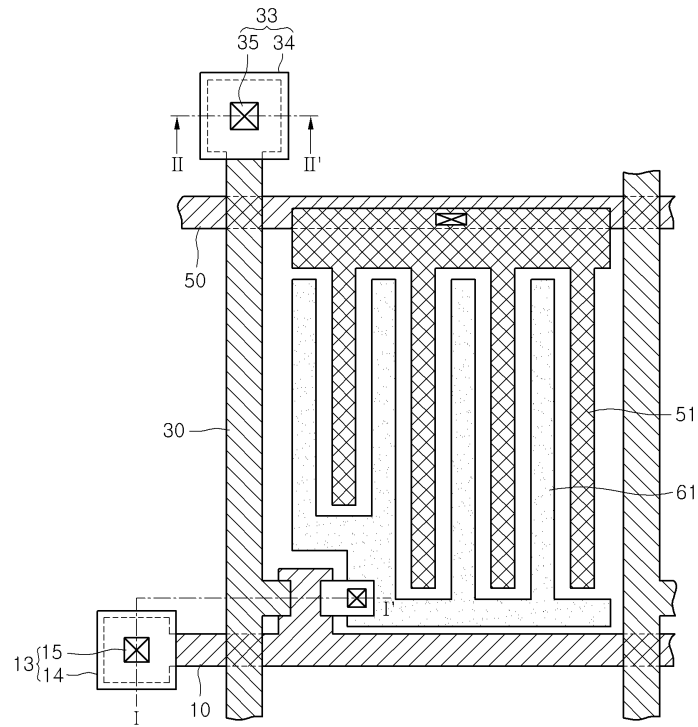
도면의 간단한 설명

- [0100] 도 1은 일반적인 박막 트랜지스터 기판의 화소를 나타낸 평면도이다.
- [0101] 도 2는 도 1의 I-I', II-II' 라인을 따라 절단한 박막 트랜지스터 기판을 도시한 단면도이다.
- [0102] 도 3은 본 발명의 일 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.
- [0103] 도 4는 도 3의 하나의 화소를 도시한 박막 트랜지스터 기판의 평면도이다.
- [0104] 도 5는 도 4의 III-III', IV-IV' 라인을 따라 절단한 박막 트랜지스터 기판의 단면도이다.

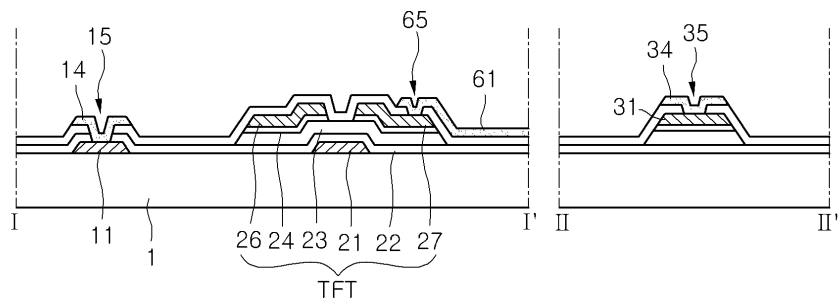
- [0105] 도 6 내지 도 12는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 제조방법을 도시한 단면도이다.
- [0106] 도 13 내지 도 19는 본 발명의 다른 실시예에 따른 박막 트랜지스터 기판의 제조방법을 도시한 도면이다.
- [0107] 도 20은 본 발명의 액정표시장치와 일반적인 액정표시장치의 투과율을 비교한 도면이다.

도면

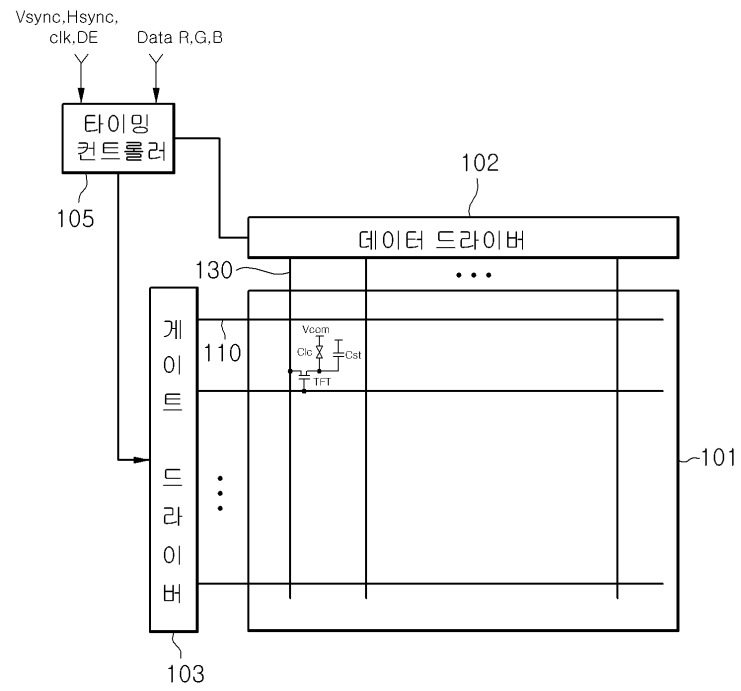
도면1



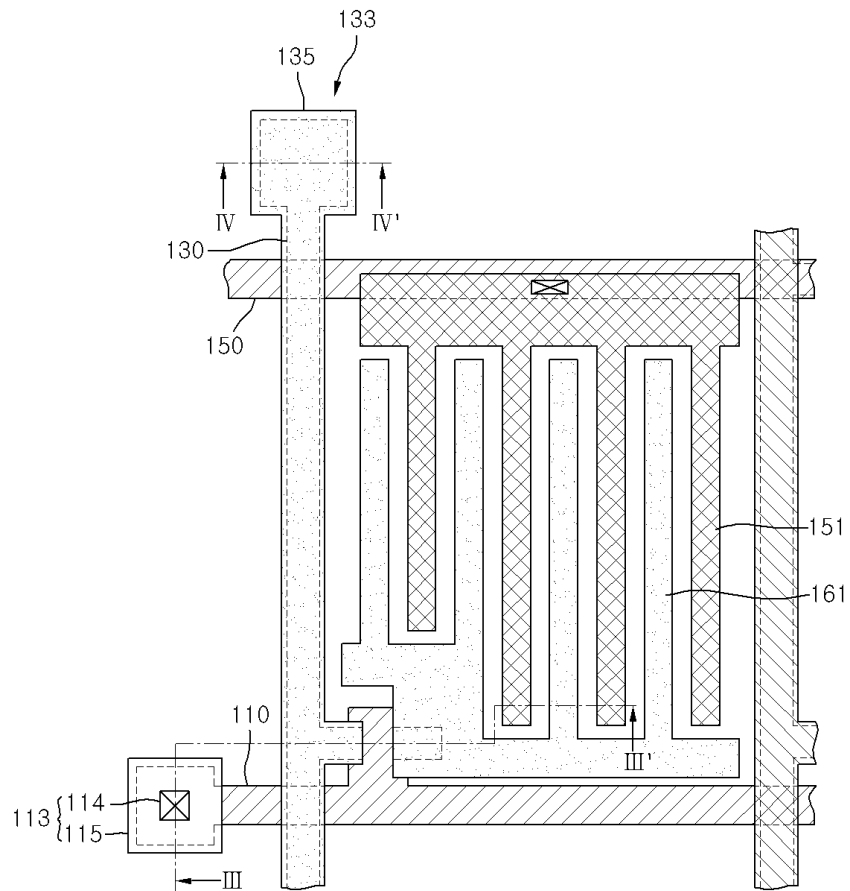
도면2



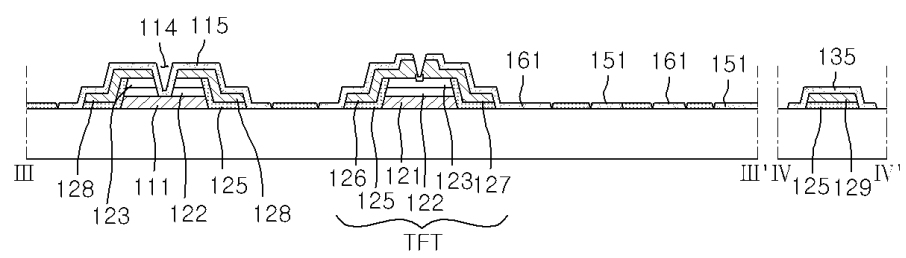
도면3



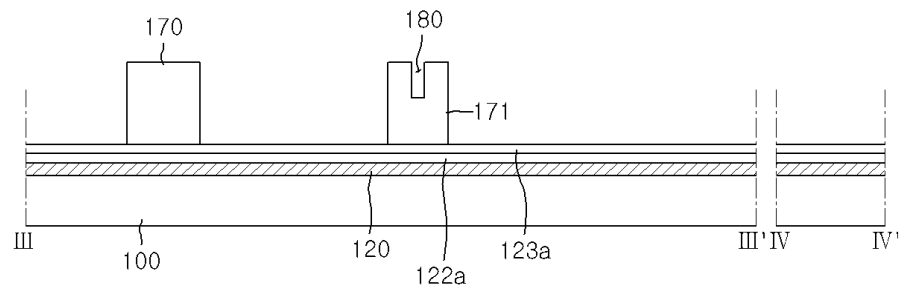
도면4



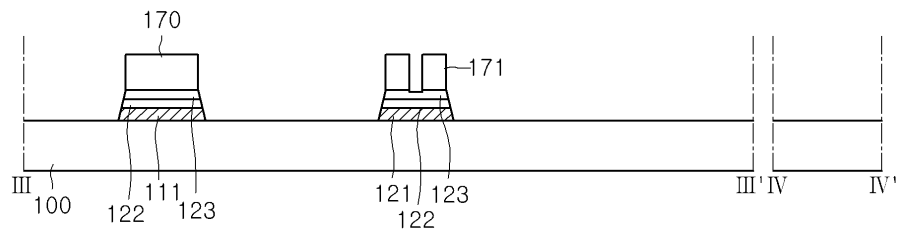
도면5



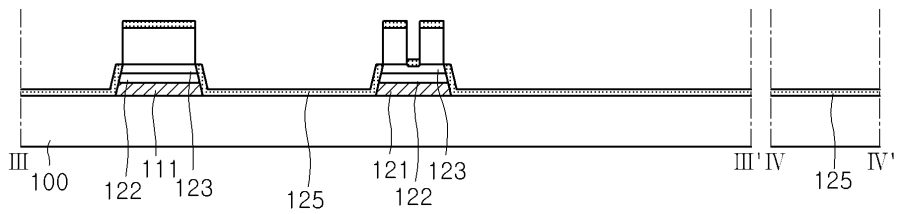
도면6



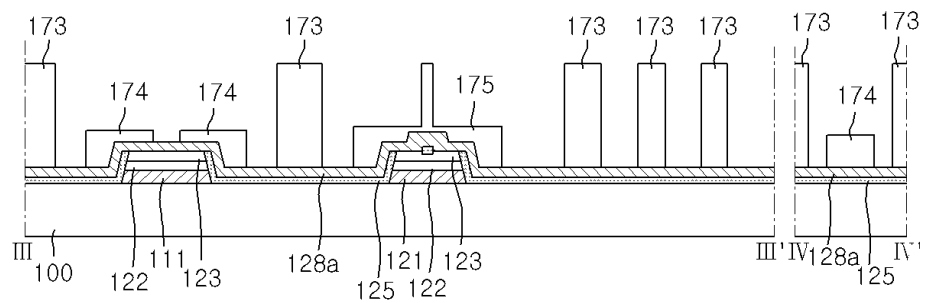
도면7



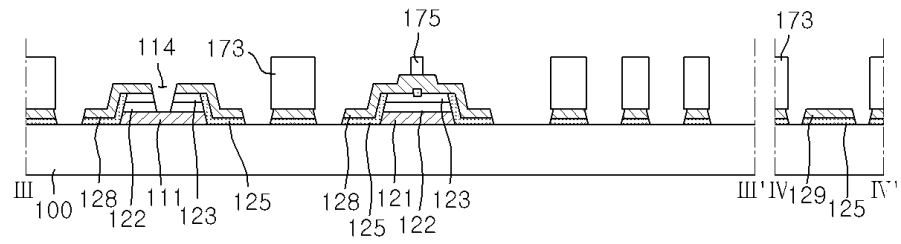
도면8



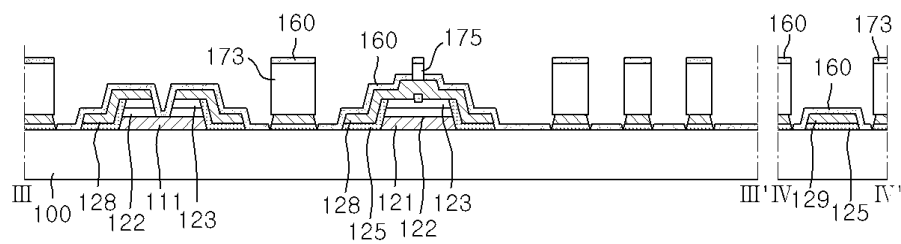
도면9



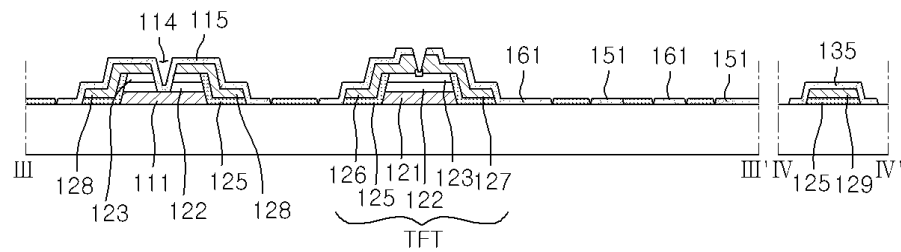
도면10



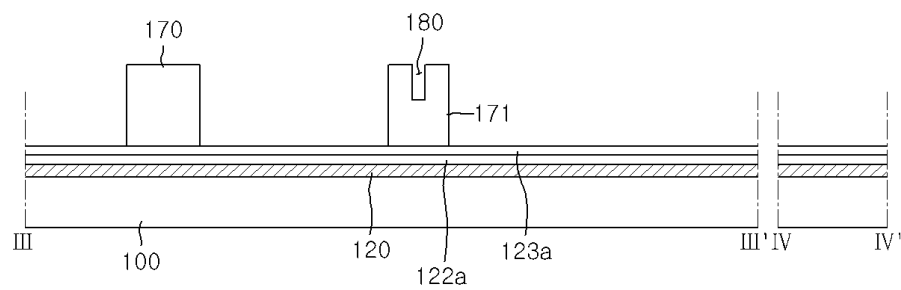
도면11



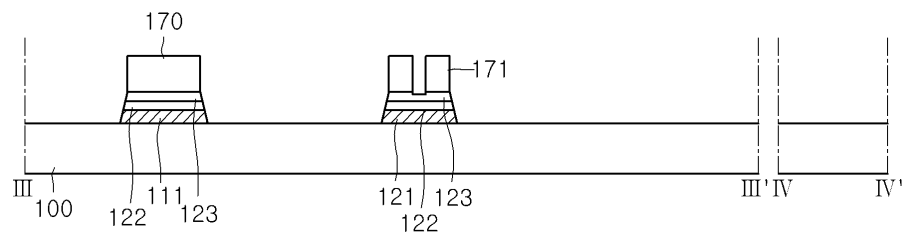
도면12



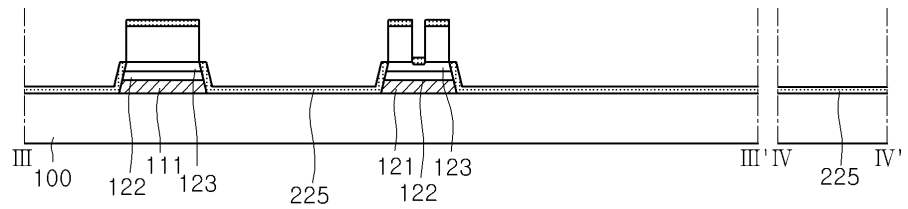
도면13



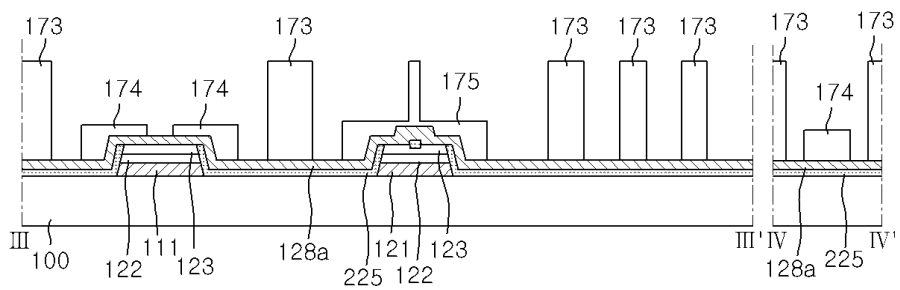
도면14



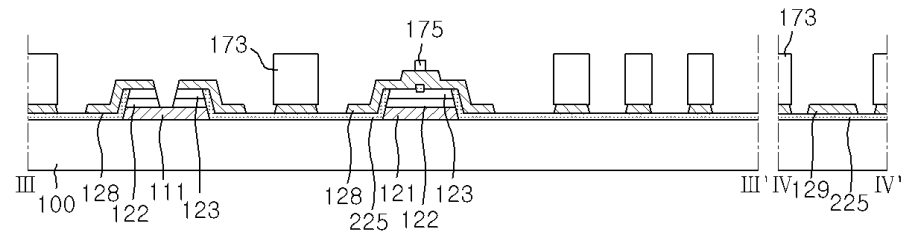
도면15



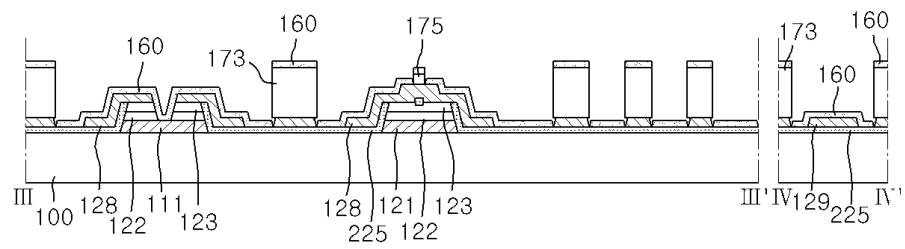
도면16



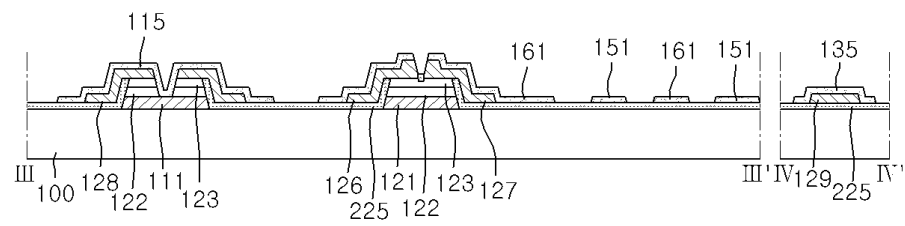
도면17



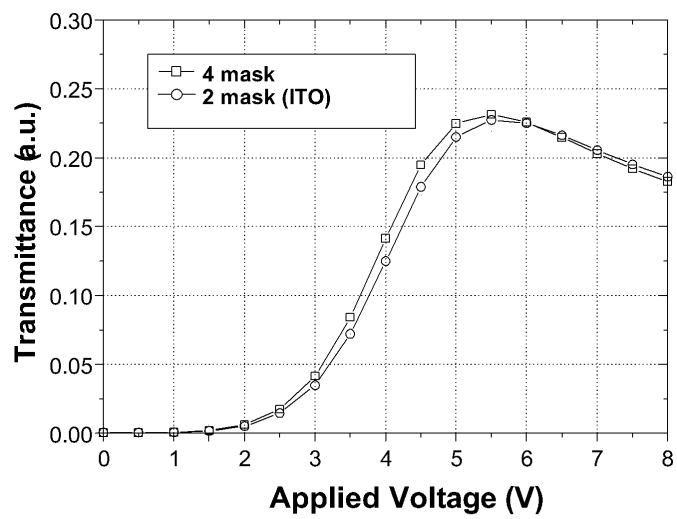
도면18



도면19



도면20



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101521648B1	公开(公告)日	2015-05-19
申请号	KR1020080049713	申请日	2008-05-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK HYUNG SEOK		
发明人	PARK, HYUNG SEOK		
IPC分类号	G02F1/136		
CPC分类号	G02F1/134309 G02F1/13458 G02F1/136286 G02F2001/136295 G02F2201/123 H01L27/124		
其他公开文献	KR1020090123564A		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）及其制造方法，用于减少掩模工艺，以防止来自BLU（背光单元）的光通过去除数据线中的半导体图案而导致的显示质量下降和垫区域。组成：多条数据线与多条栅极线交叉。栅电极（121）从栅极线扩展。在栅电极上形成栅极绝缘图案（122）。在栅极绝缘层上形成半导体图案（123）。保护图案（125）形成在栅电极和半导体图案的侧面以及栅极绝缘图案中。源/漏电极形成在半导体图案和电阻图案上。透明导电图案形成在源/漏电极上。

