



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월26일
(11) 등록번호 10-1279124
(24) 등록일자 2013년06월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2009-0131973

(22) 출원일자 2009년12월28일

심사청구일자 2011년11월03일

(65) 공개번호 10-2011-0075505

(43) 공개일자 2011년07월06일

(56) 선행기술조사문헌

US06342876 B1*

US20010043186 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이태욱

경기 파주시 문산읍 당동리 현대힐스테이즈1차
107동 1203호

김민규

경기 파주시 월릉면 덕은리 파주LCD산업단지 정다
운마을 101동 110호

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 8 항

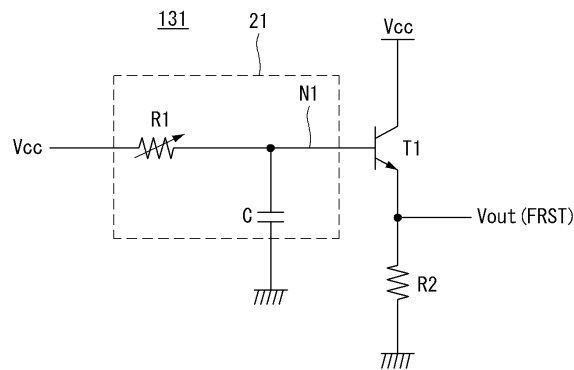
심사관 : 황철규

(54) 발명의 명칭 액정표시장치와 그 F P G A 초기화 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 액정표시패널에 빛을 조사하는 백라이트 유닛; 백라이트 디밍 데이터에 따라 상기 백라이트 유닛의 광원들을 점등 및 소등시키는 백라이트 구동회로; 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로; 비휘발성 메모리로부터 다운 받은 게이트 어레이 연결 데이터에 따라 내장된 게이트 어레이 로직부의 회로를 구성하여 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 FPGA; 및 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 콘트롤러를 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

상기 액정표시패널에 빛을 조사하는 백라이트 유닛;

백라이트 디밍 데이터에 따라 상기 백라이트 유닛의 광원들을 점등 및 소등시키는 백라이트 구동회로;

디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로;

상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로;

비휘발성 메모리로부터 다운 받은 게이트 어레이 연결 데이터에 따라 내장된 게이트 어레이 로직부의 회로를 구성하고 FPGA 리셋신호에 응답하여 내장된 PLL이 초기화된 후에 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 FPGA; 및

상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러를 구비하고,

상기 FPGA는,

액정표시장치의 전원이 턴-온된 후에 발생하는 로직 전원 전압이 하이 로직 전압으로 변환된 시점부터 설정신호가 하이 로직 전압으로 반전되기까지 상기 게이트 어레이 연결 데이터에 응답하여 상기 게이트 어레이 로직부의 회로를 구성한 후에,

상기 설정 신호 이후에 수신된 상기 FPGA 리셋신호에 응답하여 상기 PLL로부터 출력되는 내부 클럭의 위상과 주파수를 고정시킨 다음, 상기 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 FPGA는,

상기 FPGA 리셋신호에 응답하여 상기 PLL로부터 출력되는 상기 내부 클럭의 주파수와 위상을 고정시키기 위한 PLL 락 리셋신호를 상기 PLL에 공급하는 PLL 락 리셋클럭 발생부;

외부로부터 상기 입력 영상의 데이터를 수신하여 상기 게이트 어레이 로직부에 공급하는 데이터 수신부; 및

상기 게이트 어레이 로직부에 의해 변조된 데이터를 상기 타이밍 컨트롤러에 전송하는 데이터 송신부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

제 2 항에 있어서,

상기 로직 전원 전압을 지연시켜 상기 설정신호 이후에 상기 FPGA 리셋신호를 출력하는 외부 FPGA 리셋신호 발생부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트 어레이 로직부는,

상기 게이트 어레이 연결 데이터에 따라 상기 FPGA 리셋신호를 출력하는 내부 리셋회로를 구성하는 것을 특징으로 하는 액정표시장치.

청구항 6

삭제

청구항 7

제 5 항에 있어서,

상기 내부 리셋회로는 상기 액정표시장치의 전원이 턴-온된 후에 수직 동기신호를 카운트하여 $N(N$ 은 2 이상의 양의 정수) 번째 프레임기간에 상기 FPGA 리셋신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 8

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널, 상기 액정표시패널에 빛을 조사하는 백라이트 유닛, 백라이트 디밍 데이터에 따라 상기 백라이트 유닛의 광원들을 점등 및 소등시키는 백라이트 구동회로, 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로, 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 구비하는 액정표시장치의 FPGA 초기화 방법에 있어서,

상기 액정표시장치의 전원이 턴-온된 후에 발생하는 로직 전원 전압이 하이 로직 전압으로 변환된 시점부터 설정신호가 하이 로직 전압으로 반전되기까지 비휘발성 메모리에 저장된 게이트 어레이 연결 데이터를 FPGA로 공급하는 단계;

상기 게이트 어레이 연결 데이터에 따라 상기 FPGA의 게이트 어레이 로직부에 회로를 구성하는 단계;

상기 설정 신호 이후에 FPGA 리셋신호를 발생하는 단계;

상기 FPGA 리셋신호를 이용하여 상기 FPGA의 PLL로부터 출력되는 내부 클럭의 위상과 주파수를 고정시키는 단계; 및

상기 FPGA 내에서 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 FPGA 초기화 방법.

청구항 9

제 8 항에 있어서,

상기 FPGA 리셋신호는

상기 FPGA의 외부에 설치된 지연회로에 의해 상기 로직 전원 전압의 지연으로 발생하는 것을 특징으로 하는 액정표시장치의 FPGA 초기화 방법.

청구항 10

제 8 항에 있어서,

상기 FPGA 리셋신호는,

상기 게이트 어레이 연결 데이터에 따라 상기 게이트 어레이 로직부에 구성된 내부 리셋회로로부터 출력되는 것을 특징으로 하는 액정표시장치의 FPGA 초기화 방법.

명세서**발명의 상세한 설명****기술 분야**

본 발명은 FPGA(field programmable gate array)를 포함한 액정표시장치와 그 FPGA 초기화 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 주문형 반도체 즉, ASIC(Application Specific IC)은 개발이 완료되면 재설정이 불가능하다. 따라서, 신규 알고리즘의 적용이나 기존 ASIC에 구현된 알고리즘의 업데이트가 필요한 경우에 ASIC의 재설계와 테스트 과정에 많은 시간과 비용을 투자하여 새로운 ASIC을 제작하여야 한다.
- [0003] 현장 프로그래머블 게이트 어레이(FPGA)는 PLD(Programmable Logic Device)의 하나로서, 내부 논리 회로 구조를 재설정할 수 있는 집적회로이다. FPGA는 프로그래머블 논리 요소와 프로그래밍가능 연결선을 포함한다. FPGA에는 입력 클럭의 주파수를 채배하기 위한 고정 루프(Phase-locked loop, PLL)가 내장될 수 있다.
- [0004] 프로그래머블 논리 요소는 논리곱(AND), 논리합(OR), 배타적 논리합(XOR), 부정(NOT) 등의 논리 소자들을 포함한다. 사용자나 설계자는 프로그래밍으로 FPGA의 논리 소자들을 연결하여 각종 기능의 복잡한 회로들을 FPGA에 설정하고 소프트웨어 변경으로 FPGA의 기능을 재설정할 수 있다. FPGA는 ASIC 개발을 위한 테스트 용도로 주로 이용되어 왔고, 최근에 양산 전자 기기에도 적용되고 있다.
- [0005] FPGA를 안정적으로 동작시키기 위해서는 FPGA의 초기화가 안정되어야 한다. 입력 영상의 데이터를 샘플링하고 미리 설정된 알고리즘에 따라 픽셀 데이터를 보상하기 위하여 액정표시장치에 FPGA를 적용할 수 있다. 그런데, 액정표시장치의 파워 시퀀스에 따라 FPGA와 그 FPGA의 내장 PLL을 초기화하는 경우에, PLL 초기화가 불안정하게 되어 PLL 출력이 고정(Lock)되지 않은 상태에서 FPGA가 동작할 수 있다. 이 경우, 액정표시장치는 FPGA로부터 정상적인 픽셀 데이터가 출력되지 않기 때문에 입력 영상이 없는 것으로 인식하여 오동작할 수 있다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명은 액정표시장치에 적용된 FPGA의 초기화를 안정화시키도록 한 액정표시장치와 그 FPGA 초기화 방법을 제공한다.

과제 해결수단

- [0007] 본 발명의 일 양상으로서 본 발명의 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 액정표시패널에 빛을 조사하는 백라이트 유닛; 백라이트 디밍 데이터에 따라 상기 백라이트 유닛의 광원들을 점등 및 소등시키는 백라이트 구동회로; 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로; 비휘발성 메모리로부터 다운 받은 게이트 어레이 연결 데이터에 따라 내장된 게이트 어레이 로직부의 회로를 구성하여 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 FPGA; 및 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러를 구비한다.
- [0008] 상기 액정표시장치의 FPGA 초기화 방법은 상기 액정표시장치의 전원이 턴-온된 후에 발생하는 로직 전원 전압이 하이 로직 전압으로 변환된 시점부터 설정신호가 하이 로직 전압으로 반전되기까지 비휘발성 메모리에 저장된 게이트 어레이 연결 데이터를 FPGA로 공급하는 단계; 상기 게이트 어레이 연결 데이터에 따라 상기 FPGA의 게이트 어레이 로직부에 회로를 구성하는 단계; 상기 설정 신호 이후에 FPGA 리셋신호를 발생하는 단계; 상기 FPGA 리셋신호를 이용하여 상기 FPGA의 PLL로부터 출력되는 내부 클럭의 위상과 주파수를 고정시키는 단계; 및 상기 FPGA 내에서 입력 영상의 데이터를 변조하고 상기 백라이트 디밍 데이터를 발생하는 단계를 포함한다.

효 과

- [0009] 본 발명은 설정신호(CONF_DONE) 이후에 FPGA 리셋신호를 출력하는 FPGA 리셋회로를 FPGA의 외부 또는 내부에 구성하여 액정표시장치에 적용된 FPGA의 초기화를 안정화할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0011] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0012] 본 발명의 액정표시장치는 액정모드로 구분할 때 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 등의 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과율 대 전압 특성으로 구분할 때 노말리 화이트 모드(Normally White Mode) 또는 노말리 블랙 모드(Normally Black mode)로 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.
- [0013] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 백라이트 유닛(110), 백라이트 구동회로(111), FPGA(130), 타이밍 콘트롤러(101), 데이터 구동회로(102), 게이트 구동회로(103) 및 호스트 시스템(120)을 구비한다.
- [0014] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널(100)은 데이터라인들(105)과 게이트라인들(106)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들을 포함한다.
- [0015] 액정표시패널(100)의 하부 유리기관에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(105), 게이트라인들(106), 박막트랜지스터들(Thin Film Transistors, TFTs), 및 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 액정셀들은 TFT에 접속되어 화소전극들과 공통전극 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0016] 백라이트 유닛(110)은 액정표시패널(100)의 아래에 배치된다. 백라이트 유닛(110)은 백라이트 구동회로(111)에 의해 점등 및 소등되는 다수의 광원들을 포함하여 액정표시패널(100)로 균일하게 빛을 조사한다. 백라이트 유닛(110)은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다. 백라이트 유닛(109)의 광원은 HCFL(Hot Cathode Fluorescent Lamp), CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp), LED(Light Emitting Diode) 중 어느 하나 또는 두 종류 이상의 광원을 포함할 수 있다.
- [0017] 백라이트 구동회로(111)는 FPGA(130)로부터 입력되는 백라이트 디밍 데이터(DIM)에 응답하여 PWM(Pulse Width Modulation) 방법으로 백라이트 유닛(110)의 광원들을 점등 및 소등한다.
- [0018] FPGA(130)는 프로그래밍으로 재설정 가능한 수천 개의 논리 소자들을 포함한 게이트 어레이 로직부, 입력 클럭 주파수를 체배하기 위한 PLL, 데이터 수신부, 데이터 송신부 등을 내장한다. FPGA(130)의 내장 PLL은 FPGA 리셋신호 발생부(131)로부터 입력된 FPGA 리셋신호(FRST)에 따라 초기화된다.
- [0019] 액정표시장치의 전원이 턴-온되면, 액정표시장치의 파워 온 시퀀스(Power On Sequence)에 따라 로직 전원 전압(Vcc)과 설정신호(CONF_DONE) 신호가 순차적으로 하이 로직 전압으로 변한다. FPGA(130)는 로직 전원 전압(Vcc)이 로우 로직 전압으로부터 하이 로직 전압으로 반전된 후부터 설정신호(CONF_DONE)가 하이 로직 전압으로 반전되기 전까지 제1 비휘발성 메모리(132)에 저장된 게이트 어레이 연결 데이터를 다운로드(Download) 받는다. 게이트 어레이 연결 데이터는 픽셀 데이터 보상 알고리즘을 처리하기 위한 게이트 연결 데이터와, 백라이트 디밍 알고리즘을 처리하기 위한 게이트 연결 데이터를 포함한다. FPGA(130)는 게이트 어레이 연결 정보에 따라 게이트 어레이 로직부 내의 논리소자들을 연결하여 픽셀 데이터 보상 알고리즘 처리 회로, 백라이트 디밍 알고리즘 처리회로, 필터 등의 각종 회로를 구성한다.
- [0020] FPGA 리셋신호 발생부(131)는 로직 전원 전압(Vcc)과 설정신호(CONF_DONE) 신호가 순차적으로 하이 로직 전압으로 변한 후, 소정 시간이 경과된 다음 FPGA 리셋신호(FRST)를 출력한다. FPGA 리셋신호(FRST)가 FPGA(130)에 입력되면, FPGA(130)는 PLL 락 리셋(PLL Lock reset) 클럭을 내장 PLL에 입력하여 PLL 출력 주파수와 위상을

고정시킨다.

- [0021] FPGA(130)는 PLL의 출력 주파수와 위상이 고정된 후에 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(120)으로부터 디지털 비디오 데이터(RGB)를 샘플링하여 그 데이터를 설정된 알고리즘에 따라 변조한다. 그리고 FPGA(130)는 글로벌 및 로컬 디밍 알고리즘에 따라 입력 영상의 대표값을 산출하고 그 대표값에 따라 백라이트 밝기를 조정하기 위한 디밍 데이터(DIM)를 선택하여 백라이트 구동회로(111)로 출력한다. _
- [0022] 타이밍 컨트롤러(101)는 주문용 반도체(Application Specific IC, ASIC)으로 구현된다. 타이밍 컨트롤러(101)는 mini LVDS 인터페이스를 통해 FPGA(130)에 의해 변조된 데이터(R'G'B')를 데이터 구동회로(102)에 전송한다. 타이밍 컨트롤러(101)는 FPGA(130)로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(DCLK) 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(101)는 제2 비휘발성 메모리(104)에 저장된 타이밍 정보를 참조하여 FPGA(130)로부터 입력되는 타이밍 신호를 기준으로 데이터 구동회로(102)와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 컨트롤러(101)는 60Hz의 프레임 주파수를 i (i 는 2 이상의 정수) 배 체배하여 액정표시패널(100)을 $60 \times i$ Hz의 프레임 주파수로 구동시킬 수 있다.
- [0023] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생시키는 게이트 드라이브 IC(Integrated Circuit)에 인가되어 그 게이트 드라이브 IC의 쉬프트 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력 타이밍을 제어한다.
- [0024] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(102)의 소스 드라이브 IC들 중에서 첫 번째 픽셀 데이터를 샘플링하는 소스 드라이브 IC에 인가되어 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(102) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 데이터 구동회로(102)의 소스 드라이브 IC들로부터 출력되는 데이터전압의 극성을 제어한다. 데이터 구동회로(102)에 입력된 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0025] 제1 및 제2 비휘발성 메모리(132, 104)는 업데이트가 가능한 ROM 메모리 예를 들면, EEPROM(Electrically Erasable Programmable Read-Only Memory)으로 구현될 수 있다.
- [0026] 데이터 구동회로(102)는 하나 이상의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(R'G'B')를 래치한다. 소스 드라이브 IC들은 디지털 비디오 데이터(R'G'B')를 아날로그 정극성 감마보상전압과 부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시킨다. 소스 드라이브 IC들 각각은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(100)의 데이터라인들에 접속된다.
- [0027] 게이트 구동회로(103)는 하나 이상의 게이트 드라이브 IC를 포함한다. 게이트 드라이브 IC들은 쉬프트 레지스터, 레벨 쉬프터, 출력 버퍼 등을 포함한다. 게이트 드라이브 IC들은 게이트 타이밍 제어신호들에 응답하여 게이트펄스(또는 스캔펄스)를 게이트라인들(106)에 순차적으로 공급한다. 게이트 구동회로(103)의 게이트 드라이브 IC들은 TAP 공정을 통해 액정표시패널(100)의 하부 유리기판의 게이트라인들에 연결되거나 GIP(Gate In Panel) 공정으로 액정표시패널(100)의 하부 유리기판 상에 직접 형성될 수 있다.
- [0028] 호스트 시스템(120)은 LVDS 인터페이스, TMDS 인터페이스 등의 인터페이스를 통해 디지털 비디오 데이터(RGB)와 타이밍신호들(Vsync, Hsync, DE, CLK)을 FPGA(130)에 전송한다.
- [0029] 도 2는 FPGA 리셋신호 발생부(131)의 일예를 보여 주는 회로도이다.

- [0030] 도 2를 참조하면, FPGA 리셋신호 발생부(131)는 지연부(21), 및 트랜지스터(T1)를 구비한다.
- [0031] 지연부(21)는 가변 저항(R1)과 커패시터(C)를 포함한다. 가변저항(R1)은 로직 전원 전압 입력 단자와 트랜지스터(T1)의 게이트전극 사이에 접속되고, 커패시터(C)는 가변 저항(R1)과 트랜지스터(T1)의 게이트전극 사이의 제1 노드(N1)와, 기저 전압원(GND) 사이에 접속된다. 지연부(21)는 가변 저항(R1)과 커패시터(C)의 RC 지연값만큼 로직 전원 전압(Vcc)을 지연하여 트랜지스터(T1)의 게이트전압을 상승시킨다.
- [0032] 트랜지스터(T1)는 제1 노드(N1)의 게이트전압이 자신의 문턱 전압 이상으로 상승할 때 턴-온되어 로직 전원 전압(Vcc)을 출력하여 FPGA 리셋신호(FRST)를 발생한다. 트랜지스터(T1)의 게이트전극은 제1 노드(N1)에 접속되고, 드레인전극은 로직 전원 전압 입력단자에 접속된다. 트랜지스터(T1)의 소스 전극은 출력 단자와, 풀다운 저항(R2)을 경유하여 기저전압원(GND)에 접속된다.
- [0033] 도 3은 FPGA(130)의 내부 구성을 보여 주는 블록도이다.
- [0034] 도 3을 참조하면, FPGA(130)는 데이터 수신부(32), 게이트 어레이 로직부(31), 데이터 송신부(33), PLL 락 리셋 클럭 발생부(34), 및 PLL(35)을 구비한다.
- [0035] PLL 락 리셋클럭 발생부(34)는 FPGA 리셋신호(FRST)에 응답하여 PLL 락 리셋클럭(PLL LOCK reset)을 PLL(35)에 공급한다. PLL(35)은 PLL 락 리셋 클럭(PLL LOCK reset)에 따라 자신의 출력 주파수와 위상을 고정하여 체배된 주파수로 내부 클럭을 발생한다. PLL(35)로부터 출력되는 클럭 신호는 데이터 수신부(32)와 데이터 송신부(33)에 공급된다.
- [0036] 데이터 수신부(32)는 PLL(35)의 출력 클럭에 따라 입력 영상의 데이터를 샘플링하여 게이트 어레이 로직부(31)로 전송한다. 게이트 어레이 로직부(31)는 데이터 보상 알고리즘에 따라 데이터 수신부(32)로부터 입력된 데이터를 변조하고 변조된 데이터(R'G'B')를 데이터 송신부(33)를 통해 타이밍 콘트롤러(101)로 전송한다. 그리고 게이트 어레이 로직부(31)는 입력 영상의 프레임 대표값에 따라 백라이트 디밍 데이터(DIM)를 선택하여 백라이트 구동회로(111)에 전송한다. 데이터 수신부(32)는 TMDS 또는 LVDS 수신부로 구현될 수 있다. 데이터 송신부(33)는 TMDS 또는 LVDS 송신부로 구현될 수 있다.
- [0037] 도 4는 FPGA(130)의 초기화 과정을 보여 주는 파형도이다.
- [0038] 도 4를 참조하면, 액정표시장치의 전원이 턴-온되면 파워 온 시퀀스에 따라 도시하지 않은 파워 IC로부터 로직 전원 전압(Vcc)이 출력된다. 이어서, 로직 전원 전압(Vcc)이 하이 로직 전압으로 반전된 후 소정 시간이 경과하여 로직 전원 전압(Vcc)의 RC 지연으로 리셋신호(RESET)가 하이 로직 전압으로 상승한 다음, 설정신호(CONF_DONE)이 하이 로직 전압으로 반전된다.
- [0039] FPGA(130)는 로직 전원 전압(Vcc)과 설정신호(CONF_DONE) 신호가 순차적으로 하이 논리 전압으로 변한다. FPGA(130)는 로직 전원 전압(Vcc)이 하이 로직 전압으로 반전된 후부터 설정신호(CONF_DONE)이 하이 로직 전압으로 반전되기 전까지 제1 비휘발성 메모리(132)로부터 게이트 어레이 연결 데이터를 다운로드 받는다.
- [0040] 이어서, FPGA 리셋신호 발생부(131)는 로직 전원 전압(Vcc)을 지연시켜 FPGA 리셋신호(FRST)를 하이 로직 전압으로 반전시킨다. FPGA(130)는 FPGA 리셋신호(FRST)에 따라 PLL(35)의 출력 주파수와 위상을 고정시킨 후에 입력 영상의 데이터를 샘플링하기 시작하고 그 데이터를 변조하고 디밍 데이터를 출력한다.
- [0041] 도 5는 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- [0042] 도 5를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 백라이트 유닛(110), 백라이트 구동회로(111), FPGA(133), 타이밍 콘트롤러(101), 데이터 구동회로(102), 게이트 구동회로(103) 및 호스트 시스템(120)을 구비한다. 액정표시패널(100), 백라이트 유닛(110), 백라이트 구동회로(111), 데이터 구동회로(102), 게이트 구동회로(103) 및 호스트 시스템(120)은 전술한 제1 실시예와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.
- [0043] FPGA(133)는 프로그래밍으로 재설정 가능한 수천 개의 논리 소자들을 포함한 게이트 어레이 로직부, 입력 클럭 주파수를 체배하기 위한 PLL, 데이터 수신부, 데이터 송신부 등을 내장한다. FPGA(133)의 내장 PLL은 액정표시장치의 전원이 턴-온된 후에 소정 시간이 경과된 다음 내부에서 발생하는 FPGA 리셋신호에 의해 초기화된다.
- [0044] FPGA(133)는 로직 전원 전압(Vcc)이 로우 로직 전압으로부터 하이 로직 전압으로 반전된 후부터 설정신호(CONF_DONE)가 하이 로직 전압으로 반전되기 전까지 제1 비휘발성 메모리(134)에 저장된 게이트 어레이 연결 데이터를 다운로드(Download) 받는다. 게이트 어레이 연결 데이터는 FPGA 리셋신호 발생부 구성을 위한 게이트

연결 데이터, 픽셀 데이터 보상 알고리즘을 처리하기 위한 게이트 연결 데이터와, 백라이트 디밍 알고리즘을 처리하기 위한 게이트 연결 데이터를 포함한다. FPGA(133)는 게이트 어레이 연결 정보에 따라 내부 리셋부, 게이트 어레이 로직부 내의 논리소자들을 연결하여 픽셀 데이터 보상 알고리즘 처리부, 백라이트 디밍 알고리즘 처리부, 필터 등의 각종 회로를 구성한다.

[0045] FPGA(133)는 PLL의 출력 주파수와 위상이 고정된 후에 LVDS 인터페이스, TMDS 인터페이스 등의 인터페이스를 통해 호스트 시스템(120)으로부터 디지털 비디오 데이터(RGB)를 샘플링하여 그 데이터를 설정된 알고리즘에 따라 변조한다. 그리고 FPGA(133)는 글로벌 및 로컬 디밍 알고리즘에 따라 입력 영상의 대표값을 산출하고 그 대표값에 따라 백라이트 밝기를 조정하기 위한 디밍 데이터(DIM)를 선택하여 백라이트 구동회로(111)로 출력한다.

[0046] 도 6은 FPGA(133)의 내부 구성을 보여 주는 블록도이다. 도 7은 본 발명의 제2 실시예에 따른 FPGA(133)의 초기화 동작을 보여 주는 도면이다.

[0047] 도 6 및 도 7을 참조하면, FPGA(133)는 데이터 수신부(32), 게이트 어레이 로직부(36), 데이터 송신부(33), PLL 락 리셋클럭 발생부(34), 및 PLL(35)을 구비한다.

[0048] 액정표시장치의 전원이 턴-온되면, 액정표시장치의 파워 온 시퀀스(Power On Sequence)에 따라 로직 전원 전압(Vcc), 리셋신호(Reset), 및 설정신호(CONF_DONE) 신호가 순차적으로 하이 로직 전압으로 변한다. 리셋신호(Reset)는 로직 전원 전압(Vcc)을 지연시키는 RC 지연회로로부터 출력된다.

[0049] 게이트 어레이 로직부(36)의 내부 리셋 발생부는 수직 동기신호(Vsync)를 카운트하여 액정표시장치의 전원이 턴-온된 후 소정 시간이 경과된 시점에 FPGA 리셋신호를 출력한다. 예컨대, 게이트 어레이 로직부(36)는 액정표시장치의 전원이 턴-온된 직후에 입력되는 수직 동기신호(Vsync)를 카운트하여 N(N은 2 이상의 양의 정수) 번째 프레임기간의 시작 또는 종료 시점에 FPGA 리셋신호를 출력한다. 여기서, N이 3이라면 120Hz의 프레임 주파수에서 액정표시장치의 전원이 턴-온된 후 대략 25msec 정도 경과된 시점에 FPGA 리셋신호가 발생될 수 있다. 게이트 어레이 로직부(36)의 내부 리셋 발생부는 PLL(35)의 출력을 체크하여 PLL(35) 출력의 주파수와 위상이 비정상일 때 FPGA 리셋신호(FRST)를 출력할 수도 있다.

[0050] PLL 락 리셋클럭 발생부(34)는 게이트 어레이 로직부(36)로부터 입력되는 FPGA 리셋신호에 응답하여 PLL 락 리셋클럭(PLL LOCK reset)을 PLL(35)에 공급한다. PLL(35)은 PLL 락 리셋 클럭(PLL LOCK reset)에 따라 자신의 출력 주파수와 위상을 고정하여 체배된 주파수로 내부 클럭을 발생한다. PLL(35)로부터 출력되는 클럭 신호는 데이터 수신부(32)와 데이터 송신부(33)에 공급된다. 게이트 어레이 로직부(36)는 데이터 보상 알고리즘에 따라 데이터 수신부(32)로부터 입력된 데이터를 변조하고 변조된 데이터(R'G'B')를 데이터 송신부(33)를 통해 타 이밍 컨트롤러(101)로 전송한다. 그리고 게이트 어레이 로직부(36)는 입력 영상의 프레임 대표값에 따라 백라이트 디밍 데이터(DIM)를 선택하여 백라이트 구동회로(111)에 전송한다.

[0051] 액정표시패널(100)의 패널 특성이나 구동 방법이 달라지면 기존 알고리즘이 수정되거나 신규 알고리즘이 FPGA(130, 133)에 추가될 수 있다. 제1 비휘발성 메모리(132, 134)에 사용자 인터페이스를 통해 롬 라이터(ROM Writer)를 연결하여 제1 비휘발성 메모리(132, 133)에 신규 알고리즘을 위한 게이트 어레이 연결 데이터를 추가하거나 기존 알고리즘 변경을 위하여 게이트 연결 데이터를 수정할 수 있다. 다른 실시예로서, 호스트 시스템(120)과 FPGA(130, 133)를 마스터-슬레이브로 설정하여 호스트 시스템(120)의 제어 하에 FPGA(130, 133)의 게이트 어레이 로직부(31, 36)의 회로 구성을 수정할 수 있다.

[0052] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0053] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0054] 도 2는 도 1에 도시된 FPGA 리셋부의 일 예를 보여 주는 회로도이다.

[0055] 도 3은 도 1에 도시된 FPGA의 내부 구성을 보여 주는 블록도이다.

[0056] 도 4는 FPGA의 초기화 과정을 보여 주는 파형도이다.

[0057] 도 5는 본 발명의 제2 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0058] 도 6은 도 5에 도시된 FPGA 리셋부의 일 예를 보여 주는 회로도이다.

[0059] 도 7은 PLL의 내부 리셋 과정을 보여 주는 도면이다.

[0060] <도면의 주요 부분에 대한 부호의 설명>

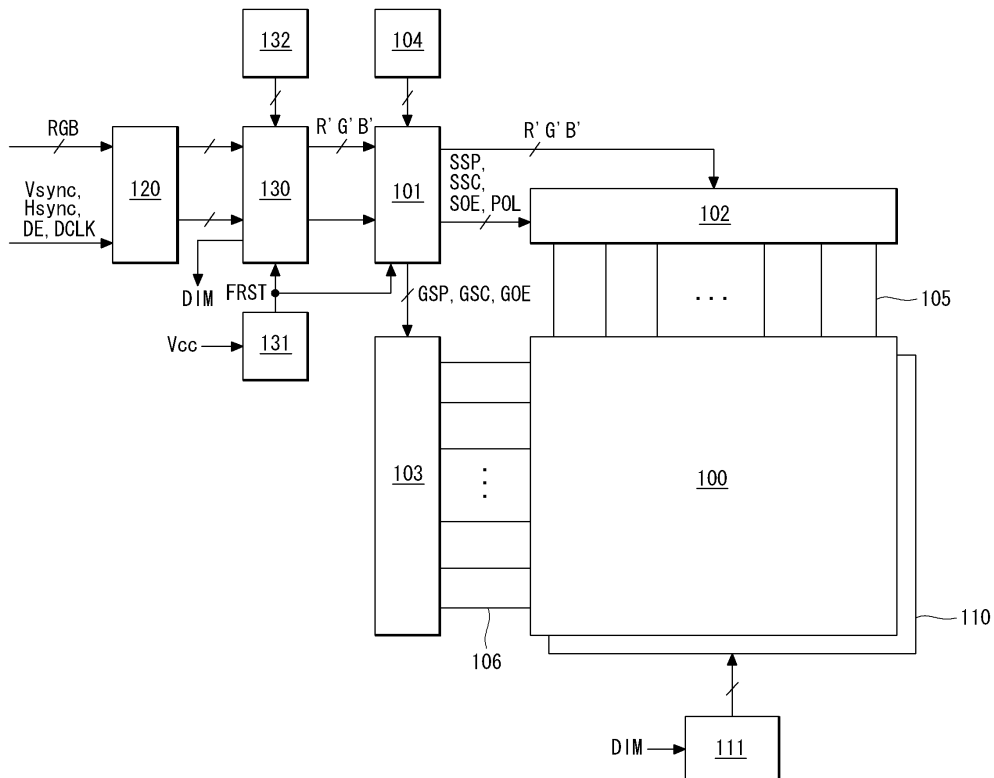
[0061] 100 : 액정표시패널 101 : 타이밍 콘트롤러

[0062] 102 : 데이터 구동회로 103 : 게이트 구동회로

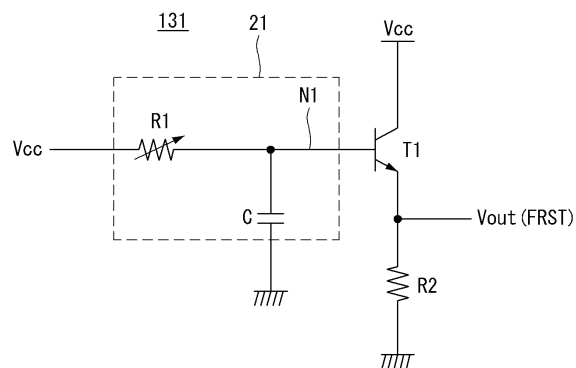
[0063] 120 : 호스트 시스템 130, 133 : FPGA

도면

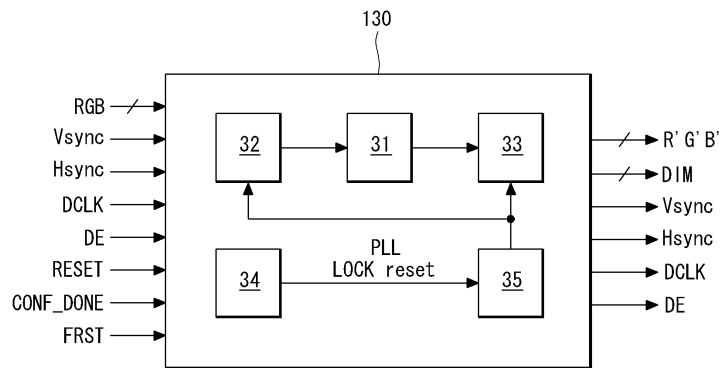
도면1



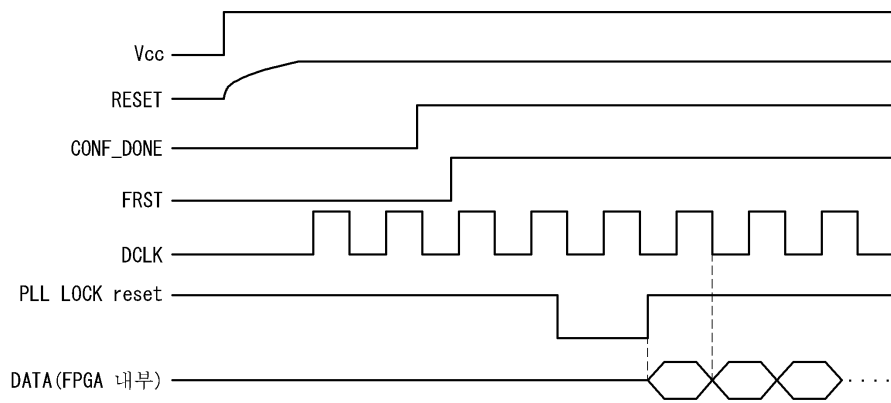
도면2



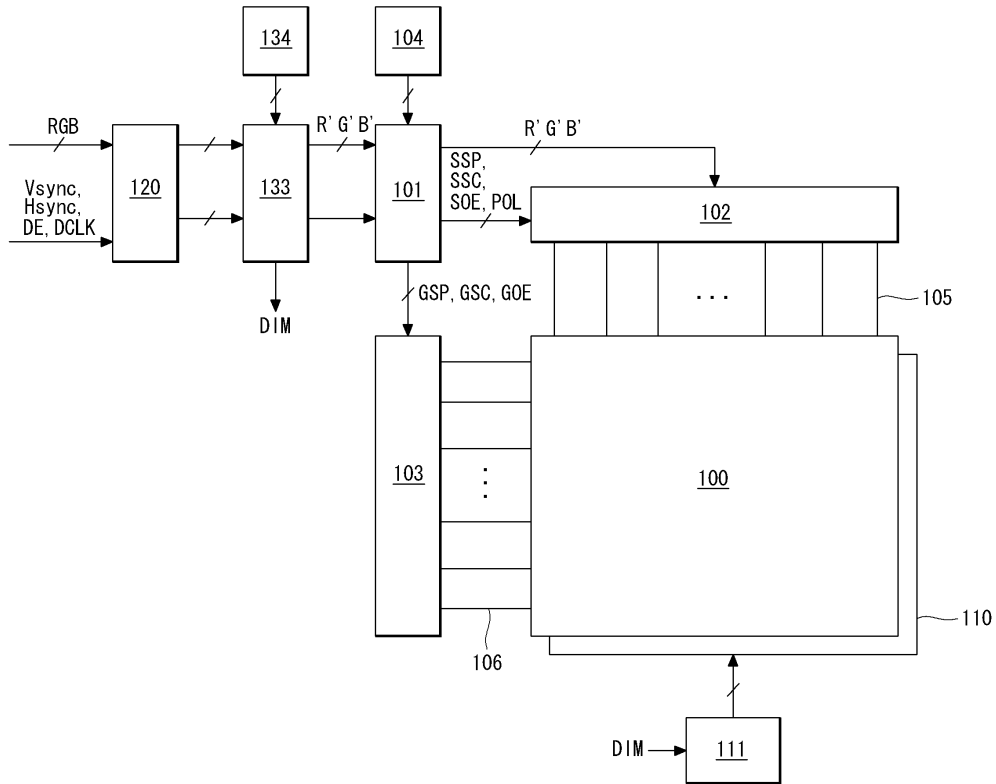
도면3



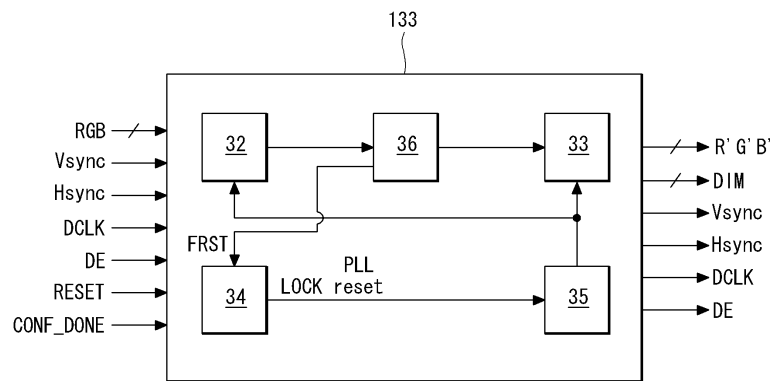
도면4



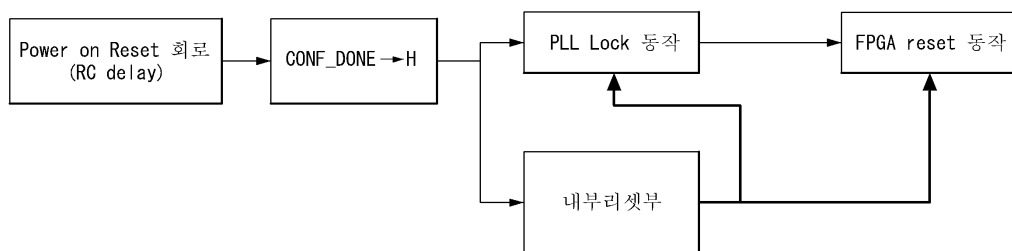
도면5



도면6



도면7



专利名称(译)	标题：液晶显示装置及其初始化方法		
公开(公告)号	KR101279124B1	公开(公告)日	2013-06-26
申请号	KR1020090131973	申请日	2009-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE TAE WOOK 이태욱 KIM MIN KYU 김민규		
发明人	이태욱 김민규		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/2096 G09G3/3406 G09G2320/0626 G09G2330/026		
其他公开文献	KR1020110075505A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其FPGA初始化方法，以稳定应用于液晶显示装置的FPGA的初始化。组成：液晶显示面板与多条数据线（21）交叉，多条栅极线。背光单元检查LCD面板中的光。背光驱动电路根据背光调光数据关闭背光单元的光源。数据驱动电路将数字视频数据转换为数据电压。栅极驱动电路向栅极线提供栅极脉冲。时序控制器控制栅极驱动电路的操作时序。

