



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0052827
(43) 공개일자 2018년05월21일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3648 (2013.01)
G09G 2300/0426 (2013.01)

(21) 출원번호 10-2016-0149788
(22) 출원일자 2016년11월10일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
강규태
경기도 고양시 일산서구 현충로 64 605동 505호
(탄현동, 탄현마을6단지아파트)

정영민
경기도 파주시 금바위로 47 (와동동, 가람마을8단지 동문굿모닝힐) 801동 1002호
(뒷면에 계속)

(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 10 항

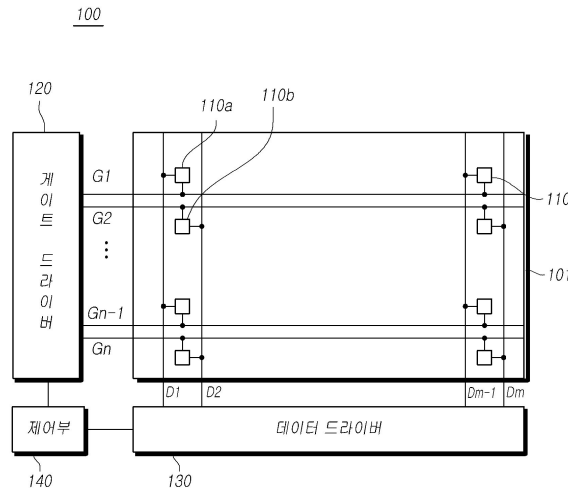
(54) 발명의 명칭 액정 표시장치

(57) 요약

본 실시예에 의하면, 제1게이트라인으로부터 게이트신호를 전달받고 제1데이터라인을 통해 데이터신호에 대응하는 데이터전압을 전달받는 제1화소, 및 제1게이트라인과 인접한 제2게이트라인으로부터 게이트신호를 전달받고 제1데이터라인과 인접한 제2데이터라인을 통해 데이터신호에 대응되는 데이터전압을 전달받는 제2화소를 포함하되, 공통전원을 공급받는 제1공통전극라인이 제1게이트라인과 제2게이트라인 사이에 배치되고, 제1공통전극라인에 제1데이터라인의 상부와 제2데이터라인의 상부 중 적어도 하나의 데이터터라인의 상부에 중첩되도록 배치되는 공통전극이 연결되는 액정표시장치를 제공할 수 있다.

본 실시예들에 의하면, 개구율이 향상되고 고해상도/고주파수 구동에 용이한 액정표시장치를 제공할 수 있다.

대표도



(52) CPC특허분류

G09G 2300/0465 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2330/021 (2013.01)

(72) 발명자

신승환

전라북도 전주시 완산구 물레방아3길 23 (태평동)

서대영

인천광역시 중구 흰바위로 34 1011동 303호 (운서동, 주공아파트10단지)

이소영

서울특별시 마포구 마포대로 115-8 105동 812호 (공덕동, 삼성래미안공덕1차아파트)

명세서

청구범위

청구항 1

제1게이트라인으로부터 게이트신호를 전달받고 제1데이터라인을 통해 데이터신호에 대응하는 데이터전압을 전달받는 제1화소; 및

상기 제1게이트라인과 인접한 제2게이트라인으로부터 게이트신호를 전달받고 상기 제1데이터라인과 인접한 제2데이터라인을 통해 데이터신호에 대응되는 데이터전압을 전달받는 제2화소를 포함하되,

공통전원을 공급받는 제1공통전극라인이 상기 제1게이트라인과 상기 제2게이트라인 사이에 배치되고, 상기 제1공통전극라인에 상기 제1데이터라인의 상부와 상기 제2데이터라인의 상부 중 적어도 하나의 데이터터라인의 상부에 중첩되도록 배치되는 공통전극이 연결되는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1화소는 상기 제1공통전극라인과 분리된 제2공통전극라인과 더 연결되고, 상기 제2화소는 상기 제1공통전극라인과 분리된 제3공통전극라인과 더 연결되는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제1화소는 상기 제1게이트라인을 통해 전달받는 게이트신호에 대응하여 스위칭동작을 하는 스위칭트랜지스터를 포함하며, 상기 스위칭트랜지스터의 소스 전극과 드레인전극이 상기 제1게이트라인과 각각 교차되는 액정표시장치.

청구항 4

제1항에 있어서,

상기 제2게이트라인과 인접한 제3게이트라인으로부터 게이트신호를 전달받고 상기 데이터라인을 통해 데이터신호에 대응되는 데이터전압을 전달받는 제3화소를 더 포함하며,

상기 제2화소와 상기 제3화소 사이의 간격이 상기 제1화소와 상기 제2화소 사이의 간격의 1/8배 보다 작은 액정표시장치.

청구항 5

제1항에 있어서,

상기 제1공통전극라인은 스토리지 캐패시터의 제1전극인 액정 표시장치.

청구항 6

복수의 데이터라인과 복수의 게이트라인이 교차하며 복수의 화소를 포함하는 표시패널;

상기 표시패널에 데이터신호를 인가하는 데이터드라이버; 및

상기 표시패널에 게이트신호를 공급하는 게이트드라이버를 포함하되,

상기 복수의 화소는 각각 발광영역과 회로영역을 포함하며, 상기 복수의 화소 중 제1화소와 제2화소는 상기 회로영역을 공유하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 회로영역은 상기 제1화소에 게이트신호를 공급하는 제1게이트라인과,

상기 제2화소에 게이트신호를 공급하는 제2게이트라인과,

상기 제1게이트라인과 상기 제2게이트라인 사이에 배치되어 상기 제1화소와 상기 제2화소에 공통전원을 공급하는 제1공통전극라인과,

게이트신호에 대응하여 제1데이터라인에 전달되는 데이터신호에 대응하는 데이터전압을 상기 제1화소로 전달하는 제1트랜지스터와, 게이트신호에 대응하여 제2데이터라인에 전달되는 데이터신호에 대응하는 데이터전압을 상기 제2화소로 전달하는 제2트랜지스터를 포함하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 제2게이트라인과 인접한 제3게이트라인으로부터 게이트신호를 전달받고 상기 데이터라인을 통해 데이터신호에 대응되는 데이터전압을 전달받는 제3화소를 더 포함하며,

상기 제2화소와 상기 제3화소 사이의 간격이 상기 제1화소와 상기 제2화소 사이의 간격의 1/8배 보다 작은 액정표시장치.

청구항 9

제7항에 있어서,

상기 제1공통전극라인에 상기 제1데이터라인의 상부와 상기 제2데이터라인의 상부 중 적어도 하나의 데이터터라인의 상부에 중첩되도록 배치되는 공통전극이 연결되는 액정표시장치.

청구항 10

제7항에 있어서,

상기 제1트랜지스터와 상기 제2트랜지스터 중 적어도 하나의 트랜지스터는 소스 전극과 드레인전극이 상기 제1게이트라인 또는 상기 제2게이트라인에 각각 교차되는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 실시예는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치(Liquid Crystal Display)는 액정(Liquid Crystal)을 이용하여 영상을 디스플레이하는 평판표시장치의 하나로써, 얇고 가벼우며 낮은 소비전력을 갖는 장점으로 인해 산업 전반에 걸쳐 광범위하게 사용되고 있다. 액정표시장치는 영상을 표시하기 위한 백라이트 유닛에서 발광하는 빛을 액정의 배열을 변화시켜 빛을 선택적으로 투과하여 영상을 표시할 수 있다.

[0003] 이러한 액정 표시장치는 데이터라인과 게이트라인이 교차하는 영역에 대응하여 복수의 화소가 매트릭스 형태로 배열되며, 각 화소는 데이터신호에 대응하여 액정에 인가되는 신호를 전달하는 회로부를 포함한다. 회로부는 각 화소별로 데이터신호에 대응하여 인가되는 전압에 따라 액정의 배열을 변화시킬 수 있다.

[0004] 하지만, 데이터라인, 게이트라인, 회로부는 금속으로 이루어져 빛이 투과되지 않으며, 빛이 투과되지 않는 영역의 면적이 크면 액정표시장치의 개구율이 떨어져 휘도가 저감될 수 있다. 휘도의 저감을 극복하기 위해 백라이트 유닛에서 휘도가 높은 빛을 방출할 수 있지만, 액정 표시장치의 소비전력이 증가하는 문제점이 발생하게 된다. 따라서, 개구율을 높여 소비전력의 증가 없이 휘도를 높일 수 있는 방안이 필요하다.

[0005] 또한, 최근 경향에 고해상도를 갖고 고주파수로 구동되는 표시장치가 각광받고 있다. 따라서, 고해상도/고주파수 구동이 용이한 액정표시장치가 필요하다. 그리고, 액정표시장치의 데이터라인과 공통전극라인에서 크로스

토크가 발생하여 화질이 저하되는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0006] 본 실시예들의 목적은 개구율이 향상된 액정표시장치를 제공하는 것이다.
- [0007] 본 실시예들의 다른 목적은, 고해상도/고주파수 구동에 용이한 액정표시장치를 제공하는 것이다.
- [0008] 본 실시예들의 다른 목적은, 크로스토크의 발생을 억제할 수 있는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

- [0009] 일측면에서, 본 실시예들은, 제1게이트라인으로부터 게이트신호를 전달받고 제1데이터라인을 통해 데이터신호에 대응하는 데이터전압을 전달받는 제1화소, 및 제1게이트라인과 인접한 제2게이트라인으로부터 게이트신호를 전달받고 제1데이터라인과 인접한 제2데이터라인을 통해 데이터신호에 대응되는 데이터전압을 전달받는 제2화소를 포함하되, 공통전원을 공급받는 제1공통전극라인이 상기 제1게이트라인과 상기 제2게이트라인 사이에 배치되고, 제1공통전극라인에 제1데이터라인의 상부와 제2데이터라인의 상부 중 적어도 하나의 데이터터라인의 상부에 중첩되도록 배치되는 공통전극이 연결되는 액정표시장치를 제공할 수 있다.
- [0010] 다른 일측면에서, 본 실시예들은, 복수의 데이터라인과 복수의 게이트라인이 교차하며 복수의 화소를 포함하는 표시패널, 표시패널에 데이터신호를 인가하는 데이터드라이버, 및, 표시패널에 게이트신호를 공급하는 게이트드라이버를 포함하되, 복수의 화소는 각각 발광영역과 회로영역을 포함하며, 복수의 화소 중 제1화소와 제2화소는 회로영역을 공유하는 액정표시장치를 제공할 수 있다.

발명의 효과

- [0011] 본 실시예들에 의하면, 개구율이 향상된 액정 표시장치를 제공할 수 있다.
- [0012] 또한, 본 실시예들에 의하면, 고해상도/고주파수 구동에 용이한 액정표시장치를 제공할 수 있다.
- [0013] 또한, 본 실시예들에 의하면, 크로스토크의 발생을 억제할 수 있는 액정표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 실시예에 따른 액정 표시장치의 일 실시예를 나타내는 구조도이다.
- 도 2는 도 1에 도시된 표시패널에 채용된 화소의 일 실시예를 나타내는 회로도이다.
- 도 3은 도 1에 도시된 표시패널에 채용된 화소의 제1실시예를 나타내는 평면도이다.
- 도 4는 도 1에 도시된 표시패널에 채용된 화소의 제2실시예를 나타내는 평면도이다.
- 도 5a 도 4에 도시된 회로 영역을 확대한 평면도이다.
- 도 5b는 도 4에 도시된 제3공통전극라인이 배치되어 있는 부분을 확대한 평면도이다.
- 도 6은 도 4에 도시된 I-I'의 단면의 일 실시예를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는

"접속"될 수도 있다고 이해되어야 할 것이다.

- [0017] 도 1은 본 실시예에 따른 액정 표시장치의 일 실시예를 나타내는 구조도이다.
- [0018] 도 1을 참조하면, 액정표시장치(100)는 표시패널(101), 게이트드라이버(120), 데이터드라이버(130)를 포함할 수 있다.
- [0019] 표시패널(101)은 복수의 게이트라인(G1,G2,...,Gn-1,Gn)과 복수의 데이터라인(D1,D2,...,Dm-1,Dm)이 교차하여 정의된 영역에 복수의 화소(110)가 형성될 수 있다. 각 데이터라인(D1,D2,...,Dm-1,Dm)에는 데이터신호에 대응되는 전압이 공급되고 각 게이트라인에는 순차적으로 게이트신호가 공급될 수 있다. 그리고, 게이트라인(G1,G2,...,Gn-1,Gn)으로부터 게이트신호가 공급받은 복수의 화소(110)는 각각 데이터라인(D1,D2,...,Dm-1,Dm)으로부터 데이터신호에 대응하는 데이터전압을 전달받을 수 있다. 복수의 화소(110) 중 제1화소(110a)와 제2화소(110b)는 동일한 열에 배치될 수 있고, 제1화소(110a)는 제1데이터라인(D1)으로부터 데이터신호에 대응하는 데이터전압을 전달받을 수 있고, 제2화소(110b)는 제2데이터라인(D2)으로부터 데이터신호에 대응하는 데이터전압을 전달받을 수 있다. 또한, 제1화소(110a)와 제2화소(110b) 사이에 제1게이트라인(G1)과 제2게이트라인(G2)가 배치될 수 있다.
- [0020] 게이트드라이버(120)는 표시패널(101)의 복수의 게이트라인(G1,G2,...,Gn-1,Gn)과 연결되고, 게이트신호를 순차적으로 복수의 게이트라인(G1,G2,...,Gn-1,Gn)으로 공급할 수 있다. 순차적으로 게이트신호가 전달되는 것은 하나의 게이트라인에 게이트신호가 전달된 후 인접한 다음 게이트라인(G1,G2,...,Gn-1,Gn)에 게이트신호가 전달되는 것을 의미할 수 있다. 여기서, 게이트드라이버(120)는 표시패널(110)과 별도의 구성요소로 도시되어 있지만, 이에 한정되는 것은 아니며 게이트드라이버(120)가 표시패널(110)의 비표시영역(미도시)에 형성될 수 있다. 게이트드라이버(120)는 표시패널(110)의 비표시영역에 GIP(Gate In Panel)회로가 배치되는 것일 수 있다.
- [0021] 데이터드라이버(130)는 표시패널(110)의 복수의 데이터라인(D1,D2,...,Dm-1,Dm)과 연결되어 데이터신호에 대응되는 데이터전압을 복수의 데이터라인(D1,D2,...,Dm-1,Dm)으로 공급할 수 있다. 데이터드라이버(130)는 데이터신호를 병렬로 출력할 수 있다. 여기서, 데이터드라이버(130)는 하나의 구성요소인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 표시패널(110)의 해상도에 대응하여 복수의 구성요소로 이루어질 수 있다.
- [0022] 또한, 액정 표시장치(100)는 제어부(140)를 더 포함할 수 있다. 제어부(140)는 클럭신호, 게이트드라이버제어신호, 데이터드라이버제어신호, 영상신호를 게이트드라이버(120) 및/또는 데이터드라이버(130)에 전달하여 표시패널(110)이 영상을 표시할 수 있도록 구동할 수 있다.
- [0023] 도 2는 도 1에 도시된 표시패널에 채용된 화소의 일 실시예를 나타내는 회로도이다.
- [0024] 도 2를 참조하면, 표시패널(210)은 제1게이트라인(Sj)과 제2게이트라인(Sj+1) 사이에 제1공통전원라인(Vcoma)이 배치될 수 있다. 그리고, 제1화소(201a)는 제1게이트라인(Sj)과 제1공통전원라인(Vcoma) 사이에 배치되고 제2화소(201b)는 제1공통전원라인(Vcoma)과 제2게이트라인(Sj+1) 사이에 배치될 수 있다. 제1게이트라인(Sj)과 제2게이트라인(Sj+1)은 순차적으로 게이트신호를 전달받고 제1공통전원라인(Vcoma)은 제1화소(201a)와 제2화소(201b)에 공통전원을 공급할 수 있다. 그리고, 제1화소(201a)는 제1데이터라인(Dk)을 통해 데이터신호에 대응하는 전압을 전달받고 제2화소(201b)는 제2데이터라인(Dk+1)을 통해 데이터신호에 대응하는 전압을 전달받을 수 있다.
- [0025] 또한, 제1화소(201a)는 제2공통전원라인(Vcomb1)과 더 연결되고 제2화소(201b)는 제3공통전원라인(Vcomb2)과 더 연결될 수 있다. 제1화소(201a)와 제2화소(201b)는 공유하는 제1공통전원라인(Vcoma)이 스토리지 캐패시터(Cst1,Cst2)의 일 전극이 되어 데이터신호에 대응되는 데이터신호의 전압을 저장할 수 있다. 또한, 제1화소(201a)는 제2공통전원라인(Vcomb1)이 제1화소(201a)에 대응하는 액정셀(LC1)에 연결되고 제2화소(201b)는 제3공통전원라인(Vcomb2)이 제2화소(201b)에 대응하는 액정셀(LC2)에 연결되어 각 액정셀(LC1,LC2)들에 공통전원을 공급할 수 있다.
- [0026] 상기와 같은 연결에 의해, 제1화소(201a)와 제2화소(201b)는 제1공통전원라인(Vcom1)을 공유할 수 있다. 따라서, 제1공통전원라인(Vcom1)이 제1화소(201a)와 제2화소(201b)에 각각 연결되어 있는 것보다 제1공통전원라인(Vcoma)이 표시패널(210)에서 차지하는 면적을 줄일 수 있어 표시패널(210)의 개구율이 높아질 수 있다. 그리고, 제1공통전원라인(Vcoma)을 공유하도록 하여 표시패널(210)의 개구율이 높아지기 때문에 개구율 향상을 위한 별도의 추가공정이 필요하지 않아 표시장치의 제조비용을 절감할 수 있다. 또한, 스토리지 캐패시터(Cst1,Cst2)가 직렬로 연결되어 데이터신호에 대응하는 데이터전압의 충방전이 빠르게 진행될 수 있어 표시패널

이 고주파수로 고속구동하는 것이 용이할 수 있다.

- [0027] 또한, 제1화소(201a)는 제1게이트라인(Sj)을 통해 전달되는 게이트신호에 대응하여 제1데이터라인(Dk)을 통해 전달되는 데이터신호에 대응되는 데이터전압을 전달받고 제2화소(201b)는 제2게이트라인(Sj+1)을 통해 전달되는 게이트신호에 대응하여 제2데이터라인(Dk+1)을 통해 전달되는 데이터신호에 대응되는 데이터전압을 전달받을 수 있다.
- [0028] 도 3은 도 1에 도시된 표시패널에 채용된 화소의 제1실시예를 나타내는 평면도이다.
- [0029] 도 3을 참조하면, 표시패널(301)은 제1화소(310a)와 제2화소(310b)를 포함할 수 있다. 제1데이터라인(Dk)은 제1화소(310a)와 제2화소(310b)의 왼쪽에 배치되고 제2데이터라인(Dk+1)은 제1화소(310a)와 제2화소(310b)의 오른쪽에 배치될 수 있다. 제1데이터라인(Dk)은 제1화소(310a)와 제2화소(310b)를 포함하는 화소열에 데이터신호에 대응되는 데이터전압을 공급하고 제2데이터라인(Dk+1)은 다음 화소열(미도시)에 데이터신호에 대응되는 데이터전압을 공급할 수 있다. 또한, 제1화소(310a)는 상부에 발광영역(311a)이 배치되고 하부에 발광영역(311a)을 구동하는 회로영역(340a)이 배치될 수 있다. 제2화소(310b)는 상부에 발광영역(311a)이 배치되고 하부에 발광영역(311b)을 구동하는 회로영역(340b)이 배치될 수 있다.
- [0030] 제1화소(310a)와 제2화소(310b)의 발광영역(311a,311b)에는 각각 화소전극(313a,313b)과 공통전극(312a,312b)이 배치될 수 있다. 화소전극(313a,313b)과 공통전극(312a,312b)은 발광영역(311a,311b) 내에서 동일한 레이어 상에 일정한 간격을 갖고 배치될 수 있고 화소전극(313a,313b)에 인가되는 전압에 대응하여 제1화소(310a)와 제2화소(310b)에 각각 대응되는 액정셀(330)에 인가되는 전압이 결정될 수 있다. 또한, 제1화소(310a)의 회로영역(340a)에는 제1데이터라인(Dk) 및 제2데이터라인(Dk+1)과 각각 교차하는 제1게이트라인(Sj)과 공통전극라인(Vcom)이 배치되고 제2화소(310b)의 회로영역(340b)에는 제1데이터라인(Dk) 및 제2데이터라인(Dk+1)과 교차하는 제2게이트라인(Sj+1)과 공통전극라인(Vcom)이 배치될 수 있다. 또한, 각 화소(310a,310b)의 회로영역(312a,312b)에는 각각 게이트라인(Sj,Sj+1)으로 전달되는 게이트신호에 대응하여 턴온되는 스위칭트랜지스터와 데이터전압을 유지하는 스토리지 캐패시터가 배치될 수 있다.
- [0031] 따라서, 제1화소(310a)와 제2화소(310b)는 각각 발광영역(311a,311b)과, 발광영역(311a,311b)에 대응하는 회로영역(312a,312b)을 구비할 수 있다. 또한, 제1데이터라인(Dk)과 제2데이터라인(Dk+1)의 상부에는 공통전극(320)이 배치될 수 있다. 공통전극(320)에 의해 데이터라인(Dk,Dk+1)을 차폐할 수 있다.
- [0032] 도 4는 도 1에 도시된 표시패널에 채용된 화소의 제2실시예를 나타내는 평면도이다.
- [0033] 도 4를 참조하면, 표시패널(401)은 제1화소(410a)와 제2화소(410b)를 포함할 수 있다. 제1데이터라인(Dk)은 제1화소(410a)와 제2화소(410b)의 왼쪽에 배치되고 제2데이터라인(Dk+1)은 제1화소(410a)와 제2화소(410b)의 오른쪽에 배치될 수 있다. 제1데이터라인(Dk)은 제1화소(410a)에 데이터신호에 대응되는 데이터전압을 공급하고 제2데이터라인(Dk+1)은 제2화소(410b)에 데이터신호에 대응되는 데이터전압을 공급할 수 있다. 또한, 제1화소(410a)의 발광영역과 제2화소(410b)의 발광영역(411a,411b) 사이에 회로영역(440)이 배치될 수 있다. 또한, 제1화소(410a)와 제2화소(410b)는 회로영역(440)을 공유할 수 있다. 회로영역을 공유함으로써, 표시패널(101)에 배치되는 회로영역의 수와 면적을 줄일 수 있고, 회로영역의 수와 면적이 줄어들므로써 표시패널(101)의 개구율을 높일 수 있다.
- [0034] 제1화소(410a)와 제2화소(410b)의 발광영역(411a,411b)에는 각각 화소전극(413a,413b)과 공통전극(412a,412b)이 배치될 수 있다. 화소전극(413a,413b)과 공통전극(412a,412b)은 발광영역 내에서 동일한 레이어 상에 일정한 간격을 갖고 배치될 수 있고 화소전극(413a,413b)에 인가되는 전압에 대응하여 제1화소(410a)와 제2화소(410b)에 각각 대응되는 액정셀에 인가되는 전압이 결정될 수 있다. 또한, 제1화소(410a)와 제2화소(410b)의 발광영역(411a,411b) 사이에 배치되어 있는 회로영역(440)에는 제1화소(410a)에 대응하는 제1게이트라인(Sj)과 제2화소(410b)에 대응하는 제2게이트라인(Sj+1)과 제1공통전극라인(Vcoma)이 각각 제1데이터라인(Dk) 및 제2데이터라인(Dk+1)과 교차하도록 배치될 수 있다. 또한, 제1공통전극라인(Vcoma)은 제1게이트라인(Sj)과 제2게이트라인(Sj+1) 사이에 배치될 수 있다.
- [0035] 또한, 제1화소(410a)는 발광영역(411a)의 상부에 제2공통전극라인(Vcomb1)이 연결되고 제2화소(410b)는 발광영역(411b)의 하부에 제3공통전극라인(Vcomb2)이 더 연결될 수 있다. 제2공통전극라인(Vcomb2)은 제1화소(410a)의 발광영역(411a)내의 공통전극(412a)과 연결될 수 있고 제3공통전극라인(Vcomb2)은 제2화소(410b)의 발광영역(411b) 내의 공통전극(412b)과 연결될 수 있다.
- [0036] 또한, 회로영역(440)은 빛이 발광되지 않는 영역인데, 도 3에 도시된 것과 같이 각 회로영역(340a,340b)의 폭이

동일하면 눈에서 인식하지 못하게 될 수 있다. 하지만, 도 4에 도시되어 있는 회로영역(440)과 제2공통전극라인(Vcomb1), 제3공통전극라인(Vcomb2) 역시 빛이 발광되지 않는 영역인데, 두께가 다르면 눈에 인식될 수 있다. 하지만, 회로영역(440)의 폭(B)과 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)의 폭(C)의 차이가 매우 크면 눈에 인식되지 않게 될 수 있다. 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)의 폭(C)이 회로영역(440) 폭(B)이 보다 적어도 1/8배 의 두께를 갖게 되면 차이가 매우 커 눈에 인식되지 않을 수 있다. 또한, 회로영역(440)의 폭(B)과, 제3공통전극라인(Vcomb2)의 폭(C)은 각각 제1화소(410a)와 제2화소(410b) 사이의 간격과 제2화소(410b)와 제3화소(미도시)의 간격이라고 칭할 수 있다. 제2화소(410b)와 제3화소의 간격이 제1화소(410a)와 제2화소(410b) 사이의 간격보다 1/8배 정도 더 얇을 수 있다. 제3화소는 제2화소(410b) 아래에 배치되는 화소일 수 있고, 제3게이트라인(미도시)를 통해 제2게이트라인(Sj+1)로 전달되는 게이트 신호 다음에 발생하는 게이트신호를 전달받아 데이터신호에 대응되는 데이터전압을 전달받을 수 있다. 또한, 바람직하게는 제2화소(410b)와 제3화소의 간격이 제1화소(410a)와 제2화소(410b) 사이의 간격보다 1/10배 더 얇게 할 수 있다.

[0037] 도 4에 도시된 두 개의 화소들은 도 3에 도시된 두 개의 화소(310a,310b)들과 다르게 하나의 회로영역에 배치되어 있는 하나의 제1공통전극라인(Vcoma)을 공유하고 있다. 또한, 도 4에 도시된 두 개의 화소(410a,410b)들은 도 3에 도시된 두 개의 화소들과 달리 하나의 회로영역(440)에 제1게이트라인(Sj)과 제2게이트라인(Sj+1)이 배치된다. 따라서, 도 4에 도시된 회로영역(440)의 폭(B)은 도 3에 도시되어 있는 각 회로영역(340a,340b)의 폭의 합(2A)보다 더 얇게 구현될 수 있다.

[0038] 또한, 도 4에 도시되어 있는 제1화소(410a)와 제2화소(410b)는 각각 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)를 더 필요로 하지만, 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)의 두께를 얇게 함으로써, 도 4에 도시된 회로영역(440)의 폭(B)과 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)의 폭(C)의 합(B+2C)은 도 3에 도시되어 있는 각 회로영역(340a,340b)의 폭의 합(2A)보다 더 얇게 구현될 수 있다. 따라서, 표시패널(401)의 개구율을 높일 수 있다.

[0039] 또한, 제1데이터라인(Dk)와 제2데이터라인(Dk+1)의 상부에는 공통전극(420)이 배치될 수 있다. 공통전극(420)에 의해 데이터라인(Dk,Dk+1)을 차폐할 수 있다. 데이터라인(Dk,Dk+1)을 차폐하는 공통전극(420)은 제1화소(410a)와 제2화소(410b)가 공유하는 제1공통전극라인(Vcoma)으로부터 공통전원을 공급받고, 액정셀은 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)으로부터 공통전원을 공급받을 수 있다. 즉, 액정셀은 제1공통전극라인(Vcoma)과 분리된 제2공통전극라인(Vcomb1) 또는 제3공통전극라인(Vcomb2)으로부터 공통전원을 공급받기 때문에 데이터라인(Dk,Dk+1)을 통해 전달되는 데이터전압과 공통전원 간의 크로스토크의 발생을 억제할 수 있다.

[0040] 도 5a는 도 4에 도시된 회로 영역을 확대한 평면도이다.

[0041] 도 5a를 참조하면, 제1게이트라인(Sj)과 제2게이트라인이 일정한 간격을 갖고 배치되고, 제1게이트라인(Sj)과 제2게이트라인 사이에 제1공통전극라인(Vcoma)이 배치될 수 있다.

[0042] 그리고, 제1게이트라인(Sj)의 상부에 제1데이터라인(Dk)과 연결되어 있는 소스전극(415a)과, 드레인전극(414a)이 배치될 수 있다. 소스전극(415a)과 드레인전극(414a)과 제1게이트라인(Sj)에 의해 데이터신호를 제1화소(410a)에 인가하는 스위칭트랜지스터가 형성될 수 있다. 또한, 소스전극(415a)와 드레인전극(414a)은 각각 제1게이트라인(Sj)과 각각 교차될 수 있다. 즉, 소스 전극(415a)이 제1게이트라인(Sj) 상에서 제1컨택홀(Ch1a)에 접촉하여 제1게이트라인(Sj)와 교차하고, 드레인전극(414a)는 제1컨택홀(ch1a)로부터 픽셀방향으로 뻗어 제1게이트라인(Sj)과 교차하게 될 수 있다.

[0043] 또한, 제2게이트라인(Sj+1)의 상부에 제2데이터라인(Dk+1)과 연결되어 있는 소스전극(415b)과, 드레인전극(414b)이 배치될 수 있다. 소스전극(415b)과 드레인전극(414b)과 제2게이트라인(Sj+1)에 의해 데이터신호를 제2화소(410b)에 인가하는 스위칭트랜지스터가 형성될 수 있다. 또한, 소스전극(415b)와 드레인전극(414b)은 각각 제2게이트라인(Sj+1)과 각각 교차될 수 있다. 즉, 소스 전극(415b)이 제2게이트라인(Sj+1) 상에서 제2컨택홀(Ch1b)에 접촉하여 제2게이트라인(Sj+1)와 교차하고, 드레인전극(414b)는 제2컨택홀(ch1b)로부터 픽셀방향으로 뻗어 제2게이트라인(Sj+1)과 교차하게 될 수 있다.

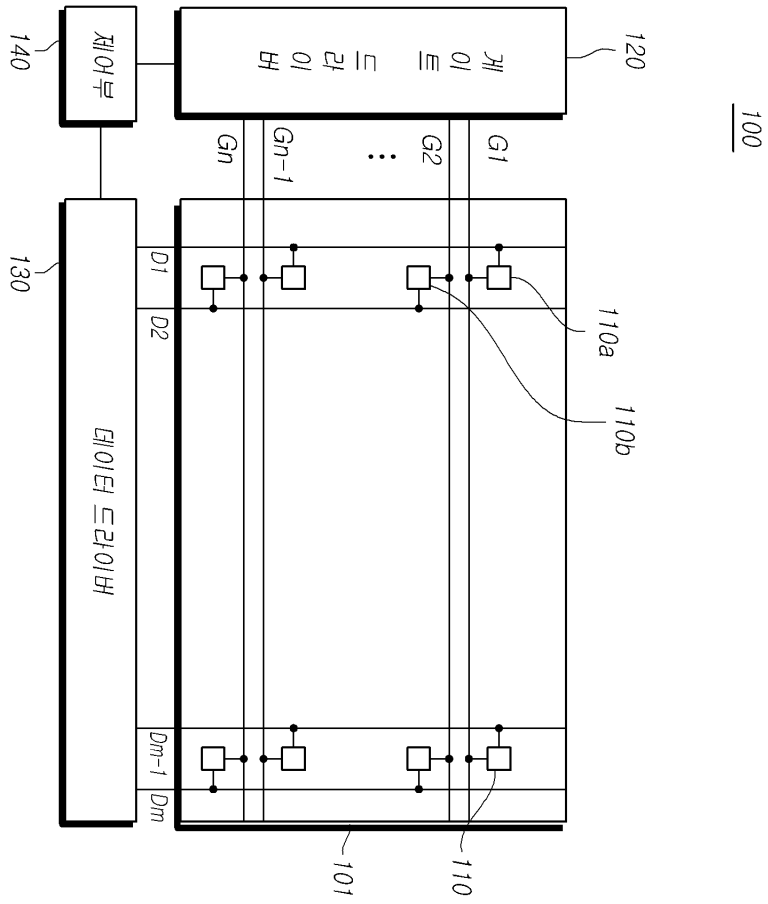
[0044] 이렇게 소스전극(415a,415b)와 드레인전극(414a,414b)은 각각 제1게이트라인(Sj)과 제2게이트라인(Sj+1)에 각각 교차하게 함으로써, 소스전극(415a,415b)와 드레인전극(414a,414b)이 자신과 대응하는 게이트라인외의 다른 게이트라인과 교차하지 않아 게이트신호의 왜곡이 발생하지 않게 될 수 있다.

- [0045] 그리고, 제1공통전극라인(Vcoma)은 제3컨택홀(Ch2)를 통해 제1데이터라인(Dk)와 제2데이터라인(Dk)의 상부에 형성되어 있는 공통전극(420)과 연결될 수 있다. 또한, 제1컨택홀(Ch1a)과 제2컨택홀(Ch1b)는 제1공통전극라인(Vcoma)과 연결될 수 있어 화소전극(413a, 413b)는 제1공통전극라인(Vcoma)과 연결될 수 있다. 따라서, 제1공통전극라인(Vcoma)은 스토리지 캐패시터의 제2전극이 될 수 있어 제1화소(410a)와 제2화소(410b)의 스토리지캐패시터는 도 2에 도시되어 있는 것과 같이 직렬로 연결되어 충전전시간을 줄일 수 있다. 이로써, 고속 구동을 용이하게 수행할 수 있다.
- [0046] 도 5b는 도 4에 도시된 제3공통전극라인이 배치되어 있는 부분을 확대한 평면도이다.
- [0047] 도 5b 참조하면, 제3공통전극라인(Vcomb2)은 제4컨택홀(ch3b)를 통해 액정(430)에 공통전원을 인가하는 공통전극라인(412b)와 연결되어 횡전계방식으로 전원을 인가할 수 있다.
- [0048] 도 6은 도 4에 도시된 I-I'의 단면의 일 실시예를 나타내는 단면도이다.
- [0049] 도 6을 참조하면, 기판(600) 상에 공통전극(Vcom)이 배치될 수 있다. 공통전극(Vcom)이 배치될 때, 도 2의 게이트라인(Sj, Sj+1)과 제1공통전극라인(Vcom)이 배치될 수 있다. 그리고, 그 상부에 제1절연막(601)이 배치될 수 있다. 제1절연막(601) 상에 데이터라인(Dk, Dk+1)이 배치될 수 있다. 그리고, 그 상부에 제2절연막(602)가 배치될 수 있다. 그리고, 제2절연막(602)의 상부에 공통전극라인(412a)과 화소전극라인(412a)가 배치될 수 있다. 즉, 공통전극라인(412a)과 화소전극라인(412a)이 횡방향으로 배열될 수 있다. 또한, 제2절연막(602) 상부에 공통전극(420)이 배치되어 데이터라인(Dk, Dk+1)을 차폐할 수 있다. 이때, 공통전극(420)과 공통전극라인(412a)은 전기적으로 연결되어 있지 않아 공통전극라인(412a)과 데이터라인 Dk, Dk+1)에 크로스토크가 발생하는 것을 억제할 수 있다.
- [0050] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

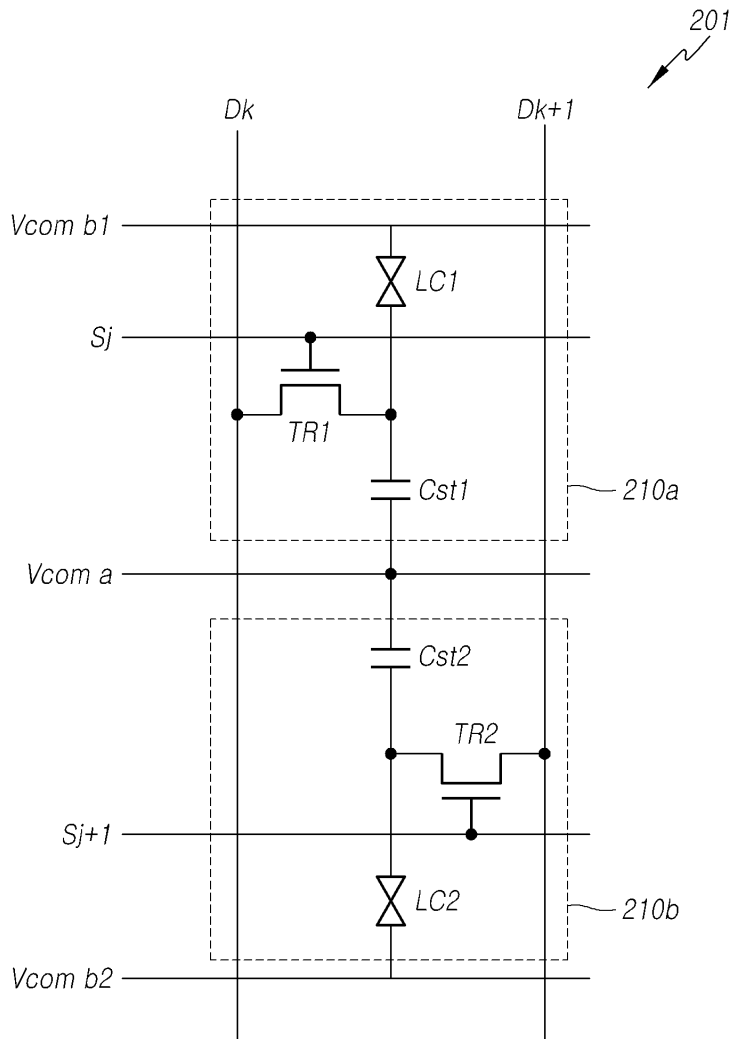
부호의 설명

- [0051] 100: 액정표시장치
- 101: 표시패널
- 110: 화소
- 120: 데이터드라이버
- 130: 게이트드라이버
- 140: 제어부

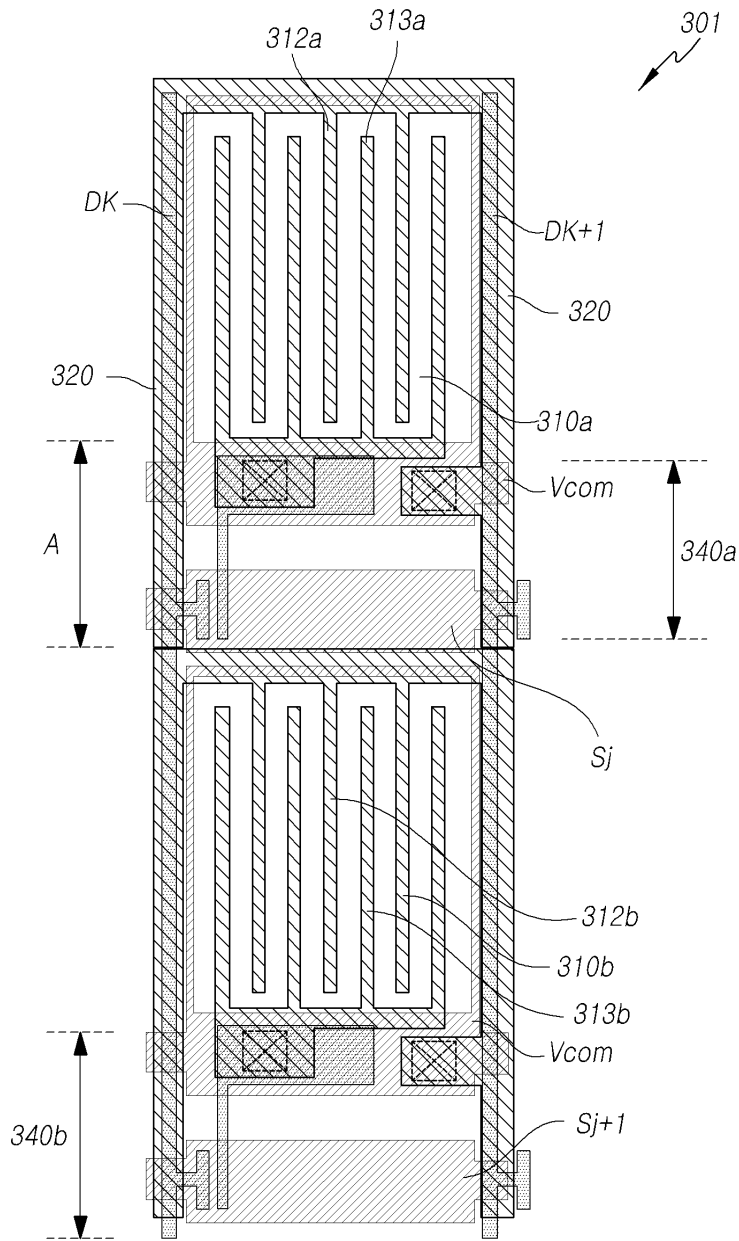
도면
도면1



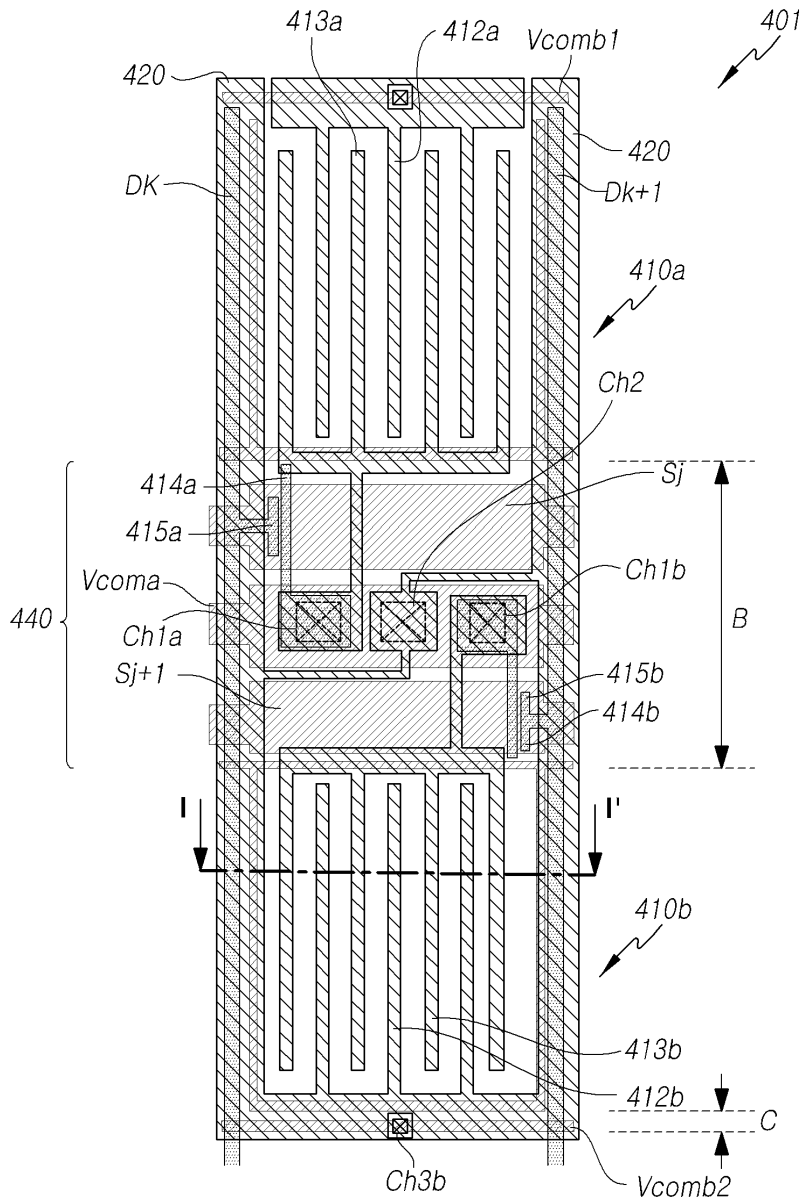
도면2



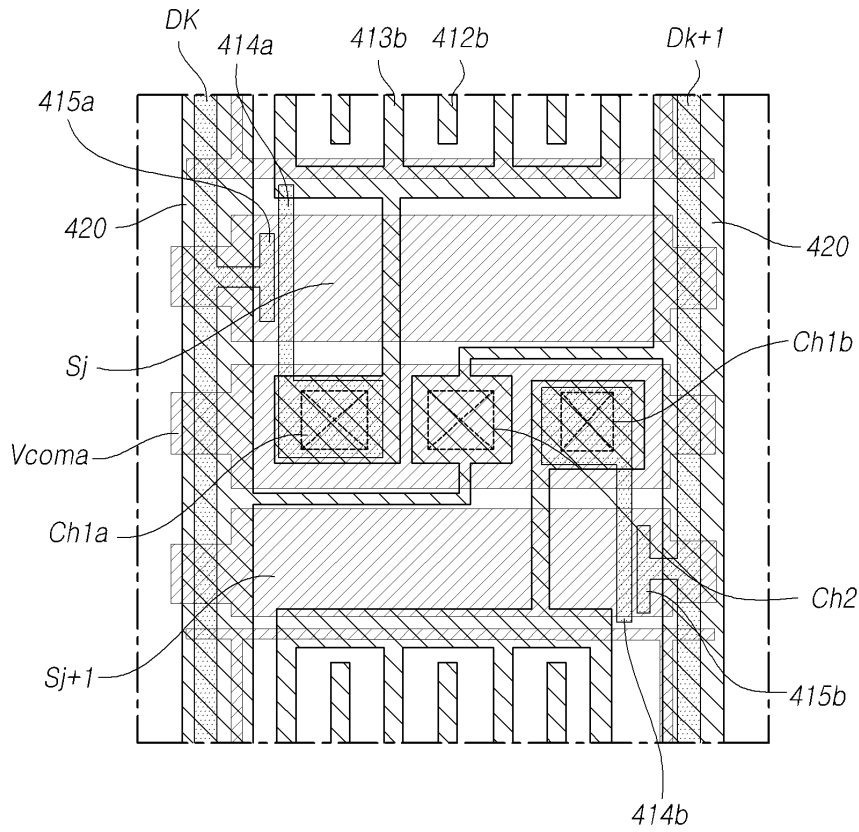
도면3



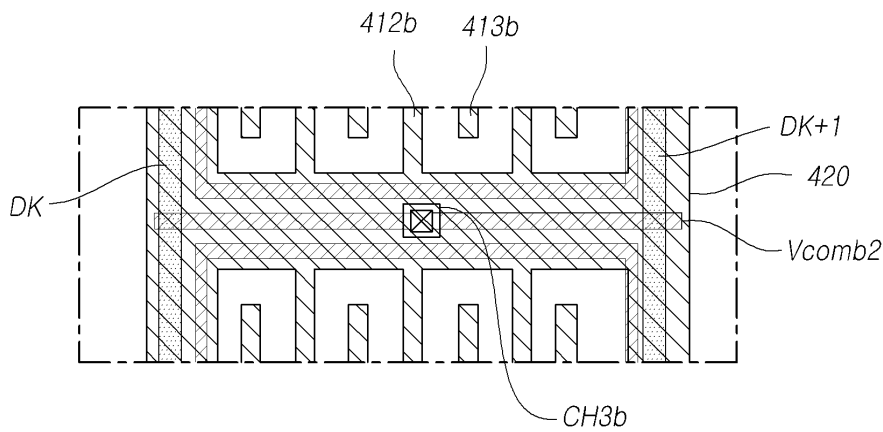
도면4



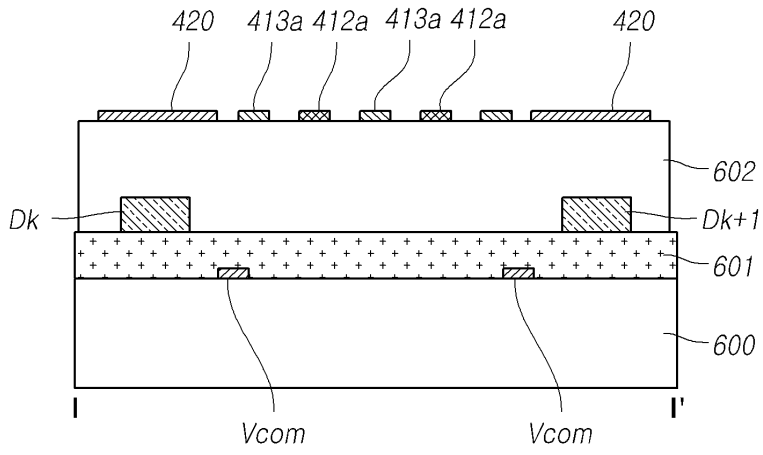
도면5a



도면5b



도면6



专利名称(译)	液晶显示器		
公开(公告)号	KR1020180052827A	公开(公告)日	2018-05-21
申请号	KR1020160149788	申请日	2016-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG GYU TAE 강규태 JEONG YOUNG MIN 정영민 SHIN SEUNG HWAN 신승환 SEO DAE YOUNG 서대영 LEE SO YOUNG 이소영		
发明人	강규태 정영민 신승환 서대영 이소영		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0465 G09G2320/0209 G09G2330/021 G09G2300/0426		

摘要(译)

根据该实施例，第一像素从第一栅极线接收栅极信号，并通过第一数据线接收与数据信号对应的数据电压，第二像素从与第一栅极线相邻的第二栅极线接收栅极信号。第二像素通过与第一数据线相邻的第二数据线接收对应于数据信号的数据电压，其中第一公共电极线被提供有公共电源，并且，布置在栅极线之间并且重叠在第一公共电极线上以便与第一数据线的上部和第二数据线的上部中的至少一个的数据线重叠的公共电极被连接我能做到根据这些实施例，可以提供一种具有改进的孔径比并且便于高分辨率/高频驱动的液晶显示装置。

