



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0113524
(43) 공개일자 2017년10월12일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G02F 1/1362</i> (2006.01) <i>G02F 1/1333</i> (2006.01)
 <i>G02F 1/1343</i> (2006.01) <i>G02F 1/1368</i> (2006.01)
 <i>G06F 3/041</i> (2006.01) <i>G06F 3/044</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G02F 1/136286</i> (2013.01)
 <i>G02F 1/13338</i> (2013.01)</p> <p>(21) 출원번호 10-2017-0122570(분할)
 (22) 출원일자 2017년09월22일
 심사청구일자 2017년09월22일</p> <p>(62) 원출원 특허 10-2016-0047024
 원출원일자 2016년04월18일
 심사청구일자 2016년11월23일</p> | <p>(71) 출원인
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
 신희선
 경기도 파주시 월롱면 엘지로 245
 이석우
 경기도 파주시 월롱면 엘지로 245
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인천문</p> |
|--|--|

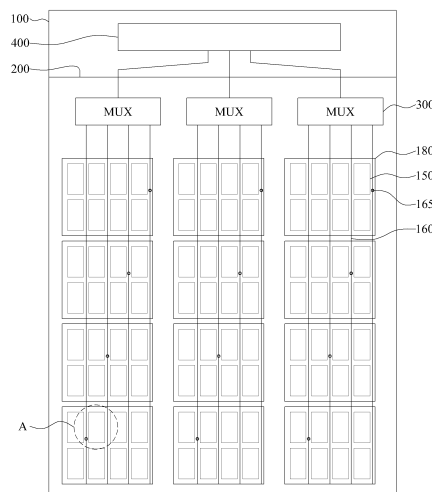
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 터치 스크린 일체형 표시장치

(57) 요약

본 발명은 사용자의 터치를 센싱하기 위한 센싱 전극을 액정 패널 내부에 내장함으로써, 종래와 같이 액정 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소될 수 있는 표시장치 및 그 제조방법에 관한 것이다. 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 기관, 기관 상에 배치된 제1 공통 전극 블록 및 제2 공통 전극 블록, 제1 공통 전극 블록과 기관의 액티브 영역에서 전기적으로 연결된 제1 센싱 라인, 제2 공통 전극 블록과 기관의 액티브 영역에서 전기적으로 연결된 제2 센싱 라인을 구비하고, 제1 센싱 라인은 제1 공통 전극 블록과 중첩되며, 제2 센싱 라인은 제1 공통 전극 블록 및 제2 공통 전극 블록과 중첩되고, 제1 센싱 라인은 제2 센싱 라인과 중첩되지 않으며, 제2 공통 전극 블록은 기관의 액티브 영역에서 제1 센싱 라인과 절연된다.

대표도 - 도2a



(52) CPC특허분류

G02F 1/1343 (2013.01)

G02F 1/136227 (2013.01)

G02F 1/1368 (2013.01)

G06F 3/041 (2013.01)

G06F 3/0412 (2013.01)

G06F 3/044 (2013.01)

G06F 2203/04103 (2013.01)

G06F 2203/04111 (2013.01)

(72) 발명자

유재성

경기도 파주시 월롱면 엘지로 245

김주한

경기도 파주시 월롱면 엘지로 245

이선정

경기도 파주시 월롱면 엘지로 245

송인혁

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 제1 공통 전극 블록 및 제2 공통 전극 블록;

상기 제1 공통 전극 블록과 상기 기관의 액티브 영역에서 전기적으로 연결된 제1 센싱 라인; 및

상기 제2 공통 전극 블록과 상기 기관의 액티브 영역에서 전기적으로 연결된 제2 센싱 라인을 구비하고,

상기 제1 센싱 라인은 상기 제1 공통 전극 블록과 중첩되며,

상기 제2 센싱 라인은 상기 제1 공통 전극 블록 및 상기 제2 공통 전극 블록과 중첩되고,

상기 제1 센싱 라인은 상기 제2 센싱 라인과 중첩되지 않으며,

상기 제2 공통 전극 블록은 상기 기관의 액티브 영역에서 상기 제1 센싱 라인과 절연된 터치 스크린 일체형 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 센싱 라인 및 상기 제2 센싱 라인과 전기적으로 연결된 센싱 회로를 더 구비하는 터치 스크린 일체형 표시 장치.

청구항 3

제 2 항에 있어서,

상기 제1 공통 전극 블록은 상기 제2 공통 전극 블록보다 상기 센싱 회로에 더 가까이 배치된 터치 스크린 일체형 표시 장치.

청구항 4

제 1 항에 있어서,

상기 기관 상에 배치되는 복수의 화소들을 더욱 포함하고,

상기 제1 공통 전극 블록과 대응되는 상기 화소의 개수는 상기 제2 공통 전극 블록과 대응되는 상기 화소의 개수와 동일한 터치 스크린 일체형 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제1 공통 전극 블록 및 상기 제2 공통 전극 블록은 각각 소정의 패턴으로 형성되고,

상기 제1 공통 전극 블록과 상기 제2 공통 전극 블록은 서로 동일한 형태로 형성되는 터치 스크린 일체형 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제1 공통 전극 블록과 상기 제2 공통 전극 블록은 서로 동일한 크기로 형성되는 터치 스크린 일체형 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제1 공통 전극 블록과 상기 제2 공통 전극 블록은 제1 방향으로 배열되고, 상기 제1 센싱 라인과 상기 제2 센싱 라인은 상기 제1 방향으로 길게 연장된 터치 스크린 일체형 표시장치.

청구항 8

제 1 항에 있어서,

상기 기관 상에 배치된 제3 공통 전극 블록 및 제4 공통 전극 블록;

상기 제3 공통 전극 블록과 상기 기관의 액티브 영역에서 전기적으로 연결된 제3 센싱 라인; 및

상기 제4 공통 전극 블록과 상기 기관의 액티브 영역에서 전기적으로 연결된 제4 센싱 라인을 더 구비하고,

상기 제1 공통 전극 블록과 상기 제3 공통 전극 블록은 상기 제1 방향과 교차하는 제2 방향으로 배열되며,

상기 제2 공통 전극 블록과 상기 제4 공통 전극 블록은 상기 제2 방향으로 배열되는 터치 스크린 일체형 표시장치.

청구항 9

제 8 항에 있어서,

상기 제3 센싱 라인은 상기 제3 공통 전극 블록과 중첩되며,

상기 제4 센싱 라인은 상기 제3 공통 전극 블록 및 상기 제4 공통 전극 블록과 중첩되고,

상기 제1 내지 제4 센싱 라인들은 서로 중첩되지 않는 터치 스크린 일체형 표시장치.

청구항 10

제 9 항에 있어서,

상기 제4 공통 전극 블록은 상기 기관의 액티브 영역에서 상기 제3 센싱 라인과 절연된 터치 스크린 일체형 표시장치.

청구항 11

제 10 항에 있어서,

상기 제3 공통 전극 블록 및 상기 제4 공통 전극 블록은 상기 제1 센싱 라인 및 상기 제2 센싱 라인과 중첩되지 않으며,

상기 제1 공통 전극 블록과 상기 제2 공통 전극 블록은 상기 제3 센싱 라인 및 상기 제4 센싱 라인과 중첩되지 않는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 12

기관;

상기 기관 상에 배치되고, 적어도 제1 터치 전극 및 제2 터치 전극을 포함하는 복수의 터치 전극들; 및

상기 기관 상에 배치되고, 적어도 제1 터치 라인 및 제2 터치 라인을 포함하는 복수의 터치 라인들을 포함하고,

상기 제1 터치 전극은 상기 기관의 액티브 영역에서 상기 제1 터치 라인과 전기적으로 연결되고, 상기 제2 터치 전극은 상기 기관의 액티브 영역에서 상기 제2 터치 라인과 전기적으로 연결되며,

상기 제1 터치 라인은 상기 제1 터치 전극과 중첩되며,

상기 제2 터치 라인은 상기 제1 터치 전극 및 상기 제2 터치 전극과 중첩되고,

상기 제1 터치 라인은 상기 제2 터치 라인과 중첩되지 않으며,

상기 제2 터치 전극은 상기 기관의 액티브 영역에서 상기 제1 터치 라인과 절연된 터치 스크린 일체형 표시 장치.

청구항 13

제 12 항에 있어서,

상기 제1 터치 전극은 상기 기관의 액티브 영역에서 상기 제2 터치 라인과 절연된 터치 스크린 일체형 표시 장치.

청구항 14

제 13 항에 있어서,

상기 복수의 터치 전극들은 제3 터치 전극 및 제4 터치 전극을 더욱 포함하고,

상기 복수의 터치 라인들은 제3 터치 라인 및 제4 터치 라인을 더욱 포함하고,

상기 제3 터치 전극은 상기 기관의 액티브 영역에서 상기 제3 터치 라인과 전기적으로 연결되고, 상기 제4 터치 전극은 상기 기관의 액티브 영역에서 상기 제4 터치 라인과 전기적으로 연결되며,

상기 제3 터치 라인은 상기 제3 터치 전극과 중첩되며,

상기 제4 터치 라인은 상기 제3 터치 전극 및 상기 제4 터치 전극과 중첩되고,

상기 제3 터치 라인은 상기 제4 터치 라인과 중첩되지 않으며,

상기 제4 터치 전극은 상기 기관의 액티브 영역에서 상기 제3 터치 라인과 절연된 터치 스크린 일체형 표시 장치.

청구항 15

제 14 항에 있어서,

상기 제1 터치 전극은 상기 제3 터치 전극과 인접하여 배치되며, 상기 제2 터치 전극은 상기 제4 터치 전극과 인접하여 배치되는 터치 스크린 일체형 표시 장치.

청구항 16

제 14 항에 있어서,

상기 제1 내지 제4 터치 전극들은 각각 소정의 패턴으로 형성되고,

상기 제1 내지 제4 터치 전극들은 서로 동일한 형태로 형성되는 터치 스크린 일체형 표시 장치.

청구항 17

제 16 항에 있어서,

상기 제1 내지 제4 터치 전극들은 서로 동일한 크기로 형성되는 터치 스크린 일체형 표시 장치.

청구항 18

제 14 항에 있어서,

상기 기관 상에 배치되는 복수의 화소들을 더욱 포함하고,

상기 제1 터치 전극과 대응되는 화소들의 개수는 상기 제2 터치 전극과 대응되는 화소들의 개수와 동일하고,

상기 제3 터치 전극과 대응되는 화소들의 개수는 상기 제4 터치 전극과 대응되는 화소들의 개수와 동일한 터치 스크린 일체형 표시 장치.

청구항 19

제 14 항에 있어서,

상기 제1 터치 라인은 상기 제2 터치 전극과 중첩되는 제1 연장라인을 포함하고,

상기 제3 터치 라인은 상기 제4 터치 전극과 중첩되는 제3 연장라인을 포함하는 터치 스크린 일체형 표시장치.

청구항 20

제 14 항에 있어서,

상기 제1 내지 제4 터치 라인들은 모두 동일한 제1 방향으로 길게 연장된 터치 스크린 일체형 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로서, 보다 구체적으로는 사용자의 터치를 센싱하기 위한 센싱 전극을 구비한 표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0003] 액정표시장치는 하부기관, 상부기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004] 이와 같은 액정표시장치는 그 입력 수단으로서 마우스나 키보드가 일반적이지만, 네비게이션(navigation), 휴대용 단말기 및 가전 제품 등의 경우에는 손가락이나 펜을 이용하여 직접 정보를 입력할 수 있는 터치 스크린이 많이 적용되고 있다.

[0005] 이하에서는, 터치 스크린이 적용된 종래의 액정표시장치에 대해서 상세히 설명하기로 한다.

[0006] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.

[0007] 도 1에서 알 수 있듯이, 종래의 액정표시장치는, 액정 패널(10) 및 터치 스크린(20)을 포함하여 이루어진다.

[0008] 상기 액정 패널(10)은 화상을 디스플레이하는 것으로서, 하부 기관(12), 상부 기관(14) 및 양 기관(12, 14) 사이에 형성된 액정층(16)을 포함하여 이루어진다.

[0009] 상기 터치 스크린(20)은 상기 액정 패널(10)의 상면에 형성되어 사용자의 터치를 센싱하는 것으로서, 터치 기관(22), 상기 터치 기관(22)의 하면에 형성된 제1 센싱 전극(24), 및 상기 터치 기관(22)의 상면에 형성된 제2 센싱 전극(26)을 포함하여 이루어진다.

[0010] 상기 제1 센싱 전극(24)은 상기 터치 기관(22)의 하면에서 가로 방향으로 배열되고, 상기 제2 센싱 전극(26)은 상기 터치 기관(22)의 상면에서 세로 방향으로 배열되어 있다. 따라서, 사용자가 소정 위치를 터치하게 되면, 터치된 위치에서 상기 제1 센싱 전극(24)과 제2 센싱 전극(26) 사이의 커패시턴스(capacitance)가 변화되고, 결국, 커패시턴스가 변화된 위치를 센싱함으로써 사용자의 터치 위치를 센싱할 수 있게 된다.

[0011] 그러나, 이와 같은 종래의 액정표시장치는 상기 액정 패널(10)의 상면에 별도의 터치 스크린(20)이 형성된 구조이기 때문에, 상기 터치 스크린(20)으로 인해서 전체 두께가 증가되고, 제조 공정이 복잡하고, 또한 제조 단가가 증가되는 단점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 사용자의 터치를 센싱하기 위한 센싱 전극을 액정 패널 내부에 내장함으로써, 종래와 같이 액정 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소될 수 있는 표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 기관, 기관 상에 배치된 제1 공통 전극 블록 및 제2 공통 전극 블록, 제1 공통 전극 블록과 기관의 액티브 영역에서 전기적으로 연결된 제1 센싱 라인, 제2 공통 전극 블록과 기관의 액티브 영역에서 전기적으로 연결된 제2 센싱 라인을 구비하고, 제1 센싱 라인은 제1 공통 전극 블록과 중첩되며, 제2 센싱 라인은 제1 공통 전극 블록 및 제2 공통 전극 블록과 중첩되고, 제1 센싱 라인은 제2 센싱 라인과 중첩되지 않으며, 제2 공통 전극 블록은 기관의 액티브 영역에서 제1 센싱 라인과 절연된다.

[0014] 본 발명의 다른 실시예에 따른 터치 스크린 일체형 표시장치는 기관, 기관 상에 배치되고 적어도 제1 터치 전극 및 제2 터치 전극을 포함하는 복수의 터치 전극들, 및 기관 상에 배치되고 적어도 제1 터치 라인 및 제2 터치 라인을 포함하는 복수의 터치 라인들을 포함한다. 제1 터치 전극은 기관의 액티브 영역에서 제1 터치 라인과 전기적으로 연결되고, 제2 터치 전극은 기관의 액티브 영역에서 제2 터치 라인과 전기적으로 연결된다. 제1 터치 라인은 제1 터치 전극과 중첩되며, 제2 터치 라인은 제1 터치 전극 및 제2 터치 전극과 중첩된다. 제1 터치 라인은 제2 터치 라인과 중첩되지 않으며, 제2 터치 전극은 기관의 액티브 영역에서 제1 터치 라인과 절연된다.

발명의 효과

[0015] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0016] 본 발명은 액정 구동을 위한 전계 형성을 위해 이용되는 공통 전극을 사용자의 터치를 센싱하기 위한 센싱 전극으로 활용함으로써, 종래와 같이, 액정 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소되는 효과가 있다.

[0017] 또한, 본 발명에 따르면, 하부기관의 일 방향으로만 연장되어 형성된 센싱 라인만으로도 X-Y 평면 상에서 사용자의 터치 위치를 검출할 수 있어, X축과 Y축의 두 방향으로 센싱 라인을 형성하는 액정표시장치에 비해 구조가 단순해지고 비용을 절감할 수 있는 효과가 있다.

[0018] 또한, 본 발명에 따르면, 멀티플렉서를 사용하여 센싱 회로부로 입력되는 센싱 라인의 배선 수를 줄일 수 있으며, 이에 따라 베젤(Bezel)의 폭을 감소시키거나 외곽부의 개구율을 증가시킬 수 있는 효과가 있다.

[0019] 또한, 본 발명에 따르면, 센싱 라인 및 화소 전극을 1마스크 공정으로 패턴형성 할 수 있는 바, 제조 시간 및 비용을 감소시킬 수 있는 효과가 있다.

[0020] 또한, 본 발명에 따르면, 반도체층 상에 자외선 차단층을 형성하여, 자외선으로 인한 반도체층의 열화를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.

도 2a는 본 발명의 일 실시예에 따른 액정표시장치용 하부 기관의 개략적인 평면도이고, 도 2b는 본 발명의 센싱 라인에서 사용자의 터치 위치를 감지하는 원리를 설명하기 위한 도면이다.

도 3은 도 2a의 A 영역을 확대한 도면이다.

도 4는 도 3의 B-B' 라인의 단면에 해당하는 일 실시예에 따른 도면이다.

도 5는 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.

도 6은 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.

도 7은 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.

도 8은 본 발명의 다른 실시예에 따른 액정표시장치를 나타내는 개략적인 도면이다.

도 9는 도 8의 C-C' 라인의 단면에 해당하는 일 실시예에 따른 도면이다.

도 10은 도 8의 C-C' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.

도 11a 내지 도 11c는 본 발명의 일 실시예에 따른 액정표시용 하부 기관의 제조공정을 나타내는 공정 단면도이다.

도 12a 내지 도 12d는 본 발명의 다른 실시예에 따른 액정표시용 하부 기관의 제조공정을 나타내는 공정 단면도

이다.

도 13a 내지 도 13d는 본 발명의 다른 실시예에 따른 액정표시장치 하부 기관의 제조공정을 나타내는 공정 단면도이다.

도 14는 도 8의 C-C'라인의 단면에 해당하는 다른 실시예에 따른 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하에서는 본 발명에 따른 액정표시장치 및 그 제조방법을 도면을 참조하여 상세하게 설명한다.
- [0023] 본 발명의 실시예를 설명함에 있어서 어떤 구조물이 다른 구조물의 "상에" 또는 "아래에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.
- [0024] <액정표시장치>
- [0025] 도 2a는 본 발명의 일 실시예에 따른 액정표시장치용 하부기관의 개략적인 평면도이고, 도 2b는 본 발명의 센싱 라인에서 사용자의 터치 위치를 감지하는 원리를 설명하기 위한 도면이고, 도 3은 도 2a의 A 영역을 확대한 도면이다.
- [0026] 도 2a 및 도 3에서 알 수 있듯이, 본 발명에 따른 액정표시장치는 하부기관(100), 게이트 라인(102), 데이터 라인(104), 게이트 전극(110), 반도체층(130), 소스 전극(135), 드레인 전극(137), 화소 전극(150), 센싱 라인(160), 공통 전극 콘택홀(165), 공통 전극 블록(180), 슬릿(190), 상부기관(200), 멀티플렉서(300), 및 센싱 회로부(400)를 포함한다.
- [0027] 하부기관(100)은 유리 또는 투명한 플라스틱으로 이루어질 수 있다.
- [0028] 게이트 라인(102)은 상기 하부기관(100) 상에서 가로 방향으로 배열되어 있고, 데이터 라인(104)은 상기 하부기관(100) 상에서 세로 방향으로 배열되어 있으며, 상기 게이트 라인(102)과 데이터 라인(104)이 서로 교차 배열되어 복수 개의 화소가 정의된다.
- [0029] 상기 게이트 라인(102)은 곧은 직선 형태로 배열되어 있고, 상기 데이터 라인(104)도 곧은 직선 형태로 도시하였지만, 반드시 그에 한정되는 것은 아니다. 예로서, 상기 데이터 라인(104)은 굽은 직선 형태로 배열될 수 있다.
- [0030] 한편, 상기 복수 개의 화소 각각에는 스위칭 소자로서 박막 트랜지스터가 형성되어 있다. 상기 박막 트랜지스터는 게이트 전극(110), 반도체층(130), 소스 전극(135), 드레인 전극(137)을 포함한다. 박막 트랜지스터는 게이트 전극(110)이 반도체층(130) 아래에 위치하는 바텀 게이트(bottom gate) 구조로 이루어질 수도 있고, 게이트 전극(110)이 반도체층(130) 위에 위치하는 탑 게이트(top gate) 구조로 이루어질 수도 있다.
- [0031] 화소 전극(150)은 상기 화소 각각에 형성되어 있으며, 특히 상기 화소의 형태에 대응하는 형태로 이루어진다.
- [0032] 공통 전극 블록(180)은 상기 화소 전극(150)과 다른 층에 형성되어 상기 화소 전극(150)과 함께 전계를 형성시켜 액정을 구동시키는 역할을 함과 더불어 사용자의 터치 위치를 감지하는 센싱 전극의 역할을 한다.
- [0033] 상기 공통 전극 블록(180)을 센싱 전극으로 이용하기 위해서, 상기 공통 전극 블록(180)은 소정의 패턴으로 복수 개가 형성된다. 상기 복수 개의 공통 전극 블록(180)은 하나 이상의 화소에 대응하는 크기로 형성될 수 있으며, 몇 개의 화소에 대응하는 크기로 형성하는지는 액정표시장치의 터치 해상도와 연관된다.
- [0034] 즉, 많은 수의 화소에 대응하는 영역을 하나의 공통 전극 블록(180)으로 형성하면 그만큼 터치 해상도는 감소하게 된다. 한편, 너무 작은 수의 화소에 대응하는 영역을 하나의 공통 전극 블록(180)으로 형성하면, 터치 해상도는 증가되나 이에 따라 센싱 라인(160)의 수가 증가하게 된다.
- [0035] 센싱 라인(160)은 상기 공통 전극 블록(180)에 전기적 신호를 인가하는 역할을 한다. 즉, 복수 개의 공통 전극 블록(180)은 상기 센싱 라인(160)에 연결되어 있고, 상기 센싱 라인(160)의 말단에는 센싱 회로부(400)가 연결되어 있어 사용자의 터치 위치를 감지하게 된다.
- [0036] 상기 센싱 라인(160)은 상기 공통 전극 블록(180) 중 하나와 전기적으로 연결되면 다른 공통 전극 블록(180)과는 전기적으로 절연을 유지하여 사용자의 터치 위치를 검출한다.

- [0037] 이를 상세하게 설명하기 위해 도 2b를 참조하면, 4 개의 공통 전극 블록(180)(A, B, C, D)과 4 개의 센싱 라인(160)이 도시되어 있다.
- [0038] 도 2b에서 알 수 있듯이, 센싱 라인(160) L1은 공통 전극 블록(180) A와 연결되어 있고 다른 공통 전극 블록(180)인 B, C, D 와는 전기적으로 절연을 유지한다. 따라서, 공통 전극 블록(180) A를 사용자가 터치하면 이 신호는 센싱 라인(160) L1으로 전달되고, 이로써 사용자의 터치 위치를 검출할 수 있다.
- [0039] 같은 방법으로 센싱 라인(160) L2는 공통 전극 블록(180) B와 연결되어 있고 다른 공통 전극 블록(180)인 A, C, D 와는 전기적으로 절연을 유지한다. 따라서, 공통 전극 블록(180) B를 사용자가 터치하면 이 신호는 센싱 라인(160) L2로 전달되고, 이로써 사용자의 터치 위치를 검출할 수 있다.
- [0040] 센싱 라인(160) L3는 공통 전극 블록(180) C와 연결되어 있고 다른 공통 전극 블록(180)인 A, B, D 와는 전기적으로 절연을 유지한다. 따라서, 공통 전극 블록(180) C를 사용자가 터치하면 이 신호는 센싱 라인(160) L3으로 전달되고, 이로써 사용자의 터치 위치를 검출할 수 있다.
- [0041] 센싱 라인(160) L4는 공통 전극 블록(180) D와 연결되어 있고 다른 공통 전극 블록(180)인 A, B, C 와는 전기적으로 절연을 유지한다. 따라서, 공통 전극 블록(180) D를 사용자가 터치하면 이 신호는 센싱 라인(160) L4로 전달되고, 이로써 사용자의 터치 위치를 검출할 수 있다.
- [0042] 상술한 바와 같은 공통 전극 블록(180) 및 센싱 라인(160)의 구조를 이용하면, 하부기판(100)의 일 방향으로만 연장되어 형성된 센싱 라인(160)만으로도 X-Y 평면 상에서 사용자의 터치 위치를 검출할 수 있는 효과가 있다.
- [0043] 따라서, X축과 Y축의 두 방향으로 센싱 라인(160)을 형성하는 액정표시장치에 비해 구조가 단순해지고 비용을 절감할 수 있다.
- [0044] 다시 도 3을 참조하면, 상기 센싱 라인(160)은 상기 공통 전극 블록(180)에 전기적 신호를 인가함과 더불어 상기 공통 전극의 저항을 감소시키는 역할을 수행할 수 있다.
- [0045] 상기 공통 전극 블록(180)은 일반적으로 ITO와 같은 투명한 도전물질을 이용하는데, 이와 같은 투명한 도전물질은 저항이 큰 단점이 있다. 따라서, 상기 공통 전극 블록(180)에 전도성이 우수한 금속물질로 이루어진 센싱 라인(160)을 연결시킴으로써 공통 전극 블록(180)의 저항을 감소시킬 수 있다. 예를 들면, 상기 센싱 라인(160)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 중에 선택되는 어느 하나 또는 이를 포함하는 합금으로 형성될 수 있다.
- [0046] 한편, 상기 센싱 라인(160)은 상기 게이트 라인(102)에 평행한 방향 또는 상기 데이터 라인(104)에 평행한 방향 중 어느 한 방향으로 형성될 수 있다. 본 발명에 따르면 상기 센싱 라인(160)은 게이트 라인(102)에 평행한 방향 또는 데이터 라인(104)에 평행한 방향 중 어느 한 방향으로 형성되더라도 X-Y 좌표평면에서 사용자의 터치 위치를 검출할 수 있다.
- [0047] 다만, 이때 상기 센싱 라인(160)으로 인해서 개구율이 줄어드는 것을 방지할 필요가 있는 바, 상기 데이터 라인(104)과 평행하게 형성된 센싱 라인(160)은 상기 데이터 라인(104)과 오버랩되도록 형성하는 것이 바람직하다. 또한, 상기 게이트 라인(102)과 평행하게 형성된 센싱 라인(160)은 상기 게이트 라인(102)과 오버랩되도록 형성하는 것이 바람직하다.
- [0048] 공통 전극 콘택홀(165)은 상기 센싱 라인(160) 및 공통 전극 블록(180)을 전기적으로 연결한다. 즉, 상기 센싱 라인(160)은 상기 화소 전극(150)과 동일한 층에 형성될 수 있다. 따라서, 센싱 라인(160)은 공통 전극 콘택홀(165)을 통해 공통 전극 블록(180)과 전기적으로 연결된다.
- [0049] 이때, 공통 전극 콘택홀(165)의 형성 위치는 개구율이 줄어드는 것을 방지하기 위해서 비투과 영역에 형성할 수 있다. 비투과 영역은 화소에서 빛이 빠져나오는 부분을 제외한 부분으로서 예를 들면 데이터 라인(104) 및 게이트 라인(102)이 있다.
- [0050] 도 3에서는 상기 공통 전극 콘택홀(165)의 위치를 데이터 라인(104) 및 소스 전극(135) 부근에 형성하였으나 반드시 이에 한정되는 것은 아니다.
- [0051] 슬릿(190)은 상기 화소 전극(150) 또는 공통 전극 블록(180)의 내부에 적어도 하나 이상 형성될 수 있다.
- [0052] 이와 같이 화소 전극(150) 또는 공통 전극 블록(180) 내부에 슬릿(190)을 구비할 경우, 상기 슬릿(190)을 통해서 상기 화소 전극(150)과 상기 공통 전극 블록(180) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액

정표시장치가 구현될 수 있다.

- [0053] 공통 전극 블록(180) 내부에 슬릿(190)을 구비하는 경우, 상기 복수의 공통 전극 블록(180)은 제 2보호층(170)을 사이에 두고 상기 화소 전극(150) 상에 형성된다(도 4참조).
- [0054] 반대로 화소 전극(150) 내부에 슬릿(190)을 구비하는 경우, 상기 화소 전극(150)은 제 2보호층(170)을 사이에 두고 상기 공통 전극 블록(180) 상에 형성된다(도 5참조).
- [0055] 상부기관(200)은 하부기관(100)과 대향 합착되며, 상기 상부기관(200) 및 하부기관(100) 사이에는 액정층이 형성된다.
- [0056] 멀티플렉서(300)(Multiplexer : MUX)는 상기 센싱 라인(160) 및 센싱 회로부(400)의 사이에 결합되어 센싱 회로부(400)로 입력되는 센싱 라인(160)의 배선 수를 줄일 수 있다.
- [0057] 도 2a에서는 4:1의 멀티플렉서(300)를 일 실시예로 도시하였지만 이에 한정되는 것은 아니며 8:1 또는 16:1 등 다양한 조합의 멀티플렉서(300)를 사용할 수 있다.
- [0058] 상기 멀티플렉서(300)를 사용하게 되면 센싱 회로부(400)로 입력되는 센싱 라인(160)의 배선 수를 줄일 수 있으며, 이에 따라 베젤(Bezel)의 폭을 감소시키거나 외곽부의 개구율을 증가시킬 수 있는 효과가 있다.
- [0059] 상기 멀티플렉서(300)는 상기 센싱 라인(160)이 형성된 하부기관(100) 상에 형성하거나, 드라이브 IC 내부에 내장하거나, 별도의 멀티플렉서(300) 칩으로 형성할 수 있다.
- [0060] 센싱 회로부(400)는 센싱 라인(160)에 직접 연결되거나 또는 멀티플렉서(300)에 연결되어 사용자의 터치를 감지하면 터치 감지신호를 발생한다.
- [0061] 이하에서는 단면구조를 도시한 도 4 내지 도 7을 참조하여, 본 발명의 다양한 실시예에 따른 액정표시장치에 대해서 보다 상세히 설명하기로 한다.
- [0062] 도 4는 도 3의 B-B'라인의 단면에 해당하는 일 실시예에 따른 도면이다.
- [0063] 도 4에서 알 수 있듯이, 본 발명에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 센싱 라인(160), 제 2보호층(170), 공통 전극 블록(180)을 포함하며, 공통 전극 블록(180)이 화소 전극(150) 상에 형성된 공통 전극 탭 구조이다.
- [0064] 하부기관(100)은 유리 또는 투명한 플라스틱으로 형성될 수 있다.
- [0065] 게이트 전극(110)은 상기 하부기관(100) 상에 게이트 라인(102)에서 분기되어 형성되며, 도전성 물질로 구성된다.
- [0066] 게이트 절연막(120)은 상기 게이트 전극 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0067] 반도체층(130)은 상기 게이트 절연막(120) 상에서 상기 게이트 전극(110) 상의 대응되는 부분에 형성되며, 상기 게이트 전극(110)에 게이트 전압이 인가되면, 소스 전극(135)과 드레인 전극(137) 사이에서 전류가 흐를 수 있는 채널을 형성한다. 상기 반도체층(130)은 산화물(Oxide), 또는 비정질(amorphous) 반도체일 수 있다.
- [0068] 에치스토퍼(133)는 상기 반도체층(130) 상에 형성되어 반도체층(130)을 보호하며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다. 하지만 경우에 따라 에치스토퍼(133)는 생략될 수 있다.
- [0069] 소스 전극(135)은 데이터 라인(104)에서 연장되어 형성되며, 패널로드(Panel Load)에 의한 박막 트랜지스터의 동작 지연(delay)을 최소화하기 위하여 저항이 낮은 도전체로 형성한다.
- [0070] 드레인 전극(137)은 상기 반도체층(130) 상에서 소스 전극(135)과 이격되어 형성되며, 도전체로 형성된다. 상기 도전체는 ITO(Indium Tin Oxide)와 같은 투명도전체일 수 있다.
- [0071] 제 1보호층(140)은 상기 소스 전극(135) 및 드레인 전극(137) 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0072] 화소 전극(150)은 상기 제 1보호층(140) 상에 형성되며, ITO(Indium Tin Oxide)와 같은 투명도전체로 형성될 수 있다. 화소 전극(150)은 제 1보호층(140)에 형성된 화소 전극 콘택홀(155)을 통하여 드레인 전극(137)과 전기적

으로 연결된다.

- [0073] 센싱 라인(160)은 상기 화소 전극(150)과 같은 층에서 화소 전극(150)과 이격되어 형성되며, 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 중에 선택되는 어느 하나 또는 이를 포함하는 합금으로 형성될 수 있다.
- [0074] 제 2보호층(170)은 상기 화소 전극(150) 및 센싱 라인(160) 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0075] 공통 전극 블록(180)은 상기 제 2보호층(170) 상에 형성되며, ITO(Indium Tin Oxide)와 같은 투명도전체로 형성될 수 있다. 공통 전극 블록(180)은 제 2보호층(170)에 형성된 공통 전극 콘택홀(165)을 통하여 센싱 라인(160)과 전기적으로 연결된다.
- [0076] 상기 공통 전극 블록(180)은 내부에 슬릿(190)을 구비하는데, 상기 슬릿(190)을 통해서 상기 화소 전극(150)과 상기 공통 전극 블록(180) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.
- [0077] 도 5는 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.
- [0078] 도 5에서 알 수 있듯이, 본 발명에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 센싱 라인(160), 제 2보호층(170), 공통 전극 블록(180)을 포함하며, 화소 전극(150)이 공통 전극 블록(180) 상에 형성된 화소 전극(150) 탭 구조이다. 도 5의 실시예는 화소 전극(150) 탭 구조인 것을 제외하고 도 4의 실시예와 동일한 바, 중복 설명은 생략하기로 한다.
- [0079] 도 5의 실시예에 따르면, 제 1보호층(140)을 형성한 후 공통 전극 블록(180)을 형성한다. 이때 공통 전극 블록(180)은 향후 화소 전극 콘택홀(155)의 위치에서 화소 전극(150)과 전기적으로 쇼트되는 것을 방지하기 위해 소정의 간격으로 이격되어 형성될 수 있다.
- [0080] 상기 공통 전극 블록(180) 상에 제 2보호층(170)을 형성한 후 화소 전극 콘택홀(155)과 공통 전극 콘택홀(165)을 형성한다. 상기 공통 전극 콘택홀(165)을 통해 센싱 라인(160)은 공통 전극 블록(180)과 전기적으로 연결되며, 상기 화소 전극 콘택홀(155)을 통해 화소 전극(150)은 드레인 전극(137)과 전기적으로 연결된다.
- [0081] 이때, 상기 화소 전극(150)은 내부에 슬릿(190)을 구비하는데, 상기 슬릿(190)을 통해서 상기 화소 전극(150)과 상기 공통 전극 블록(180) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.
- [0082] <하프톤 마스크를 이용해 형성한 액정표시장치>
- [0083] 이하, 화소 전극(150) 및 센싱 라인(160)을 형성하는 구조에 대한 본 발명의 다른 실시예에 대하여 도 6 및 도 7을 이용하여 상세하게 설명한다.
- [0084] 도 6은 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.
- [0085] 도 6에서 알 수 있듯이, 본 발명에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 도전층(150a), 센싱 라인(160), 제 2보호층(170), 공통 전극 블록(180)을 포함하며, 공통 전극 블록(180)이 화소 전극(150) 상에 형성된 공통 전극 탭 구조이다. 도 6의 실시예는 도 4의 실시예와 화소 전극(150) 및 센싱 라인(160)의 수직 구조를 제외하고 동일한 바, 중복 설명은 생략하기로 한다.
- [0086] 도 6의 실시예에서 상기 센싱 라인(160) 하에는 화소 전극(150)과 동일한 물질로 형성되는 도전층(150a)이 형성되어 있다. 이때, 센싱 라인(160)은 도전층(150a) 상에 형성되나 센싱 라인(160)과 오버랩되어 형성된 도전층(150a)은 드레인 전극(137)과 전기적으로 연결된 화소 전극(150)과는 전기적으로 절연을 유지한다.
- [0087] 이러한 구조는 화소 전극(150)과 도전층(150a)을 포토리소그래피 공정으로 형성한 후에 센싱 라인(160)을 포토리소그래피 공정으로 형성하여 구현할 수도 있지만, 하프톤 마스크 공정을 사용하여 효율적으로 구현할 수도 있다.
- [0088] 즉, 하프톤 마스크 공정을 사용하여 화소 전극(150), 도전층(150a) 및 센싱 라인(160)을 동시에 포토리소그래피

공정으로 형성할 경우 화소 전극(150), 도전층(150a) 및 센싱 라인(160) 형성을 위해 2마스크 공정을 사용하던 것을 1마스크 공정으로 단순화 할 수 있다.

- [0089] 따라서, 2번의 노광 공정을 1번의 노광 공정으로 수행할 수 있어 택타임(tact time)이 감소되고, 노광 공정에 소요되는 재료비가 줄어드는 효과가 있다.
- [0090] 도 7은 도 3의 B-B' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.
- [0091] 도 7에서 알 수 있듯이, 본 발명에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 도전층(150a), 센싱 라인(160), 제 2보호층(170), 공통 전극 블록(180)을 포함하며, 화소 전극(150)이 공통 전극 블록(180) 상에 형성된 화소 전극(150) 탑 구조이다. 도 7의 실시예는 도 5의 실시예와 화소 전극(150) 및 센싱 라인(160)의 수직 구조를 제외하고 동일한 바, 중복 설명은 생략하기로 한다.
- [0092] 도 7의 실시예에서 상기 센싱 라인(160) 하에는 화소 전극(150)과 동일한 물질로 형성되는 도전층(150a)이 형성되어 있다. 이때, 센싱 라인(160)은 도전층(150a) 상에 형성되나 센싱 라인(160)과 오버랩되어 형성된 도전층(150a)은 드레인 전극(137)과 전기적으로 연결된 화소 전극(150)과는 전기적으로 절연을 유지한다.
- [0093] 이러한 구조는 화소 전극(150)과 도전층(150a)을 포토리소그래피 공정으로 형성한 후에 센싱 라인(160)을 포토리소그래피 공정으로 형성하여 구현할 수도 있지만, 하프톤 마스크 공정을 사용하여 효율적으로 구현할 수도 있다.
- [0094] 즉, 하프톤 마스크 공정을 사용하여 화소 전극(150), 도전층(150a) 및 센싱 라인(160)을 동시에 포토리소그래피 공정으로 형성할 경우 화소 전극(150), 도전층(150a) 및 센싱 라인(160) 형성을 위해 2마스크 공정을 사용하던 것을 1마스크 공정으로 단순화 할 수 있다.
- [0095] 따라서, 2번의 노광 공정을 1번의 노광 공정으로 수행할 수 있어 택타임(tact time)이 감소되고, 노광 공정에 소요되는 재료비가 줄어드는 효과가 있다.
- [0096] <차단층을 포함하는 액정표시장치>
- [0097] 액정패널 제조공정은 셀 공정이라고 칭하며, 상기 셀 공정은 박막 트랜지스터가 배열된 하부기관(100)과 컬러필터가 형성된 상부기관(200)에 액정을 한 방향으로 배향시키기 위한 배향공정과 두 기관을 합착시켜 일정한 갭(Gap)을 유지시키기 위한 셀 갭(cell gap) 형성공정, 셀 절단(cutting) 공정, 액정주입 공정으로 크게 나눌 수 있다.
- [0098] 이러한 셀 공정에서는 셀패턴(250)을 형성하고 합착한 후, 진공 및 모세관 현상을 통해 액정주입을 진행하게 되는데, 이러한 액정주입 방식은 10시간 이상의 공정시간이 요구되는 바, 이를 개선시키고자 빠른 시간내에 액정층 형성과 합착을 동시에 진행시킬 수 있는 액정적하 진공 합착 장치를 사용할 수 있다.
- [0099] 즉, 이러한 액정적하 진공 합착 장치를 이용하여 UV경화성 실란트로써 셀패턴(250)이 형성된 어레이 기관과 컬러필터 기관을 서로 대향시킨 후, 상기 두 기관을 합착 전에 액정을 진공의 분위기에서 어레이 기관 또는 컬러필터 기관 중 하나의 기관에 적정량 디스펜싱하고, 합착 정렬하여 진공합착과 동시에 상기 셀패턴(250)에 UV를 조사하여 경화시켜 원판 액정패널을 완성하고, 이렇게 완성된 원판 액정패널을 절단함으로써 단위 액정패널을 빠른 시간 내에 완성할 수 있다.
- [0100] 전술한 바와 같이 액정적하 진공합착 장치를 이용하여 제조된 액정패널에는 액정주입을 위한 주입구가 필요 없음으로 주입구 없이 셀패턴(250)이 끊임없이 형성된다.
- [0101] 하지만, UV경화성 실란트를 경화시켜 셀패턴(250)을 형성하기 위해서는 자외선을 조사하여야하는데 이때, 트랜지스터의 반도체층(130)이 자외선에 의해 열화되는 문제가 있다.
- [0102] 따라서 이하, 이러한 반도체층(130)의 열화를 방지하기 위해 트랜지스터 상에 자외선을 차단하는 차단층(160a)을 형성한 본 발명의 다른 실시예에 따른 액정표시장치에 대해 도 8 내지 도 10을 참고하여 상세하게 설명한다.
- [0103] 도 8은 본 발명의 다른 실시예에 따른 액정표시장치를 나타내는 개략적인 도면이다.
- [0104] 도 8에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치는 하부기관(100), 상부기관(200), 액티브 영역(A/A), 더미 영역(N/A), 공통 전극 블록(180), 셀패턴(250), 및 센싱 회로부(400)를 포함한다.
- [0105] 하부기관(100)은 서로 교차 배열되어 복수 개의 화소를 정의하는 게이트 라인(102) 및 데이터 라인(104), 상기

복수 개의 화소 각각에 형성된 트랜지스터, 상기 복수 개의 화소 각각에 형성된 화소 전극(150), 상기 화소 전극(150)과 다른 층에 형성되어 상기 화소 전극(150)과 함께 전계를 형성함과 더불어 사용자의 터치를 센싱하기 위해서 패턴 형성된 복수의 공통 전극 블록(180), 및 상기 공통 전극 블록(180)과 전기적으로 연결된 복수의 센싱 라인(160)을 포함하는 액티브 영역(A/A) 및 상기 액티브 영역(A/A)의 테두리를 따라 형성된 더미 영역(N/A)을 포함한다.

- [0106] 상부기관(200)은 빔샘을 방지하는 블랙 매트릭스(230)를 포함한다. 경우에 따라 상부기관(200)은 컬러필터층을 더 포함할 수 있다.
- [0107] 센싱 회로부(400)는 센싱 라인(160)에 직접 연결되거나 또는 멀티플렉서(미도시)에 연결되어 사용자의 터치를 감지하면 터치 감지신호를 발생한다.
- [0108] 셀패턴(250)은 상부기관(200) 및 하부기관(100)의 테두리의 더미 영역(N/A)을 따라 형성되어, 상부기관(200) 및 하부기관(100) 사이에 충전된 액정층의 유출을 방지한다.
- [0109] 도 9는 도 8의 C-C' 라인의 단면에 해당하는 일 실시예에 따른 도면이다.
- [0110] 도 9에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 센싱 라인(160b), 차단층(160a), 제 2보호층(170), 공통 전극 블록(180), 상부기관(200), 블랙 매트릭스(230), 및 셀패턴(250)을 포함하며, 공통 전극 블록(180)이 화소 전극(150) 상에 형성된 공통 전극 탭 구조이다.
- [0111] 하부기관(100)은 유리 또는 투명한 플라스틱으로 형성될 수 있다.
- [0112] 게이트 전극(110)은 상기 하부기관(100) 상에 게이트 라인(102)에서 분기되어 형성되며, 도전성 물질로 구성된다.
- [0113] 게이트 절연막(120)은 상기 게이트 전극(110) 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0114] 반도체층(130)은 상기 게이트 절연막(120) 상에서 상기 게이트 전극(110) 상의 대응되는 부분에 형성되며, 상기 게이트 전극(110)에 게이트 전압이 인가되면, 소스 전극(135)과 드레인 전극(137) 사이에서 전류가 흐를 수 있는 채널을 형성한다. 상기 반도체층(130)은 산화물(Oxide), 또는 비정질(amorphous) 반도체일 수 있다.
- [0115] 에치스토퍼(133)는 상기 반도체층(130) 상에 형성되어 반도체층(130)을 보호하며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다. 하지만 경우에 따라 에치스토퍼(133)는 생략될 수 있다.
- [0116] 소스 전극(135)은 데이터 라인(104)에서 연장되어 형성되며, 패널로드(Panel Load)에 의한 박막 트랜지스터의 동작 지연(delay)을 최소화하기 위하여 저항이 낮은 도전체로 형성한다.
- [0117] 드레인 전극(137)은 상기 반도체층(130) 상에서 소스 전극(135)과 이격되어 형성되며, 도전체로 형성된다. 상기 도전체는 ITO(Indium Tin Oxide)와 같은 투명도전체일 수 있다.
- [0118] 제 1보호층(140)은 상기 소스 전극(135) 및 드레인 전극(137) 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0119] 제 3보호층(145)은 제 1보호층(140) 상에서 액티브 영역(A/A)에 대응하는 영역에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다. 하지만 경우에 따라 제 3보호층(145)은 생략될 수 있다.
- [0120] 화소 전극(150)은 상기 제 1보호층(140) 또는 제 3보호층(145) 상에 형성되며, ITO(Indium Tin Oxide)와 같은 투명도전체로 형성될 수 있다. 화소 전극(150)은 화소 전극 콘택홀(155)을 통하여 드레인 전극(137)과 전기적으로 연결된다.
- [0121] 센싱 라인(160)은 상기 화소 전극(150)과 같은 층에서 화소 전극(150)과 이격되어 형성되며, 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 중에 선택되는 어느 하나 또는 이를 포함하는 합금으로 형성될 수 있다.
- [0122] 이때, 센싱 라인(160b)은 센싱 라인(160b) 하에 형성된 트랜지스터의 반도체층(130)에 대응되는 넓이로 형성된다. 즉, 센싱 라인(160b)은 사용자의 터치 신호를 센싱 회로부(400)에 전달하는 기능 외에도 반도체층(130) 상에서 자외선을 차단하여 상기 반도체층(130)의 열화를 방지하는 기능을 수행한다.

- [0123] 차단층(160a)은 더미 영역(N/A)에 형성된 트랜지스터의 반도체층(130)에 대응되는 영역에 형성되어, 상기 반도체층(130)으로 자외선이 조사되어 반도체층(130)이 열화되는 것을 방지한다.
- [0124] 차단층(160a)은 상기 센싱 라인(160b)과 별도의 공정에서 형성될 수 있으며, 제 1보호층(140)이 아닌 다른 층에도 형성될 수 있다. 다만, 차단층(160a)은 상기 센싱 라인(160b) 형성시 상기 센싱 라인(160b)과 같은 재료로 동시에 형성될 수 있는데, 이 경우 센싱 라인(160b)을 형성하는 공정과 동시에 차단층(160a)이 형성되므로 별도의 공정으로 형성하는 것에 비해 공정시간 및 원가가 절감되는 효과가 있다.
- [0125] 상기 더미 영역(N/A)에 형성된 상기 트랜지스터는 게이트 구동 회로를 패널에 내장한 게이트 인 패널(Gate In Panel : GIP) 구조 상에 형성된 트랜지스터, 정전기 방지(Electrostatic Discharge : ESD)를 위한 ESD 구조 상에 형성된 트랜지스터, 점등 검사를 위한 오토 프로브(Auto Probe)용 트랜지스터, 및 엔지니어 테스트(Engineer Test)용 트랜지스터를 포함한다.
- [0126] 제 2보호층(170)은 상기 화소 전극(150) 및 센싱 라인(160b) 상에 형성되며, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 형성될 수 있다.
- [0127] 공통 전극 블록(180)은 상기 제 2보호층(170) 상에 형성되며, ITO(Indium Tin Oxide)와 같은 투명도전체로 형성될 수 있다. 공통 전극 블록(180)은 제 2보호층(170)에 형성된 공통 전극 콘택홀(165)을 통하여 센싱 라인(160)과 전기적으로 연결된다.
- [0128] 상기 공통 전극 블록(180)은 내부에 슬릿(190)을 구비하는데, 상기 슬릿(190)을 통해서 상기 화소 전극(150)과 상기 공통 전극 블록(180) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.
- [0129] 블랙 매트릭스(230)는 상부기관(200)에 형성되며, 하부기관(100)의 화소 영역 외에 빛샘을 방지해야하는 위치에 대응하여 형성된다.
- [0130] 쉘패턴(250)은 상부기관(200) 및 하부기관(100)의 테두리에 형성되며 액정층의 누설을 방지한다.
- [0131] 도 10은 도 8의 C-C'라인의 단면에 해당하는 다른 실시예에 따른 도면이다.
- [0132] 도 10에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 센싱 라인(160b), 차단층(160a), 제 2보호층(170), 공통 전극 블록(180), 상부기관(200), 블랙 매트릭스, 및 쉘패턴(250)을 포함하며, 화소 전극(150)이 공통 전극 블록(180) 상에 형성된 화소 전극(150) 탭 구조이다. 도 10의 실시예 중 도 9와 중복되는 부분에 대해서는 설명을 생략하기로 한다.
- [0133] 제 1보호층(140) 상에 공통 전극 블록(180)을 형성한 후 상기 공통 전극 블록(180) 상에 제 2보호층(170)을 형성한다. 도 10은 제 2보호층(170)은 쉘패턴(250)을 기준으로 액정 패널 안쪽에 형성되는 것으로 도시하였으나, 반드시 이에 한정되는 것은 아니고 쉘패턴(250)의 하부에도 형성될 수 있다.
- [0134] 제 2보호층(170)에는 센싱 라인(160b)과 공통 전극 블록(180)을 전기적으로 연결하기 위한 공통 전극 콘택홀(165) 및 드레인 전극(137)과 화소 전극(150)을 전기적으로 연결하기 위한 화소 전극 콘택홀(155)을 형성한다.
- [0135] 제 2보호층(170) 상에 공통 전극 블록(180)과 전기적으로 연결되도록 센싱 라인(160b)을 형성하고, 드레인 전극(137)과 전기적으로 연결되도록 화소 전극(150)을 형성한다. 이때 화소 전극(150)은 내부에 슬릿(190)을 구비하는데, 상기 슬릿(190)을 통해서 상기 화소 전극(150)과 상기 공통 전극 블록(180) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다. 즉, 프린지 필드 스위칭 모드(fringe field switching mode) 액정표시장치가 구현될 수 있다.
- [0136] <액정표시장치의 제조방법>
- [0137] 도 11a 내지 도 11c는 본 발명의 일 실시예에 따른 액정표시용 하부기관의 제조공정을 나타내는 공정 단면도이다.
- [0138] 우선, 도 11a에서 알 수 있듯이, 하부기관(100) 상에 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140)을 차례로 형성한다. 도시하지 않았지만, 상기 하부기관(100)에 게이트 라인(102) 및 데이터 라인(104)이 형성되어 있다.

- [0139] 다음, 도 11b에서 알 수 있듯이, 상기 제 1보호층(140) 상에 화소 전극 콘택홀(155)을 형성한 후 화소 전극(150)을 형성하여 드레인 전극(137)과 전기적으로 연결한다. 또한, 소정의 위치에 센싱 라인(160)을 형성한다.
- [0140] 상기 센싱 라인(160)은 상기 게이트 라인(102)에 평행한 방향 또는 상기 데이터 라인(104)에 평행한 방향 중 어느 한 방향으로 형성될 수 있다. 본 발명에 따르면 상기 센싱 라인(160)은 게이트 라인(102)에 평행한 방향 또는 데이터 라인(104)에 평행한 방향 중 어느 한 방향으로 형성되더라도 X-Y 좌표평면에서 사용자의 터치 위치를 검출할 수 있다.
- [0141] 이때 상기 센싱 라인(160)으로 인해서 개구율이 줄어드는 것을 방지할 필요가 있는 바, 상기 데이터 라인(104)과 평행하게 형성된 센싱 라인(160)은 상기 데이터 라인(104)과 오버랩되도록 형성하는 것이 바람직하다. 또한, 상기 게이트 라인(102)과 평행하게 형성된 센싱 라인(160)은 상기 게이트 라인(102)과 오버랩되도록 형성하는 것이 바람직하다.
- [0142] 다음, 도 11c에서 알 수 있듯이, 상기 화소 전극(150) 및 센싱 라인(160) 상에 제 2보호층(170)을 형성한 후 센싱 라인(160)과 공통 전극 블록(180)이 전기적으로 연결될 수 있도록 공통 전극 콘택홀(165)을 형성한다.
- [0143] 이때, 센싱 라인(160)은 상기 공통 전극 블록(180) 중 하나와 전기적으로 연결되면 다른 공통 전극 블록(180)과는 전기적으로 절연을 유지하도록 공통 전극 콘택홀(165)의 위치를 조절한다.
- [0144] 상기 제 2보호층(170) 상에는 공통 전극 블록(180)을 형성하여 센싱라인과 공통 전극 블록(180)을 전기적으로 연결한다.
- [0145] 공통 전극 블록(180)은 센싱 전극으로 이용되는 바, 상기 공통 전극 블록(180)은 소정의 패턴으로 복수 개가 형성된다. 상기 공통 전극 블록(180)은 하나 이상의 화소에 대응하는 크기로 형성될 수 있으며, 몇 개의 화소에 대응하는 크기로 형성하느냐는 액정표시장치의 터치 해상도와 연관된다.
- [0146] <하프톤 마스크를 이용해 형성한 액정표시장치의 제조방법>
- [0147] 도 12a 내지 도 12d는 본 발명의 다른 실시예에 따른 액정표시용 하부기판의 제조공정을 나타내는 공정 단면도이다. 이하, 도 11a 내지 도 11c와 중복되지 않는 내용을 위주로 설명한다.
- [0148] 우선, 도 12a에서 알 수 있듯이, 하부기판(100) 상에 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140)을 차례로 형성하고, 상기 제 1보호층(140) 상에 화소 전극 콘택홀(155)을 형성한다.
- [0149] 다음, 도 12b에서 알 수 있듯이, 상기 제 1보호층(140) 상에 화소 전극층(150a) 및 센싱 라인층(140a)을 차례로 적층한다.
- [0150] 상기 화소 전극층(150a) 및 센싱 라인층(140a) 상에 포토 레지스트를 적층하고 하프톤 마스크(700)(Half Tone Mask)를 사용하여 광을 조사한다. 이때 상기 하프톤 마스크는 광이 투과하지 못하는 비투과영역(710), 광이 일부만이 투과하는 반투과영역(720), 및 광이 전부 투과하는 투과영역(730a, 730b, 730c)을 구비한다.
- [0151] 이후, 상기 포토 레지스트를 현상하여 포토 레지스트 패턴을 형성한다. 상기 포토 레지스트 패턴은 상기 하프톤 마스크(700)의 비투과 영역(710)에 대응하는 포토 레지스트층은 그대로 잔존하고, 상기 하프톤 마스크(700)의 반투과영역(720)에 대응하는 포토 레지스트층은 일부만이 잔존하고, 상기 하프톤 마스크(700)의 투과영역(730a, 730b, 730c)에 대응하는 포토 레지스트층은 모두 제거된다.
- [0152] 다음, 도 12c에서 알 수 있듯이, 상기 포토 레지스트 패턴을 마스크로하여, 상기 화소 전극층(150a) 및 센싱 라인층(140a)을 식각한다. 상기 포토 레지스트 패턴을 애싱(ashing) 처리한 후, 다시 식각 공정을 수행한 후 최종적으로 포토 레지스트 패턴을 제거한다.
- [0153] 이와 같은 방식으로 화소 전극(150) 및 센싱 라인(160)을 형성하면, 광을 조사하는 공정을 2번 수행하지 않고 1번에 끝낼 수 있는 바, 제조 시간과 원가를 절감할 수 있는 효과가 있다.
- [0154] 다음, 도 12d에서 알 수 있듯이, 상기 화소 전극(150) 및 센싱 라인(160) 상에 제 2보호층(170)을 형성하고, 상기 제 2보호층(170) 상에 공통 전극 블록(180)을 패턴 형성한다.
- [0155] <차단층을 포함하는 액정표시장치의 제조방법>
- [0156] 도 13a 내지 도 13d는 본 발명의 다른 실시예에 따른 액정표시용 하부기판의 제조공정을 나타내는 공정 단면도

이다. 이하, 도 11a 내지 도 11c와 중복되지 않는 내용을 위주로 설명한다.

- [0157] 우선, 도 13a에서 알 수 있듯이, 하부기관(100) 상에 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 및 제 3보호층(145)을 차례로 형성하고, 상기 제 1보호층(140) 및 제 3보호층(145)에 화소 전극 콘택홀(155)을 형성한다.
- [0158] 다음, 도 13b에서 알 수 있듯이, 드레인 전극(137)과 전기적으로 연결되도록 제 3보호층(145) 상에 화소 전극(150)을 패턴 형성한다. 이후, 제 3보호층(145) 상에 센싱 라인(160b)을 형성한다. 또한, 제 1보호층(140) 상에 차단층(160a)을 형성한다.
- [0159] 센싱 라인(160b) 및 차단층(160a)은 하부에 형성된 반도체층(130)을 상부로부터 조사되는 자외선을 차단할 수 있도록 반도체층(130)의 넓이에 대응되도록 형성한다.
- [0160] 다음, 도 13c에서 알 수 있듯이, 화소 전극(150), 센싱 라인(160b), 및 차단층(160a) 상에 제 2보호층(170)을 형성하고, 센싱 라인(160b)과 공통 전극 블록(180)이 전기적으로 연결될 수 있도록 공통 전극 콘택홀(165)을 형성한다.
- [0161] 다음, 도 13d에서 알 수 있듯이, 상부기관(200) 및 하부기관(100)을 대면 합착하고 액정층을 주입한 후, 자외선을 조사하여 실런트를 경화시켜 셀패턴(250)을 형성한다.
- [0162] 이와같이 반도체층(130) 상에 차단층(160a) 및 센싱 라인(160b)을 형성하면 자외선으로부터 반도체층(130)이 열화되는 것을 방지할 수 있는 효과가 있다.
- [0163] <상관배면에 고저항 도전층을 포함하는 액정표시장치의 제조방법>
- [0164] 도 14는 도 8의 C-C' 라인의 단면에 해당하는 다른 실시예에 따른 도면이다.
- [0165] 도 14에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정표시장치는 하부기관(100), 게이트 전극(110), 게이트 절연막(120), 반도체층(130), 에치스토퍼(133), 소스 전극(135), 드레인 전극(137), 제 1보호층(140), 화소 전극(150), 센싱 라인(160b), 차단층(160a), 제 2보호층(170), 공통 전극 블록(180), 상부기관(200), 블랙 매트릭스(230), 셀패턴(250), 및 고저항 도전층(270)을 포함하며, 공통 전극 블록(180)이 화소 전극(150) 상에 형성된 공통 전극 탭 구조이다. 이하 도 9와 중복되는 설명은 생략하기로 한다.
- [0166] 고저항 도전층(270)은 상기 상부기관(200)의 배면에 형성되며, 광학적으로는 액정 패널에서 출사되는 광을 투과시키기 위해 투명 재질이며, 전기적으로는 패널 상에서 정전기에 의해 형성된 전하를 하부기관(100)에 형성된 그라운드 패드(미도시)로 그라운드(GND) 시키기 위해 도전성을 가지는 전도성 재질로 형성된다. 여기서, 상기 고저항 도전층(270)은 사용자의 터치 검출 성능을 향상시키기 위해 고 저항(일 예로서, $50\text{M}\Omega/\text{sqr} \sim 5\text{G}\Omega/\text{sqr}$)을 가지도록 형성된다.
- [0167] 상기 고저항 도전층(270)은 액정 패널에 형성된 전하가 그라운드(GND)로 빠져나갈 수 있도록 하여, 터치 전극이 내장된 액정표시장치의 정전기 방지(ESD shielding) 성능을 향상시킬 수 있는 효과가 있다.
- [0168] 즉, 상기 고저항 도전층(270)은 상술한 바와 같이, $50\text{M}\Omega/\text{sqr} \sim 5\text{G}\Omega/\text{sqr}$ 의 저항 값을 가지는 고저항 물질로 형성되어 사용자 손가락의 영향을 쉴드(shield)시키는 현상을 방지하여 터치 스크린이 내장된 액정 표시장치의 터치 검출 성능을 향상시킬 수 있다.
- [0169] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 구성을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0170] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해하여야 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

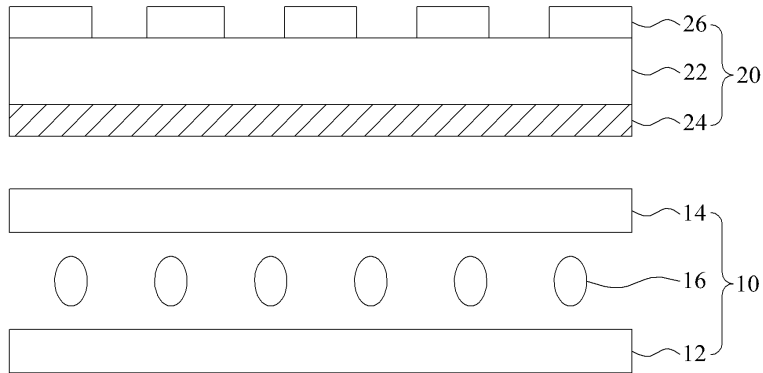
부호의 설명

- [0171] 100 - 하부기관 102 - 게이트 라인
104 - 데이터 라인 110 - 게이트 전극
130 - 반도체층 135 - 소스 전극

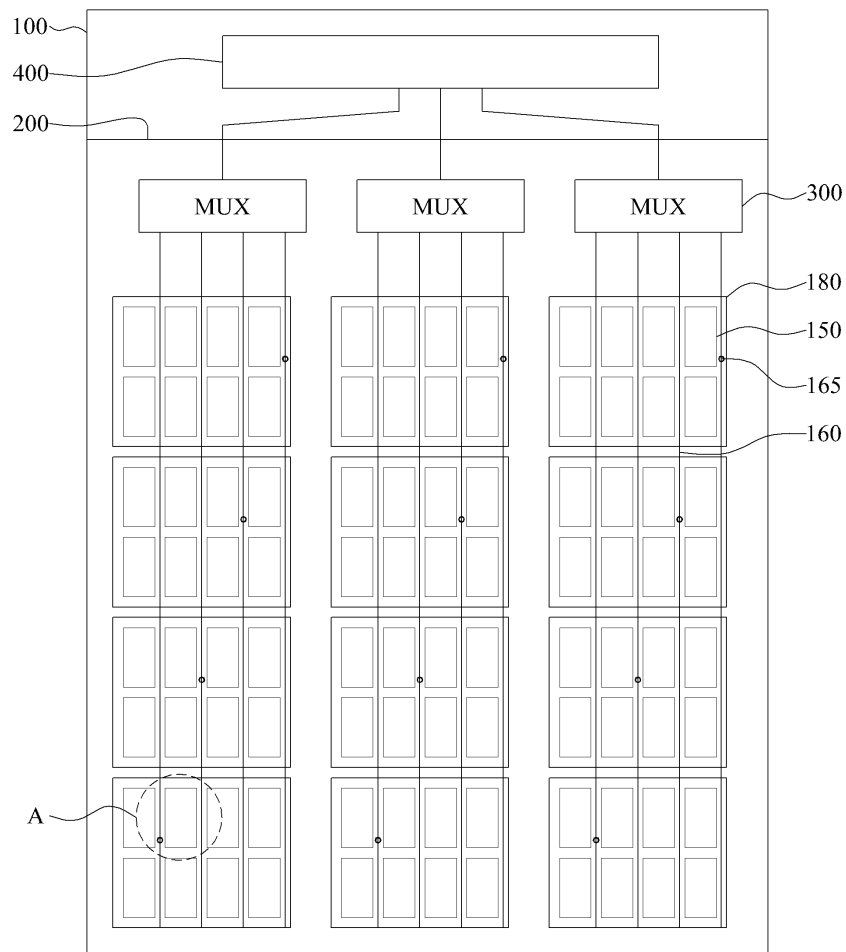
137 - 드레인 전극 140 - 제 1보호층
 145 - 제 3보호층 150 - 화소 전극
 160 - 센싱 라인 165 - 공통 전극 콘택홀
 170 - 제 2보호층 180 - 공통 전극 블록
 190 - 슬릿 200 - 상부기관
 300 - 멀티플렉서 400 - 센싱 회로부

도면

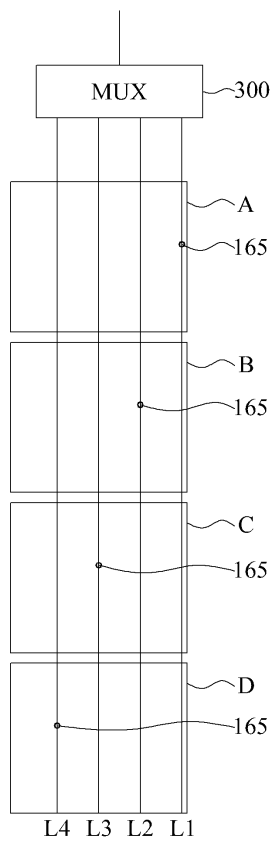
도면1



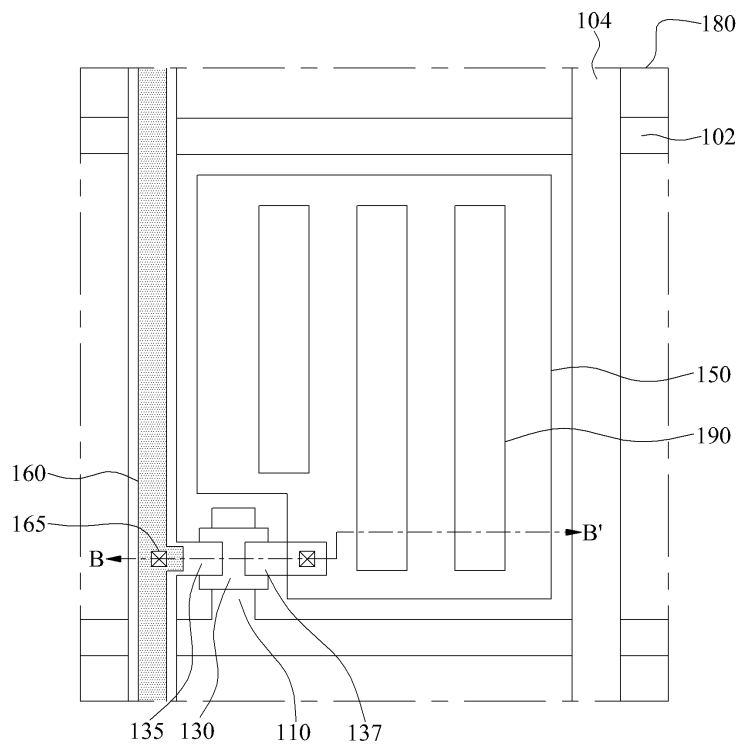
도면2a



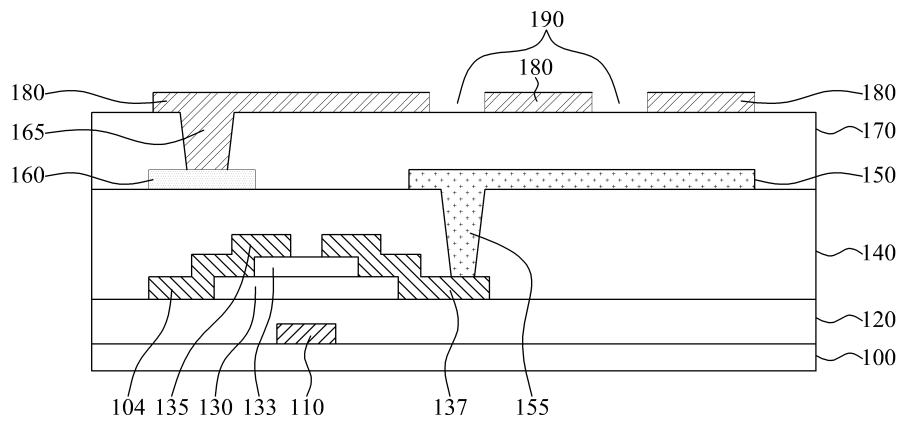
도면2b



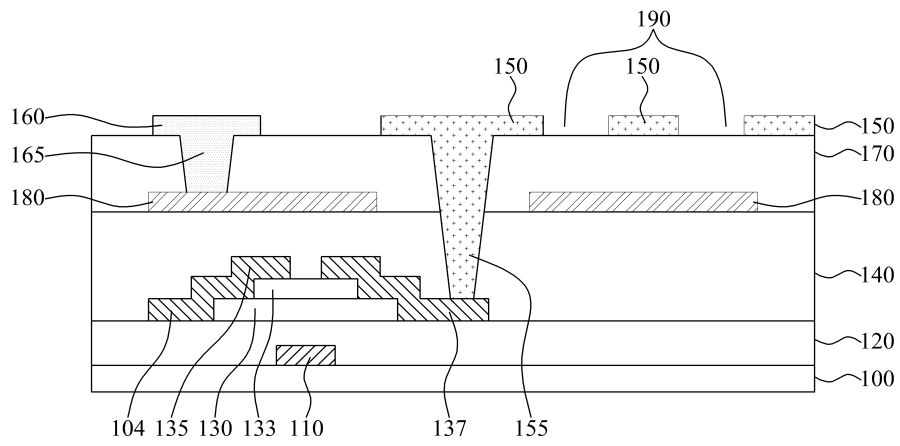
도면3



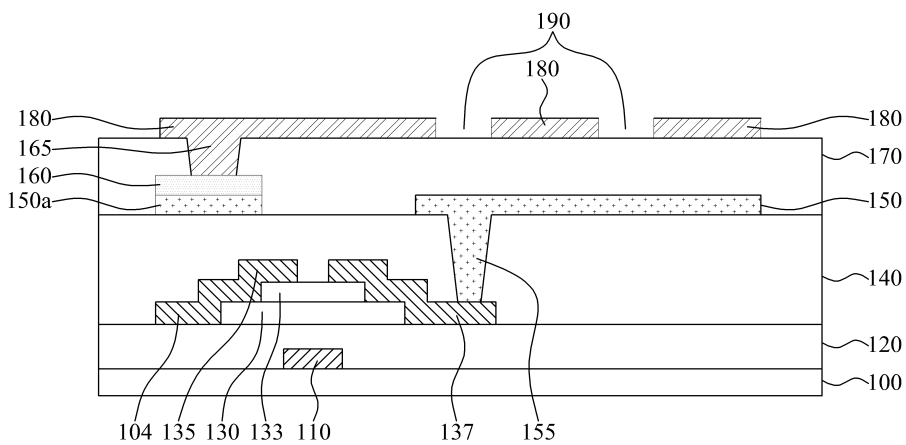
도면4



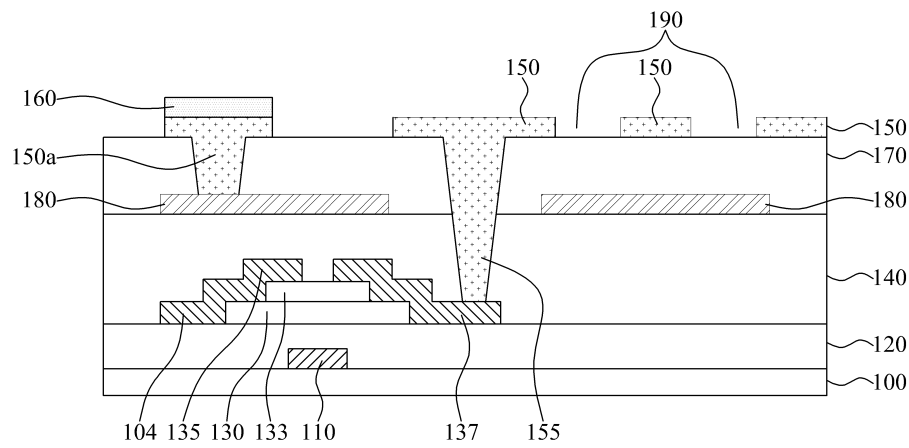
도면5



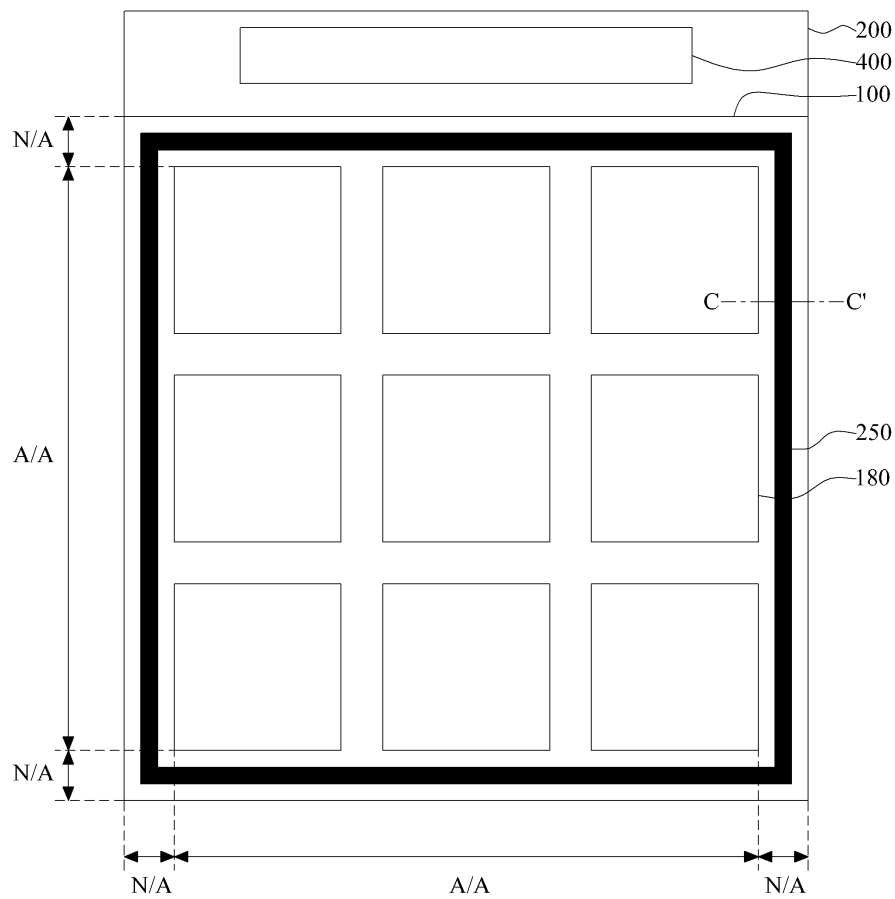
도면6



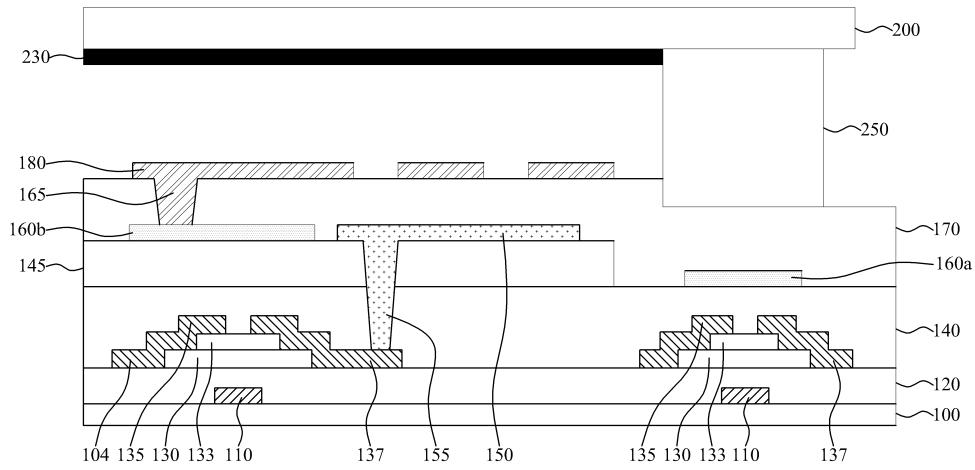
도면7



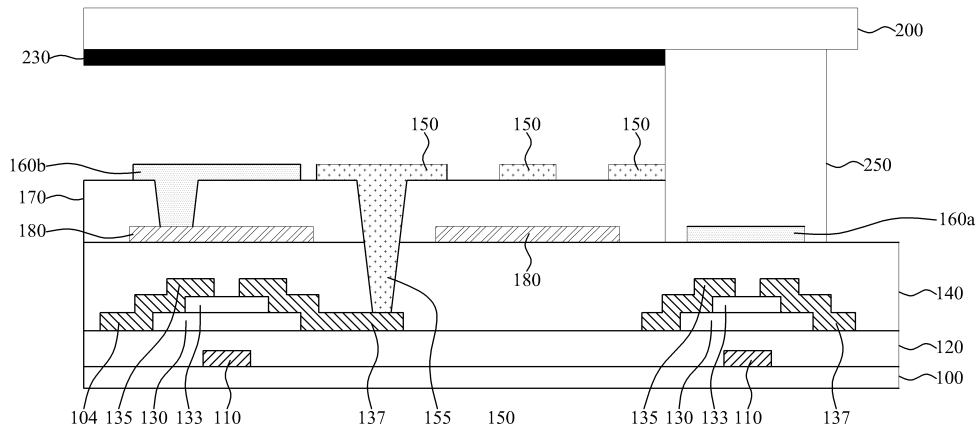
도면8



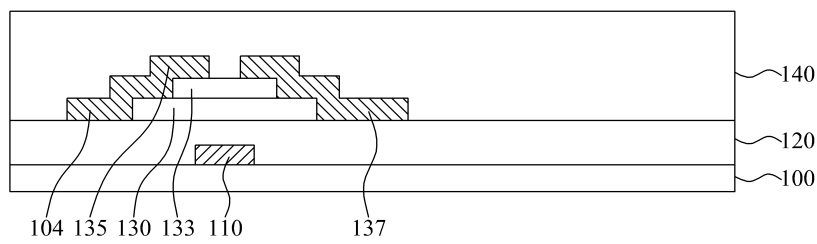
도면9



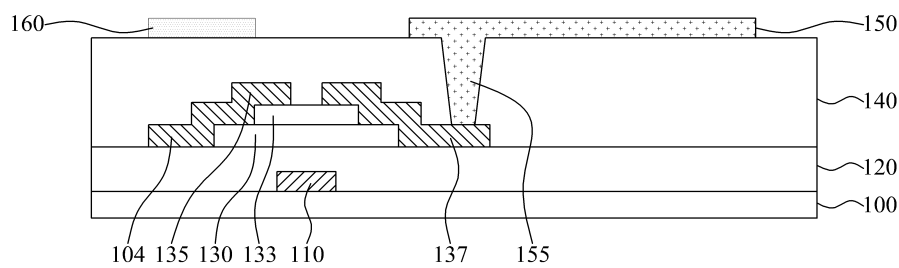
도면10



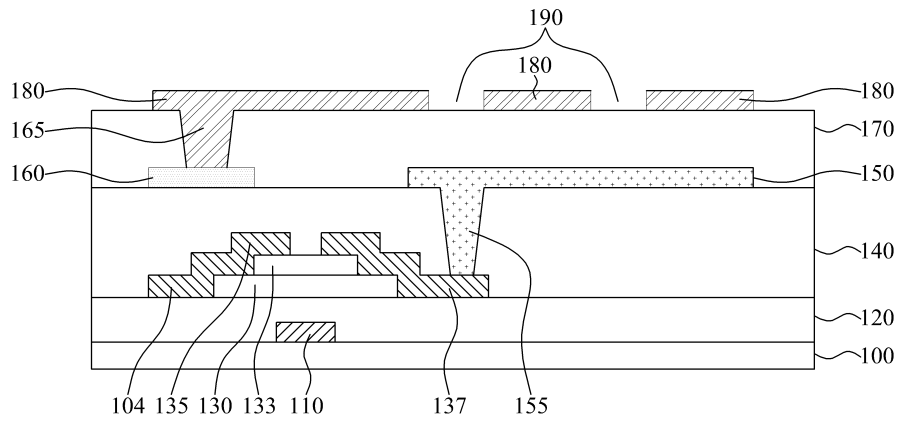
도면11a



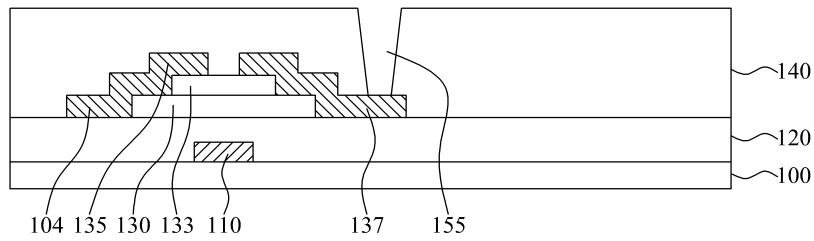
도면11b



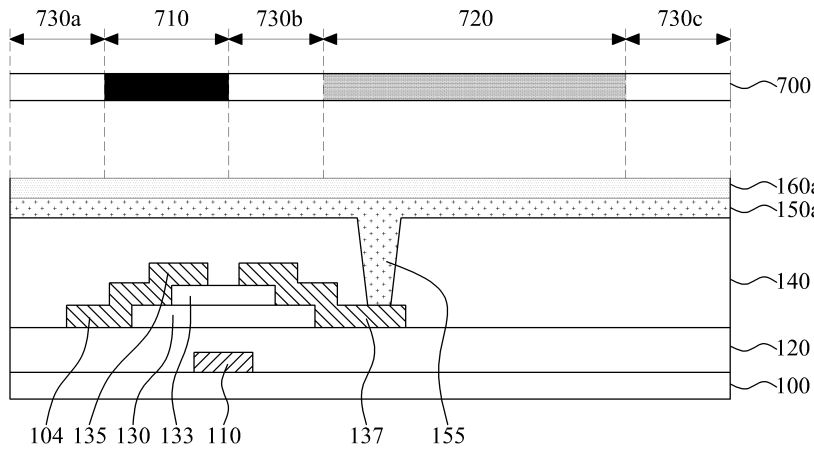
도면11c



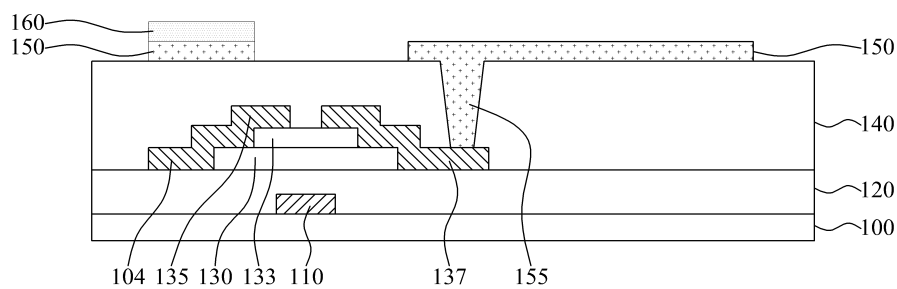
도면12a



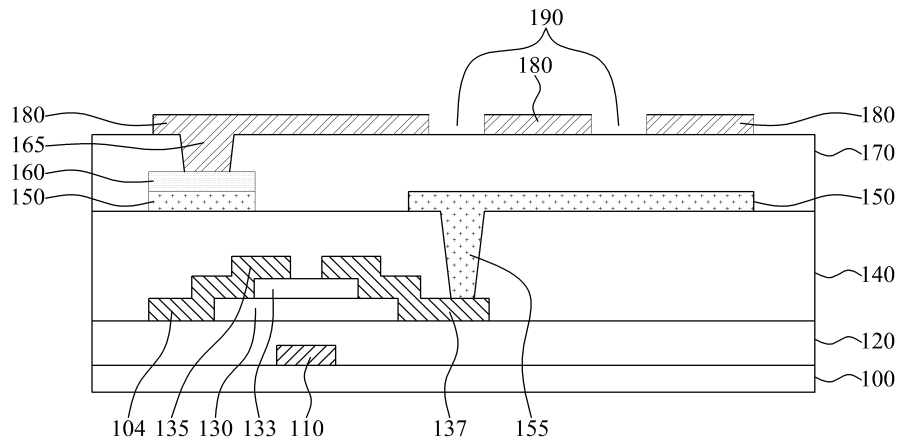
도면12b



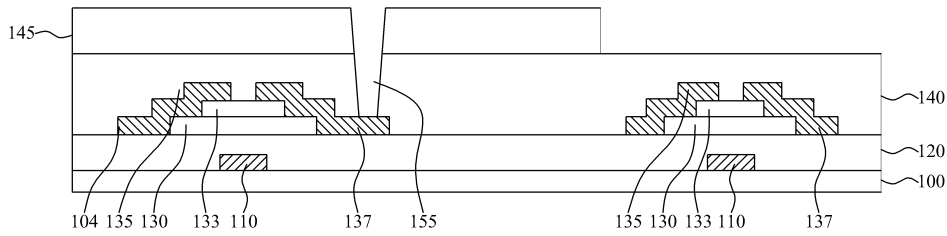
도면12c



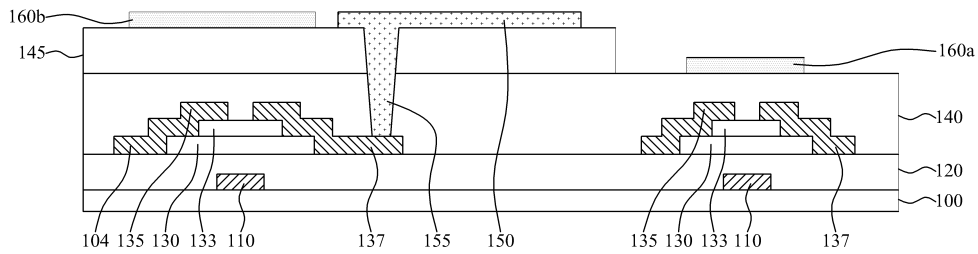
도면12d



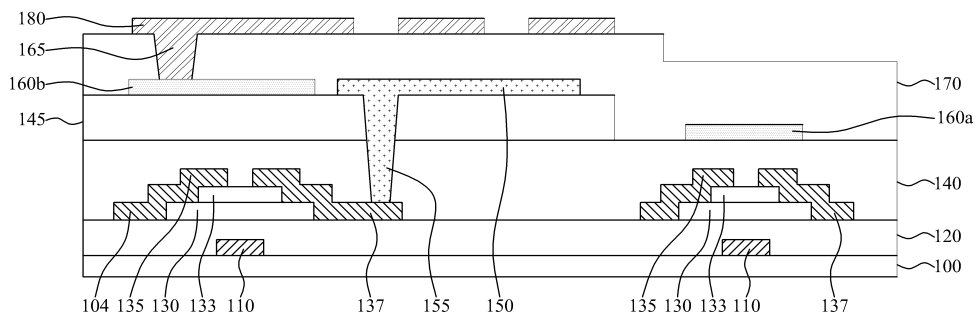
도면13a



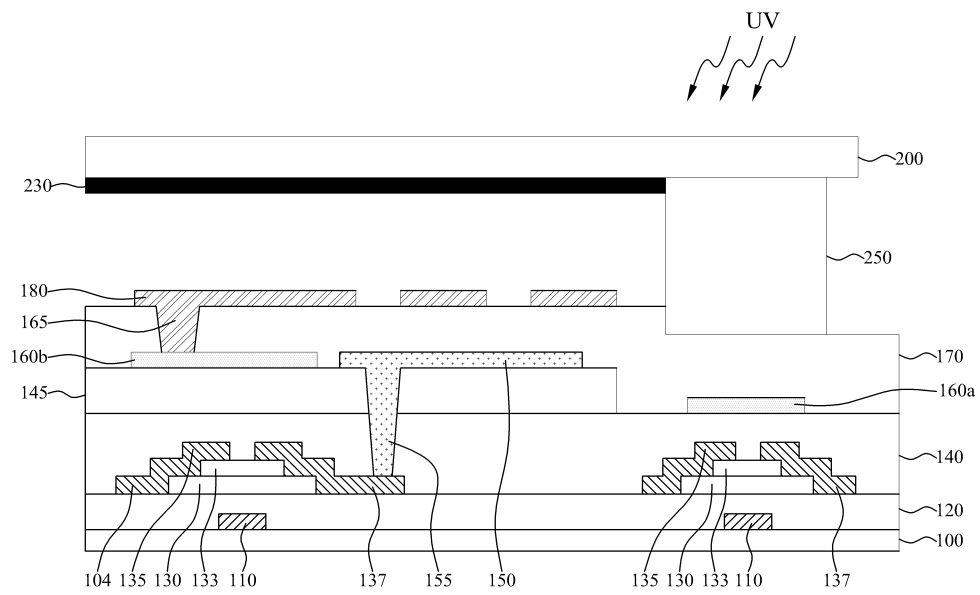
도면13b



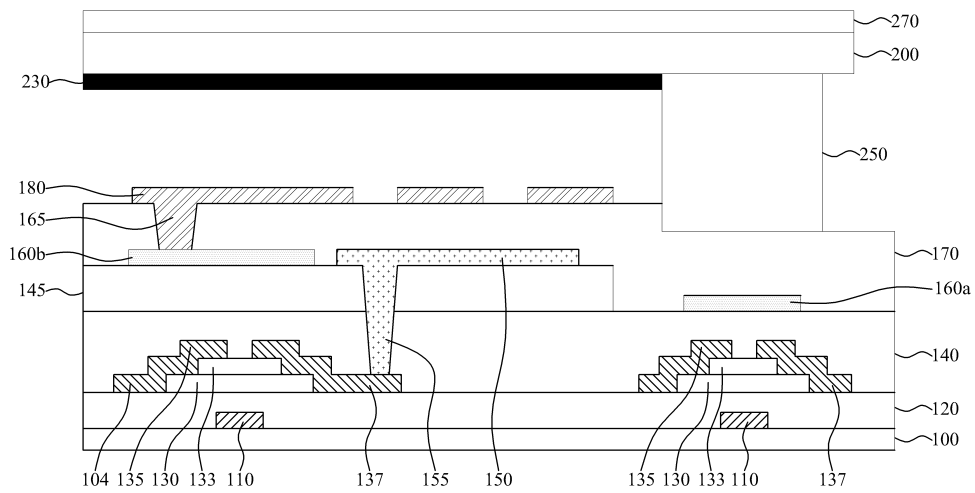
도면13c



도면13d



도면14



专利名称(译)	触摸屏集成显示器		
公开(公告)号	KR1020170113524A	公开(公告)日	2017-10-12
申请号	KR1020170122570	申请日	2017-09-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HEESUN SHIN 신희선 SEOKWOO LEE 이석우 JAESUNG YU 유재성 JUHAN KIM 김주한 SUNJUNG LEE 이선정 INHYUK SONG 송인혁		
发明人	신희선 이석우 유재성 김주한 이선정 송인혁		
IPC分类号	G02F1/1362 G02F1/1333 G02F1/1343 G02F1/1368 G06F3/041 G06F3/044		
CPC分类号	G02F1/13338 G02F1/1343 G02F1/136227 G02F1/136286 G02F1/1368 G06F3/041 G06F3/0412 G06F3/044 G06F2203/04103 G06F2203/04111		
其他公开文献	KR101918965B1		
外部链接	Espacenet		

摘要(译)

本发明不必是通过将感测电极用于内液晶面板上感测用户的触摸，并且被配置来在触摸屏上的液晶面板的上表面分离如在现有技术中，在厚度减小，并且简化了制造过程，该制造以及制造它的方法。根据本发明的实施例的集成有触摸屏显示器包括：基板，第一公共电极块和第二公共电极块中，第一公共电极的第一感测在设置在基板上的块的有源区和所述衬底电耦合线，所述第二公共电极和从所述块的所述有源区和所述基板电连接到第二感测线，第一感测线和重叠与第一公共电极块中，第二感测线具有第一公共电极块和2与公共电极块重叠，第一感测线不与所述第二感测线重叠，第二公共电极块从在所述衬底的有源区中的第一感测线绝缘。 专利文献10-2017-0113524

