



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0072941  
(43) 공개일자 2016년06월24일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0180779

(22) 출원일자 2014년12월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김홍재

대구 북구 칠곡중앙대로95길 11, 101동 506호 (관음동, 동화훼미리타운)

박현호

경북 칠곡군 석적읍 석적로 955-19, 107동 705호 (우방신천지아파트)

(74) 대리인

특허법인네이트

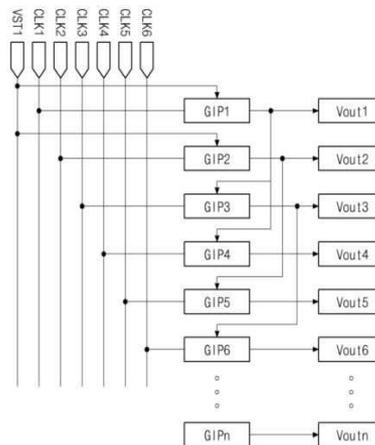
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 액정표시장치

**(57) 요약**

본 발명은 네로우 베젤을 구현하고 영상의 표시품질 저하를 방지하기 위해, 외부로부터 하나의 스타트 신호와 제 1 내지 제 m(m은 4이상의 자연수) 클럭신호를 인가 받아 제 1 내지 제 n(n은 3이상의 자연수) 게이트 신호를 각각 출력하는 제1 내지 제 n 게이트 내장회로를 포함하며, 상기 제 n 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 게이트 구동부를 제공한다.

**대표도** - 도5



## 명세서

### 청구범위

#### 청구항 1

외부로부터 하나의 스타트 신호와 제 1 내지 제  $m$  ( $m$ 은 4이상의 자연수) 클럭신호를 인가 받아 제 1 내지 제  $n$  ( $n$ 은 3이상의 자연수) 게이트 신호를 각각 출력하는 제 1 내지 제  $n$  게이트 내장회로를 포함하며,

상기 제  $n$  게이트 내장회로는 상기 제  $n-2$  게이트 내장회로에서 출력되는 상기 제  $n-2$  게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 게이트 구동부.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 게이트 내장회로는 상기 스타트 신호에 의해 개시되는 것을 특징으로 하는 게이트 구동부.

#### 청구항 3

제 2 항에 있어서,

상기 제  $n+1$  게이트 내장회로는 상기 제  $n-2$  게이트 내장회로에서 출력되는 상기 제  $n-2$  게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 게이트 구동부.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 내지 제  $m$  클럭신호는 인접 클럭신호와 하이레벨 구간이 일부 중첩되는 것을 특징으로 하는 게이트 구동부.

#### 청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 내지 제  $n$  게이트 내장회로 각각에 구성되며,

상기 제 1 내지 제  $n$  게이트 신호의 출력을 각각 결정하는 제 1 내지 제  $n$  Q노드; 및

상기 제 1 내지 제  $n$  Q노드와 각각 연결된 제 1 내지 제  $n$  박막트랜지스터를 더 포함하고,

상기 제  $n$  Q노드는 상기 제  $n-2$  게이트 신호의 인가 시점부터 상기 제  $m-1$  클럭신호의 인가 시점까지 프리차징 되는 것을 특징으로 하는 게이트 구동부.

#### 청구항 6

제 5 항에 있어서,

상기 제  $n$  박막트랜지스터는 상기 다른 박막트랜지스터에 비해 채널의 폭과 길이 비가 큰 확장 박막 트랜지스터인 것을 특징으로 하는 게이트 구동부.

**청구항 7**

제 1 내지 제 n(n은 3이상의 자연수) 게이트 배선과 상기 제 1 내지 제 n 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 표시 패널;

외부로부터 하나의 스타트 신호와 제 1 내지 제 m(m은 4이상의 자연수) 클럭신호를 인가 받아 상기 제 1 내지 제 n 게이트 배선에 순차적으로 상기 제 1 내지 제 n 게이트 신호를 각각 출력하는 제1 내지 제 n 게이트 내장 회로를 포함하는 게이트 구동부;

상기 데이터 배선을 구동시키는 데이터 구동부; 및

상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 제 n 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 것을 특징으로 하는 액정표시장치.

**청구항 8**

제 7 항에 있어서,

상기 제 1 및 제 2 게이트 내장회로는 상기 스타트 신호에 의해 개시되는 것을 특징으로 하는 액정표시장치.

**청구항 9**

제 8 항에 있어서,

상기 제 n+1 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 액정표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것으로, 특히 영상의 표시품질 저하를 방지하는 게이트 구동부 및 이를 포함하는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 액정표시장치는 액정표시패널과, 액정표시패널의 데이터 라인에 데이터를 공급하기 위한 데이터 구동부와, 액정표시패널의 게이트 라인에 게이트 펄스를 공급하기 위한 게이트 구동부와, 데이터 구동부 및 게이트 구동부를 제어하기 위한 타이밍 컨트롤러를 구비한다.

[0003] 이러한, 액정표시장치는 일반적으로 게이트 및 데이터 구동부를 집적회로 형태로 형성하여 TCP 또는 COF 테이프와 같이 액정패널에 부착하여 사용한다.

[0004] 이로 인해서 부품소자 수가 증가하고, 부품소자 수의 증가에 따른 공정 증가로 공정비용이 상승하여 액정표시장치를 경량화 및 소형화 하는데 문제점이 되고 있어, 게이트 구동부를 액정표시패널에 형성하는 GIP(Gate Drive-IC in panel) 방식의 액정표시장치가 제안되었다.

[0005] GIP방식의 액정표시장치의 액정패널의 표시영역에는 액정셀을 정의하는 다수의 게이트 및 데이터 배선이 교차되어 형성되어 있고, 표시영역의 외곽에서 다수의 박막 트랜지스터로 구성되는 GIP 방식의 게이트 구동부가 구비되어 있다.

[0006] 한편, 최근들어 액정표시장치는 경량박형을 추구하는 동시에 슬림한 디자인 구현을 위해 표시영역 외부의 비표시영역의 폭이라 정의되는 베젤(Bezel)을 보다 작게 형성하는 것이 요구되고 있는데, 네로우 베젤(Narrow

Bezel)을 구현하기 위해서는 게이트 구동부에 형성되는 신호배선 특히, 외부로부터 신호를 공급하는 스타트 신호 배선 수를 줄이는 것이 문제가 된다.

[0007] 또한, 네로우 베젤(Narrow Bezel)을 구현하기 위해 스타트 신호 배선 수를 줄여, 하나의 스타트 신호를 다수의 게이트 내장회로에 동시에 인가하는 경우, Q노드의 프리차징 구간에서 전압수준은 하이레벨로 유지되지 못해, 게이트 내장회로의 출력에 이상이 발생할 수 있다.

[0008] 이에 따라, 게이트신호의 파형이 왜곡되고, 게이트 댐(Gate Dim)과 같은 불량이 발생하여 영상의 표시품질이 저하되는 문제가 발생할 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0009] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 게이트 구동부의 스타트 신호 배선을 최소로 형성하여 네로우 베젤을 구현하고, 게이트신호 파형의 왜곡을 방지할 수 있는 게이트 구동부 및 이를 포함하는 액정표시장치를 제공하는 것을 그 목적으로 한다.

#### 과제의 해결 수단

[0010] 전술한 바와 같은 목적을 달성하기 위하여, 외부로부터 하나의 스타트 신호와 제 1 내지 제 m(m은 4이상의 자연수)클럭신호를 인가 받아 제 1 내지 제 n(n은 3이상의 자연수) 게이트 신호를 각각 출력하는 제1 내지 제 n 게이트 내장회로를 포함하며, 상기 제 n 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 게이트 구동부를 제공한다.

[0011] 또한, 상기 제 1 및 제 2 게이트 내장회로는 상기 스타트 신호에 의해 개시되는 것을 특징으로 한다.

[0012] 또한, 상기 제 n+1 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 한다.

[0013] 또한, 상기 제 1 내지 제 m 클럭신호는 인접 클럭신호와 하이레벨 구간이 일부 중첩되는 것을 특징으로 한다.

[0014] 또한, 상기 제 1 내지 제 n 게이트 내장회로 각각에 구성되며, 상기 제 1 내지 제 n 게이트 신호의 출력을 각각 결정하는 제 1 내지 제 n Q노드 및 상기 제 1 내지 제 n Q 노드와 각각 연결된 제 1 내지 제 n 박막트랜지스터를 더 포함하고, 상기 제 n Q노드는 상기 제 n-2 게이트 신호의 인가 시점부터 상기 제 m-1 클럭신호의 인가 시점까지 프리차징되는 것을 특징으로 하는 게이트 구동부를 제공한다.

[0015] 또한, 상기 제 n 박막트랜지스터는 상기 다른 박막트랜지스터에 비해 채널의 폭과 길이 비가 큰 확장 박막 트랜지스터인 것을 특징으로 한다.

[0016] 또한, 제 1 내지 제 n(n은 3이상의 자연수) 게이트 배선과 상기 제 1 내지 제 n 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시하는 표시 패널과 외부로부터 하나의 스타트 신호와 제 1 내지 제 m(m은 4이상의 자연수) 클럭신호를 인가 받아 상기 제 1 내지 제 n 게이트 배선에 순차적으로 상기 제 1 내지 제 n 게이트 신호를 각각 출력하는 제1 내지 제 n 게이트 내장회로를 포함하는 게이트 구동부와 상기 데이터 배선을 구동시키는 데이터 구동부 및 상기 게이트 구동부 및 상기 데이터 구동부를 제어하는 타이밍 콘트롤러를 포함하고, 상기 제 n 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 하는 것을 특징으로 하는 액정표시장치를 제공한다.

[0017] 또한, 상기 제 1 및 제 2 게이트 내장회로는 상기 스타트 신호에 의해 개시되는 것을 특징으로 한다.

[0018] 또한, 상기 제 n+1 게이트 내장회로는 상기 제 n-2 게이트 내장회로에서 출력되는 상기 제 n-2 게이트 신호를 인가 받아 개시되는 것을 특징으로 한다.

### 발명의 효과

[0019] 본 발명의 게이트 구동부 및 이를 포함하는 액정표시장치는 게이트 구동부에 형성되는 신호배선 특히, 외부로부터 신호를 공급하는 스타트 신호 배선 수를 줄여 네로우 베젤을 구현할 수 있다.

[0020] 또한, 스타트 신호 배선 수를 줄임으로써 게이트신호의 파형이 왜곡되어 영상의 표시품질이 저하되는 것을 방지할 수 있다.

**도면의 간단한 설명**

- [0021] 도 1은 본 발명의 제1실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이다.
- 도2는 도1의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.
- 도 3은 본 발명의 제2실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이다.
- 도4는 도3의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.
- 도 5는 본 발명의 제3실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이다.
- 도6은 도5의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0023] <제 1 실시예>
- [0024] 도 1은 본 발명의 제1실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이고, 도2는 도1의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.
- [0025] 먼저, 도2의 클럭신호의 출력 파형은 본 발명의 특징을 대표로 나타내는 제1 내지 제3클럭신호의 출력 파형만 도시하였고, 나머지 클럭신호의 출력파형은 생략하였다.
- [0026] 또한, 6개의 클럭신호를 예를 들어 설명하지만 클럭신호가 4개 이상이면 본 발명의 효과를 나타낼 수 있다.
- [0027] 본 발명의 제1실시예에 의한 게이트 내장회로를 구비한 액정표시장치는 도 1에 도시한 바와 같이, 서로 직렬로 연결된  $n$ ( $n$ 은 3이상의 자연수)개의 게이트 내장회로(GIP1~GIPn)로 구성된다.
- [0028] 여기서, 각 게이트 내장회로(GIP1~GIPn)는 한 프레임 기간 동안 한 번의 게이트신호(Vout1~Voutn)를 출력하는데, 이 때 6개의 클럭신호(CLK1~CLK6) 중 적어도 하나의 클럭신호를 받아 제1게이트 내장회로(GIP1)로부터 제n게이트 내장회로(GIPn)까지 순차적으로 게이트신호(Vout1~Voutn)를 출력한다.
- [0029] 이 때, 6개의 클럭신호(CLK1~CLK6)는 각각 인접한 클럭신호와 일부 예를 들면, 클럭신호의 하이레벨구간의 2/3가 중첩되며 각 게이트 내장회로(GIP1~GIPn)에 순차적으로 인가된다.
- [0030] 각 게이트 내장회로(GIP1~GIPn)로부터 출력된 게이트신호(Vout1~Voutn)는 영상을 표시하는 액정패널(미도시)의 게이트 배선들에 순차적으로 공급되어, 표시패널의 각 게이트 배선들을 순차적으로 스캐닝하게 된다.
- [0031] 구체적으로, 제1게이트 내장회로(GIP1)가 제1게이트신호(Vout1)를 출력하면, 이어서 제2게이트 내장회로(GIP2)가 제2게이트신호(Vout2)를 출력하고, 다음으로 제3게이트 내장회로(GIP3)가 제3게이트신호(Vout3)를 출력하고, ..., 마지막으로 제n게이트 내장회로(GIPn)가 제n게이트신호(Voutn)를 출력한다.
- [0032] 제7게이트 내장회로부터 제n게이트 내장회로(GIP7~GIPn)에서 게이트신호를 출력하는 과정은 제1스타트신호(Vst1)를 제외하고 제1 내지 제6게이트 내장회로(GIP1~GIP6)에서 게이트신호를 출력하는 과정의 반복이므로, 대표적으로 제1 내지 제6게이트 내장회로(GIP1~GIP6)에 대해서만 설명하겠다.
- [0033] 먼저, 제1스타트신호(Vst1)가 제1 내지 제3게이트 내장회로(GIP1~GIP3)에 동시에 인가되면, 제1 내지 제3게이트 내장회로(GIP1~GIP3)는 각 게이트 내장회로에 인가되는 제1 내지 제3클럭신호(CLK1~CLK3)을 이용하여 순차적으로 제1 내지 제3게이트신호(Vout1~Vout3)를 출력한다.
- [0034] 다음, 제1게이트 내장회로(GIP1)로부터 출력되는 제1게이트신호(Vout1)는 제4게이트 내장회로(GIP4)에 공급되어

제4게이트 내장회로(GIP4)를 개시시키며, 이에 의해 제4게이트 내장회로(GIP4)는 제4클럭신호(CLK4)를 이용하여 제4게이트신호(Vout4)를 출력한다.

[0035] 다음, 제2게이트 내장회로(GIP2)로부터 출력되는 제2게이트신호(Vout2)는 제5게이트 내장회로(GIP5)에 공급되어 제5게이트 내장회로(GIP5)를 개시시키며, 이에 의해 제5게이트 내장회로(GIP5)는 제5클럭신호(CLK5)를 이용하여 제5게이트신호(Vout5)를 출력한다.

[0036] 다음, 제3게이트 내장회로(GIP3)로부터 출력되는 제3게이트신호(Vout3)는 제6게이트 내장회로(GIP6)에 공급되어 제6게이트 내장회로(GIP6)를 개시시키며, 이에 의해 제6게이트 내장회로(GIP6)는 제6클럭신호(CLK6)를 이용하여 제6게이트신호(Vout6)를 출력한다.

[0037] 한편, 제1게이트 내장회로(GIP1)는 이전단의 게이트 내장회로가 없으므로 이전단의 게이트 내장회로의 게이트 신호를 트리거 신호로 받아 개시할 수 없다. 따라서, 제1게이트 내장회로는 제1스타트 신호(Vst1)에 의해 개시된다.

[0038] 또한, 6개의 클럭신호(CLK1~CLK6)의 하이레벨 구간은 각각 인접한 클럭신호간 일부가 중첩되며, 각 게이트 내장회로(GIP1 내지 GIP6)에서 출력되는 게이트신호(Vout1~Vout6)의 하이레벨 구간은 클럭신호(CLK1~CLK6)의 하이레벨 구간과 일치하므로, 제2 및 제3게이트 내장회로(GIP2, GIP2)는 이전단의 게이트 내장회로(예를 들면, 제2게이트 내장회로의 경우 제1게이트 내장회로, 제3게이트 내장회로의 경우 제1 및 제2게이트 내장회로)의 게이트 신호를 트리거 신호로 받아 개시할 수 없다.

[0039] 따라서, 제2 및 제3게이트 내장회로(GIP2, GIP2)는 별도의 스타트 신호에 의해 개시되어야 한다.

[0040] 이 때, 제1 내지 제3게이트 내장회로(GIP1~GIP3)에 제1스타트 신호(Vst1)와 별도의 스타트신호를 인가하기 위해 게이트 구동부에 3개의 스타트 신호 배선을 형성하면 액정패널의 비표시영역의 폭으로 정의되는 베젤(Bezel)이 증가하게 된다.

[0041] 본 발명의 제1실시예는 제1스타트신호(Vst1)를 제1 내지 제3게이트 내장회로(GIP1~GIP3)에 동시에 인가함으로써, 게이트 구동부에 하나의 스타트 신호 배선을 형성하여 네로우 베젤(Narrow Bezel)을 구현할 수 있다.

[0042] 한편, 제1내지 제6게이트 내장회로(GIP1~GIP6) 각각에는 제1내지 제6게이트 신호(Vout1~Vout6)의 출력을 각각 결정하는 제1 내지 제nQ노드(미도시)와 제1 내지 제nQ 노드(미도시)와 각각 연결된 제1 내지 제n박막트랜지스터(미도시)를 더 포함한다

[0043] 또한, 도2에 도시한 바와 같이 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)에서 프리차징 구간인 제3구간(a3) 동안 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)의 전압수준은 하이레벨을 유지하여야 한다.

[0044] 즉, 제3Q노드(Qn3)에서 제3게이트 내장회로(GIP3)를 개시시키는 제1스타트 신호(Vst1)의 라이징 시점에서 폴링 시점까지 프리차징 구간이므로, 제1스타트 신호(Vst1)는 제3게이트 내장회로(GIP3)에 제3클럭신호(CLK3)가 인가 될 때까지 라이징 상태를 유지하여야 한다.

[0045] 그런데, 본 발명의 제1실시예의 제1스타트신호(Vst1)는 라이징 후 제1클럭신호(CLK1)의 라이징 시점에서 폴링되고, 제1스타트신호(Vst1)의 폴링 시점부터 제3클럭신호(CLK3)의 라이징 시점까지의 제2구간(a2) 동안 로우 레벨로 유지됨에 따라, 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)의 전압수준은 하이레벨로 유지되지 못해, 제3게이트 내장회로(GIP3)의 출력에 이상이 발생할 수 있다.

[0046] 즉, 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)에서 제1구간(a1) 동안 제1스타트 신호(Vst1)에 의해 충전된 전하는 제2구간(a2)에서 제3Q노드(Qn3)와 연결된 제3박막트랜지스터(미도시)를 통해 방전되고, 그 결과 제3구간(a3)에서 전압수준은 하이레벨을 유지하게 못해 전압이 감소될 수 있다.

[0047] 또한, 제3구간(a3) 동안 제3Q노드(Qn3)의 전압이 감소하면, 그에 따라 제4구간(a4) 동안 부스팅에 의해 더 높아지는 하이레벨의 전압도 감소될 수 있다.

[0048] 그 결과 제3게이트신호(Vout3)의 파형이 왜곡되고, 게이트 댐(Gate Dim)과 같은 불량이 발생하여 영상의 표시품질이 저하되는 문제가 발생할 수 있다.

[0049] 또한, 도면에는 도시하지 않았지만, 제1실시예의 액정표시장치는 상기 설명한 게이트 구동부에 표시패널, 데이터 구동부 및 타이밍 컨트롤러를 더 포함하여 완성된다.

- [0050] 이 때, 표시패널은 제 1 내지 제 n(n은 4이상의 자연수) 게이트 배선과 제 1 내지 제 n 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시한다.
- [0051] 또한, 데이터 구동부는 데이터 배선을 구동시키며, 타이밍컨트롤러는 데이터 구동부 및 게이트 구동부를 제어한다.
- [0052] <제 2 실시예>
- [0053] 도 3은 본 발명의 제2실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이고, 도4는 도3의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.
- [0054] 먼저, 도4의 클럭신호의 출력 파형은 본 발명의 특징을 대표로 나타내는 제1 내지 제3클럭신호의 출력 파형만 도시하였고, 나머지 클럭신호의 출력파형은 생략하였다.
- [0055] 또한, 6개의 클럭신호를 예를 들어 설명하지만 클럭신호가 4개 이상이면 본 발명의 효과를 나타낼 수 있다.
- [0056] 본 발명의 제2실시예에 의한 게이트 내장회로를 구비한 액정표시장치는 도 3에 도시한 바와 같이, 서로 직렬로 연결된 n개의 게이트 내장회로(GIP1~GIPn)로 구성된다.
- [0057] 여기서, 각 게이트 내장회로(GIP1~GIPn)는 한 프레임 기간 동안 한 번의 게이트신호(Vout1~Voutn)를 출력하는데, 이 때 6개의 클럭신호(CLK1~CLK6) 중 적어도 하나의 클럭신호를 받아 제1게이트 내장회로(GIP1)로부터 제n게이트 내장회로(GIPn)까지 순차적으로 게이트신호(Vout1~Voutn)를 출력한다.
- [0058] 이 때, 6개의 클럭신호(CLK1~CLK6)는 각각 인접한 클럭신호와 일부 예를 들면, 클럭신호의 하이레벨구간의 2/3가 중첩되며 각 게이트 내장회로(GIP1~GIPn)에 순차적으로 인가된다.
- [0059] 각 게이트 내장회로(GIP1~GIPn)로부터 출력된 게이트신호(Vout1~Voutn)는 영상을 표시하는 액정패널(미도시)의 게이트 배선들에 순차적으로 공급되어, 표시패널의 각 게이트 배선들을 순차적으로 스캐닝하게 된다.
- [0060] 구체적으로, 제1게이트 내장회로(GIP1)가 제1게이트신호(Vout1)를 출력하면, 이어서 제2게이트 내장회로(GIP2)가 제2게이트신호(Vout2)를 출력하고, 다음으로 제3게이트 내장회로(GIP3)가 제3게이트신호(Vout3)를 출력하고, ..., 마지막으로 제n게이트 내장회로(GIPn)가 제n게이트신호(Voutn)를 출력한다.
- [0061] 제7게이트 내장회로로부터 제n게이트 내장회로(GIP7~GIPn)에서 게이트신호를 출력하는 과정은 스타트신호를 제외한 제1 내지 제6게이트 내장회로(GIP1~GIP6)에서 게이트신호를 출력하는 과정의 반복이므로, 대표적으로 제1 내지 제6게이트 내장회로(GIP1~GIP6)에 대해서만 설명하겠다.
- [0062] 먼저, 제1스타트신호(Vst1)가 제1 및 제2게이트 내장회로(GIP1~GIP2)에 동시에 인가되면, 제1 및 제2게이트 내장회로(GIP1~GIP2)는 각 게이트 내장회로에 인가되는 제1 및 제2클럭신호(CLK1~CLK2)을 이용하여 순차적으로 제1 및 제2게이트신호(Vout1~Vout2)를 출력한다.
- [0063] 다음, 제1스타트신호(Vst1) 보다 제1스타트신호(Vst1)의 펄스 폭만큼 늦은 제2스타트신호(Vst2)가 제3게이트 내장회로(GIP3)에 인가되면, 제3게이트 내장회로(GIP3)는 제3게이트 내장회로(GIP3)에 인가되는 제3클럭신호(CLK3)을 이용하여 제3게이트신호(Vout3)를 출력한다.
- [0064] 이 때, 제2스타트신호(Vst2)는 제4게이트 내장회로(GIP4)를 개시시키는 트리거 신호로도 이용될 수 있다.
- [0065] 다음, 제1게이트 내장회로(GIP1)로부터 출력되는 제1게이트신호(Vout1) 또는 제2스타트신호(Vst2)는 제4게이트 내장회로(GIP4)에 공급되어 제4게이트 내장회로(GIP4)를 개시시키며, 이에 의해 제4게이트 내장회로(GIP4)는 제4클럭신호(CLK4)를 이용하여 제4게이트신호(Vout4)를 출력한다.
- [0066] 다음, 제2게이트 내장회로(GIP2)로부터 출력되는 제2게이트신호(Vout2)는 제5게이트 내장회로(GIP5)에 공급되어 제5게이트 내장회로(GIP5)를 개시시키며, 이에 의해 제5게이트 내장회로(GIP5)는 제5클럭신호(CLK5)를 이용하여 제5게이트신호(Vout5)를 출력한다.
- [0067] 다음, 제3게이트 내장회로(GIP3)로부터 출력되는 제3게이트신호(Vout3)는 제6게이트 내장회로(GIP6)에 공급되어 제6게이트 내장회로(GIP6)를 개시시키며, 이에 의해 제6게이트 내장회로(GIP6)는 제6클럭신호(CLK6)를 이용하여 제6게이트신호(Vout6)를 출력한다.
- [0068] 한편, 제1게이트 내장회로는 이전단의 게이트 내장회로가 없으므로 이전단의 게이트 내장회로의 게이트 신호를

트리거 신호로 받아 개시할 수 없다. 따라서, 제1게이트 내장회로(GIP1)는 제1스타트신호(Vst1)에 의해 개시된다.

- [0069] 또한, 6개의 클럭신호(CLK1~CLK6)의 하이레벨 구간은 각각 인접한 클럭신호와 일부가 중첩되며, 각 게이트 내장회로(GIP1~GIP6)에서 출력되는 게이트신호(Vout1~Vout6)의 하이레벨 구간은 클럭신호(CLK1~CLK6)의 하이레벨 구간과 일치하므로, 제2 및 제3게이트 내장회로(GIP2, GIP2)는 이전단의 게이트 내장회로(예를 들면, 제2게이트 내장회로의 경우 제1게이트 내장회로, 제3게이트 내장회로의 경우 제1 및 제2게이트 내장회로)의 게이트 신호를 트리거 신호로 받아 개시할 수 없다.
- [0070] 따라서, 제2 및 제3게이트 내장회로(GIP2, GIP3)는 별도의 스타트 신호 또는 트리거 신호에 의해 개시되어야 하는데, 본 발명의 제2실시예는 게이트 구동부에 두개의 스타트 신호 배선을 형성하여, 제1스타트신호(Vst1)가 제1 및 제2게이트 내장회로(GIP1, GIP2)에 동시에 인가되고, 제2스타트신호(Vst2)가 제3게이트 내장회로(GIP3)에 인가되는 것을 특징으로 한다.
- [0071] 한편, 제1내지 제6게이트 내장회로(GIP1~GIP6) 각각에는 제1내지 제6게이트 신호(Vout1~Vout6)의 출력을 각각 결정하는 제1 내지 제nQ노드(미도시)와 제1 내지 제nQ 노드와 각각 연결된 제1 내지 제n박막트랜지스터(미도시)를 더 포함한다.
- [0072] 도4에 도시한 바와 같이, 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)에서 프리차징 구간인 제1구간(b1) 동안 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)의 전압수준은 하이레벨로 유지될 수 있다.
- [0073] 즉, 제3Q노드(Qn3)에서 제3게이트 내장회로(GIP3)를 개시시키는 제2스타트 신호(Vst2)의 라이징 시점에서 풀링 시점까지 프리차징이 되는데, 제3게이트 내장회로(GIP3)에 제3클럭신호(CLK3)가 인가될 때까지 제2 스타트 신호(Vst2)의 하이레벨이 유지되기 때문에 제1구간(b1)에서 제3Q노드(Qn3)의 전압수준은 하이레벨로 유지될 수 있다.
- [0074] 또한, 제1구간(b1) 동안 제3Q노드의 전압이 유지되면, 그에 따라 제2구간(b2) 동안 부스팅에 의해 더 높아지는 하이레벨의 전압도 유지될 수 있다.
- [0075] 여기서, 제3게이트 내장회로(GIP3)를 개시시키는 제2스타트신호(Vst2)가 제1 및 제2게이트 내장회로(GIP1, GIP2)를 개시시키는 제1스타트신호(Vst1)보다 제1스타트신호(Vst1)의 펄스 폭만큼 지연됨에 따라, 프리차징 구간인 제1구간(b1)이 제1실시예의 제3구간(a3)보다 줄어들게 된다.
- [0076] 이에 따라, 제1구간(b1)에서 정상적인 프리차징이 이루어지지 않을 수 있다.
- [0077] 따라서, 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)와 연결된 제3박막트랜지스터(미도시)는 채널의 폭과 길이 비가 큰 확장 박막 트랜지스터를 사용함으로써 충분한 정상 차징(Charging)을 할 수 있게 된다.
- [0078] 그 결과, 본 발명의 제2실시예는 제3게이트신호(Vout3)의 파형이 왜곡되고, 게이트 댐(Gate Dim)과 같은 불량이 발생하여 영상의 표시품질이 저하되는 것을 방지할 수 있다.
- [0079] 한편, 제2실시예는 제1실시예와 달리 제3게이트 내장회로(GIP3)에 제2스타트신호(Vst2)를 인가하기 위하여 별도의 스타트신호 배선을 게이트구동부에 형성하여야 하며, 이로 인하여 네로우 베젤(Narrow Bezel)을 구현하는데 한계가 있다.
- [0080] 또한, 도면에는 도시하지 않았지만, 제2실시예의 액정표시장치는 상기 설명한 게이트 구동부에 표시패널, 데이터 구동부 및 타이밍 컨트롤러를 더 포함하여 완성된다.
- [0081] 이 때, 표시패널은 제 1 내지 제 n(n은 4이상의 자연수) 게이트 배선과 제 1 내지 제 n 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시한다.
- [0082] 또한, 데이터 구동부는 데이터 배선을 구동시키며, 타이밍컨트롤러는 데이터 구동부 및 게이트 구동부를 제어한다.
- [0083] <제 3 실시예>
- [0084] 도 5는 본 발명의 제3실시예의 다수의 게이트 내장회로가 구비된 게이트구동부의 구성도이고, 도6은 도5의 게이트 내장회로에 인가되는 스타트신호, 클럭신호 및 Q노드의 전압의 출력 파형도이다.

- [0085] 또한, 6개의 클럭신호를 예를 들어 설명하지만 클럭신호가 4개 이상이면 본 발명의 효과를 나타낼 수 있다.
- [0086] 먼저, 도6의 클럭신호의 출력 파형은 본 발명의 특징을 대표로 나타내는 제1 내지 제3클럭신호의 출력 파형만 도시하였고, 나머지 클럭신호의 출력파형은 생략하였다.
- [0087] 본 발명의 제3실시예에 의한 게이트 내장회로를 구비한 액정표시장치는 도 5에 도시한 바와 같이, 서로 직렬로 연결된 n개의 게이트 내장회로(GIP1~GIPn)로 구성된다.
- [0088] 여기서, 각 게이트 내장회로(GIP1~GIPn)는 한 프레임 기간 동안 한 번의 게이트신호(Vout1~Voutn)를 출력하는데, 이 때 6개의 클럭신호(CLK1~CLK6) 중 적어도 하나의 클럭신호를 받아 제1게이트 내장회로(GIP1)로부터 제n게이트 내장회로(GIPn)까지 순차적으로 게이트신호(Vout1~Voutn)를 출력한다.
- [0089] 이 때, 6개의 클럭신호(CLK1~CLK6)는 각각 인접한 클럭신호와 일부 예를 들면, 클럭신호의 하이레벨구간의 2/3가 중첩되며 각 게이트 내장회로(GIP1~GIPn)에 순차적으로 인가된다.
- [0090] 각 게이트 내장회로(GIP1~GIPn)로부터 출력된 게이트신호(Vout1~Voutn)는 영상을 표시하는 액정패널(미도시)의 게이트 배선들에 순차적으로 공급되어, 표시패널의 각 게이트 배선들을 순차적으로 스캐닝하게 된다.
- [0091] 구체적으로, 제1게이트 내장회로(GIP1)가 제1게이트신호(Vout1)를 출력하면, 이어서 제2게이트 내장회로(GIP2)가 제2게이트신호(Vout2)를 출력하고, 다음으로 제3게이트 내장회로(GIP3)가 제3게이트신호(Vout3)를 출력하고, . . . , 마지막으로 제n게이트 내장회로(GIPn)가 제n게이트신호(Voutn)를 출력한다.
- [0092] 제7게이트 내장회로로부터 제n게이트 내장회로(GIP7~GIPn)에서 게이트신호를 출력하는 과정은 스타트신호를 제외한 제1 내지 제6게이트 내장회로(GIP1~GIP6)에서 게이트신호를 출력하는 과정의 반복이므로, 대표적으로 제1 내지 제6게이트 내장회로(GIP1~GIP6)에 대해서만 설명하겠다.
- [0093] 먼저, 제1스타트신호(Vst1)가 제1 및 제2게이트 내장회로(GIP1~GIP2)에 동시에 인가되면, 제1 및 제2게이트 내장회로(GIP1~GIP2)는 각 게이트 내장회로에 인가되는 제1 및 제2클럭신호(CLK1~CLK2)을 이용하여 순차적으로 제1 및 제2게이트신호(Vout1~Vout2)를 출력한다.
- [0094] 다음, 제1스타트신호(Vst1)에 의해 개시되어 제1게이트 내장회로(GIP1)로부터 출력되는 제1게이트신호(Vout1)가 제3 및 제4게이트 내장회로(GIP3, GIP4)에 동시에 인가되면, 먼저, 제3게이트 내장회로(GIP3)는 제3게이트 내장회로(GIP3)에 인가되는 제3클럭신호(CLK3)을 이용하여 제3게이트신호(Vout3)를 출력하고, 이후, 제4게이트 내장회로(GIP4)는 제4게이트 내장회로(GIP4)에 인가되는 제4클럭신호(CLK4)를 이용하여 제4게이트신호(Vout4)를 출력한다.
- [0095] 다음, 제2게이트 내장회로(GIP2)로부터 출력되는 제2게이트신호(Vout2)는 제5게이트 내장회로(GIP5)에 공급되어 제5게이트 내장회로(GIP5)를 개시시키며, 이에 의해 제5게이트 내장회로(GIP5)는 제5클럭신호(CLK5)를 이용하여 제5게이트신호(Vout5)를 출력한다.
- [0096] 다음, 제3게이트 내장회로(GIP3)로부터 출력되는 제3게이트신호(Vout3)는 제6게이트 내장회로(GIP6)에 공급되어 제6게이트 내장회로(GIP6)를 개시시키며, 이에 의해 제6게이트 내장회로(GIP6)는 제6클럭신호(CLK6)를 이용하여 제6게이트신호(Vout6)를 출력한다.
- [0097] 한편, 제1게이트 내장회로(GIP1)는 이전단의 게이트 내장회로가 없으므로 이전단의 게이트 내장회로의 게이트신호를 트리거 신호로 받아 개시할 수 없다. 따라서, 제1게이트 내장회로(GIP1)는 제1스타트 신호(Vst1)에 의해 개시된다.
- [0098] 또한, 6개의 클럭신호(CLK1~CLK6)의 하이레벨 구간은 각각 인접한 클럭신호간 일부가 중첩되며, 각 게이트 내장회로(GIP1~GIP6)에서 출력되는 게이트신호(Vout1~Vout6)의 하이레벨 구간은 클럭신호(CLK1~CLK6)의 하이레벨 구간과 일치하므로, 제2 및 제3게이트 내장회로(GIP2, GIP2)는 이전단의 게이트 내장회로(예를 들면, 제2게이트 내장회로의 경우 제1게이트 내장회로, 제3게이트 내장회로의 경우 제1 및 제2게이트 내장회로)의 게이트 신호를 트리거 신호로 받아 개시할 수 없다.
- [0099] 따라서, 제2 및 제3게이트 내장회로(GIP2, GIP3)는 별도의 스타트 신호 또는 트리거 신호에 의해 개시되어야 하는데, 본 발명의 제3실시예는 게이트 구동부에 하나의 스타트 신호 배선을 형성함으로써, 제1스타트신호(Vst1)가 제1 및 제2게이트 내장회로(GIP1, GIP2)에 동시에 인가되고, 제1게이트신호(Vout1)가 제3게이트 내장회로(GIP3)에 인가되는 것을 특징으로 한다.

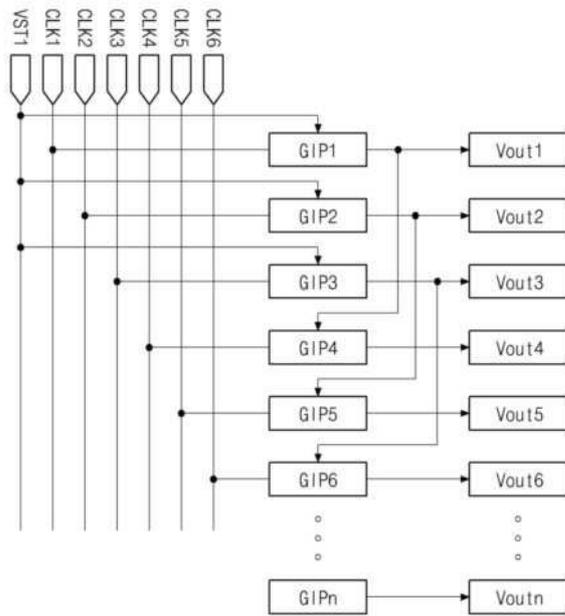
- [0100] 한편, 제1내지 제6게이트 내장회로(GIP1~GIP6) 각각에는 제1내지 제6게이트 신호(Vout1~Vout6)의 출력을 각각 결정하는 제1 내지 제nQ노드(미도시)와 제1 내지 제nQ 노드와 각각 연결된 제1 내지 제n박막트랜지스터(미도시)를 더 포함한다.
- [0101] 도6에 도시한 바와 같이 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)에서 프리차징 구간인 제1구간(c1) 동안 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)의 전압수준은 하이레벨로 유지될 수 있다.
- [0102] 즉, 제3Q노드(Qn3)에서 제3게이트 내장회로(GIP3)를 개시시키는 제1게이트신호(Vout1)의 라이징 시점에서 프리차징이 시작되는데, 제3게이트 내장회로(GIP3)에 제3클럭신호(CLK3)가 인가될 때까지 제1게이트신호(Vout1)의 하이레벨이 유지되기 때문에 제1구간(c1)에서 제3Q노드의 전압수준은 하이레벨로 유지될 수 있다.
- [0103] 또한, 제1구간(c1) 동안 제3Q노드(Qn3)의 전압이 유지되면, 그에 따라 제2구간(c2) 동안 부스팅에 의해 더 높아지는 하이레벨의 전압도 유지될 수 있다.
- [0104] 여기서, 제3게이트 내장회로(GIP3)를 개시시키는 제1게이트신호(Vout1)가 제1 및 제2게이트 내장회로(GIP1, GIP2)를 개시시키는 제1스타트신호(Vst1)보다 제1스타트신호(Vst1)의 펄스 폭만큼 지연됨에 따라, 프리차징 구간인 제1구간(c1)이 제1실시예의 제3구간(a3)보다 줄어들게 된다.
- [0105] 이에 따라, 제1구간(c1)에서 정상적인 프리차징이 이루어지지 않을 수 있다.
- [0106] 따라서, 제3게이트 내장회로(GIP3)의 제3Q노드(Qn3)와 연결된 제3박막트랜지스터(미도시)는 채널의 폭과 길이 비가 큰 확장 박막 트랜지스터를 사용함으로써 충분한 정상 차징(Charging)을 할 수 있다.
- [0107] 그 결과, 본 발명의 제3실시예는 제3게이트신호(Vout3)의 파형이 왜곡되고, 게이트 딤(Gate Dim)과 같은 불량이 발생하여 영상의 표시품질이 저하되는 것을 방지할 수 있다.
- [0108] 또한, 제3실시예는 제2실시예와 달리 제3게이트 내장회로(GIP3)에 스타트신호를 인가하기 위하여 별도의 스타트신호 배선을 게이트구동부에 형성하지 않아도 되므로 네로우 베젤(Narrow Bezel)을 구현할 수 있다.
- [0109] 또한, 도면에는 도시하지 않았지만, 제3실시예의 액정표시장치는 상기 설명한 게이트 구동부에 표시패널, 데이터 구동부 및 타이밍 컨트롤러를 더 포함하여 완성된다.
- [0110] 이 때, 표시패널은 제 1 내지 제 n(n은 3이상의 자연수) 게이트 배선과 제 1 내지 제 n 게이트 배선과 수직 교차하는 데이터 배선으로 정의되는 화소 영역에 화상을 표시한다.
- [0111] 또한, 데이터 구동부는 데이터 배선을 구동시켜, 타이밍컨트롤러는 데이터 구동부 및 게이트 구동부를 제어한다.
- [0112] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

**부호의 설명**

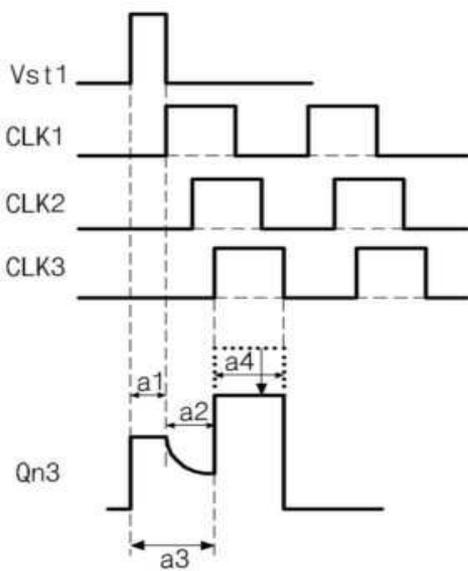
- [0113] GIP1~GIPn : 제1 내지 제n게이트 내장회로
- Vst1, Vst2 : 제1 및 제2스타트 신호
- CLK1~CLK6 : 제1 내지 제6클럭신호
- Vout1~Vout6 : 제1 내지 제6게이트신호

도면

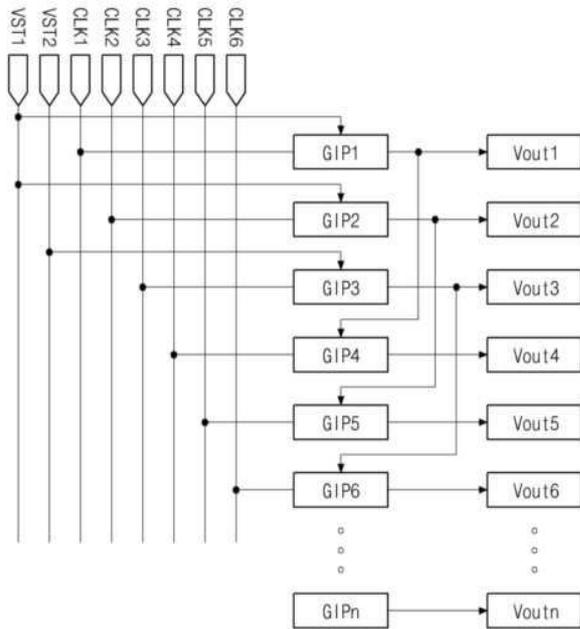
도면1



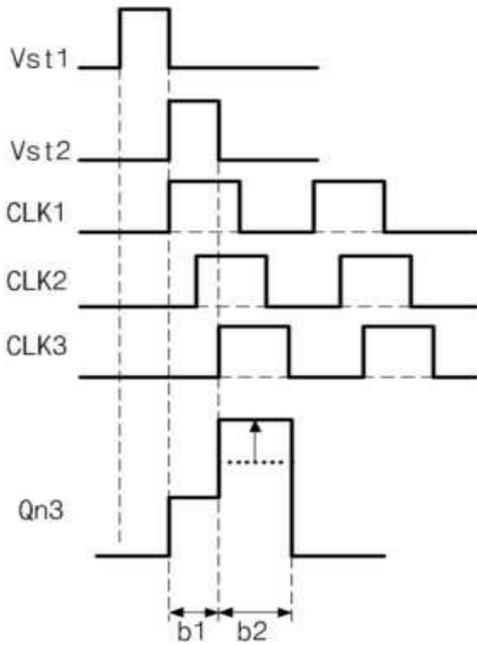
도면2



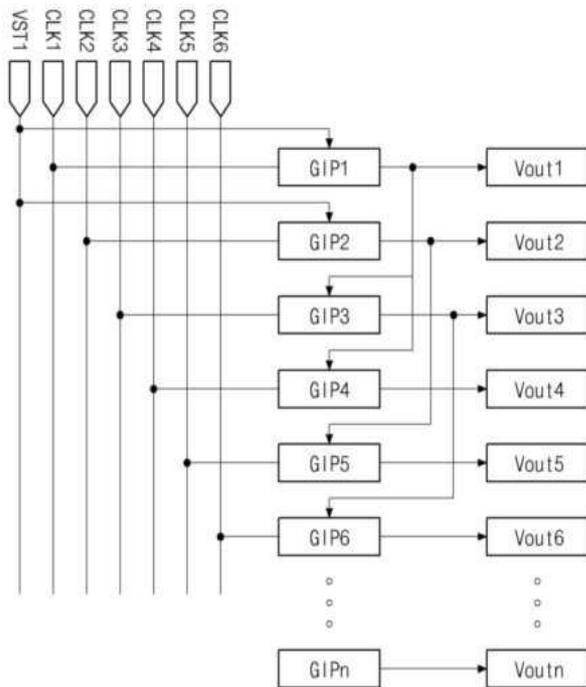
도면3



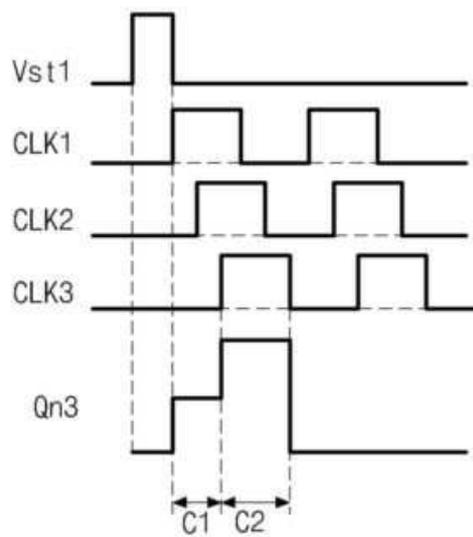
도면4



도면5



도면6



专利名称(译)	标题：栅极驱动器和包括其的液晶显示器件		
公开(公告)号	<a href="#">KR1020160072941A</a>	公开(公告)日	2016-06-24
申请号	KR1020140180779	申请日	2014-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HONG JAE 김홍재 PARK HYUN HO 박현호		
发明人	김홍재 박현호		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3603 G09G3/3607		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的目的是提供一种栅极驱动单元，为了实现窄边框并且它防止图像的显示质量下降，它应用于一个开始信号和第一个到m ( m是自然数以上 )。4 ) 来自外部的时钟信号，它包括相应的第一个输出到n栅极板载电路的第一个到n个 ( n是自然数大于3个 ) 的栅极信号，并且它被应用于n-2个栅极信号其中n栅极板载电路在n-2栅极板载电路中输出并被公开。

