



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0013444

(43) 공개일자 2016년02월04일

(51) 국제특허분류(Int. Cl.)

G02F 1/1362 (2006.01) G02F 1/1337 (2006.01)

G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)

(21) 출원번호 10-2014-0094867

(22) 출원일자 2014년07월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

남유성

경기 광명시 하안로 198, 203동 2401호 (소하동, 동양2차아파트)

우창승

경기 고양시 덕양구 고양대로1384번길 30, 901동 1310호 (성사동, 어울림마을9단지아파트)

홍순환

서울 은평구 갈현로31길 21-1

(74) 대리인

특허법인로알

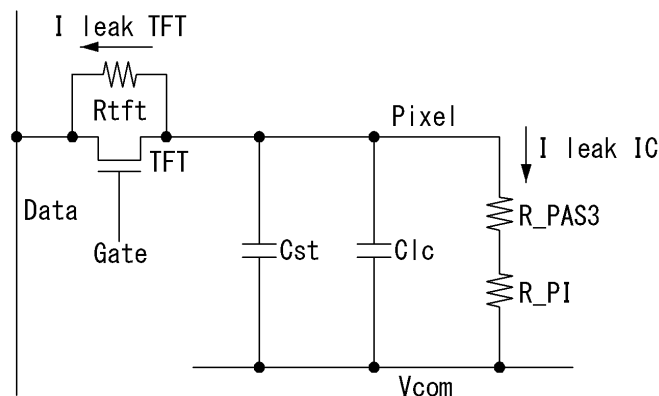
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 표시장치 및 그 제조방법

(57) 요약

본 발명의 일 실시예에 따른 표시장치는 기판, 상기 기판 상에 위치하며, 금속 산화물로 이루어진 액티브층을 포함하는 박막트랜지스터, 상기 박막트랜지스터 상에 위치하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하는 유기 절연막, 상기 유기 절연막 상에 위치하며, 제2 패시베이션막을 사이에 두고 액정층에 수평 전계를 인가하는 공통전극 및 화소전극, 상기 공통전극에 인접하여 연결된 보조배선, 상기 공통전극 및 화소전극 상에 위치하는 제3 패시베이션막, 상기 제3 패시베이션막 상에 위치하는 하부 광배향막, 및 상기 하부 광배향막 상에 위치하는 상기 액정층을 포함하는 것을 특징으로 한다.

대표도 - 도5



$$R_{Ic} = R_{PAS3} + R_{PI}$$

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 금속 산화물로 이루어진 액티브층을 포함하는 박막트랜지스터;

상기 박막트랜지스터 상에 위치하는 제1 패시베이션막;

상기 제1 패시베이션막 상에 위치하는 유기 절연막;

상기 유기 절연막 상에 위치하며, 제2 패시베이션막을 사이에 두고 액정층에 수평 전계를 인가하는 공통전극 및 화소전극;

상기 공통전극에 인접하여 연결된 보조배선;

상기 공통전극 및 화소전극 상에 위치하는 제3 패시베이션막;

상기 제3 패시베이션막 상에 위치하는 하부 광배향막; 및

상기 하부 광배향막 상에 위치하는 상기 액정층을 포함하는 것을 특징으로 하는 표시장치.

청구항 2

제1 항에 있어서,

상기 액정층은 네가티브(negative) 액정을 포함하는 것을 특징으로 하는 표시장치.

청구항 3

제1 항에 있어서,

상기 하부 광배향막은 UV 광에 반응하여 일 방향으로 고분자 체인이 배열된 것을 특징으로 하는 표시장치.

청구항 4

제1 항에 있어서,

상기 공통전극 상에 상기 제2 패시베이션막이 위치하고, 상기 제2 패시베이션막 상에 상기 화소전극이 위치하는 것을 특징으로 하는 표시장치.

청구항 5

제1 항에 있어서,

상기 화소전극 상에 상기 제2 패시베이션막이 위치하고, 상기 제2 패시베이션막 상에 상기 공통전극이 위치하는 것을 특징으로 하는 표시장치.

청구항 6

제1 항에 있어서,

상기 제3 패시베이션막의 두께는 500 Å 내지 4000 Å 인 것을 특징으로 하는 표시장치.

청구항 7

제1 항에 있어서,

상기 제3 패시베이션막의 비저항 값은 $1E+14 \Omega \text{ cm}$ 이상인 것을 특징으로 하는 표시장치.

청구항 8

제1 항에 있어서,

상기 보조배선은 상기 유기 절연막 내부에 위치하여 상기 공통전극과 콘택홀로 연결되는 것을 특징으로 하는 표시장치.

청구항 9

기판 상에 위치하며, 금속 산화물로 이루어진 액티브층을 포함하는 박막트랜지스터를 형성하는 단계;

상기 박막트랜지스터 상에 제1 패시베이션막을 형성하는 단계;

상기 제1 패시베이션막 상에 위치하는 유기 절연막을 형성하되 상기 유기 절연막 내부에 위치하는 보조배선을 형성하는 단계;

상기 유기 절연막 상에 공통전극을 형성하는 단계;

상기 공통전극 상에 제2 패시베이션막을 형성하는 단계;

상기 제2 패시베이션막 상에 화소전극을 형성하는 단계;

상기 화소전극 상에 제3 패시베이션막을 형성하는 단계; 및

상기 제3 패시베이션막 상에 하부 광배향막을 형성하는 단계;를 포함하는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 10

제9 항에 있어서,

상기 유기 절연막과 보조배선을 형성하는 단계는,

상기 제1 패시베이션막 상에 하부 유기 절연막을 형성하고,

상기 하부 유기 절연막 상에 보조배선을 형성하고,

상기 보조배선이 형성된 상기 하부 유기 절연막 상에 상부 유기 절연막을 덮도록 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조 방법.

청구항 11

제9 항에 있어서,

상기 공통전극을 형성하기 이전에,

상기 유기 절연막을 에칭하여 상기 보조배선을 노출하는 콘택홀을 형성한 후, 상기 공통전극을 형성하여 상기 콘택홀을 통해 상기 보조배선과 상기 공통전극을 콘택하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조 방법.

조방법.

청구항 12

제9 항에 있어서,

상기 제3 패시베이션막을 형성하는 단계에서,

실란과 암모니아 가스의 혼합 비율은 1: 10 내지 1: 5로 형성되는 것을 특징으로 하는 표시장치의 제조방법.

청구항 13

제9 항에 있어서,

상기 기관과 대향하며, 블랙매트릭스, 컬러필터 및 상부 광배향막을 포함하는 상부기관을 형성하고, 상기 기관과 상기 상부기관을 합착한 후 이들 사이에 액정층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 14

기관 상에 형성된 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소전극, 상기 화소전극에 대향하여 액정층에 수평 전계를 형성하는 공통전극, 상기 액정층과 접하는 하부 광배향막 및 상기 화소전극 또는 상기 공통전극 중 상기 하부 광배향막과 더 인접한 전극과 상기 하부 광배향막 사이에 개재된 패시베이션막, 상기 기관과 대향하며 상부 광배향막이 형성된 상부기관과, 상기 기관과 상기 상부기관 사이에 개재되며 네거티브 액정을 포함하는 액정층을 포함하는 액정표시패널; 및

영상데이터에 따른 구동모드신호를 상기 액정표시패널에 인가하여 영상데이터가 동영상이면 고속 구동 모드로 구동되고 영상데이터가 정지영상이면 저속 구동 모드로 구동되는 구동부를 포함하는 것을 특징으로 하는 표시장치.

청구항 15

제14 항에 있어서,

상기 박막트랜지스터는 금속 산화물로 이루어진 액티브층을 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제14 항에 있어서,

상기 상부 및 하부 광배향막은 UV 광에 반응하여 일 방향으로 고분자 체인이 배열된 것을 특징으로 하는 표시장치.

청구항 17

제14 항에 있어서,

상기 화소전극은 상기 공통전극 상에 위치하는 것을 특징으로 하는 표시장치.

청구항 18

제14 항에 있어서,

상기 공통전극은 상기 화소전극 상에 위치하는 것을 특징으로 하는 표시장치.

청구항 19

제14 항에 있어서,

상기 패시베이션막의 두께는 500Å 내지 4000Å인 것을 특징으로 하는 표시장치.

청구항 20

제14 항에 있어서,

상기 패시베이션막의 비저항 값은 $1E+14\Omega\text{cm}$ 이상인 것을 특징으로 하는 표시장치.

청구항 21

제14 항에 있어서,

상기 기판은 상기 공통전극에 연결되는 보조배선을 더 포함하며,

상기 보조배선은 상기 박막트랜지스터 상에 형성된 평탄화막 내부에 위치하여 상기 평탄화막의 콘택홀을 통해 상기 공통전극과 연결되는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 표시장치 및 그 제조방법에 관한 것으로, 보다 자세하게는 소비전력을 저감하고, 저속 구동 시 발생하는 플리커를 감소시킬수 있는 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002]

휴대폰(Mobile Phone), 노트북 컴퓨터와 같은 각종 포터블기기(portable device) 및 영상을 구현하는 정보전자장치가 발전함에 따라, 이에 적용되는 평판표시장치(Flat Panel Display Device)에 대한 수요가 점차 증대되고 있다. 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 활발히 연구되고 있고, 양산화 기술, 구동수단의 용이성, 고화질의 구현, 대면적 화면의 실현을 위해 다양한 평판표시장치들이 연구되고 있다.

[0003]

최근에는 1920*1080 해상도를 나타내는 FHD(Full High Definition)보다 높은 3840*2160 해상도를 나타내는 UHD(Ultra High Definition) 또는 2560*1440 해상도를 나타내는 QHD(Quad High Definition) 등의 고해상도의 평판표시장치가 사용되고 있다. 이러한 평판표시장치는 1초당 화면에 뿌려지는 영상의 개수에 따라 구동주파수가 정의되며, 구동 주파수가 60Hz로 설정된 평판표시장치는 1초당 60 프레임(frame)의 새로운 영상을 표시하게 된다. 1초당 60 프레임의 영상을 표시하기 위해서는 구동부로부터 게이트 또는 데이터 신호들이 복수의 신호라인들에 인가되어야 한다. 그러나, 고해상도로 가면서 신호라인들의 개수가 2배 이상 증가되고 이에 따라 구동부로부터 인가되는 신호들이 증가되기 때문에 평판표시장치의 소비전력이 증가되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 표시장치의 구동 모드에 따라 표시장치의 구동 속도를 조정하여 소비전력을 저감하고, 저속 구동 시 발생하는 플리커를 감소시킬 수 있는 표시장치 및 그 제조방법을 제공한다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위해, 전술한 본 발명의 일 실시예에 따른 표시장치는 기관, 상기 기관 상에 위치하며, 금속 산화물로 이루어진 액티브층을 포함하는 박막트랜지스터, 상기 박막트랜지스터 상에 위치하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하는 유기 절연막, 상기 유기 절연막 상에 위치하며, 제2 패시베이션막을 사이에 두고 액정층에 수평 전계를 인가하는 공통전극 및 화소전극, 상기 공통전극에 인접하여 연결된 보조배선, 상기 공통전극 및 화소전극 상에 위치하는 제3 패시베이션막, 상기 제3 패시베이션막 상에 위치하는 하부 광배향막, 및 상기 하부 광배향막 상에 위치하는 상기 액정층을 포함하는 것을 특징으로 한다.

[0006] 상기 액정층은 네가티브(negative) 액정을 포함하는 것을 특징으로 한다.

[0007] 상기 하부 광배향막은 UV 광에 반응하여 일 방향으로 고분자 체인이 배열된 것을 특징으로 한다.

[0008] 상기 공통전극 상에 상기 제2 패시베이션막이 위치하고, 상기 제2 패시베이션막 상에 상기 화소전극이 위치하는 것을 특징으로 한다.

[0009] 상기 화소전극 상에 상기 제2 패시베이션막이 위치하고, 상기 제2 패시베이션막 상에 상기 공통전극이 위치하는 것을 특징으로 한다.

[0010] 상기 제3 패시베이션막의 두께는 500 Å 내지 4000 Å인 것을 특징으로 한다.

[0011] 상기 제3 패시베이션막의 비저항 값은 $1E+14 \Omega \text{ cm}$ 이상인 것을 특징으로 한다.

[0012] 상기 보조배선은 상기 유기 절연막 내부에 위치하여 상기 공통 전극과 콘택홀로 연결되는 것을 특징으로 한다.

[0013] 또한, 본 발명의 일 실시예에 따른 표시장치의 제조방법은 기관 상에 위치하며, 금속 산화물로 이루어진 액티브층을 포함하는 박막트랜지스터를 형성하는 단계, 상기 박막트랜지스터 상에 제1 패시베이션막을 형성하는 단계, 상기 제1 패시베이션막 상에 위치하는 유기 절연막을 형성하고 상기 유기 절연막 내부에 위치하는 보조배선을 형성하는 단계, 상기 유기 절연막 상에 공통전극을 형성하는 단계, 상기 공통전극 상에 제2 패시베이션막을 형성하는 단계, 상기 제2 패시베이션막 상에 화소전극을 형성하는 단계, 상기 화소전극 상에 제3 패시베이션막을 형성하는 단계, 및 상기 제3 패시베이션막 상에 하부 광배향막을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0014] 상기 유기 절연막과 보조배선을 형성하는 단계는, 상기 제1 패시베이션막 상에 하부 유기 절연막을 형성하고, 상기 하부 유기 절연막 상에 보조배선을 형성하고, 상기 보조배선이 형성된 상기 하부 유기 절연막 상에 상부 유기 절연막을 덮도록 형성하는 단계를 포함하는 것을 특징으로 한다.

[0015] 상기 공통전극을 형성하기 이전에, 상기 유기 절연막을 에칭하여 상기 보조배선을 노출하는 콘택홀을 형성한 후, 상기 공통전극을 형성하여 상기 콘택홀을 통해 상기 보조배선과 상기 공통전극을 전택하는 단계를 포함하는 것을 특징으로 한다.

[0016] 상기 제3 패시베이션막을 형성하는 단계에서, 실란과 암모니아 가스의 혼합 비율은 1: 10 내지 1: 5로 형성되는 것을 특징으로 한다.

[0017] 상기 기관과 대향하며, 블랙매트릭스, 컬러필터 및 상부 광배향막을 포함하는 상부기관을 형성하고, 상기 기관과 상기 상부기관을 합착한 후 이들 사이에 액정층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

[0018] 또한, 본 발명의 일 실시예에 따른 표시장치는 기관 상에 형성된 박막트랜지스터, 상기 박막트랜지스터에 연결된 화소전극, 상기 화소전극에 대향하여 액정층에 수평 전계를 형성하는 공통전극, 상기 액정층과 접하는 하부 광배향막 및 상기 화소전극 또는 상기 공통전극 중 상기 하부 광배향막과 더 인접한 전극과 상기 하부 광배향막 사이에 개재된 패시베이션막, 상기 기관과 대향하며 상부 광배향막이 형성된 상부기관과, 상기 기관과 상기 상부기관 사이에 개재되며 네가티브 액정을 포함하는 액정층을 포함하는 액정표시패널, 및 영상데이터에 따른 구동모드신호를 상기 액정표시패널에 인가하여 영상데이터가 동영상이면 고속 구동 모드로 구동되고 영상데이터가 정지영상이면 저속 구동 모드로 구동되는 구동부를 포함하는 것을 특징으로 한다.

- [0019] 상기 박막트랜지스터는 금속 산화물로 이루어진 액티브층을 포함하는 것을 특징으로 한다.
- [0020] 상기 상부 및 하부 광배향막은 UV 광에 반응하여 일 방향으로 고분자 체인이 배열된 것을 특징으로 한다.
- [0021] 상기 화소전극은 상기 공통전극 상에 위치하는 것을 특징으로 한다.
- [0022] 상기 공통전극은 상기 화소전극 상에 위치하는 것을 특징으로 한다.
- [0023] 상기 패시베이션막의 두께는 500 Å 내지 4000 Å인 것을 특징으로 한다.
- [0024] 상기 패시베이션막의 비저항 값은 $1E+14 \Omega \text{cm}$ 이상인 것을 특징으로 한다.
- [0025] 상기 기판은 상기 공통전극에 연결되는 보조배선을 더 포함하며, 상기 보조배선은 상기 박막트랜지스터 상에 형성된 평탄화막 내부에 위치하여 상기 평탄화막의 콘택홀을 통해 상기 공통전극과 연결되는 것을 특징으로 한다.

발명의 효과

- [0026] 본 발명의 일 실시예에 따른 표시장치는 일시적으로 구동속도를 변경하여 표시장치의 소비전력을 감소시킬 수 있는 이점이 있다.
- [0027] 본 발명의 일 실시예에 따른 표시장치는 포지티브(Positive) 액정에 비해, 동일 전압에서도 각 극성(Polarity)에서 휘도가 달라지는 플렉소효과(Flexo-Effect) 영향을 상대적으로 덜 받는 네거티브(Negative) 액정을 구비하여 저속구동에서 초래할 수 있는 화면의 플리커 현상을 억제할 수 있다. 추가로 네거티브 액정의 배향에 적합할 뿐만 아니라 액정을 구동하는 전극들 간에 캐패시턴스 감소에 용이한 광배향막을 사용할 경우, 표시장치를 저속으로 구동할 시에 초래될 수 있는 화면의 플리커 현상을 억제할 수 있기 때문에 보다 높은 화질의 표시장치를 구현할 수 있다.
- [0028] 본 발명의 일 실시예에 따른 표시장치는, 실리콘 액티브층을 사용하는 박막트랜지스터에 비해 누설전류가 더 적은 금속 산화물 액티브층으로 구성된 박막트랜지스터를 사용하여 저속구동 시에 발생할 수 있는 플리커 현상을 억제할 수 있기 때문에 보다 높은 화질의 표시장치를 구현할 수 있다.
- [0029] 또한, 광배향막과 화소전극 또는 공통전극 사이에 패시베이션막을 더 구비함으로써, 액정과 전극 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생용량에 의해 서서히 줄어드는 화소 방전을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 실시예에 따른 표시장치를 보여주는 블록도.
- 도 2는 스캔 & 스kip 구동이 가능하도록 1 게이트타임을 설정하는 인터레이스 구동의 일 예를 보여주는 도면.
- 도 3은 본 발명의 제1 실시예에 따른 표시장치의 서브 픽셀을 나타낸 평면도.
- 도 4는 도 3의 I-I'에 따라 절취한 단면도.
- 도 5는 도 4에 도시된 서브 픽셀의 회로도.
- 도 6은 본 발명의 제2 실시예에 따른 표시장치를 나타낸 평면도.
- 도 7은 도 6의 A 영역의 서브 픽셀들을 나타낸 평면도.
- 도 8은 도 7의 I-I'에 따라 절취한 단면도.
- 도 9는 본 발명의 제3 실시예에 따른 표시장치를 나타낸 단면도.
- 도 10은 본 발명의 제4 실시예에 따른 표시장치의 서브 픽셀을 나타낸 평면도.
- 도 11은 도 10의 III-III'에 따라 절취한 단면도.
- 도 12a 내지 도 12j는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 공정별로 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하도록 한다.
- [0032] 도 1은 본 발명의 실시예에 따른 표시장치를 보여주는 블록도이고, 도 2는 스캔 & 스킵 구동이 가능하도록 1 게이트타임을 설정하는 인터레이스 구동의 일 예를 보여주는 도면이다.
- [0033] 도 1을 참조하면, 본 발명에 따른 표시장치는 액정표시장치(Liquid Crystal Display, LCD), 전계방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP), 유기발광 다이오드 표시장치(Organic Light Emitting Display, OLED), 전기영동 표시장치(Electrophoresis, EPD) 등의 평판 표시장치로 구현될 수 있다. 이하의 실시예에서, 표시장치를 액정표시장치 중심으로 설명하지만, 본 발명의 표시장치는 액정표시장치에 한정되어 적용되지 않음에 주의하여야 한다.
- [0034] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널(100)은 데이터라인들(15)과 게이트라인들(16)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(Clc)을 포함한다.
- [0035] 액정표시패널(100)의 기관에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(15)과 게이트라인들(16)의 교차부에 형성된 액정셀(Clc, 화소), 화소들의 화소전극(1)에 접속된 TFT들, 화소전극(1)과 대향되는 공통전극(2) 및 스토리지 캐패시터(Cst)를 포함한다. 액정셀들(Clc) 각각은 박막트랜지스터(Thin Film Transistor, TFT)에 접속되어 화소전극(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부기관 상에는 블랙매트릭스, 적색(R), 녹색(G), 청색(B) 컬러필터 등이 형성된다. 액정표시패널(100)의 상부기관과 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 광배향막이 형성된다. 공통전극(2)은 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 기관 상에 형성된다.
- [0036] 본 발명에서 적용 가능한 액정표시패널(100)은 IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 뿐만 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0037] 본 발명의 표시장치는 액정표시패널(100)을 구동하는 구동부(17)를 포함한다. 구동부(17)는 외부시스템으로부터 입력되는 영상데이터(RGB)가 동영상 또는 정지영상인지에 따라 구동모드를 달리한다. 예를 들면, 영상데이터(RGB)가 동영상인 경우, 구동부(17)는 구동주파수가 고주파수인 고속 구동 모드로 구동되고, 영상데이터(RGB)가 정지영상인 경우, 구동부(17)는 구동주파수가 저주파수인 저속 구동 모드로 구동된다. 이를 위하여, 구동부(17)는 호스트 시스템(14), 타이밍 컨트롤러(11), 소스 드라이버(12) 및 데이터 드라이버(13)를 포함한다.
- [0038] 호스트 시스템(14)은 외부시스템으로부터 영상데이터(RGB)를 입력받고, 영상데이터(RGB)에 대응되는 구동모드신호(MS)를 생성하여 타이밍 컨트롤러(11)에 출력한다. 구체적으로, 호스트 시스템(14)은 영상데이터(RGB)가 동영상인 경우, 동영상에 대응되는 구동모드신호(MS)를 생성하고, 영상데이터(RGB)가 정지영상인 경우, 정지영상에 대응되는 구동모드신호(MS)를 생성한다. 구동모드신호(MS)는 영상데이터(RGB)가 동영상에 해당될 경우 고속 모드로 동작시키는 신호이고, 반면에, 영상데이터(RGB)가 정지영상에 해당될 경우, 전력 소모를 감소시키기 위하여 저속 모드로 동작시키는 신호이다.
- [0039] 타이밍 컨트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스 방식을 통해 호스트 시스템(14)으로부터 입력 영상의 디지털 비디오 데이터(RGB)를 입력받고, 이 입력 영상의 디지털 비디오 데이터(RGB)를 mini-LVDS 인터페이스 방식을 통해 소스 드라이버(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 호스트 시스템(14)으로부터 구동모드신호(MS)를 입력 받는다. 타이밍 컨트롤러(11)는 호스트 시스템(14)으로부터 입력되는 디지털 비디오 데이터(RGB)를 화소 어레이의 배치 구성에 맞춰 정렬한 후 소스 드라이버(12)에 공급한다.
- [0040] 타이밍 컨트롤러(11)는 호스트 시스템(14)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 소스 드라이버(12)와 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호를 포함한다.
- [0041] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift

Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생하는 게이트 드라이버 IC(Integrated circuit)에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이버 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이버 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이버 IC들의 출력을 제어한다.

[0042]

소스 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이버(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이버(12)에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이버 IC들 각각으로부터 순차적으로 출력되는 데이터전압들의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이버(12)의 출력 타이밍을 제어한다.

[0043]

영상신호의 표시 방법은 프로그레시브(Progressive) 방식과 인터레이스(Interlace) 방식으로 구분될 수 있다. 여기서, 프로그레시브 방식은 한 화면의 영상신호, 즉 한 프레임 단위로 표시된다. 반면, 인터레이스 방식은 한 화면의 영상 신호, 즉 한 프레임을 오드(odd) 수평라인들을 표시하는 오드 필드(Odd Field)와 이븐(even) 수평라인들을 표시하는 이븐 필드(Even Field)로 나누고, 오드 필드와 이븐 필드의 순서로 공급되어 한 프레임이 표시된다. 타이밍 컨트롤러(11)는 저속 구동을 구현하기 위해 소스 드라이버(12)와 게이트 드라이버(13)의 동작을 제어하여, 프로그레시브(Progressive) 또는 인터레이스(Interlace) 방식 모두에서 저속 구동을 구현할 수 있다.

[0044]

프로그레시브(progressive)와 인터레이스(interlace) 방식 모두 비슷한 수준의 저속구동을 통해 비슷한 수준의 소비전력 감소 효과를 얻을 수 있다. 인터레이스(interlace) 방식에서 저속 구동을 구현하기 위해서는 프레임 메모리가 필요할 수 있다. 하지만, Polarity Inversion구간 간에 휘도 차이가 발생하더라도 오드(odd) 수평라인들과 이븐(even) 수평라인들이 따로 구동됨에 따라 각 수평라인별 휘도 편차가 분산되기 때문에 프로그레시브(progressive)방식에 대비 사용자가 휘도차이에 의한 플리커를 인식하기 어렵게 하는 효과를 얻을 수 있다. 본 실시예에서는 인터레이스 구동을 예로 설명한다. 타이밍 컨트롤러(11)가 인터레이스 구동을 구현하는 경우, 타이밍 컨트롤러(11)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터(RGB)가 $60 \times 1/n$ (n은 양의 정수) Hz의 프레임 주파수에 맞춰 액정표시패널(100)의 화소 어레이에서 리프레쉬(refresh) 될 수 있도록 게이트 타이밍 제어신호와 소스 타이밍 제어신호를 적절히 생성한다.

[0045]

타이밍 컨트롤러(11)는 1 프레임을 n(n은 2이상의 양의 정수)개의 서브 프레임들로 시분할하고 각 서브 프레임을 통해 게이트라인들(16)을 분산 구동시켜 인터레이스 구동을 구현한다. 타이밍 컨트롤러(11)는 게이트라인들(16)을 n개의 게이트 그룹들로 그룹핑(grouping)하고, n개의 게이트 그룹들 각각을 그 구동 순서에 맞춰 n개의 서브 프레임들 각각에 대응시킨다.

[0046]

타이밍 컨트롤러(11)는 각 서브 프레임에서, 게이트 드라이버(13)의 동작을 제어하여 1 서브 프레임 기간의 $1/n$ 기간 동안 해당 게이트 그룹에 포함된 게이트라인들에 대한 순차 스캔을 완료하고, 버퍼동작 제어신호(LITEST)를 발생하여 상기 1 서브 프레임 기간 중에서 상기 $1/n$ 기간을 제외한 $(n-1)/n$ 기간 동안 소스 드라이버(12)의 버퍼부들에 인가되는 구동 전원(고전위 구동전압, 기저전압)을 차단한다. 즉 스캔 기간 동안 소스 드라이버(12)의 구동이 정지되도록 제어함과 아울러, 소스 드라이버(12)에 인가되는 구동 전원을 차단하여 소스 드라이버(12)의 버퍼부들에 흐르는 정적 전류를 제거함으로써, 소스 드라이버(12)의 소비전력을 획기적으로 줄인다.

[0047]

소스 드라이버(12)는 쉬프트 레지스터, 래치 어레이, 디지털-아날로그 변환기, 출력회로 등을 포함한다. 소스 드라이버(12)는 소스 타이밍 제어신호에 따라 디지털 비디오 데이터(RGB)를 래치한 후, 래치된 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 소정 주기로 극성이 반전되는 데이터전압들을 다수의 출력 채널들을 통해 데이터라인들(15)에 공급한다. 출력회로는 다수의 버퍼부들을 포함한다. 버퍼부들은 출력 채널들에 연결되며, 출력 채널들 각각은 데이터라인들(15)에 일대일로 접속된다. 소스 드라이버(12)는 소비전력을 줄이기 위해 출력 채널들로 출력되는 데이터전압들의 극성을 컬럼 인버전 방식으로 제어한다. 컬럼 인버전 방식에 의거하여, 동일 출력 채널에서 출력되는 데이터전압의 극성은 서브 프레임 단위로 반전된다. 그리고, 이웃한 출력 채널에서 출력되는 데이터전압들의 극성은 서로 반대된다.

[0048]

게이트 드라이버(13)는 쉬프트 레지스터와 레벨 쉬프트를 이용하여 게이트 타이밍 제어신호들에 따라 게이트펄스를 게이트라인들(16)에 전송한 인터레이스 구동방식으로 공급한다. 소스 드라이버(12) 및 게이트 드라이버(13)는 COG(chip on glass) 또는 COF(chip on film) 방식에 따라 실장될 수 있다. 또한, 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 방식에 따라 기판 상에 직접 형성될 수 있다.

- [0049] 60/n Hz 인터레이스 구동시 게이트라인 1개를 스캔하는 데 소요되는 1 게이트 타임(1 수평라인에 배치된 화소들의 충전 타임을 지시함)은 60Hz의 노멀 구동시의 1 게이트 타임인 1H(여기서, 1H는 1 프레임 기간/게이트라인 수로 정의됨)에 비해 n배로 증가하는데 반해, 본 발명에 따른 60/n Hz 인터레이스 구동시에는 1 게이트 타임이 노멀 구동시와 동일한 1H로 설정된다. 예를 들어, 도 2와 같이 1 프레임을 2개의 서브 프레임들로 시분할하는 30Hz 인터레이스 구동의 경우, 종래에는 1 게이트 타임을 2H로 설정했는데 반해, 본 발명은 1 게이트 타임을 1H로 설정하고 각 게이트펄스의 라이징 시점을 종래에 비해 각각 1H 만큼씩 빠르게 한다. 이를 통해 본 발명에서는 각 서브 프레임별로 고속 스캔(서브 프레임 기간의 일부만을 이용하여 그 서브 프레임에 할당된 게이트라인들을 모두 순차 스캔하는 것을 지시함)이 가능해진다.
- [0050] 전술하였듯이 표시장치를 저속으로 구동할 시에 시인성 측면에서 플리커(flicker) 인식률이 더 작은 인터레이스 방식을 사용하는 실시예가 프로그레시브 방식을 사용하는 실시예에 비해 유리하기는 하나, 플리커(flicker)의 발생과 자체를 제어하는 것이 아니기 때문에 저속구동에서 시인성 개선하는 것에 한계가 있다. 따라서, 하기에서는 플리커의 발생 자체를 억제할 수 있는 구조를 가진 표시장치에 대해 설명하기로 한다.
- [0051] 도 3은 본 발명의 제1 실시예에 따른 표시장치의 서브 픽셀을 나타낸 평면도이며, 도 4는 도 3의 I-I'에 따라 절취한 단면도이다.
- [0052] 도 3을 참조하면, 서브 픽셀은 게이트 라인(22)과 데이터 라인(24)의 교차에 의해 서브 픽셀 영역이 구획된다. 서브 픽셀 영역에는 게이트 라인(22)으로부터 분기된 게이트 전극(23), 데이터 라인(24)으로부터 분기된 소스 전극(26a), 소스 전극(26a)과 이격된 드레인 전극(26b)과, 이들 사이에 배치된 반도체층(25)으로 구성된 박막트랜지스터(TFT)가 각각 배치된다. 또한, 서브 픽셀 영역에는 박막트랜지스터(TFT)의 드레인 전극(26b)에 연결된 화소전극(44)이 배치되고 화소전극(44)에 대향하는 공통전극(미도시)이 배치된다.
- [0053] 보다 자세하게, 도 3의 I-I'에 따라 절취한 단면도인 도 4를 참조하여 본 발명의 실시예에 따른 표시장치를 설명하면 다음과 같다.
- [0054] 도 4를 참조하면, 기판(20) 액티브층(25), 게이트 전극(23), 소스 전극(26a) 및 드레인 전극(26b)을 포함하는 박막트랜지스터(TFT)가 구성된다. 먼저 기판(20) 상에 게이트 전극(23)이 위치한다. 게이트 전극(23)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 게이트 전극(23) 상에 게이트 절연막(30)이 위치한다. 게이트 절연막(30)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다.
- [0055] 게이트 절연막(30) 상에 액티브층(25)이 위치한다. 액티브층(25)은 금속 산화물로 예를 들어, 아연 산화물(ZnO), 인듐 아연 산화물(InZnO), 인듐 갈륨 아연 산화물(InGaZnO) 또는 아연 주석 산화물(ZnSnO) 중 어느 하나로 이루어질 수 있다. 금속 산화물의 액티브층(25)은 오프 전류(I_{off})가 10⁻¹³으로 10⁻¹¹인 비정질 실리콘(a-si) 약 100배 이상 우수하여, 액티브층(25)의 오프 특성이 우수한 이점이 있다. 본 발명에서는 금속 산화물로 이루어진 액티브층(25)을 사용함으로써, 스토리지 캐퍼시터에서 데이터 전압이 유지되어야 할 구간에서 스토리지 캐퍼시터로부터 전압이 새어 나감에 따라 발생하는 휘도 편차에 의한 플리커를 감소시킬 수 있게하여 표시장치의 소비전력을 줄일 수 있도록 한다.
- [0056] 한편, 액티브층(25) 상에 소스 전극(26a)과 드레인 전극(26b)이 위치한다. 소스 전극(26a)은 액티브층(25)의 일측에 컨택되고 드레인 전극(26b)은 액티브층(25)의 타측에 컨택된다. 소스 전극(26a) 및 드레인 전극(26b)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다.
- [0057] 박막트랜지스터(TFT) 상에 제1 패시베이션막(32)이 위치한다. 제1 패시베이션막(32)은 하부의 소자를 절연시킴과 아울러 보호하는 것으로 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다. 제1 패시베이션막(32) 상에 유기 절연막(34)이 위치한다. 유기 절연막(34)은 하부 구조의 단차를 완화시키는 평탄화막으로, 폴리이미드(polyimide), 폴리아크릴(polyacryl), 포토아크릴(photoacryl), 폴리아미드(polyamide), BCB(benzocyclobutane) 등의 유기물로 이루어질 수 있다.
- [0058] 유기 절연막(34) 상에 공통전극(42)이 위치한다. 공통전극(42)은 서브 픽셀 관점에서 액정층에 전계를 인가하는 공통전극의 역할을 한다. 공통전극(42)은 도시도지 않았지만, 공통라인을 통해 연결되어 구동신호를 인가받는다. 공통전극(42)이 여러 블록으로 분할된 경우에 블록들은 공통라인을 통해 서로 연결될 수 있으므로 각 서브픽셀들의 스토리지 캐퍼시턴스들간에 사이즈 및 편차를 줄일 수 있다. 공통전극(42)은 ITO(Indium Tin

Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), IGZO(Indium Gallium Zinc Oxide)와 같이 광이 투과할 수 있는 투명도전물질로 이루어질 수 있다. 공통전극(42) 상에 제2 패시베이션막(36)이 위치한다. 제2 패시베이션막(36)은 공통전극(42)과 화소전극을 절연시키는 것으로, 전술한 제1 패시베이션막(32)과 동일한 물질 및 적층구조로 이루어질 수 있다.

[0059] 제2 패시베이션막(36) 상에 화소전극(44)이 위치한다. 화소전극(44)은 제1 패시베이션막(32), 유기 절연막(34) 및 제2 패시베이션막(36)에 형성된 비어홀(40)을 통해 박막트랜지스터(TFT)의 드레인 전극(26b)에 연결된다. 화소전극(44)은 공통전극(42)과 동일하게 ITO, IZO, ITZO, ZnO, IGZO와 같이 광을 투과할 수 있는 투명도전물질로 이루어진다. 화소전극(44)은 상기 공통전극(42)과 더불어 액정층에 전계를 형성한다.

[0060] 저속 구동시에 화소 방전(pixel discharge)을 감소시키기 위해서는 박막트랜지스터(TFT)에서부터 발생하는 누설전류를 억제하는 것뿐만 아니라 액정에서 전압이 빠져나가는 것을 억제하는 것 또한 매우 중요한 요소로 작용한다. 이와 같은 이유로 저속 구동을 구현하는 표시장치에서는 높은 Voltage Holding Ratio(VHR)와 고저항 특성을 가진 배향막과 높은 VHR을 가진 액정층이 유리하다.

[0061] 본 발명의 실시예들에서 하부 광배향막(50a) 및 상부 광배향막(50b)은 UV 광에 분해되는 광분해기작을 포함하는 고분자 물질로 이루어진다. 예를 들어, 광배향막(50a, 50b)은 사이클로부탄 다이엔하이드라이드(Cyclobutane dianhydride, CBDA)과 같은 광분해기작을 포함하는 폴리이미드(Polyimide)일 수 있다. 이러한 배향막은 UV 광이 일정 극성(polarity)로 조사됨에 따라 특정 사이트의 사이클로부탄 다이엔하이드라이드가 분해되어 말레이미드(maleimide)가 되는 반응을 통하여 폴리이미드 체인이 끊기게 되고, 이에 따라 배향막 표면 이방성이 형성된다.

[0062] 일반적으로, 광배향막은 열소성을 통해 폴리이미드 전구체를 이미드화 시켜 폴리이미드 배향막으로 형성된다. 기존의 폴리이미드 배향막은 폴리아믹 애시드(polyamic acid) 또는 폴리아믹 애시드(polyamic acid)와 폴리아믹 애시드 에스테르(polyamic acid ester)의 혼합물만으로 이루어진 전구체를 소성하여 폴리이미드로 변환하였다. 이 과정에서 폴리아믹 애시드는 역반응(reverse reaction)에 의해서 폴리이미드로 이미드화(imidize)되지 못하고 다이엔하이드라이드(dianhydride)와 다이아민(diamine)의 형태로 역분해되는 경우가 발생하게 된다. 그래서 배향막의 폴리이미드의 체인(low molecular weight)이 작아지고, 배향막의 중량 평균 분자량(weight average molecular weight)이 낮아져 배향막의 앵커링 포스(anchoring force)를 저하시키는 요인이 된다.

[0063] 비록 폴리아믹 애시드 에스테르(polyamic acid ester)가 폴리아믹 애시드(polyamic acid)만큼 역반응이 일어나지는 않지만 폴리아믹 애시드 에스테르(polyamic acid ester)의 함유량이 증가할수록 배향막의 강성이 낮아진 다거나 혹은 다른 층의 표면에 접착력(adhesion)이 낮아지는 부작용이 따를 뿐만 아니라, 소성에 걸리는 시간도 10배이상 늘어나기 때문에 폴리아믹 애시드(polyamic acid)와 폴리아믹 애시드 에스테르(polyamic acid ester)의 혼합물만으로 광배향막을 높은 중량 평균 분자량을 가진 배향막을 형성하는 것은 바람직하지 않다.

[0064] 위와 같은 문제를 해결하기 위하여, 본 명세서에 설명된 표시장치의 실시예들의 광배향막(50a, 50b)은 폴리아믹 애시드(polyamic acid) 또는 폴리아믹 애시드(polyamic acid)와 폴리아믹 애시드 에스테르(polyamic acid ester)의 혼합물에 추가로 이미 높은 분자량을 가지도록 소성된 폴리이미드가 일정량 이상 포함된 전구체를 사용하여 형성된 배향막을 사용한다. 폴리아믹 애시드(polyamic acid) 또는 폴리아믹 애시드(polyamic acid)와 폴리아믹 애시드 에스테르(polyamic acid ester)를 열소성하여 이미드화 하는 과정에서, 이미 이미드화가 이루어진 상태인 폴리이미드는 역반응이 일어나지 않는다. 그렇기 때문에 기존의 폴리아믹 애시드(polyamic acid) 또는 폴리아믹 애시드(polyamic acid)와 폴리아믹 애시드 에스테르(polyamic acid ester)의 혼합물에서부터 형성된 배향막에 비해 훨씬 더 높은 중량 평균 분자량(weight average molecular weight)을 가지게 되고 높은 앵커링 포스를 제공할 수 있다. 이뿐만 아니라, 폴리아믹 애시드 에스테르(polyamic acid ester)의 함유량을 높게 함에 따르는 부작용들 또한 감소시킬 수 있다.

[0065] 이러한 용액이 도포된 층을 소성시에 역반응이 일어나는 부분을 줄일 수 있다. 이렇게 형성된 배향막은 더 높은 중량 평균 분자량을 가질 수 있기 때문에 높은 앵커링 포스를 제공할 수 있다.

[0066] 본 발명의 실시예에서 사용하는 배향막에 대해 보다 자세히 설명하면, 폴리이미드 배향막은 분자량(Mw)이 100,000 Da 이상되고 광분해기작(Cyclobutane) 물질을 포함하는 폴리이미드와 광분해기작을 포함하지 않는 폴리이미드의 전구체가 혼합된 용액을 사용하여 제조된다. 즉 배향막(50a, 50b)은 액상에 녹일 수 있도록 형성된 폴리이미드(soluble-polyimide)와 폴리이미드 전구체(e.g., polyamic acid)가 함께 섞인 전구체 용액을 이용하여 형성된다. 이때 전구체 용액에 포함되는 폴리이미드(soluble-polyimide)는 광분해기작을 가진 폴리이미드이고 전구체 용액에 포함되는 폴리이미드 전구체(e.g., polyamic acid)는 광분해기작을 가지고 있지 않는 형태로 구

성될 수 있다. 이러한 용액을 기판 상에 도포하면, 중량 평균 분자량(weight average molecular weight)이 높은 물질들이 하부에 가라앉고 중량 평균 분자량이 낮은 물질이 상부에 위치하도록 분리(phase separation)된다. 폴리이미드(soluble-polyimide)보다 더 높은 평균 분자량(weight average molecular weight)을 가진 polyamic acid를 사용함에 따라 상부층에는 광분해기작을 포함하는 폴리이미드가 위치하고, 하부층에는 광분해기작을 가지고 있지 않은 폴리이미드 전구체가 위치하게 할 수 있다. 이렇게 상하층으로 구분된 상태에서 열소성과정을 거치게 되면 상부층의 폴리이미드는 건조되고, 하부층에서 전구체는 이미드화가 진행되어 폴리이미드로 만들어지게 된다. 여기서, 하부는 전구체일 때부터 광분해기작이 없었기 때문에 상부에 위치한 폴리이미드와는 달리 소성 후에도 광분해기작이 없는 폴리이미드로 형성된다.

[0067]

전술하였듯이 상부층 폴리이미드에 포함된 사이클로부탄 다이엔하이드라이드 (Cyclobutane dianhydride, CBDA)와 같은 광분해기작은 조사(irradiation)된 UV광에 의해 분해되어 말레이미드 (maleimide)가 되는 반응을 통하여, 배향막의 상층 표면에 액정을 배향할 수 있는 이방성이 형성된다. 이방성은 액정과 접하는 표면에만 형성되면 되기 때문에 상부에는 광분해기작이 있는 폴리이미드가 위치된다. 광분해기작이 포함된 폴리이미드로 구성된 배향막의 상부는 비교적 고저항의 특성을 가지게 되지만 광분해기작을 포함하지 않는 폴리이미드로 구성된 배향막의 하부는 저항이 낮아지게 된다. 광분해기작을 포함하는 폴리이미드 전구체를 사용해서 전반적으로 더 높은 저항값을 가진 배향막을 형성할 수 있기는 하나, 과도하게 높은 저항을 가진 배향막은 이미지 잔상(image sticking)과 같은 현상을 초래할 수 있다. 또한 전구체의 포함되는 광분해기작에 의존하여 배향막의 저항값을 적절한 수준으로 맞추기는 쉽지 않다. 이뿐만 아니라, 광분해기작의 알킬닐 그룹(Alkynyl group)이 과도하게 존재하게 되어 네거티브 액정의 성능저하를 발생시킬 수 있다.

[0068]

이러한 부작용들을 초래하지 않기 위해 화소전극(44) 및 공통전극(42)가 형성되는 기판에서 광배향막(50a)과 이에 근접한 화소전극(44) 또는 공통전극(42) 사이에 제3 패시베이션막(38)을 추가하여 픽셀방전을 억제할 수 있다.

[0069]

도 4에 도시된 바와 같이, 화소전극(44)이 공통전극(42) 상에 위치하는 Pixel-Top구조에서 제3 패시베이션막(38)은 화소전극(44) 상에 위치하여, 액정과 화소전극(44) 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생용량에 의해 서서히 줄어드는 화소 방전(pixel discharge)을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

[0070]

제3 패시베이션막(38)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)로 이루어진다. 보다 자세하게, 제3 패시베이션막(38)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)의 단층이나 이들의 적층 구조로 이루어질 수 있다. 또한, 제3 패시베이션막(38)은 전술한 제1 패시베이션막(32) 또는 제2 패시베이션막(36)과 동일한 적층 구조로도 이루어질 수 있다. 또한, 제3 패시베이션막(38)은 500Å 내지 4000Å의 두께로 이루어져 제1 패시베이션막 또는 제2 패시베이션막에 비해 얇은 두께로 이루어질 수 있다. 바람직하게 제3 패시베이션막(38)은 2000Å 내지 3500Å의 두께로 이루어질 수 있으며, 가장 바람직하게는 3000Å의 두께로 이루어질 수 있다. 또한, 제3 패시베이션막(38)은 전술한 바와 같은 적층 구조 또는 두께를 조정하여 최소한 1E+14Ωcm 이상의 비저항 값을 가질 수 있다.

[0071]

한편, 전술한 기판(20)과 대향하는 상부기판(52)이 위치한다. 상부기판(52)은 블랙매트릭스(54), 컬러필터(56) 및 상부 광배향막(50b)을 포함한다. 블랙매트릭스(54)는 각 서브 픽셀 영역을 구획하고 색이 혼색되는 것을 방지하여 콘트라스트비를 향상시킨다. 블랙매트릭스(54)에 의해 구획된 서브 픽셀 영역에는 컬러필터(56)가 위치한다. 컬러필터(56)는 백색의 광을 적색(R), 녹색(G) 및 청색(B)으로 변환하여 풀 컬러를 구현할 수 있게 한다. 이들 블랙매트릭스(54)와 컬러필터(56)의 하부에 상부 광배향막(50b)이 위치한다. 상부 광배향막(50b)은 전술한 하부 광배향막(50a)과 동일하게 이루어짐으로 그 설명을 생략한다.

[0072]

전술한 기판(20)과 상부기판(52) 사이에 액정을 포함하는 액정층(LC)이 위치한다. 액정은 쌀알 모양으로 형성되어 유전율이 다른 장축과 단축을 가진다. 여기서, 장축의 유전율이 단축의 유전율보다 크면 포지티브(Positive) 액정이라 하고, 장축의 유전율이 단축의 유전율보다 작으면 네거티브(Negative) 액정이라 한다. 전술하였듯이 본 발명에서는 액정층(LC)에 네거티브 액정을 구비한다. 네거티브 액정은 포지티브 액정에 비해 플렉소효과(flexo-effect)가 적어 플리커가 발생하지 않도록 하기에 더 유리하다. 또한, 네거티브 액정은 전압이 걸렸을 때 단축을 중심으로 움직이기 때문에 빛을 투과시키는 영역이 넓어진다. 따라서, 본 발명은 네거티브 액정을 구비함으로써, 포지티브 액정보다 투과율을 향상시켜 휘도를 개선시켜 소비전력을 감소시킬 수 있는 이점이 있다.

[0073]

전술한 바와 같이, 본 발명의 일 실시예에 따른 표시장치는 금속 산화물 액티브층, UV 광배향막 및 네거티브 액정을 구비함으로써 표시장치의 소비전력을 감소시킨다. 또한, 광배향막과 화소전극 또는 공통전극 사이에 패시

배이션막을 더 구비함으로써, 액정과 전극 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생 용량에 의해 서서히 줄어드는 화소 방전을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

[0074] 전술한 본 발명의 제1 실시예의 서브 픽셀의 회로도도 살펴보면 다음과 같다. 도 5는 도 4에 도시된 서브 픽셀의 회로도도를 나타낸 도면이다.

[0075] 도 5를 참조하면, 본 발명의 서브 픽셀은 게이트 라인에 연결된 게이트 전극과 데이터 라인으로부터 연장된 소스 전극이 박막트랜지스터(TFT)를 구성한다. 박막트랜지스터(TFT)는 저항(R_{tft})을 형성하고, 누설전류(I_{leak})가 발생한다. 박막트랜지스터의 드레인 전극은 화소전극(Pixel)에 연결되고 화소전극에 대항하는 공통전극(Vcom)이 배치된다. 화소전극(Pixel)과 공통전극(Vcom) 사이에는 스토리지 캐패시터(Cst)와 액정 캐패시터(Clc)가 작용한다. 특히, 본 발명에서는 고저항의 제3 패시베이션막을 화소전극과 광배향막 사이에 형성하였다. 이에 따라, 제3 패시베이션막의 저항이 액정의 저항(R_{lc})에 더해짐으로써, 화소전극에 충전된 데이터 전압이 증가된 저항으로 인해 쉽게 방전되지 않고 유지할 수 있게 한다. 따라서, 저속 구동에서의 화소 방전을 억제시켜 플리커가 발생하는 것을 방지할 수 있는 이점이 있다.

[0076] 도 6은 본 발명의 제2 실시예에 따른 표시장치를 나타낸 평면도이고, 도 7은 도 6의 A 영역의 서브 픽셀들을 나타낸 평면도이며, 도 8은 도 7의 I-I'에 따라 절취한 단면도이다. 본 발명의 제2 실시예에서는 표시장치의 예로 터치소자 일체형 액정표시장치를 예로 설명하기로 한다.

[0077] 도 6을 참조하면, 본 발명의 제2 실시예에 따른 표시장치(100)는 기판(105) 상에 화소전극(미도시)과 공통전극(미도시)이 구비된 복수의 서브픽셀(102)들을 포함한다. 복수의 서브픽셀(102)들의 공통전극은 블록화되어 터치 구동부(B1~B4)와 터치 센싱부(C1)로 구획된다. 터치 구동부(B1~B4)는 Tx 신호선(Tx)으로부터 구동 신호를 인가받고 터치 센싱부(C1)는 Rx 신호선(Rx)을 통해 터치 센싱을 하게 된다. 여기서, 터치 센싱부(C1)는 Rx 신호선(Rx)으로부터 연장된 센싱라인(SL)이 세로 방향으로 배치되어 터치 센싱부(C1)를 연결하고, 터치 구동부(B1~B4)들은 Tx 신호선(Tx)으로부터 연장된 구동라인이 터치 센싱부(C1)의 하부로 가로지르는 Tx 연결배선(104)에 의해 연결된다. 터치 구동부(B1~B4)들에는 각각 콘택홀(106)들에 의해 Tx 연결배선(104)들이 연결된다.

[0078] 도 7을 참조하여 도 6의 A 영역에 위치하는 서브 픽셀들을 살펴보면, 각 서브 픽셀은 게이트 라인(110)과 데이터 라인(120)의 교차에 의해 서브 픽셀 영역이 구획된다. 각 서브 픽셀 영역에는 게이트 라인(110)으로부터 분기된 게이트 전극(150), 데이터 라인(120)으로부터 분기된 소스 전극(160a), 소스 전극(160a)과 이격된 드레인 전극(160b)과, 이들 사이에 배치된 반도체층(165)으로 구성된 박막트랜지스터(TFT)가 각각 배치된다. 또한, 각 서브 픽셀 영역에는 박막트랜지스터(TFT)의 드레인 전극(160b)에 연결된 화소전극(185)이 배치되고 화소전극(185)에 대항하는 공통전극(미도시)이 배치된다. 터치 센싱부들을 연결하는 보조배선(DL)은 각 서브 픽셀 영역의 사이에 배치되되, 데이터 라인(120)과 중첩되게 연장된다. 보조배선(DL)은 일부에 위치한 콘택홀(182)을 통해 공통전극(미도시)과 연결된다.

[0079] 보다 자세하게, 도 7의 II-II'에 따라 절취한 단면도인 도 8을 참조하여 본 발명의 제2 실시예에 따른 표시장치를 설명하면 다음과 같다. 하기에서는 전술한 제1 실시예의 표시장치와 동일한 구성요소에 대해서는 그 설명을 생략하기로 한다.

[0080] 도 8 을 참조하면, 기판(105) 상에 게이트 전극(150)과 게이트 라인(110)이 위치한다. 게이트 전극(150)과 게이트 라인(110) 상에 게이트 절연막(170)이 위치한다. 게이트 절연막(170) 상에 액티브층(165)이 위치한다. 본 발명에서는 금속 산화물로 이루어진 액티브층(165)을 사용함으로써, 표시장치의 소비전력을 줄이고 플리커를 감소시킬 수 있게 한다. 한편, 액티브층(165) 상에 소스 전극(160a)과 드레인 전극(160b)이 위치한다. 소스 전극(160a)은 액티브층(165)의 일측에 콘택되고 드레인 전극(160b)은 액티브층(165)의 타측에 콘택된다. 따라서, 기판(105) 상에 액티브층(165), 게이트 전극(150), 소스 전극(160a) 및 드레인 전극(160b)을 포함하는 박막트랜지스터(TFT)가 구성된다.

[0081] 박막트랜지스터(TFT) 상에 제1 패시베이션막(172)이 위치한다. 제1 패시베이션막(172)은 하부의 소자를 절연시킴과 아울러 보호하는 것으로 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층으로 이루어질 수 있다. 제1 패시베이션막(172) 상에 유기 절연막(174)이 위치한다. 유기 절연막(174)은 하부 구조의 단차를 완화시키는 것으로, 폴리이미드(polyimide), 폴리아크릴(polyacryl), 포토아크릴(photoacryl), 폴리아미드(polyamide), BCB(benzocyclobutane) 등의 유기물로 이루어질 수 있다.

[0082] 유기 절연막(174) 내부에 보조배선(DL)이 위치한다. 보조배선(DL)은 Rx 신호선(미도시)으로부터 센싱신호를 터

치 센성부의 공통전극에 전달하는 역할과 동시에, 공통전극의 저항을 균일하게 맞추어 표시장치의 가장자리에서 휘도 차이가 발생하는 것을 방지하는 역할을 한다. 보조배선(DL)은 저저항의 금속으로 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 본 실시예에서 보조배선(DL)이 데이터 라인(120)과 중첩되는 것으로 설명하고 도시하였지만, 보조배선(DL)은 게이트 라인(110)과 중첩되도록 형성될 수도 있다.

[0083] 유기 절연막(174) 상에 공통전극(130)이 위치한다. 공통전극(130)은 서브 픽셀 관점에서 액정층에 전계를 인가하는 공통전극의 역할과 더불어 터치 관점에서 터치 구동전극의 역할을 한다. 공통전극(130)은 유기 절연막(174)에 형성된 제1 콘택홀(132)을 통해 상기 보조배선(DL)에 연결된다. 따라서, 공통전극(130)은 보조배선(DL)으로부터 센싱신호를 인가받는다. 즉, 보조배선(DL)에는 공통전극의 공통전압이 인가될 수도 있고, 필요에 따라서 임의의 구간에서는 터치 구동에 필요한 터치 구동신호 또는 터치 센싱 신호가 인가될 수 있다.

[0084] 공통전극(130) 상에 제2 패시베이션막(176)이 위치한다. 제2 패시베이션막(176)은 공통전극(130)과 화소전극을 절연시키는 것으로, 전술한 제1 패시베이션막(172)과 동일한 물질로 이루어질 수 있다. 제2 패시베이션막(176) 상에 화소전극(185)이 위치한다. 화소전극(185)은 제1 패시베이션막(172), 유기 절연막(174) 및 제2 패시베이션막(176)에 형성된 비어홀(182)을 통해 박막트랜지스터(TFT)의 드레인 전극(160b)에 연결된다. 화소전극(185)은 상기 공통전극(130)과 더불어 액정층에 전계를 형성한다.

[0085] 한편, 화소전극(185) 상에 제3 패시베이션막(178)이 위치한다. 제3 패시베이션막(178)은 화소전극(185) 상에 위치하여 저항이 큰 절연막으로 이루어진다. 제3 패시베이션막(178)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)로 이루어진다. 보다 자세하게, 제3 패시베이션막(178)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)의 단층이나 이들의 적층 구조로 이루어질 수 있다. 또한, 제3 패시베이션막(178)은 전술한 제1 패시베이션막 또는 제2 패시베이션막과 동일한 적층 구조로도 이루어질 수 있다. 또한, 제3 패시베이션막(178)은 500Å 내지 4000Å의 두께로 이루어져 제1 패시베이션막 또는 제2 패시베이션막에 비해 얇은 두께로 이루어질 수 있다. 바람직하게 제3 패시베이션막(178)은 2000Å 내지 3500Å의 두께로 이루어질 수 있으며, 가장 바람직하게는 3000Å의 두께로 이루어질 수 있다. 또한, 제3 패시베이션막(178)은 전술한 바와 같은 적층 구조 또는 두께를 조정하여 최소한 $1E+14 \Omega \text{cm}$ 이상의 비저항 값을 가질 수 있다.

[0086] 제3 패시베이션막(178) 상에 하부 광배향막(190a)이 위치한다. 하부 광배향막(190a)은 UV 광에 반응하여 일 방향으로 배향되는 것을 특징으로 하는 고분자 물질로 이루어진다. 본 발명에서는 광배향막과 화소전극 사이에 제3 패시베이션막(178)을 추가하여 저항값을 맞춰줄 수 있다.

[0087] 한편, 전술한 기관(105)과 대향하는 상부기관(192)이 위치한다. 상부기관(192)은 블랙매트릭스(194), 컬러필터(196) 및 상부 광배향막(190b)을 포함한다. 블랙매트릭스(194)는 각 서브 픽셀 영역을 구획하고 색이 혼색되는 것을 방지하여 콘트라스트비를 향상시킨다. 블랙매트릭스(194)에 의해 구획된 서브 픽셀 영역에는 컬러필터(196)가 위치한다. 컬러필터(196)는 백색의 광을 적색(R), 녹색(G) 및 청색(B)으로 변환하여 풀 컬러를 구현할 수 있게 한다. 이들 블랙매트릭스(194)와 컬러필터(196)의 하부에 상부 광배향막(190b)이 위치한다. 상부 광배향막(190b)은 전술한 하부 광배향막(190a)과 동일하게 이루어짐으로 그 설명을 생략한다.

[0088] 전술한 기관(105)과 상부기관(192) 사이에 액정을 포함하는 액정층(LC)이 위치한다. 본 발명에서는 액정층(LC)에 네거티브 액정을 구비한다. 네거티브 액정은 전압이 걸렸을 때 단축을 중심으로 움직이기 때문에 빛을 투과시키는 영역이 넓어진다. 따라서, 본 발명은 네거티브 액정을 구비함으로써, 포지티브 액정보다 투과율을 향상시켜 휘도를 개선시켜 소비전력을 감소시킬 수 있는 이점이 있다.

[0089] 전술한 바와 같이, 본 발명의 제2 실시예에 따른 표시장치는 금속 산화물 액티브층, UV 광배향막 및 네거티브 액정을 구비함으로써 표시장치의 소비전력을 감소시킨다. 또한, 광배향막과 화소전극 또는 공통전극 사이에 패시베이션막을 더 구비함으로써, 액정과 전극 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생용량에 의해 서서히 줄어드는 화소 방전을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

[0090] 한편, 본 발명의 일 실시예에 따른 표시장치(100)는 보조배선(DL)의 위치가 도 8과 다르게 위치할 수 있다. 도 9는 본 발명의 제3 실시예에 따른 표시장치를 나타낸 단면도이다. 도 9에서는 전술한 도 8과 보조배선의 위치만 다르기 때문에 동일한 구성요소에 대해 동일한 도면부호를 붙여 그 설명을 생략하기로 한다.

[0091] 도 9를 참조하면, 본 발명의 제3 실시예에 따른 표시장치(100)는 기관(105) 상에 게이트 전극(150)과 게이트 라인(110)이 위치하고, 이들 상에 게이트 절연막(170)이 위치한다. 게이트 절연막(170) 상에 액티브층(165)이 위

치하고 액티브층(165)의 양측에 소스 전극(160a)과 드레인 전극(160b)이 위치하여 박막트랜지스터(TFT)가 구성된다. 박막트랜지스터(TFT) 상에 제1 패시베이션막(172)이 위치하고 제1 패시베이션막(172) 상에 유기 절연막(174)이 위치한다. 유기 절연막(174) 상에 공통전극(130)이 위치하고, 공통전극(130)과 접하는 보조배선(DL)이 위치한다. 본 실시예에서는 전술한 도 8과는 달리, 보조배선(DL)이 공통전극(130)의 상면에 선택적으로 위치한다. 즉, 보조배선(DL)이 콘택홀을 통해 공통전극(130)에 연결되지 않고 공통전극(130)에 직접 연결된다. 따라서, 보조배선(DL)과 공통전극(130)의 콘택 면적이 넓어져 공통전극(130)의 저항을 낮추고, 공통전극(130)의 저항을 균일하게 맞추어 표시장치의 가장자리에서 휘도 차이가 발생하는 것을 방지할 수 있는 이점이 있다.

[0092]

상기 공통전극(130) 상에 제2 패시베이션막(176)이 위치하고, 제2 패시베이션막(176) 상에 화소전극(185)이 위치하여 비어홀(182)을 통해 박막트랜지스터(TFT)의 드레인 전극(160b)에 연결된다. 화소전극(185) 상에 제3 패시베이션막(178)이 위치하고, 제3 패시베이션막(178) 상에 하부 광배향막(190a)이 위치한다. 기판(105)과 대향하는 상부기판(192)이 위치하고 상부기판(192)에 블랙매트릭스(194)와 컬러필터(196)가 위치한다. 컬러필터(196) 하부에 상부 광배향막(190b)이 위치하고, 하부 광배향막(190a)과 상부 광배향막(190b) 사이에 액정층(LC)이 위치하여 본 발명의 표시장치를 구성한다.

[0093]

한편, 도 10은 본 발명의 제4 실시예에 따른 표시장치의 서브 픽셀을 나타낸 평면도이고, 도 11은 도 10의 III-III'에 따라 절취한 단면도이다. 하기에서는 전술한 실시예들과 동일한 구성요소에 대해 중복되는 설명을 생략하기로 한다.

[0094]

도 10을 참조하면, 서브 픽셀은 게이트 라인(222)과 데이터 라인(232)의 교차에 의해 서브 픽셀 영역이 구획된다. 서브 픽셀 영역에는 게이트 라인(222)으로부터 분기된 게이트 전극(220), 데이터 라인(232)으로부터 분기된 소스 전극(235a), 소스 전극(235a)과 이격된 드레인 전극(235b)과, 이들 사이에 배치된 반도체층(210)으로 구성된 박막트랜지스터(TFT)가 각각 배치된다. 또한, 서브 픽셀 영역에는 박막트랜지스터(TFT)의 드레인 전극(235b)에 연결된 화소전극(250)이 배치되고 화소전극(250)에 대향하는 공통전극(미도시)이 배치된다.

[0095]

보다 자세하게, 도 10의 III-III'에 따라 절취한 단면도인 도 11을 참조하여 본 발명의 제4 실시예에 따른 표시장치를 설명하면 다음과 같다.

[0096]

기판(205) 상에 게이트 전극(220)이 위치하고, 게이트 전극(220) 상에 게이트 절연막(215)이 위치한다. 게이트 절연막(215) 상에 금속 산화물로 이루어진 액티브층(210)이 위치한다. 액티브층(210) 상에 액티브층(210)에 각각 연결되는 소스 전극(235a) 및 드레인 전극(235b)이 위치한다. 따라서, 액티브층(210), 게이트 전극(220), 소스 전극(235a) 및 드레인 전극(235b)을 포함하는 박막트랜지스터(TFT)가 구성된다. 본 실시예의 박막트랜지스터는 전술한 제1 내지 제3 실시예에 설명된 역스태거드(inverted staggered) 구조와 동일하게 이루어지나, 이와는 달리, 액티브층(210) 상에 게이트 전극(220)이 위치하는 스태거드(staggered) 구조로도 이루어질 수 있다.

[0097]

한편, 박막트랜지스터(TFT) 상에 제1 패시베이션막(225)이 위치하고, 제1 패시베이션막(225) 상에 유기 절연막(245)이 위치한다. 유기 절연막(245) 상에 유기 절연막(245)과 제1 패시베이션막(240)을 관통하는 비어홀(247)을 통해 박막트랜지스터(TFT)의 드레인 전극(235b)에 연결되는 화소전극(250)이 위치한다. 화소전극(250) 상에 제2 패시베이션막(255)이 위치하고 제2 패시베이션막(255) 상에 공통전극(260)이 위치한다. 전술한 실시예에서 화소전극이 공통전극 상부에 위치하는 Pixel Top 구조와 달리, 본 실시예에서는 공통전극(260)이 화소전극(250) 상부에 위치하는 Vcom Top 구조로 이루어진다.

[0098]

한편, 제2 패시베이션막(255) 상에 화소전극(250)과 동일층에 위치한 보조배선(DL)이 위치한다. 보조배선(DL)은 제2 패시베이션막(255)에 형성된 콘택홀(257)을 통해 공통전극(260)에 선택적으로 연결된다. 공통전극(260) 상에 제3 패시베이션막(270)이 위치하고, 제3 패시베이션막(270) 상에 하부 광배향막(275a)이 위치한다. 기판(205)과 대향하는 상부기판(280)이 위치하고 상부기판(280)에 블랙매트릭스(285)와 컬러필터(290)가 위치한다. 컬러필터(290) 하부에 상부 광배향막(275b)이 위치하고, 하부 광배향막(275a)과 상부 광배향막(275b) 사이에 액정층(LC)이 위치하여 본 발명의 표시장치를 구성한다.

[0099]

전술한 본 발명의 실시예들에 따른 표시장치의 제조방법을 도 12a 내지 도 12j를 참조하여 설명하기로 한다. 하기에서는 전술한 다양한 실시예들의 액정표시장치 중 도 8에 도시된 제1 실시예에 따른 구조를 예로 설명하기로 한다. 도 12a 내지 도 12j는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 공정별로 나타낸 도면이다.

[0100]

도 12a를 참조하면, 기판(305) 상에 저저항의 금속을 증착하고 패터닝하여 게이트 전극(310)과 게이트 라인(315)을 형성한다. 게이트 전극(310)과 게이트 라인(315)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알

루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수 있다. 게이트 전극(310)과 게이트 라인(315) 상에 게이트 절연막(320)을 형성한다. 게이트 절연막(320)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 형성될 수 있다. 게이트 절연막(320) 상에 금속 산화물을 증착하고 패터닝하여 액티브층(325)을 형성한다. 액티브층(325)은 아연 산화물(ZnO), 인듐 아연 산화물(InZnO), 인듐 갈륨 아연 산화물(InGaZnO) 또는 아연 주석 산화물(ZnSnO) 중 어느 하나로 형성될 수 있다.

[0101] 이어, 도 12b를 참조하면, 액티브층(325)이 형성된 기판(305) 상에 저저항의 금속을 증착하고 패터닝하여, 액티브층(325)의 양측에 각각 컨택하는 소스 전극(330a)과 드레인 전극(330b)을 형성한다. 소스 전극(330a) 및 드레인 전극(330b)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다. 따라서, 기판(305) 상에 게이트 전극(310), 액티브층(325), 소스 전극(330a) 및 드레인 전극(330b)을 포함하는 박막트랜지스터(TFT)가 형성된다. 다음, 박막트랜지스터(TFT)가 형성된 기판(305) 상에 제1 패시베이션막(340)을 형성한다. 제1 패시베이션막(340)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 형성될 수 있다.

[0102] 다음, 도 12c를 참조하면, 제1 패시베이션막(340)이 기판(305) 상에 하부 유기 절연막(350)을 형성한다. 하부 유기 절연막(350)은 폴리이미드(polyimide), 폴리아크릴(polyacryl), 포토아크릴(photoacryl), 폴리아미드(polyamide), BCB(benzocyclobutane) 등의 유기물로 형성되며, 스핀 코팅, 슬릿 코팅 등의 용액 공정을 사용한다.

[0103] 이어, 도 12d를 참조하면, 하부 유기 절연막(350)이 형성된 기판(305) 상에 저저항의 금속을 증착하고 패터닝하여 보조배선(355)을 형성한다. 보조배선(355)은 하부 유기 절연막(350) 상에 형성되며, 전술한 게이트 라인(315) 또는 데이터 라인(미도시)과 중첩되게 형성된다. 본 실시예에서는 보조배선(355)이 게이트 라인(315)에 중첩되도록 형성한다. 보조배선(355)은 저저항의 금속으로 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성될 수 있다.

[0104] 다음, 도 12e를 참조하면, 보조배선(355)이 형성된 기판(305) 상에 전술한 하부 유기 절연막(350)과 동일한 재료를 도포하여 상부 유기 절연막(360)을 형성한다. 상부 유기 절연막(360)은 보조배선(355)을 덮으며 하부 유기 절연막(350) 상에 형성된다. 이때, 도 12f를 참조하면, 하부 유기 절연막(350)과 상부 유기 절연막(360)은 동일한 재료로 이루어져 큐어링 후에는 하나의 층인 유기 절연막(365)으로 형성된다. 따라서, 보조배선(355)은 유기 절연막(365) 내부에 삽입된 것과 같이 형성된다. 이어, 유기 절연막(365)을 에칭하여 드레인 전극(330b)을 노출하는 제1 콘택홀(366)과 보조배선(355)을 노출하는 제2 콘택홀(367)을 형성한다.

[0105] 이어, 도 12g를 참조하면, 유기 절연막(365)이 형성된 기판(305) 상에 투명도전물질을 증착하고 패터닝하여 공통전극(370)을 형성한다. 공통전극(370)은 상기 제1 콘택홀(366)을 노출시키며, 상기 제2 콘택홀(367)을 통해 보조배선(355)에 컨택된다. 공통전극(370)은 ITO , IZO , ITZO , ZnO , IGZO 와 같이 광을 투과할 수 있는 투명도전물질로 형성된다. 이어, 공통전극(370)이 형성된 기판(305) 전면에서 제2 패시베이션막(375)을 형성한다. 제2 패시베이션막(375)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 형성될 수 있다.

[0106] 다음, 도 12h를 참조하면, 제2 패시베이션막(375)을 식각하여 제1 콘택홀(366)을 노출시키는 비어홀(377)을 형성한다. 이어, 비어홀(377)이 형성된 기판(305) 상에 투명도전물질을 증착하고 패터닝하여 화소전극(380)을 형성한다. 화소전극(380)은 비어홀(377)과 제1 콘택홀(366)을 통해 드레인 전극(330b)에 연결된다. 화소전극(380)은 공통전극(370)과 동일하게 ITO , IZO , ITZO , ZnO , IGZO 와 같이 광을 투과할 수 있는 투명도전물질로 형성된다. 이어, 화소전극(380)이 형성된 기판(305) 상에 제3 패시베이션막(385)을 형성한다. 제3 패시베이션막(385)은 전술한 제1 및 제2 패시베이션막과 동일하게 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 적층 구조로 형성될 수 있다. 제3 패시베이션막(385)은 500Å 내지 4000Å의 두께로 형성된다. 바람직하게는 2000Å 내지 3500Å의 두께로 형성될 수 있으며, 가장 바람직하게는 3000Å의 두께로 형성될 수 있다.

[0107] 제3 패시베이션막(385)이 실리콘 질화물로 형성되는 경우, 진공 챔버에서 실란(SiH_4)과 암모니아(NH_3) 가스를 반응시켜 실리콘 질화물을 형성할 수 있다. 보다 자세하게, 진공 챔버 내에 진공 분위기를 10 내지 760 Torr로 형성하고 400 내지 650°C의 온도 분위기를 형성한다. 다음, 실란(SiH_4)과 암모니아(NH_3) 가스를 일정 유속으로 진공 챔버 내로 흘려준다. 이때, 실란과 암모니아 가스 외에 하이드로젠, 카본, 옥시젠 또는 보론과 같은 다른 원소들도 반응 가스에 포함될 수 있다. 이어, 진공 챔버 내에서 플라즈마 방전을 통해 기판 상에 실리콘 질화물

(SiNx) 박막을 형성한다. 이때, 실란과 암모니아 가스의 혼합 비율은 1: 10 내지 1: 5일 수 있다. 암모니아 가스의 혼합 비율이 증가될수록 저항이 $1E+13$ 에서 $1E+15$ 까지 증가될 수 있기 때문이다. 그러나, 암모니아 가스의 혼합 비율이 너무 많아지면 박막 형성에 오래 걸리기 때문에 실란과 암모니아 가스의 혼합 비율은 1:10 내지 1:5로 형성된다. 따라서, 제3 패시베이션막(385)의 비저항 값은 $1E+14 \Omega \text{cm}$ 이상으로 이루어져, 광배향막과 화소 전극(380) 사이의 저항을 증가시켜 화소 전극(380)의 방전을 억제한다.

[0108]

이어, 제3 패시베이션막(385)이 형성된 기관(305) 전면에 분자량(Mw)이 100,000 Da 이상되는 광분해기작 물질을 들어 시클로부탄을 포함하는 폴리이미드와, 광분해기작을 포함하지 않는 폴리이미드의 전구체가 혼합된 용액을 도포한다. 도포한 용액이 침체(settle)되어 형성된 막을 약 200℃의 열로 소성하여 광분해기작을 가진 폴리이미드가 상부에 위치하고 광분해기작이 없는 폴리이미드가 하부에 위치하는 광배향막(390)을 형성한다. 다음, UV 광을 상기 광배향막(390)에 조사하여 일정한 방향으로 배향되도록 한다. 이렇게 형성된 광배향막(390)에서 광분해기작이 UV에 의해 분해되는 상부는 고저항을 가지게 되지만 광분해기작 물질을 포함하지 않는 폴리이미드로 형성된 하부는 저항이 낮다. 따라서, 광배향막(390)과 인접한 전극 즉 화소 전극 또는 공통전극 사이에 걸리는 저항값을 증가시켜 화소의 캐패시터에서부터 전류가 누설되는 것을 최소화하여 디스플레이가 저속 구동할 때에도 화면이 깜박거리는 플리커가 발생하는 것을 방지할 수 있다.

[0109]

이어, 도 12i를 참조하면, 기관(305)에 대향하는 상부기관(400)을 준비한 후, 상부기관(400) 상에 블랙매트릭스(405)를 패터닝하여 형성한다. 그리고, 블랙매트릭스(405)에 의해 구획된 서브 픽셀 영역에 R, G, B의 컬러필터(410)를 형성한다. 다음, 컬러필터(410)가 형성된 상부기관(400) 상에 상부 광배향막(420)을 형성한다. 상부 광배향막(420)은 전술한 하부 광배향막과 동일하게 형성한다.

[0110]

다음, 도 12j를 참조하면, 앞서 제조된 기관(305)과 상부기관(400)을 합착하고 이들 사이에 액정을 주입하여 액정층(LC)을 형성한다. 이때, 액정은 네거티브 액정을 사용함으로써, 투과율을 향상시켜 휘도를 개선시키고 소비 전력을 감소시킨다. 따라서, 기관(305)과 상부기관(400) 사이에 액정층(LC)이 형성된 표시장치가 제조된다.

[0111]

전술한 바와 같이, 본 발명의 일 실시예에 따른 표시장치의 제조방법은 금속 산화물 액티브층, UV 광배향막 및 네거티브 액정을 구비함으로써 표시장치의 소비전력을 감소시킨다. 또한, 광배향막과 화소 전극 또는 공통전극 사이에 패시베이션막을 더 구비함으로써, 액정과 전극 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생용량에 의해 서서히 줄어드는 화소 방전을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

[0112]

하기 표 1은 화소 전극과 광배향막 사이에 제3 패시베이션막(PAS3) 유무에 따른 플리커를 측정하여 나타내었다.

표 1

[0113]

	실시예 1			실시예 2		실시예 3			실시예 4		
배향막 비저항 (Ωcm)	1.0E+14			1.7E+14		4.4E+14			1.0E+14		
PAS3 유무	X	X	X	X	X	X	X	X	0	0	0
#샘플	#1	#2	#3	#1	#2	#1	#2	#3	#1	#2	#3
60Hz 구동 (dB)	-18.2	-20.9	-22.7	-21.2	-22.5	-26.2	-28.0	-26.7	-27.5	-26.7	-27.6
/평균	-20.6			-21.9		-27.0			-27.3		
30Hz 구동 (dB)	-12.8	-15.0	-13.5	-14.4	-15.2	-14.6	-17.5	-15.2	-18.8	-18.0	-19.0
/평균	-13.8			-14.8		-15.8			-18.6		

[0114]

상기 표 1을 참조하면, 실시예 1에 따른 표시장치는 광배향막의 비저항이 $1.0E+14 \Omega \text{cm}$ 이고 제3 패시베이션막이 구비되지 않은 것이고, 실시예 2에 따른 표시장치는 광배향막의 비저항이 $1.7E+14 \Omega \text{cm}$ 이고 제3 패시베이션막이 구비되지 않은 것이고, 실시예 3에 따른 표시장치는 광배향막의 비저항이 $4.4E+14 \Omega \text{cm}$ 이고 제3 패시베이션막이 구비되지 않은 것이고, 실시예 4에 따른 표시장치는 광배향막의 비저항이 $1.0E+14 \Omega \text{cm}$ 이고 제3 패시베이션막이 구비된 것이다.

[0115]

실시예 1의 표시장치는 60Hz 구동에서 평균 -20.6dB로 나타났고, 30Hz 구동에서 평균 -13.8dB로 나타났다. 실시예 2의 표시장치는 60Hz 구동에서 평균 -21.9dB로 나타났고, 30Hz 구동에서 평균 -14.8dB로 나타났다. 실시예 3

의 표시장치는 60Hz 구동에서 평균 -27.0dB로 나타났고, 30Hz 구동에서 평균 -15.8dB로 나타났다. 반면, 제3 패시베이션막이 구비된 실시예 4의 표시장치는 60Hz 구동에서 평균 -27.3dB로 나타났고, 30Hz 구동에서 평균 -18.6dB로 나타나, 플리커가 감소된 것으로 나타났다. 따라서, 제3 패시베이션막이 형성되지 않은 실시예 1 내지 3의 표시장치에 비해, 제3 패시베이션막이 형성된 실시예 4의 표시장치가 60Hz 및 30Hz 구동에서 플리커가 감소된 것이 증명되었다.

[0116]

전술한 바와 같이, 본 발명의 일 실시예에 따른 표시장치는 금속 산화물 액티브층, UV 광배향막 및 네거티브 액정을 구비함으로써 표시장치의 소비전력을 감소시킬 수 있는 이점이 있다. 또한, 광배향막과 화소전극 또는 공통전극 사이에 패시베이션막을 더 구비함으로써, 액정과 전극 사이에 걸리는 저항값을 증가시켜 화소에 충전된 데이터 전압이 기생용량에 의해 서서히 줄어드는 화소 방전을 억제시킨다. 이에 따라, 화소 방전에 의한 화소의 휘도 차이가 나타나는 플리커를 감소시킬 수 있는 이점이 있다.

[0117]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

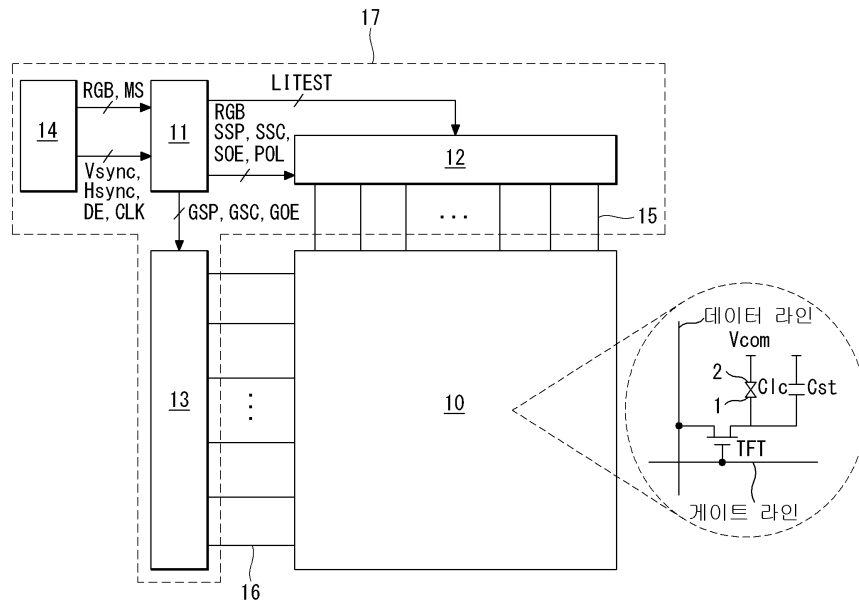
부호의 설명

[0118]

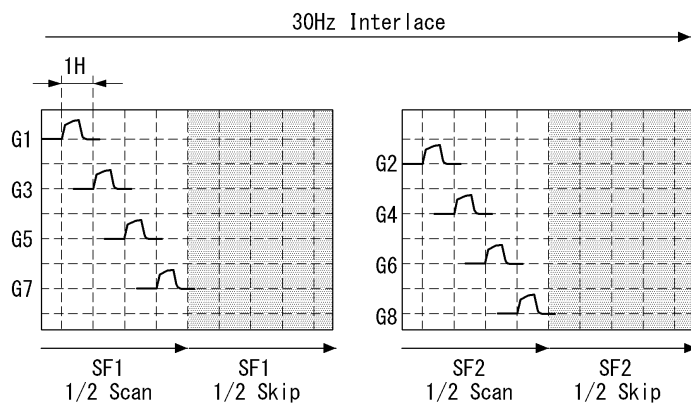
105 : 기관 110 : 게이트 라인
130 : 공통전극 132 : 콘택홀
150 : 게이트 전극 160a : 소스 전극
160b : 드레인 전극 165 : 액티브층
170 : 게이트 절연막 172 : 제1 패시베이션막
174 : 유기 절연막 176 : 제2 패시베이션막
178 : 제3 패시베이션막 182 : 비어홀
185 : 화소전극 190a : 하부 광배향막
190b : 상부 광배향막 192 : 상부기관
194 : 블랙매트릭스 196 : 컬러필터
DL : 보조배선 LC : 액정층
TFT : 박막트랜지스터

도면

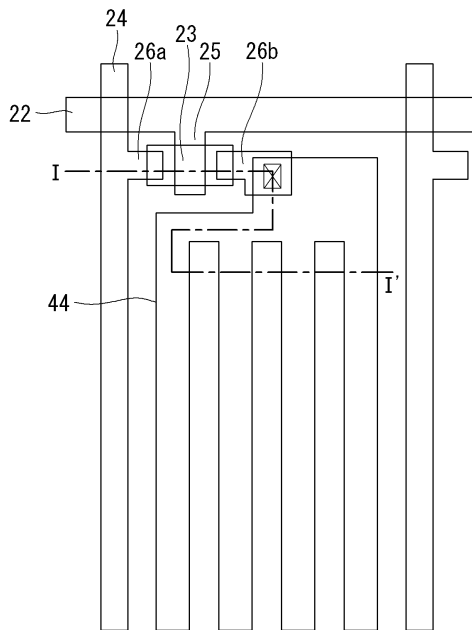
도면1



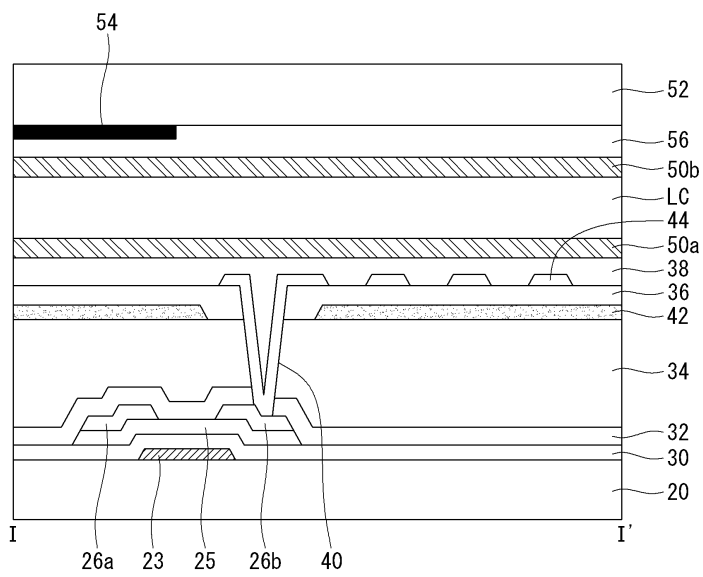
도면2



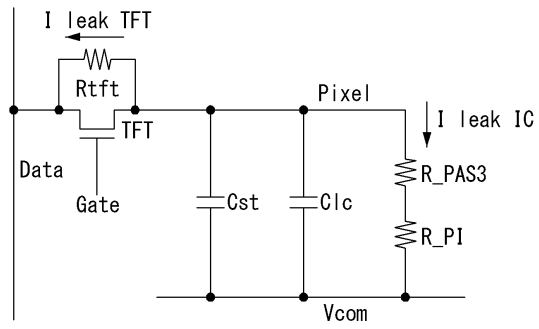
도면3



도면4

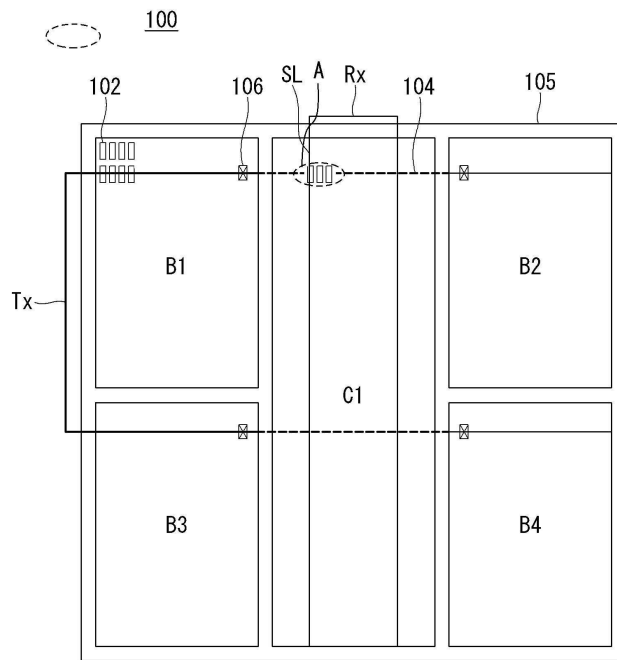


도면5

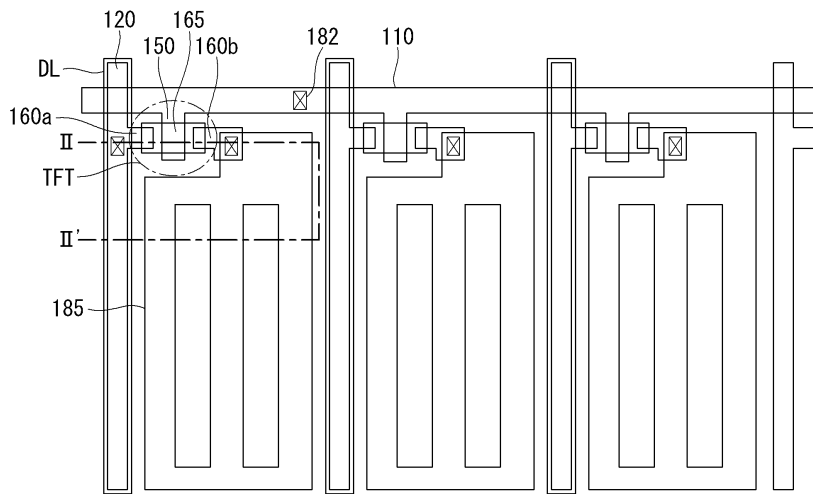


$$R_{Ic} = R_{PAS3} + R_{PI}$$

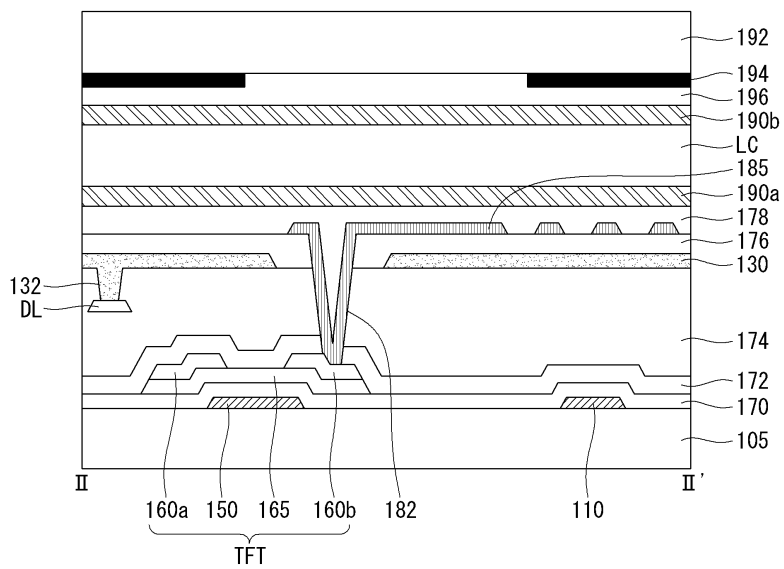
도면6



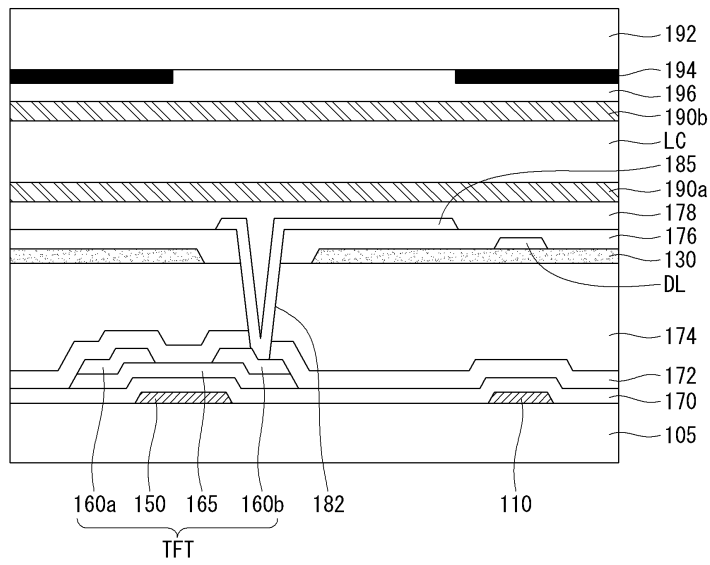
도면7



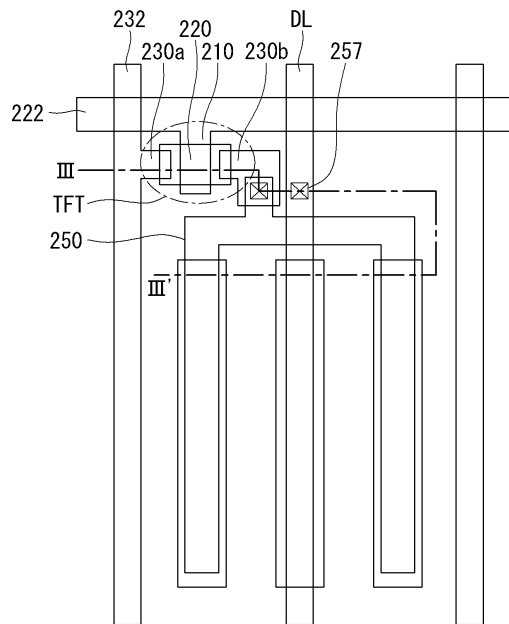
도면8



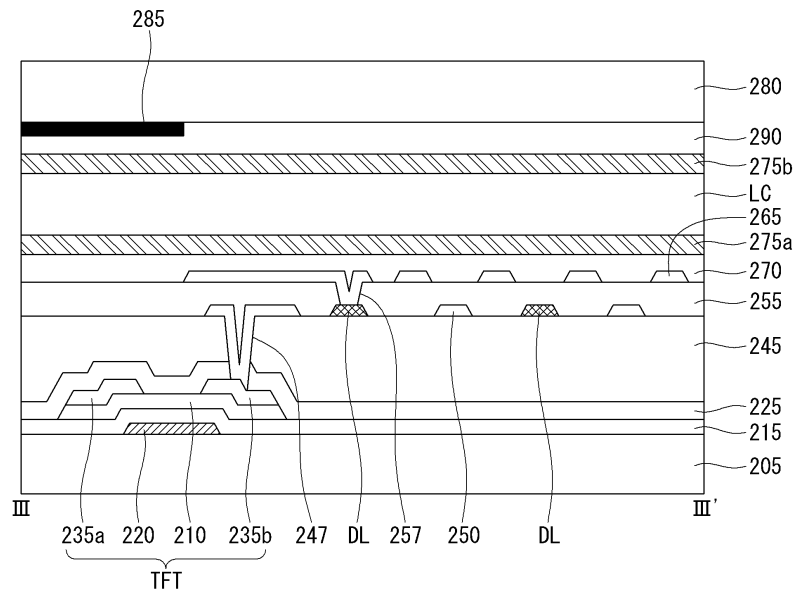
도면9



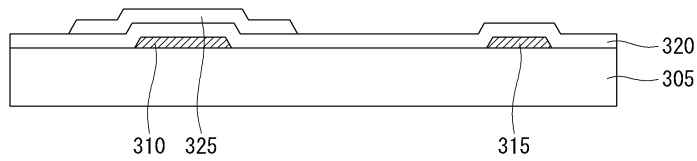
도면10



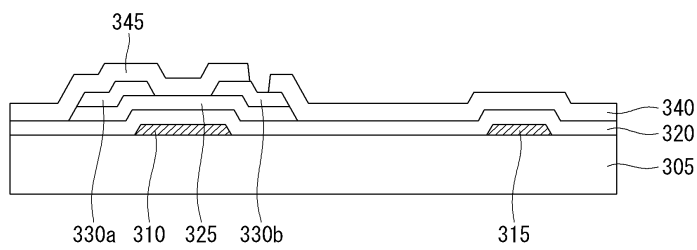
도면11



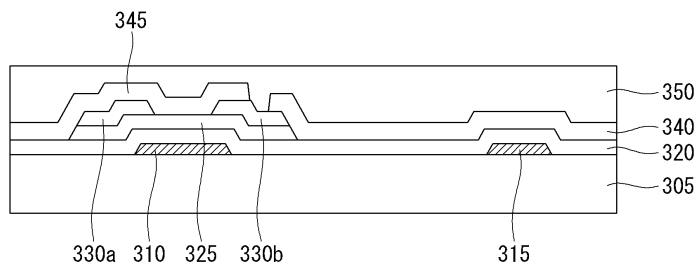
도면12a



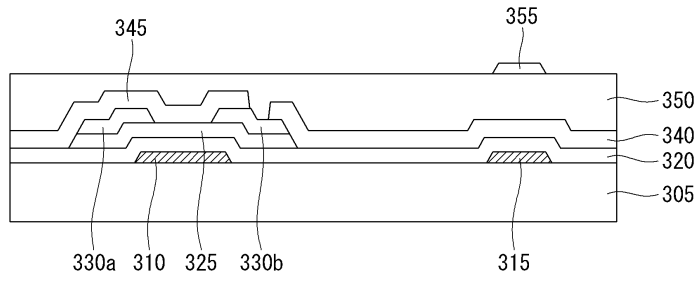
도면12b



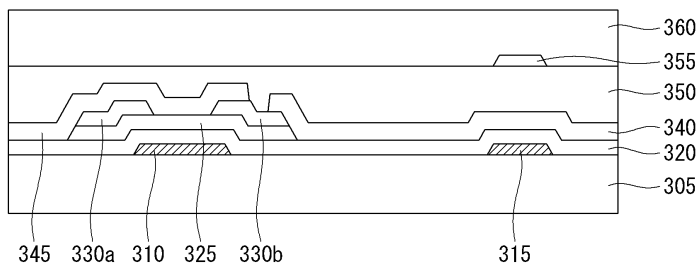
도면12c



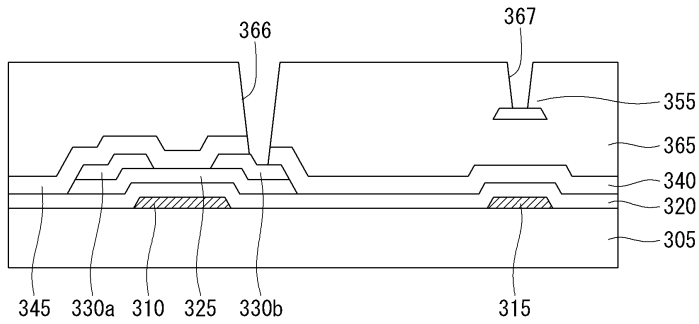
도면12d



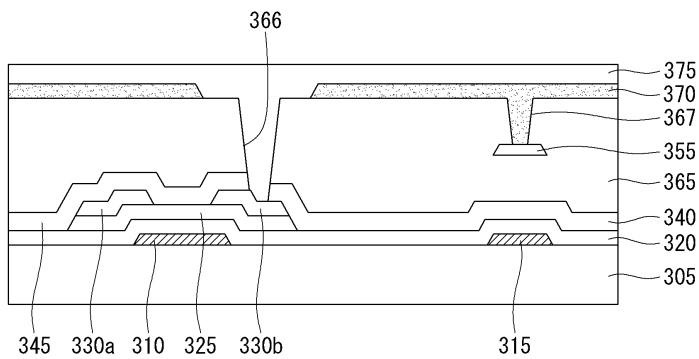
도면12e



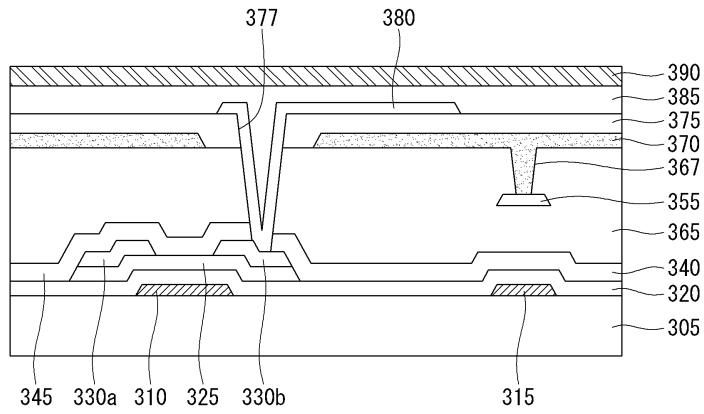
도면12f



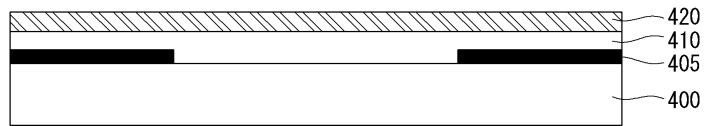
도면12g



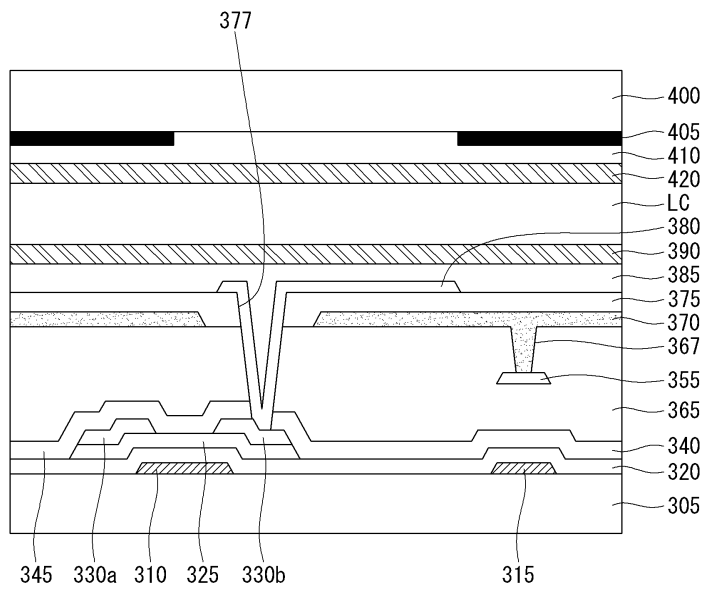
도면12h



도면12i



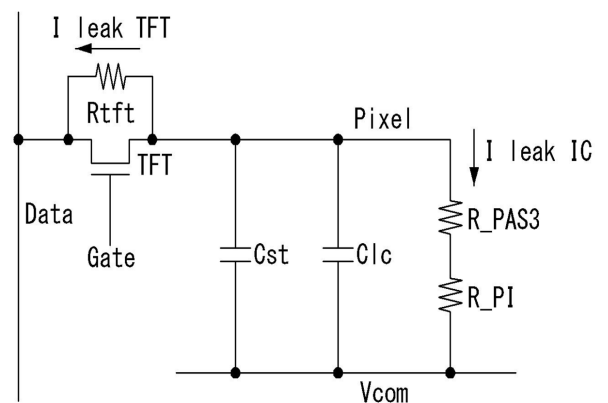
도면12j



专利名称(译)	显示装置和制造该装置的方法		
公开(公告)号	KR1020160013444A	公开(公告)日	2016-02-04
申请号	KR1020140094867	申请日	2014-07-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM YOU SUNG 남유성 WOO CHANG SEUNG 우창승 HONG SOON HWAN 홍순환		
发明人	남유성 우창승 홍순환		
IPC分类号	G02F1/1362 G02F1/1337 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/133345 G02F1/133723 G02F1/133788 G02F1/134363 G02F2001/134372 H01L27/1225 H01L27/124 H01L27/1248 H01L27/1259 H01L29/66969 G02F1/13338 G02F1/1337 G02F1/1368 H01L29/7869		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的显示装置包括基板，位于基板上并包括由金属氧化物制成的有源层的薄膜晶体管，位于薄膜晶体管上的第一钝化膜，位于有机绝缘膜上的有机绝缘膜和第二钝化膜形成在第三钝化膜，其位于所述公共电极与所述像素电极的第三钝化膜夹在中间，共同接近连接到公共电极和用于施加水平电场到液晶层的像素电极的电极辅助布线，并且液晶层设置在下光配向层上的。



$$R_{lc} = R_{PAS3} + R_{PI}$$