



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0128205
(43) 공개일자 2013년11월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0052082

(22) 출원일자 2012년05월16일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조영직

경기 파주시 월롱면 덕은리 파주LCD산업단지 100
7번지 정다운마을 103동 1521호

(74) 대리인

특허법인로알

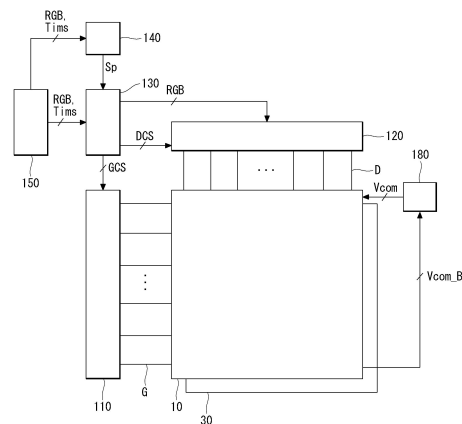
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치와 그 구동방법에 관한 것이다. 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 게이트 라인들, 및 다수의 서브 픽셀들을 포함하는 액정표시패널; 입력 디지털 영상 데이터를 분석하여 특정 패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 특정패턴 검출부; 상기 디지털 영상 데이터를 아날로그 데이터 전압들로 변환하여 상기 데이터 라인들에 출력하는 데이터 구동회로; 상기 게이트 라인들에 게이트 펄스들을 순차적으로 출력하는 게이트 구동회로; 및 상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 타이밍 컨트롤러를 포함하고, 상기 타이밍 컨트롤러는 상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 제1 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 제1 펄스 폭보다 좁은 제2 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

데이터 라인들, 게이트 라인들, 및 다수의 서브 픽셀들을 포함하는 액정표시패널;

입력 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 특정패턴 검출부;

상기 디지털 영상 데이터를 아날로그 데이터 전압들로 변환하여 상기 데이터 라인들에 출력하는 데이터 구동회로;

상기 게이트 라인들에 게이트 펄스들을 순차적으로 출력하는 게이트 구동회로; 및

상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 타이밍 컨트롤러를 포함하고,

상기 타이밍 컨트롤러는 상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 제1 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 제1 펄스 폭보다 좁은 제2 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

외부 메모리로부터 입력되는 과형 정보에 따라 게이트 스타트 펄스, 제1 게이트 쉬프트 클럭, 및 제1 게이트 출력 인에이블 신호를 출력하는 제1 게이트 제어신호 출력부;

상기 외부 메모리로부터 입력되는 과형 정보에 따라 상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭보다 주기가 짧은 제2 게이트 쉬프트 클럭, 및 상기 제1 게이트 출력 인에이블 신호보다 주기가 짧은 제2 게이트 출력 인에이블 신호를 출력하는 제2 게이트 제어신호 출력부; 및

상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭, 및 상기 제1 게이트 출력 인에이블 신호를 상기 게이트 구동회로로 출력하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 게이트 스타트 펄스, 상기 제2 게이트 쉬프트 클럭, 및 상기 제2 게이트 출력 인에이블 신호를 상기 게이트 구동회로로 출력하는 멀티플렉서를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 게이트 구동회로는,

상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭, 및 상기 제1 게이트 출력 인에이블 신호에 응답하여 상기 제1 펄스 폭의 게이트 펄스들을 출력하고,

상기 게이트 스타트 펄스, 상기 제2 게이트 쉬프트 클럭, 및 상기 제2 게이트 출력 인에이블 신호에 응답하여 상기 제2 펄스 폭의 게이트 펄스들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 패턴 검출부는,

제j 라인의 제1 내지 제m 화소 데이터 각각과 제j-1 라인의 제1 내지 제m 화소 데이터 각각을 비교하여, 상기 제j 라인의 제k 화소 데이터와 상기 제j-1 라인의 제k 화소 데이터 간의 차가 제1 문턱 값보다 큰 경우를 카운트함으로써 카운트 값을 산출하고, 상기 카운트 값이 제2 문턱 값보다 큰 경우 상기 제j 라인의 제k 화소 데이

터가 상기 제j 라인의 제k 화소 데이터를 기준으로 수직 방향으로 연속하는 p 개의 연속하는 화소 데이터와 그 값이 동일하다면, 상기 제j 라인을 상기 특정패턴으로 검출하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 패턴 검출부는,

상기 제j 라인 내지 제j+p 라인에서 상기 게이트 구동회로가 상기 제1 펄스 폭의 게이트 펄스를 출력하도록 제어하는 상기 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 제j 라인 내지 제j+p 라인을 제외한 나머지 라인들에서 상기 게이트 구동회로가 상기 제2 펄스 폭의 게이트 펄스를 출력하도록 제어하는 상기 제2 로직 레벨의 특정패턴 검출신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 액정표시패널의 하부 공통전압 라인과 접속되어 피드백 공통전압을 입력받아 보상한 후, 보상된 공통전압을 상부 공통전압 라인으로 출력하는 공통전압 보상회로를 더 포함하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 공통전압 보상회로는,

상기 피드백 공통전압이 입력되는 제1 단자와, 상기 직류 공통전압이 입력되는 제2 단자와, 상기 제1 단자에 입력되는 전압과 상기 제2 단자에 입력되는 전압의 차를 소정의 보상비로 반전 증폭하여 출력하는 출력단자를 포함하는 공통전압 보상부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

데이터 라인들, 게이트 라인들, 및 다수의 서브 픽셀들을 포함하는 액정표시패널; 입력 디지털 영상 데이터를 아날로그 데이터 전압들로 변환하여 상기 데이터 라인들에 출력하는 데이터 구동회로; 및 상기 게이트 라인들에 게이트 펄스들을 순차적으로 출력하는 게이트 구동회로를 포함하는 액정표시장치의 구동방법에 있어서,

상기 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 단계; 및

상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 단계를 포함하고,

상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 단계는,

상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 제1 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 제1 펄스 폭보다 좁은 제2 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 단계는,

외부 메모리로부터 입력되는 과형 정보에 따라 게이트 스타트 펄스, 제1 게이트 쉬프트 클럭, 및 제1 게이트 출력 인에이블 신호를 출력하는 단계;

상기 외부 메모리로부터 입력되는 과형 정보에 따라 상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭보다 주기가 짧은 제2 게이트 쉬프트 클럭, 및 상기 제1 게이트 출력 인에이블 신호보다 주기가 짧은 제2 게이트 출력 인에이블 신호를 출력하는 단계; 및

상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭,

및 상기 제1 게이트 출력 인에이블 신호를 상기 게이트 구동회로로 출력하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 게이트 스타트 펄스, 상기 제2 게이트 쉬프트 클럭, 및 상기 제2 게이트 출력 인에이블 신호를 상기 게이트 구동회로로 출력하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 게이트 구동회로가 상기 게이트 스타트 펄스, 상기 제1 게이트 쉬프트 클럭, 및 상기 제1 게이트 출력 인에이블 신호에 응답하여 상기 제1 펄스 폭의 게이트 펄스들을 출력하는 단계; 및

상기 게이트 구동회로가 상기 게이트 스타트 펄스, 상기 제2 게이트 쉬프트 클럭, 및 상기 제2 게이트 출력 인에이블 신호에 응답하여 상기 제2 펄스 폭의 게이트 펄스들을 출력하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 11

제 8 항에 있어서,

상기 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 단계는,

제j 라인의 제1 내지 제m 화소 데이터 각각과 제j-1 라인의 제1 내지 제m 화소 데이터 각각을 비교하는 단계;

상기 제j 라인의 제k 화소 데이터와 상기 제j-1 라인의 제k 화소 데이터 간의 차가 제1 문턱 값보다 큰 경우를 카운트함으로써 카운트 값을 산출하는 단계;

상기 카운트 값이 제2 문턱 값보다 큰 경우 상기 제j 라인의 제k 화소 데이터가 상기 제j 라인의 제k 화소 데이터를 기준으로 수직 방향으로 연속하는 p 개의 연속하는 화소 데이터와 그 값이 동일하다면, 상기 제j 라인을 상기 특정패턴으로 검출하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 단계는,

상기 제j 라인 내지 제j+p 라인에서 상기 게이트 구동회로가 상기 제1 펄스 폭의 게이트 펄스를 출력하도록 제어하는 상기 제1 로직 레벨의 특정패턴 검출신호를 출력하는 단계; 및

상기 제j 라인 내지 제j+p 라인을 제외한 나머지 라인들에서 상기 게이트 구동회로가 상기 제2 펄스 폭의 게이트 펄스를 출력하도록 제어하는 상기 제2 로직 레벨의 특정패턴 검출신호를 출력하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

제 8 항에 있어서,

상기 액정표시패널의 하부 공통전압 라인과 접속되어 피드백 공통전압을 입력받아 보상한 후, 보상된 공통전압을 상부 공통전압 라인으로 출력하는 단계를 더 포함하는 액정표시장치의 구동방법.

명세서

기술 분야

본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0001]

- [0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용되는 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.
- [0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터 라인들에 데이터 전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함), 액정표시패널의 게이트 라인들(또는 스캔 라인들)에 게이트 펄스(또는 스캔 펄스)를 공급하기 위한 게이트 드라이브 IC, 게이트 드라이브 IC와 소스 드라이브 IC를 제어하는 제어회로, 및 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.
- [0004] 소스 드라이브 IC는 디지털 영상 데이터를 데이터 전압으로 변환한 후, 데이터 전압을 데이터 라인들에 공급한다. 액정표시장치는 게이트 드라이브 IC를 통해 공급되는 게이트 펄스에 응답하여 소스 드라이브 IC를 통해 공급되는 데이터 전압을 서브 픽셀들 각각에 충전시켜 액정층의 액정을 구동함으로써 화상을 표시한다. 구체적으로, 액정표시장치의 서브 픽셀들 각각은 데이터 전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극 간의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0005] 한편, 제j(j 는 $1 \leq j \leq m$ 을 만족하는 자연수, m 은 액정표시패널의 수평 라인들의 개수) 라인의 제k(k 는 $1 \leq k \leq n$ 을 만족하는 자연수, n 은 액정표시패널의 1 수평 라인에 존재하는 서브 픽셀들의 개수) 서브 픽셀에 공급되는 데이터 전압과 제j-1 라인의 제k 서브 픽셀에 공급되는 데이터 전압 간의 차이가 소정의 문턱 값보다 큰 경우, 제j 라인의 제k 서브 픽셀에 공급되는 공통전압은 제j 라인의 제k 서브 픽셀에 공급되는 데이터 전압의 영향을 받는다. 그 결과, 공통전압에 리플(ripple)이 발생하게 되고, 공통전압의 리플은 안정화되기까지 대략 수 수평기간(horizontal period)이 걸린다. 1 수평기간은 1 수평 라인의 서브 픽셀들에 데이터 전압이 충전되는 1 수평 라인 충전 기간을 의미한다. 서브 픽셀들 각각의 화소 전극은 대략 1 수평기간 동안 발생하는 게이트 펄스에 응답하여 데이터 전압을 충전하므로, 화소 전극에 충전된 데이터 전압은 공통전압의 리플의 영향을 받게 된다. 결국, 화소 전극에 충전된 데이터 전압은 공통전압의 리플에 의해 변동되기 때문에, 서브 픽셀은 원래 표현하려던 계조와 다른 계조를 표현하게 되는 문제가 발생한다. 또한, 제j 라인의 연속하는 수 내지 수백 개의 서브 픽셀들에 이러한 문제가 발생하는 경우, 제j 라인이 화이트 라인으로 사용자에게 인식되는 수평 라인 크로스토크(crosstalk)가 나타나는 문제가 발생할 수 있다.
- [0006] 이러한 공통전압의 리플 발생을 최소화하기 위해, 공통전압을 공급하는 공통라인의 배선저항을 크게 하는 방법이 알려져 있다. 하지만, 이 방법은 공통라인의 배선 두께 증가로 인하여 개구율이 감소하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 특정패턴에서 발생하는 공통전압의 리플로 인한 수평 라인 크로스토크를 줄일 수 있는 액정표시장치와 그 구동방법을 제공한다.

과제의 해결 수단

- [0008] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 게이트 라인들, 및 다수의 서브 픽셀들을 포함하는 액정표시패널; 입력 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 특정패턴 검출부; 상기 디지털 영상 데이터를 아날로그 데이터 전압들로 변환하여 상기 데이터 라인들에 출력하는 데이터 구동회로; 상기 게이트 라인들에 게이트 펄스들을 순차적으로 출력하는 게이트 구동회로; 및 상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 타이밍 컨트롤러를 포함하고, 상기 타이밍 컨트롤러는 상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 제1 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 제1 펄스 폭보다 좁은 제2 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하는 것을 특징으로 한다.
- [0009] 본 발명의 실시 예에 따른 액정표시장치의 구동방법은 데이터 라인들, 게이트 라인들, 및 다수의 서브 픽셀들을

포함하는 액정표시패널; 입력 디지털 영상 데이터를 아날로그 데이터 전압들로 변환하여 상기 데이터 라인들에 출력하는 데이터 구동회로; 및 상기 게이트 라인들에 게이트 펄스들을 순차적으로 출력하는 게이트 구동회로를 포함하는 액정표시장치의 구동방법에 있어서, 상기 디지털 영상 데이터를 분석하여 특정패턴이 발생한 경우 제1 로직 레벨의 특정패턴 검출신호를 출력하고, 상기 특정패턴이 발생하지 않은 경우 제2 로직 레벨의 특정패턴 검출신호를 출력하는 단계; 및 상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 단계를 포함하고, 상기 게이트 구동회로와 상기 데이터 구동회로의 출력 타이밍을 제어하는 단계는, 상기 제1 로직 레벨의 특정패턴 검출신호에 응답하여 제1 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하고, 상기 제2 로직 레벨의 특정패턴 검출신호에 응답하여 상기 제1 펄스 폭보다 좁은 제2 펄스 폭의 게이트 펄스를 출력하도록 상기 게이트 구동회로를 제어하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명은 특정패턴을 검출하고, 검출된 특정패턴에서 데이터 전압 충전 기간을 공통전압의 리플 안정화 기간만큼 늘려주며, 이를 통해 화소 전극에 충전된 데이터 전압이 공통전압의 리플에 의해 변동되는 것을 방지한다. 그 결과, 본 발명은 특정패턴에서 발생하는 공통전압의 리플로 인한 수평 라인 크로스토크를 줄일 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 나타내는 블록도.
 도 2는 도 1에 도시된 특정패턴 검출부의 특정패턴 인식방법을 보여주는 흐름도.
 도 3은 특정 패턴의 일 예를 보여주는 예시 도면.
 도 4는 입력 디지털 영상 데이터의 데이터 배열을 보여주는 예시 도면.
 도 5는 도 1에 도시된 타이밍 컨트롤러의 게이트 제어신호 생성부를 상세히 보여주는 블록도.
 도 6은 도 1에 도시된 게이트 구동회로를 상세히 보여주는 회로도.
 도 7은 특정패턴이 검출된 경우 게이트 구동회로의 입출력 신호를 보여주는 파형도.
 도 8은 특정패턴이 검출되지 않은 경우 게이트 구동회로의 입출력 신호를 보여주는 파형도.
 도 9는 종래 어느 한 서브 픽셀에 공급되는 게이트 펄스, 특정패턴으로 검출된 상기 서브 픽셀에 공급되는 게이트 펄스, 상기 서브 픽셀의 화소 전극의 데이터 전압의 변화, 및 상기 서브 픽셀의 공통전극의 공통 전압의 변화를 보여주는 파형도.
 도 10은 도 1에 도시된 공통전압 보상회로를 보여주는 회로도.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0013] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 나타내는 블록도이다. 도 1을 참조하면, 본 발명의 실시 예에 따른 액정표시장치는 액정표시패널(10), 백라이트 유닛(30), 게이트 구동회로(110), 데이터 구동회로(120), 타이밍 컨트롤러(130), 패턴 검출부(140), 호스트 시스템(150), 및 공통전압 보상회로(180) 등을 포함한다.

[0014] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부기판과 하부기판을 포함한다. 액정표시패널(10)에는 데이터 라인(D)들과 게이트 라인(G)들(또는 스캔 라인들)의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀

들을 포함하는 화소 어레이가 형성된다. 화소 어레이의 액정셀들 각각은 TFT(Thin Film Transistor)를 통해 데이터 전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.

[0015] 액정표시패널(10)의 상부기판상에는 블랙매트릭스와 컬러필터가 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부기판상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부기판상에 형성된다. 액정표시패널(10)의 액정모드는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 액정표시패널의 상부기판과 하부기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정표시패널(10)의 상부기판과 하부기판 사이에는 액정층의 셀갭(cell gap)을 유지하기 위한 스페이서(spacer)가 형성된다.

[0016] 액정표시패널(10)은 투과형 액정표시패널, 반투과형 액정표시패널, 반사형 액정표시패널 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시패널과 반투과형 액정표시패널에서는 백라이트 유닛(30)이 필요하다. 백라이트 유닛(30)은 직하형(direct type) 백라이트 유닛 또는 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0017] 데이터 구동회로(120)는 다수의 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함)들을 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(130)의 제어 하에 디지털 영상 데이터(RGB)를 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압들을 발생한다. 소스 드라이브 IC들로부터 출력되는 정극성/부극성 아날로그 데이터 전압들은 액정표시패널(10)의 데이터 라인(D)들에 공급된다.

[0018] 게이트 구동회로(110)는 타이밍 콘트롤러(130)의 제어 하에 액정표시패널(10)의 게이트 라인(G)들에 게이트 펄스들(또는 스캔 펄스들)을 순차적으로 공급한다. 게이트 구동부(110)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성될 수 있다. 게이트 구동회로(110)에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0019] 타이밍 콘트롤러(130)는 호스트 시스템(150)으로부터 디지털 영상 데이터(RGB)와 타이밍 신호들(Tims) 등을 입력받는다. 타이밍 신호들(Tims)은 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 및 클럭 신호(clock signal) 등을 포함한다. 또한, 타이밍 콘트롤러(130)는 패턴 검출부(140)로부터 특정패턴 검출신호(Sp)를 입력받는다. 타이밍 콘트롤러(130)는 디지털 영상 데이터(RGB), 타이밍 신호들(Tims), 및 특정패턴 검출신호(Sp)에 기초하여 게이트 구동회로(110)를 제어하기 위한 게이트 제어신호(GCS)를 생성하고, 데이터 구동회로(120)를 제어하기 위한 데이터 제어신호(DCS)를 생성한다. 타이밍 콘트롤러(130)는 게이트 제어신호(GCS)를 게이트 구동회로(110)에 공급한다. 타이밍 콘트롤러(130)는 디지털 영상 데이터(RGB)와 데이터 제어신호(DCS)를 데이터 구동회로(120)에 공급한다. 타이밍 콘트롤러(130)의 게이트 제어신호 생성부에 대한 자세한 설명은 도 4를 결부하여 후술한다.

[0020] 게이트 제어신호(GCS1)는 게이트 스타트 펄스(gate start pulse), 제1 게이트 쉬프트 클럭(first gate shift clock), 제2 게이트 쉬프트 클럭(second gate shift clock), 제1 게이트 출력 인에이블 신호(first gate output enable signal), 및 제2 게이트 출력 인에이블 신호(second gate output enable signal) 등을 포함한다. 게이트 스타트 펄스는 첫 번째 게이트 펄스의 타이밍을 제어한다. 제1 및 제2 게이트 쉬프트 클럭은 게이트 스타트 펄스를 쉬프트시키기 위한 클럭 신호이다. 제1 및 제2 게이트 출력 인에이블 신호는 게이트 구동회로(110)의 출력 타이밍을 제어한다. 게이트 스타트 펄스, 제1 및 제2 게이트 쉬프트 클럭, 제1 및 제2 게이트 출력 인에이블 신호에 대한 자세한 설명은 도 6 및 도 7을 결부하여 후술한다.

[0021] 데이터 제어신호(DCS)는 소스 스타트 펄스(source start pulse), 소스 샘플링 클럭(source sampling clock), 소스 출력 인에이블 신호(source output enable signal), 극성제어신호(polarity control signal) 등을 포함한다. 소스 스타트 펄스는 데이터 구동회로(120)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(120)의 샘플링 동작을 제어하는 클럭 신호이다. 데이터 구동회로(120)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다. 극성제어신호는 데이터 구동회로(120)로부터 출력되는 데이터 전압의 극성을 L(L은 자연수) 수평기간 주기로 반전시킨다. 소스 출력 인에이블 신호는 데이터 구동회로(120)의 출력 타이밍을 제어한다.

[0022] 패턴 검출부(140)는 호스트 시스템(150)으로부터 디지털 영상 데이터(RGB)와 타이밍 신호들(Tims)을

입력받는다. 패턴 검출부(140)는 디지털 영상 데이터(RGB)를 분석하여 특정패턴이 검출된 영역에서 제1 게이트 쉬프트 클럭과 제1 게이트 출력 인에이블 신호가 출력될 수 있도록 제1 로직 레벨의 특정패턴 검출신호(Sp)를 출력하고, 특정패턴이 검출되지 않은 영역에서 제2 게이트 쉬프트 클럭과 제2 게이트 출력 인에이블 신호가 출력될 수 있도록 제2 로직 레벨의 특정패턴 검출신호(Sp)를 출력한다. 패턴 검출부(140)에 대한 자세한 설명은 도 2 및 도 3을 결부하여 후술한다.

[0023] 호스트 시스템(150)은 외부 비디오 소스 기기로부터 입력되는 디지털 영상 데이터(RGB)를 액정표시패널(10)에 표시하기에 적합한 해상도의 데이터 포맷으로 변환하기 위해 스케일러(scaler)가 내장된 시스템 온 칩(System on Chip)을 포함할 수 있다. 호스트 시스템(150)은 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 입력 디지털 영상 데이터(RGB)와 타이밍 신호들(Tims)을 타이밍 컨트롤러(130)와 패턴 검출부(140)에 공급한다.

[0024] 공통전압 보상회로(180)는 액정표시패널(10)의 하부 공통전압 라인의 공통전압(VcomF)을 피드백(feedback) 받아 보상하고, 보상된 공통전압(Vcom)을 상부 공통전압 라인에 출력한다. 공통전압 보상회로(180)에 대한 자세한 설명은 도 10을 결부하여 후술한다.

[0025] 도 2는 도 1에 도시된 특정패턴 검출부의 특정패턴 인식방법을 보여주는 흐름도이다. 도 3은 특정패턴의 일 예를 보여주는 예시 도면이다. 도 2를 참조하면, 특정패턴 검출부(140)는 도 3의 A 영역과 같이 그레이 계조에서 화이트 계조로 급변하는 특정패턴을 검출한다. 도 3과 같이 특정패턴이 발생하는 경우, 데이터 전압의 영향을 받아 공통전압 리플(ripple)이 발생하며, 공통전압의 리플은 안정화되기까지 대략 수 수평기간(horizontal period)이 걸린다. 1 수평기간은 1 수평 라인의 서브 픽셀들에 데이터 전압이 충전되는 1 수평 라인 데이터 충전 기간을 의미한다. 이로 인해, 화소 전극에 충전된 데이터 전압은 공통전압의 리플에 영향을 받아 변동되므로, 서브 픽셀은 원래 표현하려던 계조와 다른 계조를 표현하게 되는 문제가 발생한다. 특히, 제j 라인의 연속하는 수 내지 수백 개의 서브 픽셀들에 이러한 문제가 발생하는 경우, 제j 라인이 화이트 라인으로 사용자에게 인식되는 수평 라인 크로스토크(crosstalk)가 나타나는 문제가 발생할 수 있다. 따라서, 본 발명은 특정패턴을 검출하고, 검출된 특정패턴에서 데이터 전압 충전 기간을 공통전압의 리플 안정화 기간만큼 늘려주며, 이를 통해 화소 전극에 충전된 데이터 전압이 공통전압의 리플에 의해 변동되는 것을 방지한다. 그 결과, 본 발명은 특정패턴에서 발생하는 공통전압의 리플로 인한 수평 라인 크로스토크를 줄일 수 있다.

[0026] 특정패턴 검출부(140)는 제1 내지 제12 단계(S101~S112)를 통해 입력 디지털 영상 데이터(RGB)로부터 특정패턴을 검출하고, 특정패턴 검출신호(Sp)를 타이밍 컨트롤러(130)로 출력한다. 이하에서, 도 2 및 도 4를 참조하여 특정패턴 검출부(140)의 동작에 상세히 설명한다.

[0027] 도 4는 입력 디지털 영상 데이터의 데이터 배열을 보여주는 예시 도면이다. 입력 디지털 영상 데이터는 제1 내지 제m(m은 액정표시패널의 수평 라인들의 개수) 라인들을 포함하며, 제1 내지 제m 라인들 각각은 제1 내지 제n(n은 액정표시패널의 1 수평 라인의 화소들의 개수) 화소 데이터를 포함한다. 특정패턴 검출부(140)는 제j(j는 $1 \leq j \leq m$ 을 만족하는 자연수) 라인의 제k(k는 $1 \leq k \leq m$ 을 만족하는 자연수) 화소 데이터(D(j,k))와 제j-1 라인의 제k 화소 데이터(D(j-1,k)) 간의 차가 제1 문턱 값(TH1)보다 큰 지를 비교 판단한다. 특정패턴 검출부(140)는 제j 라인의 제k 화소 데이터(D(j,k))와 제j-1 라인의 제k 화소 데이터(D(j-1,k)) 간의 차가 제1 문턱 값(TH1)보다 큰 경우, 카운트 값(CNT)을 증가시킨다. 특정패턴 검출부(140)는 제j 라인의 제k 화소 데이터(D(j,k))와 제j-1 라인의 제k 화소 데이터(D(j-1,k)) 간의 차가 제1 문턱 값(TH1)보다 작은 경우, 카운트 값(CNT)을 증가시키지 않는다. 제1 문턱 값(TH1)은 제j 라인의 제k 화소 데이터(D(j,k))와 제j-1 라인의 제k 화소 데이터(D(j-1,k)) 간의 차이가 너무 커서 공통전압에 영향을 미칠 수 있다고 판단될 만한 값으로, 사전 실험을 통해 미리 결정될 수 있다. (S101, S102)

[0028] 특정패턴 검출부(140)는 제j 라인의 제1 내지 제n 화소 데이터(D(j,1)~D(j,n)) 모두에 대하여 상기 S101 및 S102 단계를 반복적으로 수행하며, 최종 카운트 값(CNT)을 산출한다. 최종 카운트 값(CNT)은 제j 라인의 제1 내지 제n 화소 데이터(D(j,1)~D(j,n)) 중 제j-1 라인의 제1 내지 제n 화소 데이터(D(j-1,1)~D(j-1,n))와 제1 문턱 값(TH1)보다 큰 화소 데이터의 개수를 의미한다. (S103, S104)

[0029] 특정패턴 검출부(140)는 최종 카운트 값(CNT)이 제2 문턱 값(TH2)보다 큰 지를 비교 판단한다. 특정패턴 검출부(140)는 최종 카운트 값(CNT)이 제2 문턱 값(TH2)보다 큰 경우, 제j 라인의 제k 화소 데이터(D(j,k))가 제j 라인의 제k 화소 데이터(D(j,k))를 기준으로 수직 방향으로 연속하는 p(p는 $1 \leq p \leq 5$ 을 만족하는 자연수) 개의 화

소 데이터와 그 값이 동일한지를 판단한다. 특정패턴 검출부(140)는 제j 라인의 제k 화소 데이터(D(j,k))가 제j 라인의 제k 화소 데이터(D(j,k))를 기준으로 수직 방향으로 연속하는 p 개의 화소 데이터와 그 값이 동일하다면, 제j 라인을 특정패턴으로 검출한다. p는 검출된 특정패턴에서 데이터 전압 충전 기간과 공통전압의 리플 안정화 기간 등을 고려하여 사전 실험을 통해 미리 결정될 수 있다. (S106, S107)

[0030] 하지만, 특정패턴 검출부(140)는 최종 카운트 값(CNT)이 제2 문턱 값(TH2)보다 작거나 같은 경우, 제j 라인을 특정패턴으로 검출하지 않는다. 또한, 특정패턴 검출부(140)는 최종 카운트 값(CNT)이 제2 문턱 값(TH2)보다 크더라도 제j 라인의 제k 화소 데이터(D(j,k))가 제j 라인의 제k 화소 데이터(D(j,k))를 기준으로 수직 방향으로 연속하는 p 개의 화소 데이터와 그 값이 동일하지 않다면, 제j 라인을 특정패턴으로 검출하지 않는다. (S108)

[0031] 특정패턴 검출부(140)는 특정패턴으로 검출된 영역에서 게이트 구동회로(110)가 제1 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제1 로직 레벨의 특정패턴 검출신호(Sp)를 출력한다. 게이트 구동회로(110)는 제1 게이트 쉬프트 클럭과 제1 게이트 출력 인에이블 신호를 이용하여 제1 펄스 폭의 게이트 펄스를 생성할 수 있다. 예를 들어, 특정패턴 검출부(140)는 제j 라인이 특정패턴으로 검출된 경우, 제j 라인 내지 제j+p 라인에서 게이트 구동회로(110)가 제1 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제1 로직 레벨의 특정패턴 검출신호(Sp)를 출력할 수 있다. 특정패턴 검출부(140)는 타이밍 신호들 중에서 수직동기신호, 수평동기신호, 및 데이터 인에이블 신호 등을 카운트함으로써 제j 라인 내지 제j+p 라인에서 게이트 구동회로(110)가 제1 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제1 로직 레벨의 특정패턴 검출신호(Sp)를 출력할 수 있다. (S109)

[0032] 특정패턴 검출부(140)는 특정패턴으로 검출되지 않은 영역에서 게이트 구동회로(110)가 제2 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제2 로직 레벨의 특정패턴 검출신호(Sp)를 출력한다. 예를 들어, 특정패턴 검출부(140)는 제j 라인이 특정패턴으로 검출된 경우, 제j 라인 내지 제j+p 라인을 제외한 나머지 라인들에서 게이트 구동회로(110)가 제2 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제2 로직 레벨의 특정패턴 검출신호(Sp)를 출력할 수 있다. 특정패턴 검출부(140)는 타이밍 신호들 중에서 수직동기신호, 수평동기신호, 및 데이터 인에이블 신호 등을 카운트함으로써 제j 라인 내지 제j+p 라인을 제외한 나머지 라인들에서 게이트 구동회로(110)가 제2 펄스 폭의 게이트 펄스를 출력하도록 제어하기 위해 제2 로직 레벨의 특정패턴 검출신호(Sp)를 출력할 수 있다. (S110)

[0033] 특정패턴 검출부(140)는 디지털 영상 데이터(RGB)의 제1 내지 제m 라인들 각각에서 특정패턴이 발생하는지를 판단한다. 특정패턴 검출부(140)는 특정패턴 검출신호(Sp)를 타이밍 컨트롤러(130)로 출력한다. (S111, S112)

[0034] 도 5는 도 1에 도시된 타이밍 컨트롤러의 게이트 제어신호 생성부를 상세히 보여주는 블록도이다. 도 5를 참조하면, 타이밍 컨트롤러(130)는 제1 게이트 제어신호 출력부(171), 제2 게이트 제어신호 출력부(172), 및 멀티플렉서(173)를 포함하는 게이트 제어신호 생성부(170)를 구비한다. 또한, 타이밍 컨트롤러(130)는 제1 및 제2 게이트 제어신호 출력부(171, 172)를 통해 출력되는 신호들의 파형 정보를 저장하고 있는 메모리(160)를 더 구비한다.

[0035] 메모리(160)는 게이트 스타트 펄스(GSP), 제1 게이트 쉬프트 클럭(GSC1), 제2 게이트 쉬프트 클럭(GSC2), 제1 게이트 출력 인에이블 신호(GOE1), 및 제2 게이트 출력 인에이블 신호(GOE2) 등의 파형 정보, 즉 라이징(rising) 타이밍, 폴링(falling) 타이밍, 및 펄스 폭 등의 정보가 저장되어 있다. 메모리(160)는 제1 및 제2 게이트 제어신호 출력부(171, 172)와 IC²(Inter-Integrated Circuit, I Square C) 통신 등의 직렬통신 방식으로 상기 파형 정보를 제1 및 제2 게이트 제어신호 출력부(171, 172)로 출력한다. 메모리(160)는 EEPROM(Electrically Erasable Programmable Read-Only Memory)으로 구현될 수 있다.

[0036] 제1 게이트 제어신호 출력부(171)는 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭 등을 포함하는 타이밍 신호들(Tims)을 입력받는다. 수직동기신호는 1 수직기간(Vertical period)을 지시하는 신호이다. 1 수직기간은 제1 내지 n 라인들 각각의 서브 픽셀들에 데이터 전압이 충전되는 n 수평 라인 데이터 충전 기간을 의미한다. 수평동기신호(Hsync)는 1 수평기간(Horizontal period)을 지시하는 신호이다. 1 수평기간은 1 수평 라인의 서브 픽셀들에 데이터 전압이 충전되는 1 수평 라인 데이터 충전 기간을 의미한다. 도트 클럭(CLK)은 짧은 주기로 반복되는 클럭 신호이다. 데이터 인에이블 신호(DE)는 디지털 영상 데이터(RGB)의 유무를 지시하는 신호이다. 제1 게이트 제어신호 출력부(171)는 도트 클럭을 카운트하는 카운터를 포함하

고, 카운터의 카운트 정보와 메모리(160)로부터 입력된 게이트 스타트 펄스(GSP), 제1 게이트 쉬프트 클럭(GSC1), 및 제1 게이트 출력 인에이블 신호(GOE1)의 파형 정보에 따라 게이트 스타트 펄스(GSP), 제1 게이트 쉬프트 클럭(GSC1), 및 제1 게이트 출력 인에이블 신호(GOE1)를 생성하여 출력한다.

[0037] 제2 게이트 제어신호 출력부(172)는 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭 등을 포함하는 타이밍 신호들(Tims)을 입력받는다. 제2 게이트 제어신호 출력부(172)는 도트 클럭을 카운트하는 카운터를 포함하고, 카운터의 카운트 정보와 메모리(160)로부터 입력된 게이트 스타트 펄스(GSP), 제2 게이트 쉬프트 클럭(GSC2), 및 제2 게이트 출력 인에이블 신호(GOE2)의 파형 정보에 따라 게이트 스타트 펄스(GSP), 제2 게이트 쉬프트 클럭(GSC2), 및 제2 게이트 출력 인에이블 신호(GOE2)를 생성하여 출력한다.

[0038] 멀티플렉서(173)는 제1 게이트 제어신호 출력부(171)로부터 게이트 스타트 펄스(GSP), 제1 게이트 쉬프트 클럭(GSC1), 및 제1 게이트 출력 인에이블 신호(GOE1)를 입력받고, 제2 게이트 제어신호 출력부(172)로부터 게이트 스타트 펄스(GSP), 제2 게이트 쉬프트 클럭(GSC2), 및 제2 게이트 출력 인에이블 신호(GOE2)를 입력받는다. 또한, 멀티플렉서(173)는 특정패턴 검출신호(Sp)를 입력받는다.

[0039] 멀티플렉서(173)는 제1 로직 레벨의 특정패턴 검출신호(Sp)에 응답하여 제1 게이트 제어신호 출력부(171)로부터 입력된 게이트 스타트 펄스(GSP), 제1 게이트 쉬프트 클럭(GSC1), 및 제1 게이트 출력 인에이블 신호(GOE1)를 출력한다. 멀티플렉서(173)는 제2 로직 레벨의 특정패턴 검출신호(Sp)에 응답하여 제2 게이트 제어신호 출력부(172)로부터 입력된 게이트 스타트 펄스(GSP), 제2 게이트 쉬프트 클럭(GSC2), 및 제2 게이트 출력 인에이블 신호(GOE2)를 출력한다.

[0040] 도 6은 도 1에 도시된 게이트 구동회로를 상세히 보여주는 회로도이다. 도 6을 참조하면, 게이트 구동회로(110)는 다수의 게이트 드라이브 IC를 포함한다. 게이트 드라이브 IC 각각은 쉬프트 레지스터(111), 레벨 쉬프터(114), 쉬프트 레지스터(111)와 레벨 쉬프터(114) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(112) 및 제1 또는 제2 게이트 출력 인에이블신호(GOE1/GOE2)를 반전시키기 위한 인버터(113)를 포함한다.

[0041] 쉬프트 레지스터(111)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 제1 또는 제2 게이트 쉬프트 클럭(GSC1/GSC2)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(112) 각각은 쉬프트 레지스터(111)의 출력신호와 제1 또는 제2 게이트 출력 인에이블신호(GOE1/GOE2)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(113)는 제1 또는 제2 게이트 출력 인에이블신호(GOE1/GOE2)를 반전시켜 AND 게이트들(112)에 공급한다. 따라서, 게이트 드라이브 IC들 각각은 제1 또는 제2 게이트 출력 인에이블신호(GOE1/GOE2)가 로우 논리 레벨일 때에만 출력을 발생한다.

[0042] 레벨 쉬프터(114)는 AND 게이트(112)의 출력전압 스윙폭을 액정표시패널(10)에 형성된 박막 트랜지스터의 동작이 가능한 스윙 폭으로 쉬프트시킨다. 레벨 쉬프터(114)는 제1 내지 제m 게이트 펄스들(GP1~GPm)을 제1 내지 제m 게이트 라인들에 순차적으로 공급한다.

[0043] 도 7은 특정패턴이 검출된 경우 게이트 구동회로의 입출력 신호를 보여주는 파형도이다. 도 7을 참조하면, 특정패턴이 검출된 경우 게이트 구동회로(110)에 입력되는 게이트 스타트 펄스(GSP), 제1 및 제2 게이트 쉬프트 클럭(GSC1, GSC2), 및 제1 및 제2 게이트 출력 인에이블 신호(GOE1, GOE2)가 나타나 있다. 또한, 게이트 구동회로(110)로부터 출력되는 게이트 펄스(GP1, GP2, GPq(q는 $2 < q \leq n-1$ 을 만족하는 자연수), GPq+1, GPn-1, GPn)가 나타나 있다.

[0044] 게이트 스타트 펄스(GSP)는 1 프레임 기간(1 frame)의 초기에 첫 번째 게이트 펄스의 타이밍을 제어하기 위해 발생된다. 게이트 제어신호 생성부(170)는 제q 라인이 특정패턴으로 검출된 경우, 게이트 구동회로(110)가 제q 라인 내지 제q+p 라인에서 제1 펄스 폭(pw1)의 게이트 펄스를 출력하도록 제어하기 위해 제1 게이트 쉬프트 클럭(GSC1)과 제1 게이트 출력 인에이블 신호(GOE1)를 출력한다. 게이트 제어신호 생성부(170)는 제q 라인이 특정패턴으로 검출된 경우, 게이트 구동회로(110)가 제q 라인 내지 제q+p 라인을 제외한 나머지 라인들에서 제1 펄스 폭(pw1)보다 좁은 제2 펄스 폭(pw2)의 게이트 펄스를 출력하도록 제어하기 위해 제2 쉬프트 게이트 클럭(GSC2)과 제2 게이트 출력 인에이블 신호(GOE2)를 출력한다. 결국, 제2 기간(P2) 동안 제1 주기(C1)를 갖는 제1 게이트 쉬프트 클럭(GSC1)과 제2 주기(C2)를 갖는 제1 게이트 출력 인에이블 신호(GOE1)가 게이트 구동회로(110)에 입력된다. 또한, 제1 기간(P1)과 제3 기간(P3) 동안 제3 주기(C3)를 갖는 제2 게이트 쉬프트 클럭(GSC2)과 제4 주기(C4)를 갖는 제2 게이트 출력 인에이블 신호(GOE2)가 게이트 구동회로(110)에 입력된다. 제1

주기(C1)와 제2 주기(C2)는 동일하고, 제3 주기(C3)와 제4 주기(C4)는 동일하게 구현될 수 있다. 또한, 제1 주기(C1)와 제2 주기(C2)는 제3 주기(C3)와 제4 주기(C4)보다 길게 구현될 수 있다.

[0045] 도 7에 도시된 제1 기간(P1)과 제3 기간(P3)의 제1, 제2, 제n-1, 및 제n 게이트 펄스(GP1, GP2, GPn-1, GPn)는 게이트 스타트 펄스(GSP)를 제2 게이트 쉬프트 클럭(GSC2)에 따라 순차적으로 쉬프트시킨 쉬프트 레지스터(111)의 출력과 제2 게이트 출력 인에이블 신호(GOE2)의 반전신호를 논리곱한 결과이다. 도 7에서는 제1, 제2, 제n-1, 및 제n 게이트 펄스(GP1, GP2, GPn-1, GPn)의 펄스 폭(pw2)은 대략 1 수평기간 동안 발생한 것으로 예시되었으나, 이에 한정되지 않음에 주의하여야 한다.

[0046] 도 7에 도시된 제2 기간(P2)의 제q 및 제q+1 게이트 펄스(GPq, GPq+1)는 게이트 스타트 펄스(GSP)를 제1 게이트 쉬프트 클럭(GSC1)에 따라 순차적으로 쉬프트시킨 쉬프트 레지스터(111)의 출력과 제1 게이트 출력 인에이블 신호(GOE1)의 반전신호를 논리곱한 결과이다. 제1, 제2, 제n-1, 및 제n 게이트 펄스(GP1, GP2, GPn-1, GPn)의 펄스 폭(pw1)은 대략 3 수평기간 동안 발생한 것으로 예시되었으나, 이에 한정되지 않음에 주의하여야 한다.

[0047] 결국, 본 발명은 검출된 특정패턴에서 게이트 펄스의 펄스 폭을 넓게 함으로써 데이터 전압 충전 기간을 공통전압의 리플 안정화 기간만큼 늘려줄 수 있다. 따라서, 본 발명은 화소 전극에 충전된 데이터 전압이 공통전압의 리플에 의해 변동되는 것을 방지할 수 있다. 이로 인해, 본 발명은 특정패턴에서 발생하는 공통전압의 리플로 인한 수평 라인 크로스토크를 줄일 수 있는 효과가 있다.

[0048] 도 8은 특정패턴이 검출되지 않은 경우 게이트 구동회로의 입출력 신호를 보여주는 파형도이다. 도 8을 참조하면, 특정패턴이 검출되지 않은 경우 게이트 구동회로(110)에 입력되는 게이트 스타트 펄스(GSP), 제2 게이트 쉬프트 클럭(GSC2), 및 제2 게이트 출력 인에이블 신호(GOE2)가 나타나 있다. 또한, 게이트 구동회로(110)로부터 출력되는 게이트 펄스(GP1, GP2, GPq, GPq+1, GPn-1, GPn)가 나타나 있다.

[0049] 게이트 스타트 펄스(GSP)는 1 프레임 기간(1 frame)의 초기에 첫 번째 게이트 펄스의 타이밍을 제어하기 위해 발생된다. 게이트 제어신호 생성부(170)는 특정패턴이 검출되지 않은 경우, 게이트 구동회로(110)가 제2 펄스 폭(pw2)의 게이트 펄스를 출력하도록 제어하기 위해 제2 게이트 쉬프트 클럭(GSC2)과 제2 게이트 출력 인에이블 신호(GOE2)를 출력한다. 결국, 1 프레임 기간(1 frame) 동안 제3 주기(C3)를 갖는 제2 게이트 쉬프트 클럭(GSC2)과 제4 주기(C4)를 갖는 제2 게이트 출력 인에이블 신호(GOE2)가 게이트 구동회로(110)에 입력된다.

[0050] 도 8에 도시된 제1, 제2, 제q, 제q+1, 제n-1, 및 제n 게이트 펄스(GP1, GP2, GPq, GPq+1, GPn-1, GPn)는 게이트 스타트 펄스(GSP)를 제2 게이트 쉬프트 클럭(GSC2)에 따라 순차적으로 쉬프트시킨 쉬프트 레지스터(111)의 출력과 제2 게이트 출력 인에이블 신호(GOE2)의 반전신호를 논리곱한 결과이다. 도 8에서는 제1, 제2, 제n-1, 및 제n 게이트 펄스(GP1, GP2, GPn-1, GPn)의 펄스 폭(pw2)은 대략 1 수평기간 동안 발생한 것으로 예시되었으나, 이에 한정되지 않음에 주의하여야 한다. 결국, 본 발명은 검출된 특정패턴이 발생하지 않은 경우에는 게이트 펄스의 펄스 폭을 조정하지 않는다.

[0051] 도 9는 종래 어느 한 서브 픽셀에 공급되는 게이트 펄스, 특정패턴으로 검출된 상기 서브 픽셀에 공급되는 게이트 펄스, 상기 서브 픽셀의 화소 전극의 데이터 전압의 변화, 및 상기 서브 픽셀의 공통전극의 공통 전압의 변화를 보여주는 파형도이다. 도 9를 참조하면, 종래 게이트 펄스(GPr)는 대략 1 수평기간(1H)으로 발생하는 것에 비해, 본 발명에서 특정패턴으로 검출된 어느 한 서브 픽셀에 공급되는 게이트 펄스(GPi)는 대략 3 수평기간(3H)으로 발생한다. 특정패턴이 발생하는 경우, 공통전압(Vcom)에는 도 9와 같이 리플이 발생하고, 공통전압의 리플은 대략 3 수평기간(3H) 정도 후에 안정된다.

[0052] 만약 종래 게이트 펄스(GPr)에 응답하여 데이터 전압을 충전하는 경우 화소 전극의 데이터 전압(Vdr)은 충전이 완료된 후에 공통전압(Vcom)의 리플에 의해 영향을 받아 변동하게 된다. 따라서, 화소 전극은 원래 충전하고자 하는 전압과 다른 전압으로 충전되는 문제가 발생한다. 하지만, 본 발명의 게이트 펄스(GPi)에 응답하여 데이터 전압을 충전하는 경우 화소 전극의 데이터 전압(Vdi)은 충전이 완료되기 전에 공통전압(Vcom)의 리플이 안정되므로, 공통전압(Vcom)에 의해 영향을 받지 않는다. 즉, 본 발명은 특정패턴에서 게이트 펄스의 펄스 폭을 넓게 함으로써 데이터 전압 충전 기간을 공통전압의 리플 안정화 기간만큼 늘려줄 수 있다. 따라서, 본 발명은 화소 전극에 충전된 데이터 전압이 공통전압의 리플에 의해 변동되는 것을 방지할 수 있다. 이로 인해, 본 발명은 특정패턴에서 발생하는 공통전압의 리플로 인한 수평 라인 크로스토크를 줄일 수 있는 효과가 있다.

[0053] 도 10은 도 1에 도시된 공통전압 보상회로를 보여주는 회로도이다. 도 10을 참조하면, 공통전압 보상회로(180)는 반전 증폭기(OP-amp), 제1 저항(R1), 및 제2 저항(R2)을 포함한다. 반전 증폭기(OP-amp)는 액정표시패널(10)의 하부 공통전압 라인(Vcom(B))과 접속되는 제1 단자, 직류 공통전압(Vcom_DC)이 공급되는 제2 단자, 및 제1 단자와 제2 단자에 입력된 전압의 차를 소정의 보상비로 반전 증폭하여 출력하는 출력단자(out)를 포함한다. 도 10에서는 제1 단자는 (-) 단자, 제2 단자는 (+) 단자로 구현된 것을 중심으로 설명하였다. 제1 저항(R1)은 제1 단자의 입력단과 하부 공통전압 라인(Vcom Line(B)) 사이에 접속되고, 제2 저항(R2)은 제1 단자의 입력단과 출력단자(out) 사이에 접속된다. 출력단자(out)는 액정표시패널(10)의 상부 공통전압 라인(Vcom Line(U))에 접속된다.

[0054] 반전 증폭기(OP-amp)는 수학적 식 1과 같이 제1 단자로 입력되는 전압과 제2 단자로 입력되는 전압의 차를 소정의 보상비로 반전 보상하여 출력한다.

수학적 식 1

[0055]
$$V_{out} = V_p + (R2/R1) \times (V_p - V_n)$$

[0056] 수학적 식 1에서, Vout은 출력단자(out)로 출력되는 전압, Vp는 (+) 단자로 입력되는 전압, Vn은 (-) 단자로 입력되는 전압을 의미한다. 소정의 보상비는 R2/R1이고, 상기 소정의 보상비는 사전 실험을 통해 미리 결정될 수 있다.

[0057] 본 발명은 공통전압 보상회로(180)를 이용해 액정표시패널(10)의 하부 공통전압 라인(Vcom Line(B))의 공통전압(VcomF)을 피드백(feedback)받고 보상하고, 보상된 공통전압(Vcom)을 상부 공통전압 라인(Vcom Line(U))에 출력한다. 그 결과, 본 발명은 도 3의 B 영역과 같이 화이트 계조에서 그레이 계조로 급변하는 경우 발생하는 공통전압의 리플을 보상할 수 있는 효과가 있다.

[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

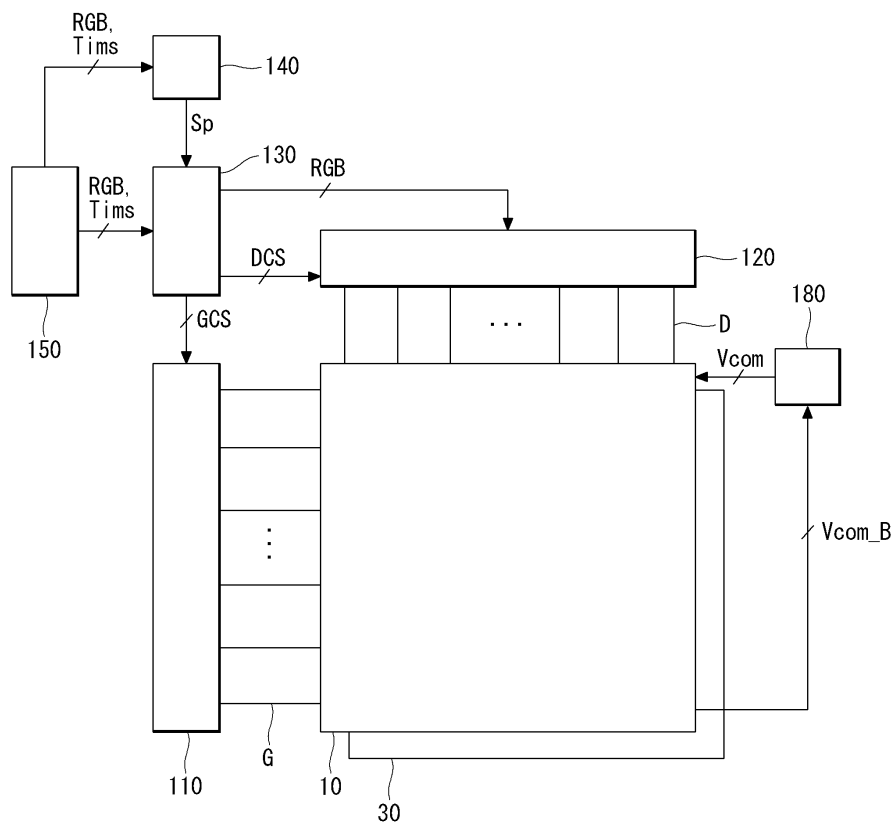
부호의 설명

[0059]

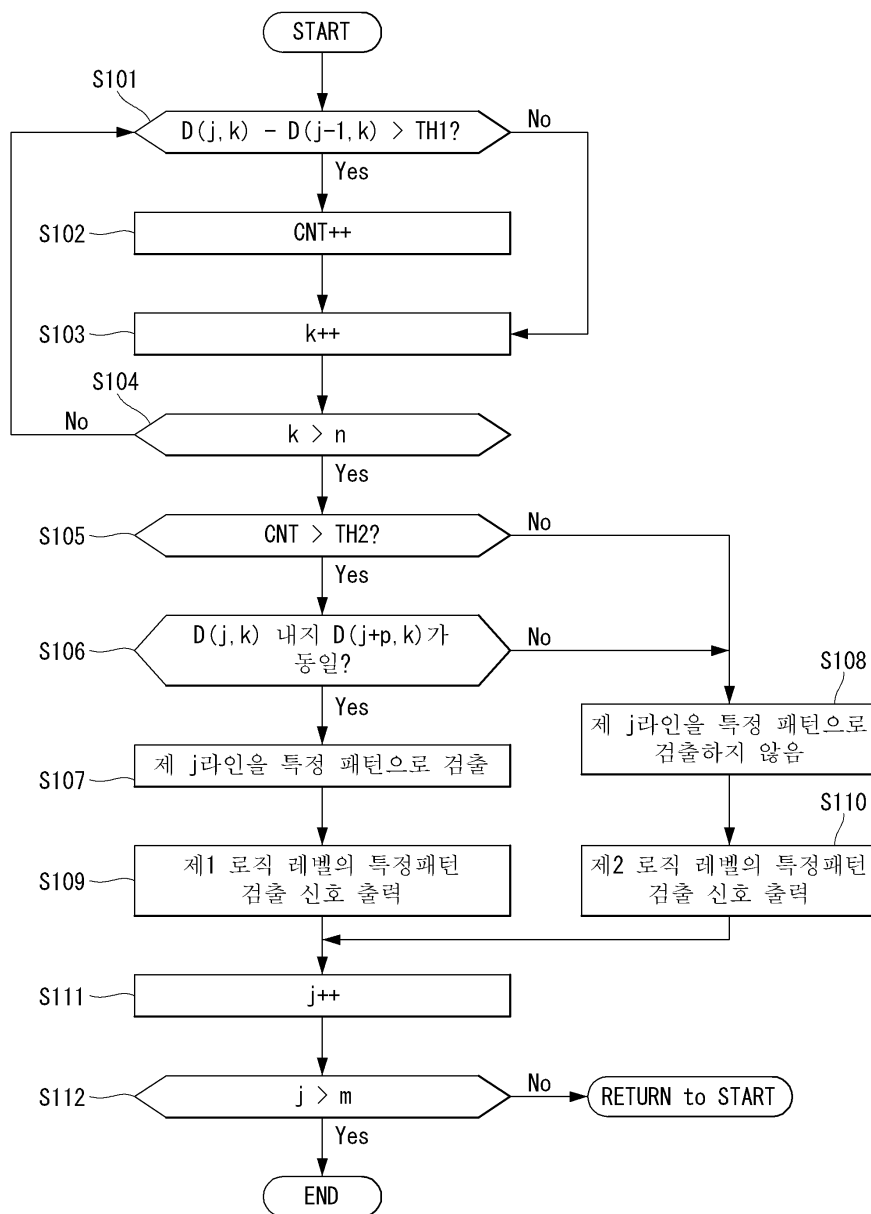
10: 표시패널	30: 백라이트 유닛
110: 게이트 구동회로	120: 데이터 구동회로
130: 타이밍 콘트롤러	140: 특정패턴 검출부
150: 호스트 시스템	160: 메모리
170: 게이트 제어신호 생성부	171: 제1 게이트 제어신호 출력부
172: 제2 게이트 제어신호 출력부	173: 멀티플렉서
180: 공통전압 보상회로	

도면

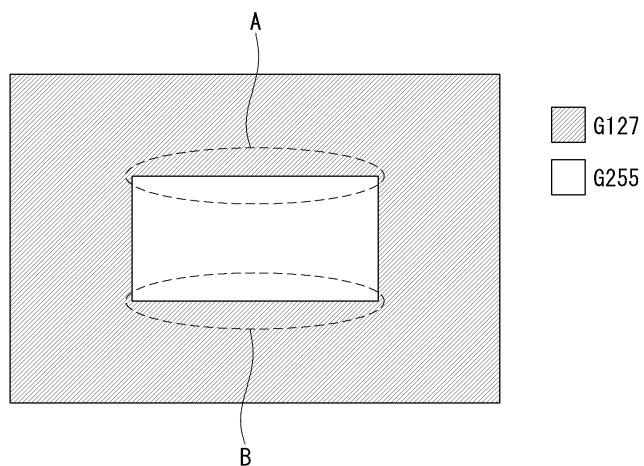
도면1



도면2



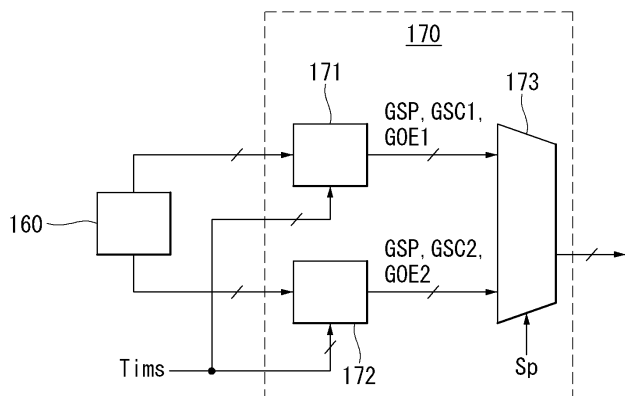
도면3



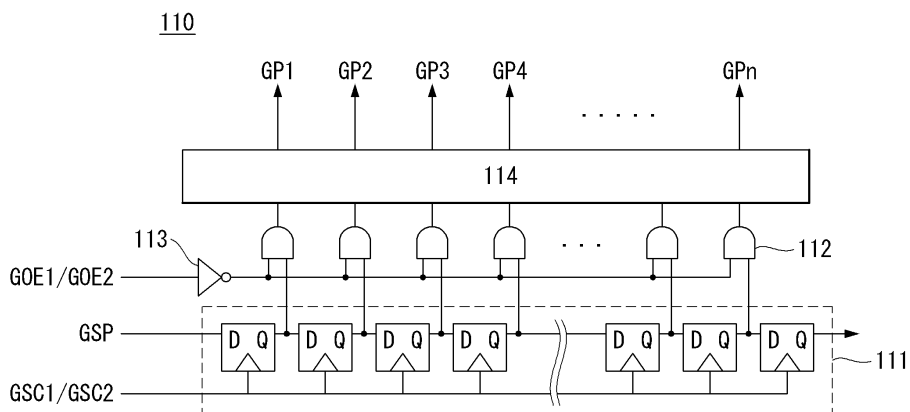
도면4

D (1, 1)	D (1, 2)	D (1, 3)	D (1, 4)	...	D (1, m)
D (2, 1)	D (2, 2)	D (2, 3)	D (2, 4)	...	D (2, m)
D (3, 1)	D (3, 2)	D (3, 3)	D (3, 4)	...	D (3, m)
D (4, 1)	D (4, 2)	D (4, 3)	D (4, 4)	...	D (4, m)
⋮	⋮	⋮	⋮	⋮	⋮
D (n, 1)	D (n, 2)	D (n, 3)	D (n, 4)	...	D (n, m)

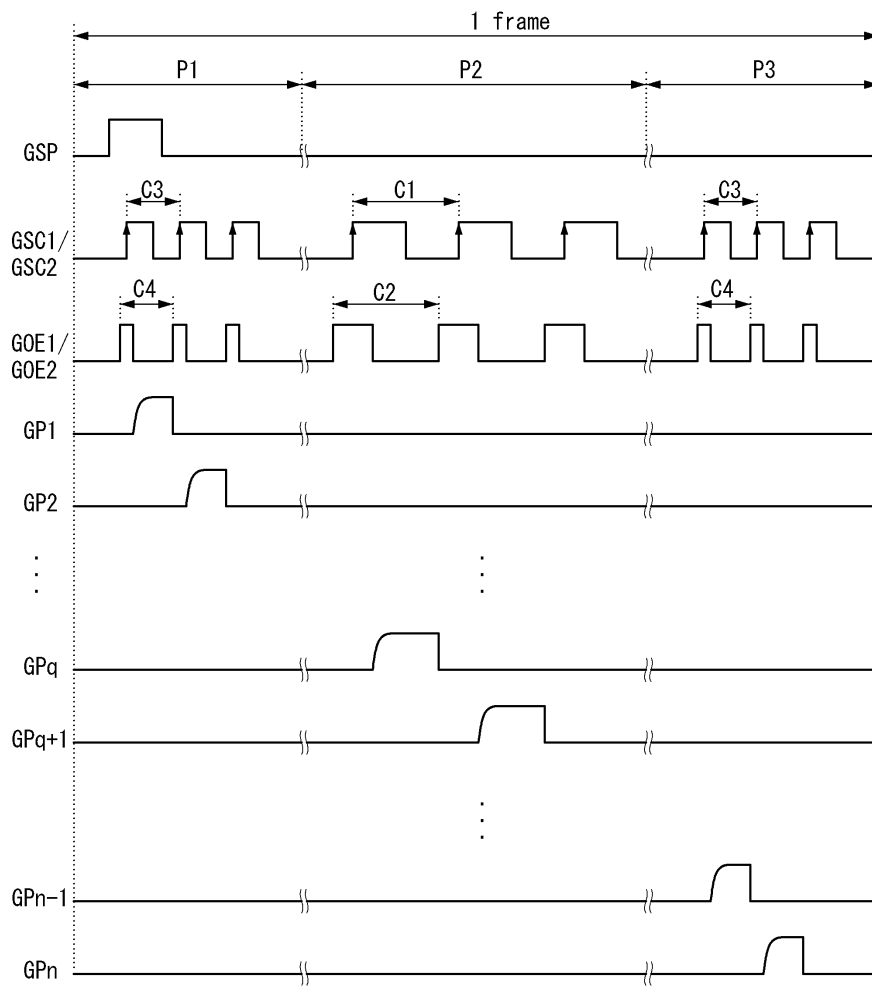
도면5



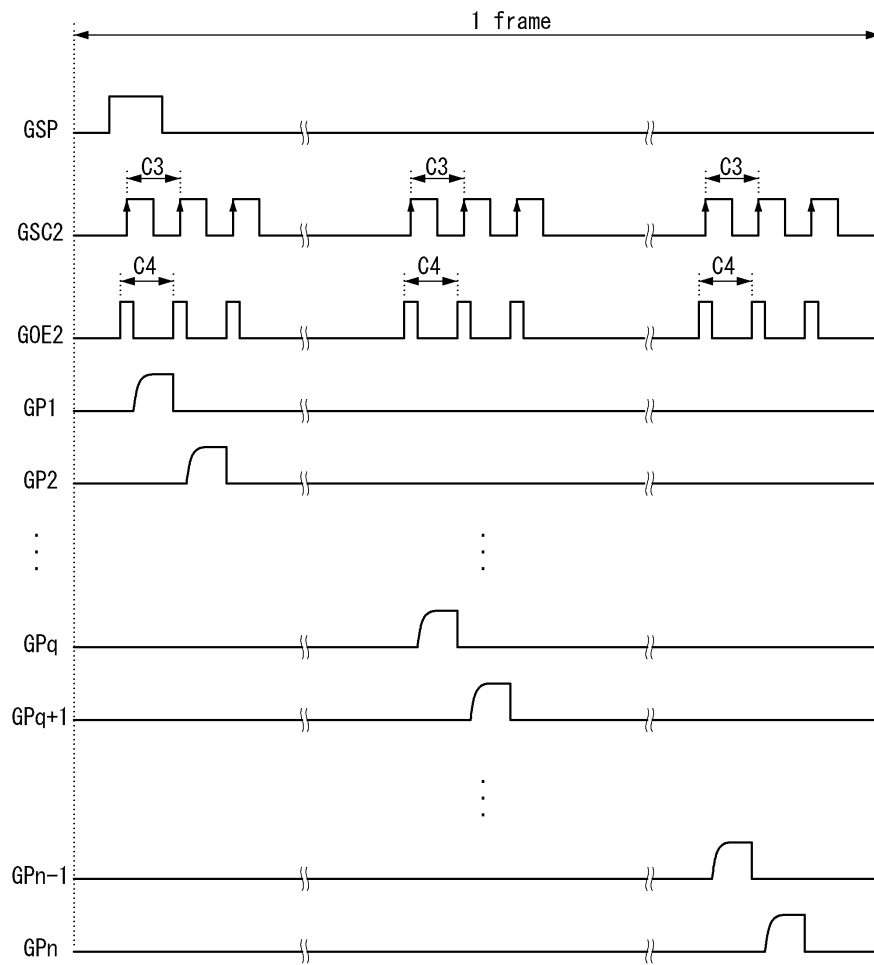
도면6



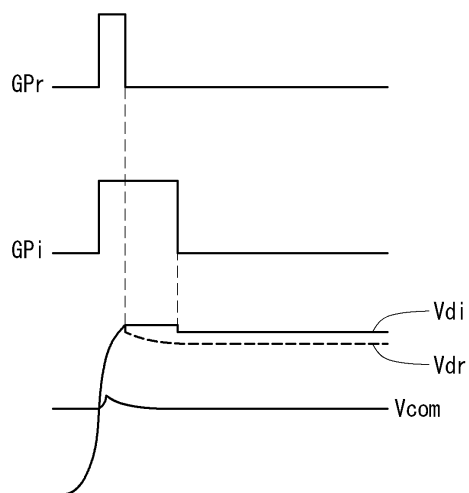
도면7



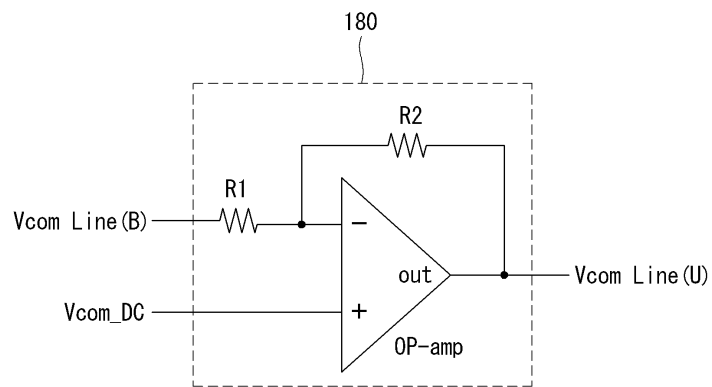
도면8



도면9



도면10



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020130128205A	公开(公告)日	2013-11-26
申请号	KR1020120052082	申请日	2012-05-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직		
发明人	조영직		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3655 G09G3/3666 G09G3/2014 G09G2310/027 G09G2310/08		
其他公开文献	KR101927484B1		
外部链接	Espacenet		

摘要(译)

液晶显示器及其驱动方法本发明涉及液晶显示器及其驱动方法。根据本发明实施例的液晶显示器包括液晶显示面板，该液晶显示面板包括数据线，栅极线和多个子像素;特定模式检测单元，用于分析输入数字图像数据，以在生成特定模式时输出第一逻辑电平的特定模式检测信号，并在未生成特定模式时输出第二逻辑电平的特定模式检测信号;一种数据驱动电路，用于将数字图像数据转换为模拟数据电压并将模拟数据电压输出到数据线;栅极驱动电路顺序输出栅极脉冲到栅极线;以及用于控制栅极驱动电路和数据驱动电路的输出时序的时序控制器，其中时序控制器响应于第一逻辑电平的特定模式检测信号输出第一脉冲宽度的栅极脉冲，并且响应于第二逻辑电平的特定图案检测信号，控制栅极驱动电路输出具有比第一脉冲宽度窄的第二脉冲宽度的栅极脉冲。 专利文献10-2013-0128205

