



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0035031
(43) 공개일자 2013년04월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2011-0099244
(22) 출원일자 2011년09월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김대현
서울특별시 영등포구 양평동3가 우림루미아트 아파트 101동 301호
임홍열
경상북도 구미시 옥계동 삼구트리니언 106/2402
(74) 대리인
특허법인네이트

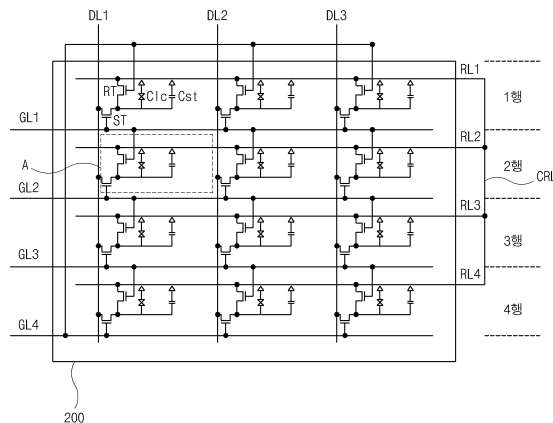
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본발명은, 수평방향으로 연장된 제 1 게이트배선과; 수평방향으로 연장되고 상기 제 1 게이트배선과 대응되는 리셋배선과; 수직방향으로 연장되고 상기 제 1 게이트배선과 교차하여, 스위칭트랜지스터와, 리셋트랜지스터와, 화소전극을 포함하는 화소를 정의하는 데이터배선을 포함하고, 상기 스위칭트랜지스터의 게이트전극은 상기 제 1 게이트배선과 연결되고, 상기 스위칭트랜지스터의 소스전극은 상기 데이터배선과 연결되고, 상기 스위칭트랜지스터의 드레인전극은 상기 화소전극과 연결되며, 상기 리셋트랜지스터의 게이트전극은 상기 제 1 게이트배선보다 t(자연수)번째 앞선 제 2 게이트배선과 연결되고, 상기 리셋트랜지스터의 소스전극은 상기 리셋배선과 연결되고, 상기 리셋트랜지스터의 드레인전극은 상기 화소전극과 연결되는 액정표시장치를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

수평방향으로 연장된 제 1 게이트배선과;

수평방향으로 연장되고 상기 제 1 게이트배선과 대응되는 리셋배선과;

수직방향으로 연장되고 상기 제 1 게이트배선과 교차하여, 스위칭트랜지스터와, 리셋트랜지스터와, 화소전극을 포함하는 화소를 정의하는 데이터배선을 포함하고,

상기 스위칭트랜지스터의 게이트전극은 상기 제 1 게이트배선과 연결되고, 상기 스위칭트랜지스터의 소스전극은 상기 데이터배선과 연결되고, 상기 스위칭트랜지스터의 드레인전극은 상기 화소전극과 연결되며,

상기 리셋트랜지스터의 게이트전극은 상기 제 1 게이트배선보다 t (자연수)번째 앞선 제 2 게이트배선과 연결되고, 상기 리셋트랜지스터의 소스전극은 상기 리셋배선과 연결되고, 상기 리셋트랜지스터의 드레인전극은 상기 화소전극과 연결되는

액정표시장치.

청구항 2

제 1 항에 있어서,

상기 화소는 스토리지캐패시터를 더욱 포함하고,

상기 리셋트랜지스터의 드레인전극과 상기 스위칭트랜지스터의 드레인전극은 상기 스토리지캐패시터와 연결되는 액정표시장치.

청구항 3

제 1 항에 있어서,

첫 번째부터 t 번째 위치한 게이트배선에 대응되는 상기 화소의 상기 리셋트랜지스터의 게이트전극 각각은, $(n-t+1)$ 번째부터 n 번째까지 위치한 게이트배선에 각각 연결되며, n 은 전체 게이트배선 수를 나타내는

액정표시장치.

청구항 4

제 1 항에 있어서,

상기 리셋배선은 상기 데이터배선과 평행하게 연장된 리셋연결배선과 연결되는

액정표시장치.

청구항 5

제 1 항에 있어서,

상기 리셋배선에 리셋전압을 공급하는 리셋공급부를 더욱 포함하는

액정표시장치.

청구항 6

수평방향으로 연장된 제 1 게이트배선과, 수평방향으로 연장되고 상기 제 1 게이트배선과 대응되는 리셋배선과, 수직방향으로 연장되고 상기 제 1 게이트배선과 교차하여, 스위칭트랜지스터와, 리셋트랜지스터와, 화소전극을 포함하는 화소를 정의하는 데이터배선을 포함하고, 상기 스위칭트랜지스터의 게이트전극은 상기 제 1 게이트배선과 연결되고, 상기 스위칭트랜지스터의 소스전극은 상기 데이터배선과 연결되고, 상기 스위칭트랜지스터의 드레인전극은 상기 화소전극 및 상기 리셋트랜지스터의 드레인전극과 연결되며, 상기 리셋트랜지스터의 게이트전극은 상기 제 1 게이트배선보다 t(자연수)번째 앞선 제 2 게이트배선과 연결되고, 상기 리셋트랜지스터의 소스전극은 상기 리셋배선과 연결되고, 상기 리셋트랜지스터의 드레인전극은 상기 화소전극과 연결되는 액정표시장치의 구동방법에 있어서,

상기 제 2 게이트배선에 턴온전압이 출력될 때, 상기 화소에 리셋전압을 인가하여 상기 화소를 초기화 시키는 단계와;

상기 제 1 게이트배선에 턴온전압이 출력될 때, 상기 화소에 데이터전압을 인가하는 단계를 포함하는 액정표시장치 구동방법.

청구항 7

제 6 항에 있어서,

상기 화소는 스토리지캐패시터를 더욱 포함하고, 상기 리셋트랜지스터의 드레인전극과 상기 스위칭트랜지스터의 드레인전극은 상기 스토리지캐패시터와 연결되는

액정표시장치 구동방법.

청구항 8

제 6 항에 있어서,

상기 리셋배선에 리셋전압을 공급하는 단계를 더욱 포함하는

액정표시장치 구동방법.

명세서

기술분야

[0001] 본발명은 액정표시장치에 관한 것으로서 보다 상세하게는 액정표시장치 및 그 구동방법에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: liquid crystal display), 플라즈마표시장치(PDP: plasma display panel), 유기발광다이오드(OLED: organic light emitting diode)와 같은 여러 가지 평판표시장치(FPD: flat panel display)가 활용되고 있다.

[0003] 여기서 액정표시장치는 영상을 표현하는 액정패널을 포함한다.

[0004] 액정패널에는 데이터배선과 게이트배선이 교차하여 화소를 정의한다.

[0005] 이하, 도 1을 참조하여 일반적인 화소의 구성요소를 살펴본다. 도 1은 일반적인 화소의 등가회로도이다.

[0006] 도 1에 도시한 바와 같이, 화소(P)는 박막트랜지스터(T)와, 액정캐패시터(Clc)와, 스토리지캐패시터(Cst)를 포함할 수 있다.

- [0007] 박막트랜지스터(T)는 게이트배선(GL)과 데이터배선(DL)의 교차부에 형성된다.
- [0008] 화소전극(미도시)은 박막트랜지스터(T)와 연결되어 있다. 한편, 화소전극에 대응하여 공통전극(미도시)이 형성된다. 화소전극에 데이터전압이 인가되고, 공통전극에 공통전압이 인가되면, 이들 사이에 전기장이 형성되어 액정을 구동하게 된다. 화소전극과 공통전극 그리고 이들 전극 사이에 위치하는 액정은 액정커패시터(C1c)를 구성하게 된다.
- [0009] 한편, 화소(P)에는, 스토리지커패시터(Cst)가 더욱 구성되며, 이는 화소전극에 인가된 데이터전압을 다음 프레임까지 저장하는 역할을 하게 된다.
- [0010] 그러나, 이와 같은 화소 구조를 가지는 액정패널은, 액정의 전기적 특성 변화에 따라 발생하는 잔상 문제가 나타난다.
- [0011] 도 2를 참조하여 설명한다. 도 2는 액정에 인가되는 전압(V)에 대한 빛의 투과율(T)을 도시한 그래프로서, 노멀리 화이트 모드(normally white mode)를 일례로서 도시한 것이다.
- [0012] 도 2에 도시된 바와 같이, 전압(V)이 커질수록 투과율(T)이 비선형적으로 작아지는 것을 볼 수 있다.
- [0013] 이때, X지점(X)에서 보는 바와 같이, 화이트(W)를 표현 한 후 블랙(B)을 표현하게 되는 경우(C1)에는, 블랙(B)을 표현 한 후 블랙(B)을 표현하는 거(C2)에 비해서 완전한 블랙(B)을 표현하지 못한다.
- [0014] 이는 콜레스테릭(cholesteric) 액정의 상변이(phase variation)(스플레이(splay) 상태에서 밴드(bend) 상태 또는 그 반대)가 심하기 때문에, 액정의 전이시간이 오래 걸리기 때문이다. 이에 따라, 이전 영상이 계속 표현되는 잔상 문제가 발생하게 된다. 또한, 이와 같은 문제점으로 인하여 액정패널의 화질이 저하되는 문제점이 발생된다.

발명의 내용

해결하려는 과제

- [0015] 액정패널의 잔상 현상을 개선하는 화소 구조를 가진 액정표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0016] 전술한 바와 같은 과제를 달성하기 위해, 본발명은, 수평방향으로 연장된 제 1 게이트배선과; 수평방향으로 연장되고 상기 제 1 게이트배선과 대응되는 리셋배선과; 수직방향으로 연장되고 상기 제 1 게이트배선과 교차하여, 스위칭트랜지스터와, 리셋트랜지스터와, 화소전극을 포함하는 화소를 정의하는 데이터배선을 포함하고, 상기 스위칭트랜지스터의 게이트전극은 상기 제 1 게이트배선과 연결되고, 상기 스위칭트랜지스터의 소스전극은 상기 데이터배선과 연결되고, 상기 스위칭트랜지스터의 드레인전극은 상기 화소전극과 연결되며, 상기 리셋트랜지스터의 게이트전극은 상기 제 1 게이트배선보다 t(자연수)번째 앞선 제 2 게이트배선과 연결되고, 상기 리셋트랜지스터의 소스전극은 상기 리셋배선과 연결되고, 상기 리셋트랜지스터의 드레인전극은 상기 화소전극과 연결되는 액정표시장치를 제공한다.
- [0017] 상기 화소는 스토리지커패시터를 더욱 포함하고, 상기 리셋트랜지스터의 드레인전극과 상기 스위칭트랜지스터의 드레인전극은 상기 스토리지커패시터와 연결된다.
- [0018] 첫 번째부터 t번째 위치한 게이트배선에 대응되는 상기 화소의 상기 리셋트랜지스터의 게이트전극 각각은, (n-t+1)번째부터 n번째까지 위치한 게이트배선에 각각 연결되며, n은 전체 게이트배선 수를 나타낸다.
- [0019] 상기 리셋배선은 상기 데이터배선과 평행하게 연장된 리셋연결배선과 연결된다.
- [0020] 상기 리셋배선에 리셋전압을 공급하는 리셋공급부를 더욱 포함한다.
- [0021] 수평방향으로 연장된 제 1 게이트배선과, 수평방향으로 연장되고 상기 제 1 게이트배선과 대응되는 리셋배선과, 수직방향으로 연장되고 상기 제 1 게이트배선과 교차하여, 스위칭트랜지스터와, 리셋트랜지스터와, 화소전극을 포함하는 화소를 정의하는 데이터배선을 포함하고, 상기 스위칭트랜지스터의 게이트전극은 상기 제 1 게이트배

선과 연결되고, 상기 스위칭트랜지스터의 소스전극은 상기 데이터배선과 연결되고, 상기 스위칭트랜지스터의 드레인전극은 상기 화소전극 및 상기 리셋트랜지스터의 드레인전극과 연결되며, 상기 리셋트랜지스터의 게이트전극은 상기 제 1 게이트배선보다 t (자연수)번째 앞선 제 2 게이트배선과 연결되고, 상기 리셋트랜지스터의 소스전극은 상기 리셋배선과 연결되고, 상기 리셋트랜지스터의 드레인전극은 상기 화소전극과 연결되는 액정표시장치의 구동방법에 있어서, 상기 제 2 게이트배선에 턴온전압이 출력될 때, 상기 화소에 리셋전압을 인가하여 상기 화소를 초기화 시키는 단계와; 상기 제 1 게이트배선에 턴온전압이 출력될 때, 상기 화소에 데이터전압을 인가하는 단계를 포함한다.

[0022] 상기 화소는 스토리지캐패시터를 더욱 포함하고, 상기 리셋트랜지스터의 드레인전극과 상기 스위칭트랜지스터의 드레인전극은 상기 스토리지캐패시터와 연결된다.

[0023] 상기 리셋배선에 리셋전압을 공급하는 단계를 더욱 포함한다.

발명의 효과

[0024] 각 화소는 각 화소에 데이터전압 인가 전에 초기화 되는 바, 액정패널의 잔상 현상을 개선하는 효과를 제공한다.

[0025] 이에 따라, 액정패널은 개선된 화질을 제공한다.

도면의 간단한 설명

[0026] 도 1은 일반적인 화소의 등가회로도.

도 2는 액정에 인가되는 전압에 대한 빛의 투과율을 도시한 그래프.

도 3은 본발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 블록도.

도 4는 본발명의 실시예에 따른 액정패널을 개략적으로 도시한 도면으로서, 4개의 게이트배선, 4개의 리셋배선 및 3개의 데이터배선을 포함하는 액정패널을 일례로서 도시한 도면.

도 5는 도 4의 A부분에 형성된 화소의 등가회로도를 일례로서 도시한 도면.

도 6은 본발명의 실시예에 따른 액정패널의 구동파형도의 일례로서, 제 $n-t$ 게이트배선과 제 n 게이트배선의 전압파형도와, 리셋전압과 데이터전압의 파형도.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 도면을 참조하여 본발명의 실시예를 설명한다.

[0028] 도 3은 본발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 블록도이다.

[0029] 도 3에 도시한 바와 같이, 본발명의 실시예에 따른 액정표시장치(100)는 액정패널(200)과, 액정패널(200)을 구동하는 구동부(300)와, 액정패널(200)에 빛을 공급하는 백라이트(400)를 포함한다.

[0030] 먼저, 액정패널(200)에는 제 1 방향 예를 들면 수평 방향으로 연장된 n 개의 게이트배선(GL1 내지 GL n)이 형성된다. 그리고, 제 1 방향과 교차하는 제 2 방향 예를 들면 수직 방향으로 m 개의 데이터배선(DL1 내지 DL m)이 연장되어 형성된다. 이와 같이 서로 교차하는 n 개의 게이트배선(GL1 내지 GL n)과 m 개의 데이터배선(DL1 내지 DL m)은 매트릭스(matrix) 형태로 배치된 다수의 화소(P)를 정의한다.

[0031] 또한, n 개의 게이트배선(GL1 내지 GL n)과 대응하여, n 개의 게이트배선(GL1 내지 GL n)과 평행하게 연장된 n 개의 리셋배선(RL1 내지 RL n)이 형성된다. 즉, 수평 방향으로 배치된 다수의 화소(P)에는 하나의 리셋배선(RL1 내지 RL n)과 하나의 게이트배선(GL1 내지 GL n)이 위치한다.

- [0032] 여기서, n 개의 리셋배선(RL1 내지 RL n)의 일 끝단은 예를 들면 수직 방향으로 연장된 리셋연결배선(CRL)과 연결될 수 있다.
- [0033] 각 화소(P)는, 스위칭트랜지스터(ST)와, 리셋트랜지스터(RT)와, 액정커패시터(Clc)와, 스토리지커패시터(Cst)를 포함할 수 있다.
- [0034] 스위칭트랜지스터(ST)는 게이트배선(GL1 내지 GL n)과 데이터배선(DL1 내지 DL m)의 교차부에 형성된다.
- [0035] 화소전극(미도시)은 스위칭트랜지스터(ST) 예를 들면 스위칭트랜지스터(ST)의 드레인전극과 연결되어 있다. 한편, 화소전극에 대응하여 공통전극(미도시)이 형성된다. 화소전극에 데이터전압이 인가되고, 공통전극에 공통전압이 인가되면, 이들 사이에 전기장이 형성되어 액정을 구동하게 된다. 화소전극과 공통전극 그리고 이들 전극 사이에 위치하는 액정은 액정커패시터(Clc)를 구성하게 된다.
- [0036] 한편, 각 화소(P)에는, 스토리지커패시터(Cst)가 더욱 구성되며, 이는 화소전극에 인가된 데이터전압을 다음 프레임까지 저장하는 역할을 하게 된다.
- [0037] 리셋트랜지스터(RT)의 게이트전극은, 해당 화소(P)에 대응되는 게이트배선(GL1 내지 GL n)보다 t (t 는 자연수)개 앞선 게이트배선(GL1 내지 GL n)과 연결된다. 따라서, 리셋트랜지스터(RT)는, 해당 화소(P)에 대응되는 게이트배선(GL1 내지 GL n)보다 t 개 앞선 게이트배선(GL1 내지 GL n)에 공급되는 턴온 전압에 의해 턴온 됨으로써, 화소전극에 리셋전압(RSV)을 공급한다.
- [0038] 이때, 액정패널(200)에서 첫 번째부터 t 번째까지 위치한 게이트배선에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극 각각은 액정패널(200)에서 ($n-t+1$)번째부터 n 번째까지 위치한 게이트배선에 각각 연결될 수 있다. 예를 들면, t 가 1인 경우, 액정패널(200)에서 첫 번째 위치한 제 1 게이트배선(GL1)에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극은 액정패널(200)에서 ($n-1+1$)번째 즉, n 번째 위치한 제 n 게이트배선(GL n)에 연결될 수 있다.
- [0039] 또 다른 예로, t 가 2인 경우, 액정패널(200)에서 첫 번째 위치한 제 1 게이트배선(GL1)에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극은 액정패널(200)에서 ($n-2+1$)번째 즉, $n-1$ 번째 위치한 제 $n-1$ 게이트배선(GL $n-1$)에 연결될 수 있으며, 이 경우 액정패널(200)에서 두 번째 위치한 제 2 게이트배선(GL2)에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극은 n 번째 위치한 제 n 게이트배선(GL n)에 연결될 수 있다.
- [0040] 리셋트랜지스터(RT)의 소스전극은, 리셋배선(RL1 내지 RL n)과 연결된다.
- [0041] 리셋트랜지스터(RT)의 드레인전극은, 스위칭트랜지스터(ST)의 드레인전극과, 화소전극과, 스토리지커패시터(Cst)에 연결된다. 이에 대해서는 차후에 보다 상세하게 설명한다.
- [0042] 각 화소(P)는, 예를 들면, 적색(red), 녹색(green), 청색(blue)을 표시하는 R, G, B 부화소로 구성될 수 있다. 즉, 서로 이웃하는 R, G, B 부화소는, 영상표시의 단위인 화소(P)를 구성하게 된다.
- [0043] 백라이트(400)는, 빛을 액정패널(200)에 공급하는 역할을 하게 된다. 백라이트(400)의 광원으로, 냉음극형광램프(Cold Cathode Fluorescent Lamp : CCFL), 외부전극형광램프(External Electrode Fluorescent Lamp : EEFL), 발광다이오드(Light Emitting Diode : LED) 등이 사용될 수 있다.
- [0044] 구동부(300)는, 타이밍제어부(310)와, 게이트구동부(320)와, 데이터구동부(330)와, 감마전압공급부(340)와, 전원공급부(350)와, 리셋전압공급부(360)를 포함할 수 있다.
- [0045] 여기서, 타이밍제어부(310)는 TV시스템이나 비디오카드와 같은 외부시스템으로부터 영상데이터(RGB)와 수직동기신호와 수평동기신호와 메인클럭신호와 데이터인에이블신호 등의 제어신호(TCS)를 입력 받게 된다. 한편 도시하지는 않았지만, 이와 같은 신호들은 타이밍제어부(310)에 구성된 인터페이스(interface)를 통해 입력될 수 있다.
- [0046] 타이밍제어부(310)는 입력된 제어신호(TCS)를 사용하여 게이트구동부(320)를 제어하기 위한 게이트제어신호

(GCS)와, 데이터구동부(330)를 제어하기 위한 데이터제어신호(DCS)를 생성한다.

- [0047] 게이트제어신호(GCS)는, 게이트스타트펄스(Gate Start Pulse : GSP), 게이트쉬프트클럭(Gate Shift Clock : GSC), 게이트출력인에이블신호(Gate Output Enable : GOE) 등을 포함한다.
- [0048] 데이터제어신호(DCS)는 소스스타트펄스(Source Start Pulse : SSP), 소스샘플링클럭(Source Sampling Clock : SSC), 소스출력인에이블신호(Source Output Enable : SOE), 극성신호(Polarity : POL) 등을 포함할 수 있다.
- [0049] 또한 타이밍제어부(310)는 외부의 시스템으로부터 영상데이터(RGB)를 전달받고, 이를 정렬하여 데이터구동부(330)에 전달하게 된다.
- [0050] 게이트구동부(320)는, 타이밍제어부(310)로부터 공급되는 게이트제어신호(GCS)에 응답하여, 다수의 게이트배선(GL1 내지 GLn)을 순차적으로 스캔(scan)한다. 예를 들면, 매 프레임(frame) 동안 다수의 게이트배선(GL1 내지 GLn)을 순차적으로 선택하고, 선택된 게이트배선(GL1 내지 GLn)에 대해 턴온 전압(turn on) 예를 들면 게이트하이전압을 출력하게 된다. 게이트하이전압(Vgh)에 의해, 해당 행라인에 위치하는 스위칭트랜지스터(ST)는 턴온된다. 한편, 다음 프레임의 스캔시까지의 게이트배선(GL1 내지 GLn)에 턴오프(turn off) 전압 예를 들면 게이트로우전압(Vgl)이 공급되어, 스위칭트랜지스터(ST)는 턴오프 상태를 유지하게 된다.
- [0051] 데이터구동부(330)는 타이밍제어부(310)로부터 공급되는 데이터제어신호(DCS)와 영상데이터(RGB)에 응답하여, 데이터전압을 다수의 데이터배선(DL1 내지 DLm)에 공급하게 된다. 즉, 감마전압(Vgamma)을 사용하여, 영상데이터(RGB)에 대응되는 데이터전압을 생성하고, 생성된 데이터전압을 대응하는 데이터배선(DL1 내지 DLm)에 공급한다.
- [0052] 감마전압공급부(340)는 전원공급부(350)로부터 발생하는 고전위전압과 저전위전압을 분압하여 감마전압(Vgamma)을 생성하고 이를 데이터구동부(330)에 공급한다.
- [0053] 전원공급부(350)는, 액정표시장치(100)를 구동함에 있어 필요한 다양한 구동전압들을 생성하게 된다. 예를 들면, 타이밍제어부(310)와 데이터구동부(330)와 게이트구동부(320)에 공급되는 전원전압과, 게이트구동부(320)에 공급되는 게이트하이전압(Vgh)과 게이트로우전압(Vgl) 등을 생성하게 된다.
- [0054] 리셋전압구동부(360)는 다수의 리셋배선(RL1 내지 RLn)에 리셋전압(RSV)을 공급한다. 이때, 리셋전압(RSV)은 예를 들면 리셋연결배선(CRL)을 통하여 다수의 리셋배선(RL1 내지 RLn)에 전달될 수 있다. 또한, 리셋전압(RSV)은 예를 들면 직류 전압이 될 수 있으며, 리셋전압(RSV)의 크기는 액정패널(200)의 특징 등에 따라서 설계자에 의해서 다양하게 설계될 수 있다. 예를 들면, 리셋전압(RSV)은 데이터전압, 전원전압(VDD) 또는 접지전압(VSS) 등이 될 수 있다.
- [0055] 이하, 도 4 및 도 5를 더욱 참조하여 본발명의 실시예에 따른 액정패널과 화소에 대해서 더욱 상세하게 살펴본다.
- [0056] 도 4는 본발명의 실시예에 따른 액정패널을 개략적으로 도시한 도면으로서, 4개의 게이트배선, 4개의 리셋배선 및 3개의 데이터배선을 포함하는 액정패널을 일례로서 도시한 도면이고, 도 5는 도 4의 A부분에 형성된 화소의 등가회로도일례로서 도시한 도면이다.
- [0057] 먼저, 도 4에 도시한 바와 같이, 액정패널(200)에는 제 1 방향 예를 들면 수평 방향으로 연장된 제 1 내지 제 4 게이트배선(GL1내지 GL4)이 있다. 그리고, 제 1 방향과 교차하는 제 2 방향 예를 들면 수직 방향으로 제 1 내지 제 3 데이터배선(DL1 내지 DL3)이 연장되어 있다. 이와 같이 서로 교차하는 제 1 내지 제 4 게이트배선(GL1 내지 GL4)과 제 1 내지 제 3 데이터배선(DL1 내지 DL3)은 매트릭스 형태로 배치된 다수의 화소(P)를 정의한다.
- [0058] 또한, 제 1 내지 제 4 게이트배선(GL1 내지 GL4)과 대응하여, 수평 방향으로 연장된 제 1 내지 제 4 리셋배선(RL1 내지 RL4)이 있다.
- [0059] 여기서, 제 1 내지 제 4 리셋배선(RL1 내지 RL4)의 일 끝단은 예를 들면 수직 방향으로 연장된 리셋연결배선

(CRL)과 연결될 수 있다.

- [0060] 이에 따라, 제 1 내지 제 4 행(1행 내지 4행) 각각에 배치된 3개의 화소(P)에는 하나의 리셋배선(RL1 내지 RL4)과 하나의 게이트배선(GL1 내지 GL4)이 할당된다. 예를 들면, 제 1 행(1행)에 위치한 3개의 화소(P)에는 제 1 게이트배선(GL1)과 제 1 리셋배선(RL1)이 할당되고, 제 2 행(2행)에 위치한 3개의 화소(P)에는 제 2 게이트배선(GL2)과 제 2 리셋배선(RL2)이 할당된다.
- [0061] 도 5를 더욱 참조하면, 각 화소(P)는, 스위칭트랜지스터(ST)와, 리셋트랜지스터(RT)와, 액정커패시터(Clc)와, 스토리지커패시터(Cst)를 포함할 수 있다.
- [0062] 스위칭트랜지스터(ST)는 게이트배선(GL1 내지 GL4)과 데이터배선(DL1 내지 DL3)의 교차부에 형성된다.
- [0063] 구체적으로 예를 들면, 스위칭트랜지스터(ST)의 게이트전극(g)은 제 2 게이트배선(GL2)과 연결되고, 스위칭트랜지스터(ST)의 소스전극(s)은 제 1 데이터배선(DL1)과 연결된다.
- [0064] 스위칭트랜지스터(ST)의 드레인전극(d)은 화소전극(미도시)과, 스토리지커패시터(Cst)의 예를 들면 제 1 전극(1e)과, 리셋트랜지스터(RT)의 드레인전극(d)과 연결된다.
- [0065] 이때, 화소전극에 대응하여 공통전극(미도시)이 형성된다. 화소전극에 데이터전압이 인가되고, 공통전극에 공통전압(Vcom)이 인가되면, 이들 사이에 전기장이 형성되어 액정을 구동하게 된다. 화소전극과 공통전극 그리고 이들 전극 사이에 위치하는 액정은 액정커패시터(Clc)를 구성하게 된다.
- [0066] 한편, 각 화소(P)에는, 스토리지커패시터(Cst)가 더욱 구성되며, 이는 화소전극에 인가된 데이터전압을 다음 프레임까지 저장하는 역할을 하게 된다.
- [0067] 리셋트랜지스터(RT)의 게이트전극(g)은, 해당 화소(P)에 대응되는 게이트배선인 제 2 게이트배선(GL2)보다 t(예를 들면, t는 1)개 앞선 제 1 게이트배선(GL1)과 연결된다.
- [0068] 리셋트랜지스터(RT)의 소스전극(s)은, 해당 화소(P)에 대응되는 리셋배선(RL2)과 연결된다.
- [0069] 리셋트랜지스터(RT)의 드레인전극(d)은 해당 화소(P)에 대응되는 스위칭트랜지스터(ST)의 드레인전극(d)과, 화소전극과, 스토리지커패시터(Cst)의 제 1 전극(1e)과 연결된다.
- [0070] 이때, 다시 도 4를 참조하면, 제 1 게이트배선(GL1)에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극은, (4-1+1)번째 게이트배선인 제 4 게이트배선(GL4)과 연결된다.
- [0071] 다시 말하면, 리셋트랜지스터(RT)의 게이트전극은, 해당 화소(P)에 대응되는 게이트배선보다 t(t는 자연수)개 앞선 게이트배선과 연결된다. 또한, 첫 번째부터 t번째까지 위치한 게이트배선에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극 각각은 액정패널(200)에서 (n-t+1)(n은 총 게이트배선 수)번째부터 n번째까지 위치한 게이트배선에 각각 연결된다. 즉, 리셋트랜지스터(RT)의 게이트전극은 액정패널(200)에 배치된 게이트배선과 순환(rotation)되면서 연결된다.
- [0072] 이하, 도 6을 참조하여 본발명의 실시예에 따른 액정패널의 구동에 대해서 살펴본다.
- [0073] 도 6은 본발명의 실시예에 따른 액정패널의 구동과정도의 일례로서, 제 n-t 게이트배선과 제 n 게이트배선의 전압파형도와, 리셋전압과 데이터전압의 파형도이다.
- [0074] 먼저, 도 6에서는 제 n-t 게이트배선(GLn-t)에 제 n 게이트배선(GLn)에 대응되는 리셋트랜지스터의 게이트전극이 연결된 것이다.
- [0075] 화소(P)의 리셋트랜지스터(도 5의 RT)의 게이트전극(도 5의 g)과 연결된 제 n-t 게이트배선(GLn-t)에 턴온 전압 예를 들면 게이트하이전압(Vgh)이 인가될 때, 리셋트랜지스터(도 5의 RT)의 게이트전극(도 5의 g)이 턴온된다. 이에 따라, 리셋전압(RSV)이 해당 화소(P)의 화소전극과 스토리지커패시터(도 5의 Cst)의 제 1 전극에 공급됨으로써, 해당 화소(P)의 화소전극과 스토리지커패시터(도 5의 Cst)가 초기화된다.

[0076] 이어서, 해당 화소(P)에 대응되는 제 n 게이트배선(GLn)에 게이트하이전압(Vgh)이 인가될 때, 스위칭트랜지스터(도 5의 ST)의 게이트전극(도 5의 g)이 턴온 되어, 데이터전압(Vdata)이 화소전극에 공급된다.

[0077] 즉, 본발명의 실시예에서는 해당 화소(P)에 대응되는 데이터전압(Vdata)을 출력하기 전에 일정한 리셋전압(RS V)을 출력함으로써, 해당 화소(P)를 초기화 시킨다.

[0078] 도 4 및 도 5를 참조하여 구체적으로 예를 들면, 제 2 게이트배선(GL2)에 대응되는 화소(P)의 리셋트랜지스터(RT)의 게이트전극(g)은 제 1 게이트배선(GL1)에 연결되어 있다. 이에 따라, 제 1 게이트배선(GL1)에 턴온 전압이 인가될 때, 리셋트랜지스터(RT)는 턴온되어 제 2 게이트배선(GL2)에 대응되는 화소(P)의 화소전극과 스토리지캐패시터(Cst)에 리셋전압(RSV)이 인가된다. 즉, 제 1 게이트배선(GL1)에 턴온전압이 인가될 때, 제 2 게이트배선(GL2)에 대응되는 화소(P)는 초기화 된다.

[0079] 이때, 제 1 게이트배선(GL1)에 대응되는 화소(P)는 이전 프레임에서 제 4 게이트배선(GL4)에 턴온 전압이 인가될 때, 초기화 될 수 있다.

[0080] 전술한 바와 같이, 본발명의 실시예에서는 각 화소에 대응되는 데이터전압이 인가되기 전, 이전 단의 게이트배선에 연결된 리셋트랜지스터를 이용하여 각 화소를 초기화 시킨다.

[0081] 이에 따라, 각 화소에는 이전 프레임에서 인가된 데이터전압과 무관하게 항상 일정한 전압으로 초기화 되어 있는 바, 액정패널 구동시 발생되는 잔상 현상이 개선된다. 또한, 액정패널의 화질이 더욱 향상되는 효과를 제공한다.

[0082] 전술한 본발명의 실시에는 본발명의 일예로서, 본발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본발명의 변형을 포함한다.

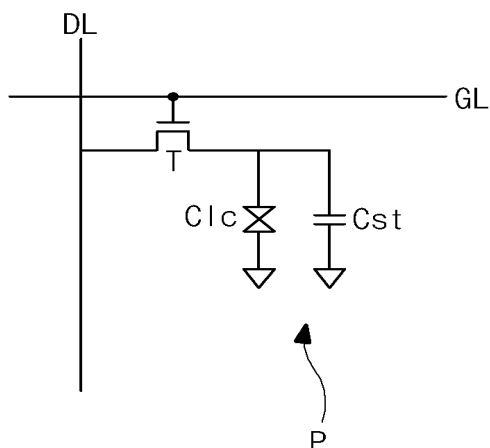
부호의 설명

[0083]

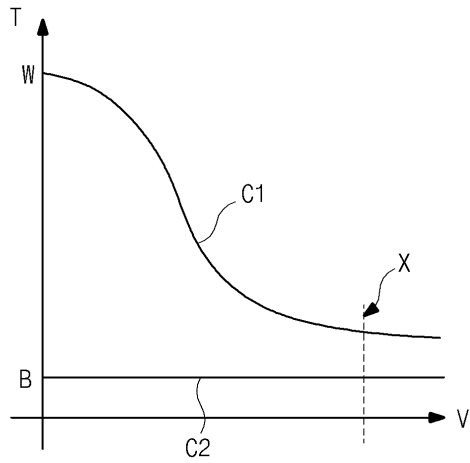
200: 액정패널	300: 구동부	310: 타이밍제어부
320: 게이트구동부	330: 데이터구동부	360: 리셋전압공급부
RL: 리셋배선	CRL: 리셋연결배선	ST: 스위칭트랜지스터
RT: 리셋트랜지스터		

도면

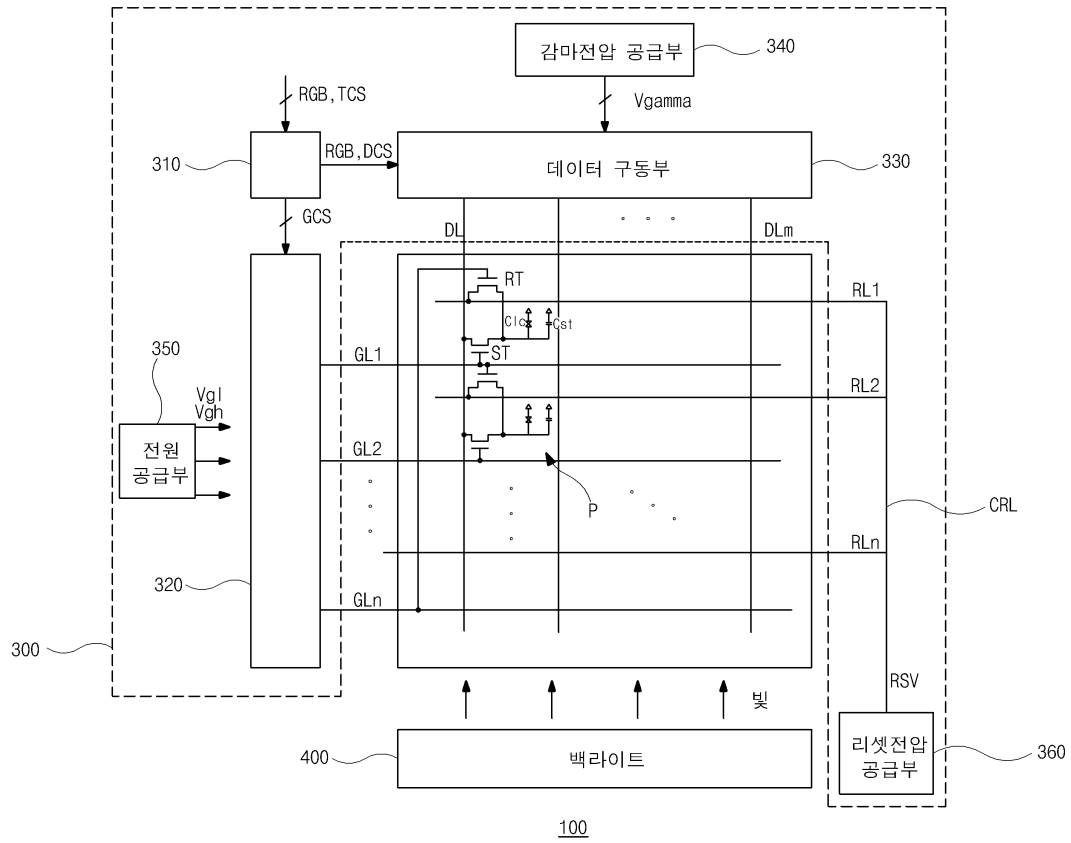
도면1



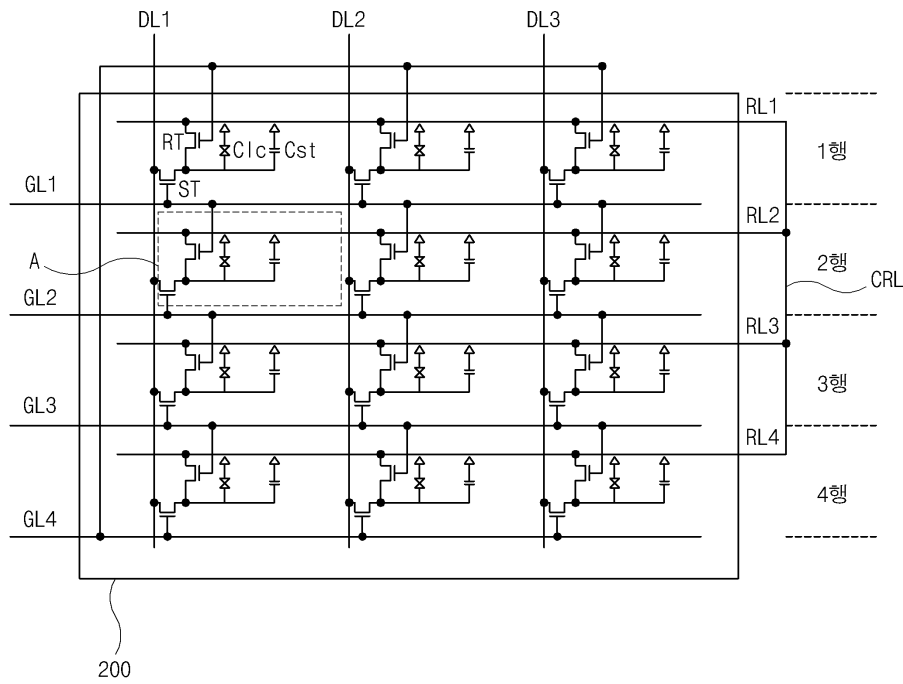
도면2



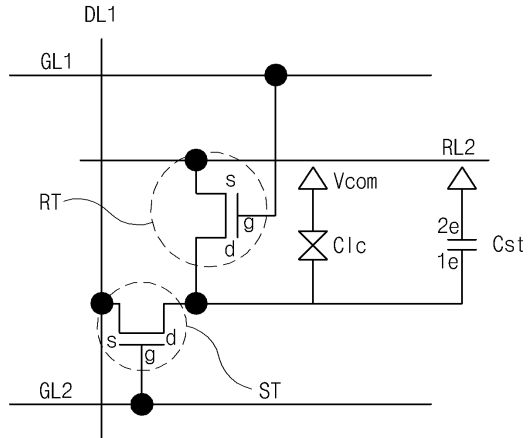
도면3



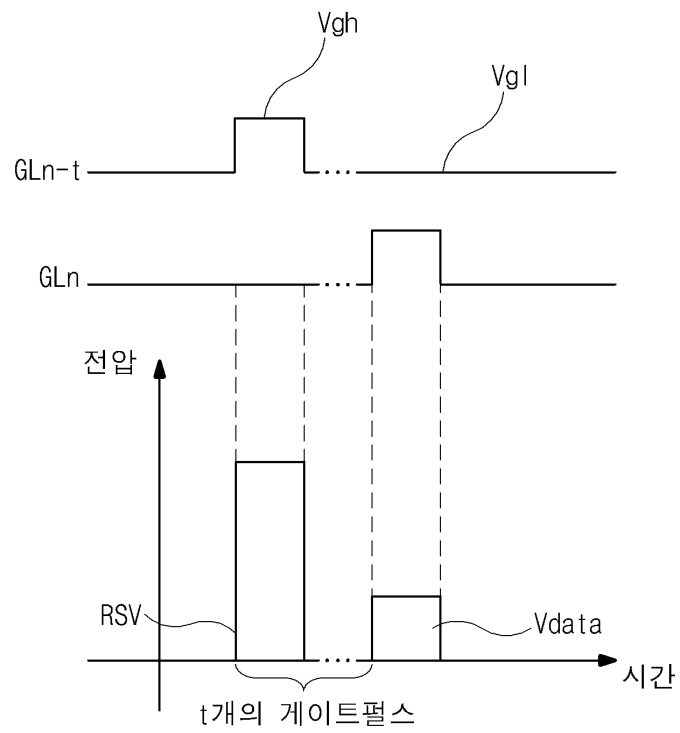
도면4



도면5



도면6



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020130035031A	公开(公告)日	2013-04-08
申请号	KR1020110099244	申请日	2011-09-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DAE HYUN 김대현 LIM HONG YOUL 임홍열		
发明人	김대현 임홍열		
IPC分类号	G09G3/36 G02F1/133 G02F1/1362		
CPC分类号	G09G3/3648 G02F1/136286 G09G2310/062 G09G2320/0257		
其他公开文献	KR101915067B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其驱动方法，通过在施加数据电压之前初始化每个像素来解决液晶面板的残像问题。组成：第一栅极线（GL1）沿水平方向延伸。复位线（RL1~RL4）沿水平方向延伸。复位线对应于第一栅极线。数据线（DL1~DL3）沿垂直方向延伸。数据线通过与第一栅极线交叉来限定像素（P）。数据线定义像素。像素包括开关晶体管，复位晶体管和像素电极。开关晶体管的栅极连接到第一栅极线。开关晶体管的源极连接到数据线。开关晶体管的漏极连接到像素电极。复位晶体管的栅极连接到第二栅极线。复位晶体管的源极连接到复位线。复位晶体管的漏极连接到像素电极。

