



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0110447
(43) 공개일자 2012년10월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2011-0028313
(22) 출원일자 2011년03월29일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
정상현
경기도 이천시 대월면 다솔로53번길 7-5
서동욱
충청남도 아산시 탕정면 탕정면로 37, 트라펠리스
101동 3003호
이선정
충남 아산시 탕정면 삼성크리스탈기술사 진주동
1501호
(74) 대리인
권혁수, 송윤호, 오세준

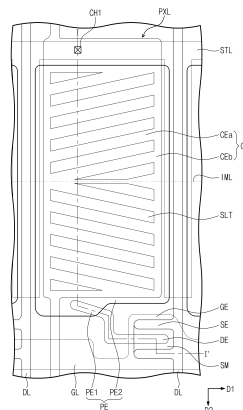
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 복수의 화소를 갖는 제1 기판과, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정 층을 포함한다. 각 화소는 게이트 전극과, 게이트 절연막, 반도체 패턴, 소스 전극, 드레인 전극, 제1 전극, 및 제2 전극을 포함한다. 상기 제1 전극은 평면 상에서 상기 드레인 전극과 중첩하는 제1 영역과 상기 제1 영역을 제외한 제2 영역을 가지며, 상기 제2 전극은 상기 제1 영역으로부터 이격된다. 상기 제1 전극과 상기 제2 전극 중 하나는 통판으로 제공된다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 화소를 갖는 제1 기관;

제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정층을 포함하며,
각 화소는

제1 절연 기관 상에 구비된 게이트 전극;

상기 게이트 전극을 커버하며 상기 제1 절연 기관 상에 구비된 게이트 절연막;

상기 게이트 절연막 상에 상기 게이트 전극과 중첩하여 구비된 반도체 패턴;

상기 반도체 패턴 상에 서로 이격되어 구비된 소스 전극과 드레인 전극;

상기 게이트 절연막 상에 구비되고 상기 드레인 전극에 연결된 제1 전극; 및

평면상에서 상기 제1 전극과 중첩하며 상기 제1 전극과 함께 전계를 형성하는 제2 전극을 포함하며,

상기 제1 전극과 상기 제2 전극 중 하나는 통관으로 형성되며, 상기 제1 전극은 평면 상에서 상기 드레인 전극과 중첩하는 제1 영역과 상기 제1 영역을 제외한 제2 영역을 가지며, 상기 제2 전극은 상기 제1 영역으로부터 이격된 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서,

평면상에서 볼 때, 상기 게이트 전극의 일부는 상기 게이트 라인으로부터 해당 화소의 상기 제1 전극 방향으로 돌출되고 상기 제1 전극의 일부는 상기 게이트 전극의 일부에 대응하여 함몰된 것을 특징으로 하는 표시 장치.

청구항 3

제2항에 있어서,

상기 돌출된 상기 게이트 전극의 일부는 상기 반도체 패턴과 중첩하는 것을 특징으로 하는 표시 장치.

청구항 4

제1항에 있어서,

제1 방향으로 연장된 복수의 게이트 라인들; 및

상기 제1 방향과 교차하는 제2 방향으로 연장된 복수의 데이터 라인들을 더 포함하며, 상기 각 화소는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인들 중 대응하는 데이터 라인에 연결되는 것을 특징으로 하는 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 전극을 커버하는 보호막을 더 포함하며, 상기 제2 전극은 상기 보호막 상에 형성된 것을 특징으로 하는 표시 장치.

청구항 6

제5항에 있어서,

상기 제2 전극은 상기 제2 전극의 일부가 제거되어 형성된 복수의 슬릿들을 갖는 것을 특징으로 하는 표시

장치.

청구항 7

제6항에 있어서,

상기 슬릿들은 상기 제1 방향 또는 상기 제2 방향에 경사지게 제공되는 것을 특징으로 하는 표시 장치.

청구항 8

제5항에 있어서,

상기 제1 절연 기판과 상기 게이트 절연막 사이에 상기 게이트 라인들로부터 이격되며 상기 제1 방향으로 연장되는 스토리지 라인을 더 포함하며, 상기 제2 전극은 스토리지 라인과 연결되는 것을 특징으로 하는 표시 장치.

청구항 9

제8항에 있어서,

상기 게이트 절연막 및 상기 보호막은 상기 스토리지 라인의 일부를 노출시키는 제1 콘택홀을 가지며, 상기 제2 전극은 상기 제1 콘택홀을 통해 상기 스토리지 라인과 연결되는 것을 특징으로 하는 표시 장치.

청구항 10

제9항에 있어서,

상기 게이트 절연막과 상기 제1 전극 사이에 구비되며 상기 드레인 전극의 일부를 노출시키는 제2 콘택홀을 갖는 유기 절연막을 더 포함하며, 상기 제1 전극은 상기 제2 콘택홀을 통해 상기 드레인 전극에 연결되는 것을 특징으로 하는 표시 장치.

청구항 11

제8항에 있어서,

상기 스토리지 라인은 그 일부분이 상기 제2 방향으로 돌출되며 상기 화소 전극의 일부와 중첩하는 것을 특징으로 하는 표시 장치.

청구항 12

제4항에 있어서,

상기 제2 전극은 상기 제1 절연 기판과 상기 게이트 절연막 사이에 상기 게이트 전극과 절연되어 구비된 것을 특징으로 하는 표시 장치.

청구항 13

제12항에 있어서,

상기 제1 전극은 상기 제1 전극의 일부가 제거되어 형성된 복수의 슬릿들을 갖는 것을 특징으로 하는 표시 장치.

청구항 14

제13항에 있어서,

상기 슬릿들은 상기 제1 방향 또는 상기 제2 방향에 경사지게 제공되는 것을 특징으로 하는 표시 장치.

청구항 15

제1항에 있어서,

상기 소스 전극과 상기 드레인 전극은 니켈, 크롬, 몰리브덴, 알루미늄, 티타늄, 구리, 텅스텐, 및 이들을 포함하는 합금으로 이루어진 단일막 또는 다중막인 것을 특징으로 하는 표시 장치.

청구항 16

제1항에 있어서,

상기 제1 전극과 상기 제2 전극은 투명 도전성 산화물로 형성된 것을 특징으로 하는 표시 장치.

청구항 17

절연 기판;

상기 절연 기판 상에 구비되며 제1 방향으로 연장된 복수의 게이트 라인들;

상기 게이트 라인들과 게이트 절연막을 사이에 두고 상기 제1 방향과 교차하는 제2 방향으로 연장된 복수의 데이터 라인들;

상기 게이트 라인들 중 대응되는 하나와 상기 게이트 라인들 중 대응되는 하나에 연결된 복수의 박막트랜지스터들;

각 박막트랜지스터의 드레인 전극에 연결된 제1 전극들; 및

각 제1 전극에 중첩하여 상기 각 제1 전극과 함께 전계를 형성하는 제2 전극들을 포함하며,

상기 제1 전극과 상기 제2 전극 중 하나는 통판으로 제공되고, 상기 제1 전극들의 일부는 상기 드레인 전극들과 평면상에서 중첩하며, 상기 제2 전극은 상기 드레인 전극들과 중첩하는 상기 제1 전극들의 일부와 중첩하지 않는 것을 특징으로 하는 박막트랜지스터 기판.

명세서

기술분야

[0001] 본 발명은 영상 품질이 향상된 표시 장치에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 액정층을 포함하는 박형 표시 장치이다. 상기 액정 표시 장치는 액정층을 구동하는 방법에 따라 IPS(In Plane Switching) 모드, VA(Vertical Alignment) 모드, 또는 PLS(Plane to Line Switching) 모드 액정 표시 장치 등으로 구분된다.

[0003] 상기 PLS 모드 액정 표시 장치는 횡전계 및 수직 전계를 이용하여 액정층을 구동하여 영상을 표시한다. 상기 PLS 모드는 강한 프린지(fringe) 전계에 의해 액정층의 액정 분자들이 전극 위 영역에서 기판에 거의 평행하게 회전한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 표시 품질이 높은 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 표시 장치는 복수의 화소를 갖는 제1 기판과, 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 포함한다.

[0006] 각 화소는 게이트 전극과, 게이트 절연막, 반도체 패턴, 소스 전극, 드레인 전극, 제1 전극, 및 제2 전극을 포함한다.

[0007] 상기 게이트 전극은 제1 절연 기판 상에 구비되며, 상기 게이트 절연막은 상기 게이트 전극을 커버한다. 상기 반도체 패턴은 상기 게이트 절연막 상에 상기 게이트 전극과 중첩하여 구비된다. 상기 소스 전극과 드레인 전극은 상기 반도체 패턴 상에 구비되며 서로 이격되어 있다. 상기 제1 전극은 상기 게이트 절연막 상에 구비되며, 상기 드레인 전극에 연결된다. 상기 제2전극은 평면상에서 상기 제1 전극과 중첩하며 상기 제1 전극과 함께 전계를 형성한다. 여기서, 상기 제1 전극은 평면 상에서 상기 드레인 전극과 중첩하는 제1 영역과 상기 제1 영역

을 제외한 제2 영역을 가지며, 상기 제2 전극은 상기 제1 영역으로부터 이격된다.

[0008] 상기 제1 절연 기판 상에는 제1 방향으로 연장된 복수의 게이트 라인들과, 상기 제1 방향과 교차하는 제2 방향으로 연장된 복수의 데이터 라인들이 제공되며, 상기 각 화소는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인들 중 대응하는 데이터 라인에 연결된다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 전극 상에는 상기 제1 전극을 커버하는 보호막이 제공되고, 상기 제2 전극은 상기 보호막 상에 형성된다. 이때, 상기 제2 전극은 상기 제2 전극의 일부가 제거되어 형성된 복수의 슬릿들을 갖는다.

[0010] 본 발명의 다른 실시예에 있어서, 상기 게이트 절연막과 상기 제1 전극 사이에는 상기 드레인 전극의 일부를 노출시키는 콘택홀을 갖는 유기 절연막이 제공된다. 상기 제1 전극은 상기 제2 콘택홀을 통해 상기 드레인 전극에 연결된다.

[0011] 본 발명의 또 다른 실시예에 있어서, 상기 제2 전극은 상기 제1 절연 기판과 상기 게이트 절연막 사이에 상기 게이트 전극과 절연되어 구비된다. 이때, 상기 제1 전극은 상기 제1 전극의 일부가 제거되어 형성된 복수의 슬릿들을 갖는다.

발명의 효과

[0012] 이와 같은 표시 장치에 따르면, 정전기에 의해 유발되는 제1 전극과 제2 전극 사이의 쇼트를 방지함으로써 고품질의 표시 장치를 제공한다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 제1 실시예에 따른 표시 장치 제조 방법으로 제조한 표시 장치의 일부를 나타낸 평면도이다.

도 2는 도 1에 표시된 I-I'선에 따라 자른 표시 장치의 단면도이다.

도 3은 본 발명의 제2 실시예에 따른 표시 장치 제조 방법으로 제조한 표시 장치의 일부를 나타낸 평면도이다.

도 4는 도 3에 표시된 II-II'선에 따라 자른 표시 장치의 단면도이다.

도 5은 본 발명의 제3 실시예에 따른 표시 장치 제조 방법으로 제조한 표시 장치의 일부를 나타낸 평면도이다.

도 6는 도 5에 표시된 III-III'선에 따라 자른 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0015] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0016] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0017] 도 1은 본 발명의 제1 실시예에 따른 표시 장치의 일부를 나타낸 평면도이다. 도 2는 도 1에 표시된 I-I'선에 따라 자른 표시 장치의 단면도이다. 여기서, 각 화소는 동일한 구조로 이루어지므로 설명의 편의상 하나의 화소

가 상기 화소들 중 하나의 화소에 인접한 상기 게이트 라인들 및 상기 데이터 라인들과 함께 도시되었다.

- [0018] 도 1 및 도 2를 참조하면, 상기 표시 장치는 제1 기판(SUB1)과 상기 제1 기판(SUB1)에 대향하는 제2 기판(SUB2) 및 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에 형성된 액정층(LC)을 포함한다.
- [0019] 상기 제1 기판(SUB1)은 제1 절연 기판(INS1), 복수의 게이트 라인들과, 복수의 데이터 라인들(DL), 및 복수의 화소들(PXL)을 포함한다. 상기 제1 절연 기판(INS1)은 대략 사각 형상을 가지며 투명 절연 물질로 이루어진다.
- [0020] 상기 게이트 라인들(GL)은 상기 제1 절연 기판(INS1) 상에 제1 방향(D1)으로 연장되어 형성된다.
- [0021] 상기 게이트 라인들(GL)이 형성된 상기 제1 절연 기판(INS1) 상에는 게이트 절연막(GI)이 제공된다. 상기 게이트 절연막(GI)은 절연 물질로 이루어질 수 있는 바, 예를 들어, 실리콘 질화물이나, 실리콘 산화물을 포함할 수 있다.
- [0022] 상기 데이터 라인들(DL)은 상기 게이트 라인들(GL)과 상기 게이트 절연막(GI)을 사이에 두고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 연장되어 제공된다.
- [0023] 상기 각 화소(PXL)는 상기 게이트 라인들(GL) 중 하나와 상기 데이터 라인들(DL) 중 하나에 연결된다. 상기 각 화소(PXL)는 박막 트랜지스터와, 상기 박막 트랜지스터에 연결된 화소 전극(PE), 상기 화소 전극(PE)을 커버하는 보호막(PSV), 상기 화소 전극(PE)과 이격되어 제공된 공통 전극(CE), 상기 공통 전극(CE)에 연결되며 상기 화소 전극(PE)과 중첩하여 스토리지 커패시터를 형성하는 스토리지 라인(STL)을 포함한다. 상기 박막 트랜지스터는 게이트 전극(GE), 게이트 절연막(GI), 반도체 패턴(SM), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0024] 상기 게이트 전극(GE)은 상기 게이트 라인(GL)으로부터 돌출되거나 상기 게이트 라인(GL)의 일부 영역 상에 제공된다.
- [0025] 상기 게이트 전극(GE)은 금속으로 이루어질 수 있다. 상기 게이트 전극(GE)은 니켈, 크롬, 몰리브덴, 알루미늄, 티타늄, 구리, 텅스텐, 및 이들을 포함하는 합금으로 이루어질 수 있다. 상기 게이트 전극(GE)은 상기 금속을 이용한 단일막 또는 다중막으로 형성될 수 있다. 예를 들어, 상기 게이트 전극(GE)은 몰리브덴, 알루미늄, 및 몰리브덴이 순차적으로 적층된 삼중막이거나, 티타늄과 구리가 순차적으로 적층된 이중막일 수 있다. 또는 티타늄과 구리의 합금으로 된 단일막일 수 있다.
- [0026] 상기 게이트 절연막(GI)은 상기 제1 절연 기판(INS1)의 전면에 제공되어, 상기 게이트 라인(GL), 상기 게이트 라인(GL)을 커버한다.
- [0027] 상기 반도체 패턴(SM)은 상기 게이트 절연막(GI)상에 제공된다. 상기 반도체층(SM)은 게이트 절연막(GI)을 사이에 두고 상기 게이트 전극(GE) 상에 제공된다. 상기 반도체 패턴(SM)은 일부 영역이 상기 게이트 전극(GE)과 중첩된다. 상기 반도체패턴(SM)은 상기 게이트 절연막(GI)상에 제공된 액티브 패턴(ACT)과 상기 액티브 패턴(ACT) 상에 형성된 오믹 콘택층(OHM)을 포함한다. 상기 액티브 패턴(ACT)은 비정질 실리콘 박막으로 이루어질 수 있으며, 상기 오믹 콘택층(OHM)은 n+ 비정질 실리콘 박막으로 이루어질 수 있다. 상기 오믹 콘택층(OHM)은 상기 액티브 패턴(ACT)의 일부 영역과 후술할 소스 전극(SE) 사이 및 상기 액티브 패턴(ACT)의 다른 일부 영역과 후술할 드레인 전극(DE) 사이에 제공된다. 상기 오믹 콘택층(OHM)은 상기 액티브 패턴(ACT)과 상기 소스 전극(SE) 및 드레인 전극(DE) 사이를 각각 오믹 콘택(ohmic contact)시킨다.
- [0028] 상기 소스 전극(SE)은 상기 데이터 라인(DL)에서 분지되어 제공된다. 상기 소스 전극(SE)은 상기 오믹 콘택층(OHM) 상에 형성되며 일부 영역이 상기 게이트 전극(GE)과 중첩한다.
- [0029] 상기 드레인 전극(DE)은 상기 반도체 패턴(SM)을 사이에 두고 상기 소스 전극(SE)으로부터 이격되어 제공된다. 상기 드레인 전극(DE)은 상기 오믹 콘택층(OHM) 상에 형성되며 일부 영역이 상기 게이트 전극(GE)과 중첩하도록 제공된다.
- [0030] 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 니켈, 크롬, 몰리브덴, 알루미늄, 티타늄, 구리, 텅스텐, 및 이들을 포함하는 합금으로 이루어질 수 있다. 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 상기 금속을 이용한 단일막 또는 다중막으로 형성될 수 있다. 예를 들어, 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 티타늄과 구리가 순차적으로 적층된 이중막일 수 있다. 또는 티타늄과 구리의 합금으로 이루어진 단일막일 수 있다.
- [0031] 이에 따라 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이의 상기 액티브 패턴(ACT)의 상면이 노출되며, 상기 게이트 전극(GE)의 전압 인가 여부에 따라 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이에서 전도 채널(conductive channel)을 이루는 채널부(CHN)가 된다. 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 상기 소스

전극(SE)과 상기 드레인 전극(DE) 사이의 이격되어 형성된 채널부(CHN)를 제외한 영역에서 상기 반도체층(SM)의 일부와 중첩한다.

- [0032] 상기 화소 전극(PE)은 상기 드레인 전극(DE)과 상기 게이트 절연막(GI)상에 구비된다. 상기 화소 전극(PE)은 그 일부가 상기 드레인 전극(DE)의 일부와 상기 게이트 절연막(GI)의 바로 위에 제공되어 상기 드레인 전극(DE)에 연결된다. 이에 따라, 평면상에서 볼 때 상기 화소 전극(PE)의 일부는 상기 드레인 전극(DE)과 중첩한다. 상기 화소 전극(PE)은 평면상에서 볼 때 대략 직사각 형상을 가지나, 이에 한정되는 것은 아니며 상기 각 화소(PXL)의 형상에 따라 다양한 형상으로 구비될 수 있다. 상기 화소 전극(PE)은 내부에 슬릿과 같은 패턴이 없이 통관으로 형성된다. 상기 화소 전극(PE)은 상기 게이트 라인(GL)과 상기 데이터 라인(DL)의 교차 지점과 인접한 영역에서 상기 게이트 전극(GE)의 형상에 대응하여 상기 게이트 전극(GE)의 가장자리를 따라 이격되어 형성될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 상기 게이트 전극(GE)은 동일한 화소(PXL)에 있는 상기 화소 전극(PE) 방향으로 돌출될 수 있으며, 상기 화소 전극(PE)은 상기 게이트 전극(GE)의 돌출된 부분에 대응하는 함몰된 부분을 가질 수 있다. 여기서, 상기 게이트 라인(GL)과 상기 데이터 라인(DL)의 교차 지점과 인접한 영역은 상기 박막 트랜지스터가 형성된 영역에 해당하며, 상기 게이트 전극(GE)의 돌출된 부분은 상기 박막 트랜지스터의 상기 반도체 패턴(SM)과 중첩할 수 있다. 상기 화소 전극(PE)의 외곽부가 상기 게이트 전극(GE)의 둘레를 따라 형성됨으로써 해당 화소의 개구율이 높아진다.
- [0033] 상기 화소 전극(PE)은 투명한 도전성 물질로 형성된다. 특히, 상기 화소 전극(PE)은 투명 도전성 산화물(Transparent Conductive Oxide)로 형성된다. 상기 투명 도전성 산화물은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등이 있다.
- [0034] 상기 보호막(PSV)은 상기 화소 전극(PE)이 형성된 상기 제1 절연 기판(INS1) 상에 제공된다. 상기 보호막(PSV)은 상기 채널부(CHN)와 상기 화소 전극(PE)을 커버한다. 상기 보호막(PSV)은 예를 들어, 실리콘 질화물이나, 실리콘 산화물을 포함할 수 있다.
- [0035] 상기 공통 전극(CE)은 상기 보호막(PSV) 상에 형성된다. 상기 공통 전극(CE)은 상기 화소 전극(PE)의 일부와 중첩된다. 상기 공통 전극(CE)은 평면 상에서 볼 때 상기 화소 전극(PE)이 상기 드레인 전극(DE)과 중첩하는 부분과는 중첩하지 않는다. 즉, 상기 화소 전극(PE)에 있어서 상기 드레인 전극(DE)과 중첩되는 영역을 제1 영역(PE1), 상기 드레인 전극(DE)과 중첩하지 않은 영역을 제2 영역(PE2)이라고 할 때, 상기 공통 전극(CE)은 상기 제1 영역(PE1)과 중첩하지 않으며 상기 제1 영역(PE1)으로부터 이격되어 제공된다.
- [0036] 상기 공통 전극(CE)은 그 일부가 제거되어 형성된 복수의 슬릿들(SLT)을 가진다. 상기 슬릿들(SLT)은 상기 제1 방향(D1)이나 상기 제2 방향(D2)에 경사진 방향을 갖도록 제공될 수 있다. 또한, 상기 공통 전극(CE)은 서로 다른 경사진 방향을 갖는 슬릿들(SLT)로 이루어진 복수의 영역을 가질 수 있으며, 이때, 상기 영역들은 상기 화소(PXL)를 가로지르는 가상의 선에 대해 실질적으로 선대칭되거나, 상기 화소 내의 어느 한 지점에 대해 실질적으로 점대칭될 수 있다. 도 1에서는 일 예로서, 상기 슬릿들(SLT)가 상기 화소를 제1 방향으로 가로지르는 가상의 선(IML)에 대해 선대칭으로 형성된 것을 도시하였다.
- [0037] 다시 말해, 상기 공통 전극(CE)은 각 화소마다 형성된 줄기부(CEa)와, 상기 슬릿들(SLT)에 의해 나누어지며 상기 줄기부(CEa)로부터 돌출되어 연장된 복수의 가지부들(CEb)을 가진다. 상기 가지부들(CEb)은 서로 일정 간격 이격된다. 상기 공통 전극(CE)의 상기 가지부들(CEb)은 상기 화소 전극(PE)과 함께 전계를 형성한다.
- [0038] 상기 가지부들(CEb)은 소정 방향으로 평행하게 연장되도록 형성될 수 있다. 상기 줄기부(CEa)와 가지부들(CEb)은 다양한 형상으로 제공될 수 있다. 예를 들어, 상기 가지부들(CEb)은 상기 줄기부(CEa)의 연장 방향과 수직한 양측 방향으로 모두 돌출되어 연장될 수도 있다. 또는 상기 줄기부(CEa)가 복수 회 절곡된 형태로 형성될 수도 있다.
- [0039] 상기 공통 전극(CE)은 인접한 다른 화소들에 제공된 공통 전극(CE)과 연결되도록 일 방향으로 연장된 연결 라인을 가질 수 있다. 본 발명의 일 실시예에서는 상기 연결 라인이 상기 제2 방향(D2)으로 연장되어 상기 제2 방향(D2)으로 서로 인접한 화소의 공통 전극(CE)들을 전기적으로 연결한다.
- [0040] 상기 공통 전극(CE)은 투명 도전성 물질로 형성될 수 있다. 상기 공통 전극(CE)은 상기 공통 전극(CE)은 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등의 도전성 금속 산화물로 형성될 수 있다.
- [0041] 상기 스토리지 라인(STL)은 상기 제1 절연 기판(INS1)과 상기 게이트 절연막(GI)사이에 상기 게이트 라인들(GL)과 이격되어 제공된다. 상기 스토리지 라인(STL)은 상기 게이트 라인(GL)과 동일 물질로 형성될 수 있으며,

상기 게이트 라인(GL)과 단일 패터닝 공정을 통해 형성될 수 있다.

- [0042] 상기 스토리지 라인(STL)은 상기 제1 방향(D1)으로 연장되며, 상기 제2 방향(D2)으로 돌출되어 상기 데이터 라인(DL) 및 상기 화소 전극(PE)의 일부와 중첩한다. 상기 스토리지 라인(STL)과 상기 화소 전극(PE)은 상기 게이트 절연막(GI)을 사이에 두고 스토리지 커패시터를 이룬다.
- [0043] 상기 게이트 절연막(GI)과 상기 보호막(PSV)에는 상기 게이트 절연막(GI)의 일부와 상기 보호막(PSV)의 일부가 제거되어 상기 스토리지 라인(STL)의 일부를 노출시키는 제1 콘택홀이 제공된다. 상기 공통 전극(CE)은 상기 제1 콘택홀을 통해 상기 스토리지 라인(STL)에 연결된다. 상기 스토리지 라인(STL)과 상기 공통 전극(CE)에는 동일한 레벨의 공통 전압이 인가된다. 여기서, 상기 공통 전압은 상기 스토리지 라인(STL)을 통해 각 화소의 상기 공통 전극(CE)에 인가되므로, 전체 표시 영역에서의 공통 전극(CE)에 전압 강하 없이 균일한 레벨의 전압이 인가된다.
- [0044] 상기 제2 기관(SUB2)은 제2 절연 기관(INS2), 컬러 필터들(CF) 및 블랙 매트릭스(BM)를 포함한다. 상기 컬러 필터들(CF)은 상기 액정층(LC)을 통과하는 광에 색을 제공하기 위한 것이다. 상기 컬러 필터들(CF)은 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터를 포함한다. 상기 적색 컬러 필터, 상기 녹색 컬러 필터, 또는 상기 청색 컬러 필터는 상기 각 화소(PXL)에 일대일로 대응하여 배치될 수 있다. 서로 인접한 화소와 화소 사이에는 누설되는 광을 차단하기 위한 블랙 매트릭스(BM)가 배치된다.
- [0045] 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2) 사이에는 액정 분자들을 포함하는 상기 액정층(LC)이 제공된다.
- [0046] 상기 표시 장치에 있어서, 상기 게이트 라인(GL)에 게이트 신호가 인가되면, 상기 박막 트랜지스터가 턴-온된다. 따라서, 상기 데이터 라인(DL)으로 인가된 상기 데이터 신호는 상기 박막 트랜지스터를 통해 상기 화소 전극(PE)으로 인가된다. 상기 박막 트랜지스터가 온 상태가 되어 화소 전극(PE)에 데이터 신호가 인가되면, 상기 화소 전극(PE)과 상기 공통 전극(CE) 사이에 전계가 형성된다. 이때, 상기 화소 전극(PE)에 인가되는 전압은 상기 공통 전극(CE)에 인가되는 전압보다 크거나 작다. 예를 들어 상기 공통 전극(CE)에 0V의 전압이 인가되고, 화소 전극(PE)에 7V의 전압이 인가될 수 있다. 상기 공통 전극(CE)과 상기 화소 전극(PE)에 인가되는 전압의 차이에 의해 생성된 전계에 의해 상기 액정 분자들이 구동된다. 이에 따라, 상기 액정층(LC)을 투과하는 광량이 변화되어 영상이 표시된다.
- [0047] 상기한 구조를 갖는 표시 장치는 정전기로 인한 화소 불량이 감소되거나 방지된다. 상세하게는, 상기 공통 전극(CE)이 상기 화소 전극(PE)과 상기 드레인 전극(DE)이 중첩되는 제1 영역(PE1)으로부터 이격됨으로써 정전기에 의한 쇼트가 줄어들거나 방지된다. 즉, 상기 드레인 전극(DE)과 상기 화소 전극(PE)이 중첩되는 상기 제1 영역(PE1)은 저항이 높은 부분으로 외부 요인에 의한 정전기 유입 시에 번트(burnt)에 의한 쇼트 불량이 발생하기 쉽다. 상기 정전기에 의한 번트 때문에 상기 화소 전극(PE)과 상기 공통 전극(CE)이 쇼트되는 경우에는 두 전극 사이의 전압차가 0V가 되어 상기 액정층의 액정 분자들이 처음 배향된 상태에서 움직이지 않기 때문에 결국은 화소가 작동하지 않는 화소 불량이 된다. 본 발명의 일 실시예에 따르면 상기 공통 전극(CE)을 상기 제1 영역으로부터 이격되게 제공함으로써 쇼트 불량을 감소시키거나 방지할 수 있으며, 이에 따라 화소 불량이 감소된 고품질의 표시 장치를 제공한다.
- [0048] 도 3은 본 발명의 제2 실시예에 따른 표시 장치의 일부를 나타낸 평면도이다. 도 4는 도 2에 표시된 II-II'선에 따라 자른 표시 장치의 단면도이다. 여기서, 각 화소는 동일한 구조로 이루어지므로, 설명의 편의상, 하나의 화소가 상기 화소들 중 하나의 화소에 인접한 상기 게이트 라인들(GL) 및 상기 데이터 라인들(DL)과 함께 도시되었다. 또한, 본 발명의 제2 실시예에서는 중복된 설명을 피하기 위하여 상술한 제1 실시예와 다른 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 제1 실시예에 따른다. 동일한 번호는 동일한 구성요소를, 유사한 번호는 유사한 구성요소를 나타낸다.
- [0049] 도 3 및 도 4를 참조하면, 상기 제1 기관(SUB1)은 제1 절연 기관(INS1), 복수의 게이트 라인들(GL)과, 복수의 데이터 라인들(DL), 및 복수의 화소들(PXL)을 포함한다. 상기 제1 절연 기관(INS1)은 대략 사각 형상을 가지며 투명 절연 물질로 이루어진다.
- [0050] 상기 게이트 라인들(GL)은 상기 제1 절연 기관(INS1) 상에 제1 방향(D1)으로 연장되어 형성된다.
- [0051] 상기 게이트 라인들(GL)이 형성된 상기 제1 절연 기관(INS1) 상에는 게이트 절연막(GI)이 제공된다.
- [0052] 상기 데이터 라인들(DL)은 상기 게이트 라인들(GL)과 상기 게이트 절연막(GI)을 사이에 두고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 연장되어 제공된다.

- [0053] 상기 각 화소는 상기 게이트 라인들(GL) 중 하나와 상기 데이터 라인들(DL) 중 하나에 연결된다. 상기 각 화소(PXL)는 박막 트랜지스터와, 상기 박막 트랜지스터에 유기 절연막을 사이에 두고 연결된 화소 전극(PE), 상기 화소 전극(PE)을 커버하는 보호막(PSV), 상기 화소 전극(PE)과 이격되어 제공된 공통 전극(CE), 상기 공통 전극(CE)에 연결되며 상기 화소 전극(PE)과 중첩하여 스토리지 커패시터를 형성하는 스토리지 라인(STL)을 포함한다. 상기 박막 트랜지스터는 게이트 전극(GE), 게이트 절연막(GI), 반도체 패턴(SM), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0054] 상기 게이트 전극(GE)은 상기 게이트 라인(GL)으로부터 돌출되거나 상기 게이트 라인(GL)의 일부 영역 상에 제공된다.
- [0055] 상기 게이트 절연막(GI)은 상기 제1 절연 기판(INS1)의 전면에 제공되어, 상기 게이트 라인(GL), 상기 게이트 라인(GL)을 커버한다.
- [0056] 상기 반도체 패턴(SM)은 상기 게이트 절연막(GI)상에 제공된다. 상기 반도체층(SM)은 게이트 절연막(GI)을 사이에 두고 상기 게이트 전극(GE) 상에 제공된다. 상기 반도체 패턴(SM)은 일부 영역이 상기 게이트 전극(GE)과 중첩된다.
- [0057] 상기 소스 전극(SE)은 상기 데이터 라인(DL)에서 분지되어 제공된다. 상기 소스 전극(SE)은 일부 영역이 상기 게이트 전극(GE)과 중첩한다. 상기 드레인 전극(DE)은 상기 반도체 패턴(SM)을 사이에 두고 상기 소스 전극(SE)으로부터 이격되어 제공되며, 일부 영역이 상기 게이트 전극(GE)과 중첩하도록 제공된다.
- [0058] 상기 데이터 라인(DL), 상기 소스 전극(SE)과 상기 드레인 전극(DE) 등이 형성된 상기 제1 절연 기판(INS1) 상에는 상기 데이터 라인(DL), 상기 소스 전극(SE) 및 상기 드레인 전극(DE) 등을 커버하는 유기 절연막(OINS)이 제공된다. 상기 유기 절연막(OINS)은 고분자 수지로 이루어질 수 있다. 상기 유기 절연막(OINS)에는 상기 스토리지 라인(STL)의 일부를 노출하는 제1 콘택홀(CH1)과 상기 드레인 전극(DE)의 일부를 노출하는 제2 콘택홀(CH2)이 형성되어 있다.
- [0059] 상기 화소 전극(PE)은 상기 유기 절연막(OINS) 상에 그 내부에 슬릿(SLT)과 같은 패턴이 없이 통관으로 제공되며, 상기 드레인 전극(DE)과 상기 제2 콘택홀(CH2)을 통해 연결된다. 여기서, 상기 화소 전극(PE)의 일부는 평면상에서 볼 때 상기 드레인 전극(DE)과 중첩한다.
- [0060] 상기 보호막(PSV)은 상기 화소 전극(PE)이 형성된 상기 제1 절연 기판(INS1) 상에 제공된다. 상기 보호막(PSV)은 상기 화소 전극(PE)을 커버하며, 상기 유기 보호막(PSV)을 관통하여 상기 스토리지 라인(STL)의 일부가 노출되는 상기 제1 콘택홀(CH1)을 갖는다.
- [0061] 상기 공통 전극(CE)은 상기 보호막(PSV) 상에 형성된다. 상기 공통 전극(CE)은 상기 화소 전극(PE)의 일부와 중첩된다. 상기 공통 전극(CE)은 평면 상에서 볼 때 상기 화소 전극(PE)이 상기 드레인 전극(DE)과 중첩하는 부분과는 중첩하지 않는다. 즉, 상기 화소 전극(PE)에 있어서 상기 드레인 전극(DE)과 중첩되는 제1 영역(PE1), 상기 드레인 전극(DE)과 중첩하지 않은 영역을 제2 영역(PE2)이라고 할 때, 상기 공통 전극(CE)은 상기 제1 영역(PE1)과 중첩하지 않으며 상기 제2 영역(PE2)으로부터 이격되어 제공된다.
- [0062] 상기 공통 전극(CE)은 그 일부가 제거되어 형성된 복수의 슬릿들(SLT)을 가진다. 즉, 상기 공통 전극(CE)은 각 화소마다 형성된 줄기부(CEa)와, 상기 줄기부(CEa)로부터 돌출되어 연장된 복수의 가지부들(CEb)을 가진다. 상기 가지부들(CEb)은 서로 일정 간격 이격된다. 상기 공통 전극(CE)의 상기 가지부들(CEb)은 상기 화소 전극(PE)과 함께 전계를 형성한다.
- [0063] 상기 스토리지 라인(STL)은 상기 제1 절연 기판(INS1)과 상기 게이트 절연막(GI)사이에 상기 게이트 라인들(GL)과 이격되어 제공된다. 상기 스토리지 라인(STL)은 상기 제1 방향(D1)으로 연장되며, 상기 제2 방향(D2)으로 돌출되어 상기 데이터 라인(DL) 및 상기 화소 전극(PE)의 일부와 중첩한다. 상기 스토리지 라인(STL)과 상기 화소 전극(PE)은 상기 게이트 절연막(GI)을 사이에 두고 스토리지 커패시터를 이룬다.
- [0064] 상기 공통 전극(CE)은 상기 제1 콘택홀을 통해 상기 스토리지 라인(STL)에 연결된다. 상기 스토리지 라인(STL)과 상기 공통 전극(CE)에는 동일한 레벨의 공통 전압이 인가된다.
- [0065] 상기 제2 기판(SUB2)은 제2 절연 기판(INS2)과 컬러 필터들(CF)을 포함한다.
- [0066] 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에는 액정 분자들을 포함하는 상기 액정층(LC)이 제공된다.
- [0067] 본 발명의 제2 실시예에 따른 표시 장치에 있어서, 상기 스토리지 라인(STL)은 상기 화소 전극(PE)과 상기 게

트 절연막(GI) 및 유기 절연막(OINS)을 사이에 두고 스토리지 커패시터를 형성한다. 여기서, 상기 유기 절연막(OINS)은 무기 절연막보다 두꺼운 막으로 형성될 수 있다.

- [0068] 도 5은 본 발명의 제3 실시예에 따른 표시 장치의 일부를 나타낸 평면도이다. 도 6는 도 3에 표시된 II-II'선에 따라 자른 표시 장치의 단면도이다. 본 발명의 제3 실시예에서는 중복된 설명을 피하기 위하여 상술한 제1 실시예 및 제2 실시예와 다른 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 제1 실시예에 따른다. 동일한 번호는 동일한 구성요소를, 유사한 번호는 유사한 구성요소를 나타낸다.
- [0069] 도 5 및 도 6를 참조하면, 상기 표시 장치는 제1 기판(SUB1)과 상기 제1 기판(SUB1)에 대향하는 제2 기판(SUB2) 및 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에 형성된 액정층(LC)을 포함한다.
- [0070] 상기 제1 기판(SUB1)은 제1 절연 기판(INS1), 복수의 게이트 라인들(GL)과, 복수의 데이터 라인들(DL), 및 복수의 화소들(PXL)를 포함한다.
- [0071] 상기 게이트 라인들(GL)은 상기 제1 절연 기판(INS1) 상에 제1 방향(D1)으로 연장되어 형성된다.
- [0072] 상기 게이트 라인들(GL)이 형성된 상기 제1 절연 기판(INS1) 상에는 게이트 절연막(GI)이 제공된다.
- [0073] 상기 데이터 라인들(DL)은 상기 게이트 라인들(GL)과 상기 게이트 절연막(GI)을 사이에 두고 상기 제1 방향(D1)에 교차하는 제2 방향(D2)으로 연장되어 제공된다.
- [0074] 상기 각 화소는 상기 게이트 라인들(GL) 중 하나와 상기 데이터 라인들(DL) 중 하나에 연결된다. 상기 각 화소(PXL)는 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 화소 전극(PE), 상기 화소 전극(PE)을 커버하는 보호막(PSV), 및 상기 화소 전극(PE)과 이격되어 제공되며 상기 화소 전극(PE)과 중첩하는 공통 전극(CE)을 포함한다.
- [0075] 상기 공통 전극(CE)은 상기 제1 절연 기판(INS1) 상에 제공된다. 상기 공통 전극(CE)은 평면 상에서 볼 때 상기 서로 인접한 게이트 라인들(GL) 사이에 제공된다. 상기 공통 전극(CE)은 상기 제1 방향(D1)을 따라 일 영역이 연장되어 일 방향으로 서로 인접한 다른 화소 사이에서 서로 연결되어 있다. 상기 각 화소의 공통 전극(CE)에는 모두 동일한 레벨의 전압이 인가된다.
- [0076] 상기 공통 전극(CE)은 각 화소 내에서 대략 직사각 형상을 가지나 이에 한정되는 것은 아니다. 상기 공통 전극(CE)은 상기 화소의 형상에 따라 다양한 형상으로 구비될 수 있다. 상기 공통 전극(CE)은 내부와 슬릿(SLT)과 같은 패턴이 없이 통판으로 형성된다.
- [0077] 상기 박막 트랜지스터는 게이트 전극(GE), 게이트 절연막(GI), 반도체 패턴(SM), 소스 전극(SE), 드레인 전극(DE)을 포함한다.
- [0078] 상기 게이트 전극(GE)은 상기 게이트 라인(GL)으로부터 돌출되거나 상기 게이트 라인(GL)의 일부 영역 상에 제공된다.
- [0079] 상기 게이트 절연막(GI)은 상기 게이트 라인(GL), 상기 게이트 전극 및 상기 공통 전극(CE)을 커버하면서 상기 제1 절연 기판(INS1)의 전면에 제공된다.
- [0080] 상기 반도체 패턴(SM)은 상기 게이트 절연막(GI) 상에 제공된다. 상기 반도체층(SM)은 게이트 절연막(GI)을 사이에 두고 상기 게이트 전극(GE) 상에 제공된다. 상기 반도체 패턴(SM)은 일부 영역이 상기 게이트 전극(GE)과 중첩된다. 상기 반도체 패턴(SM)은 상기 게이트 절연막(GI) 상에 제공된다. 상기 반도체층(SM)은 게이트 절연막(GI)을 사이에 두고 상기 게이트 전극(GE) 상에 제공된다. 상기 반도체 패턴(SM)은 일부 영역이 상기 게이트 전극(GE)과 중첩된다. 상기 반도체패턴(SM)은 상기 게이트 절연막(GI) 상에 제공된 액티브 패턴(ACT)과 상기 액티브 패턴(ACT) 상에 형성된 오믹 콘택층(OHM)을 포함한다.
- [0081] 상기 소스 전극(SE)은 상기 데이터 라인(DL)에서 분지되어 제공된다. 상기 드레인 전극(DE)은 상기 반도체 패턴(SM)을 사이에 두고 상기 소스 전극(SE)으로부터 이격되어 제공된다. 이에 따라 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이의 상기 액티브 패턴(ACT)의 상면이 노출되며, 상기 게이트 전극(GE)의 전압 인가 여부에 따라 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이에서 전도 채널(conductive channel)을 이루는 채널부(CHN)가 된다. 상기 소스 전극(SE)과 상기 드레인 전극(DE)은 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이의 이격되어 형성된 채널부(CHN)를 제외한 영역에서 상기 반도체층(SM)의 일부와 중첩한다.
- [0082] 상기 데이터 라인(DL), 상기 소스 전극(SE)과 상기 드레인 전극(DE) 등이 형성된 상기 제1 절연 기판(INS1) 상

에는 상기 데이터 라인(DL), 상기 소스 전극(SE), 상기 드레인 전극(DE) 및 상기 채널부(CHN)를 커버하는 보호막(PSV)이 제공된다. 상기 보호막(PSV)에는 상기 드레인 전극(DE)의 일부를 노출하는 제3 콘택홀(CH3)이 형성되어 있다.

[0083] 상기 화소 전극(PE)은 상기 보호막(PSV) 상에 상기 공통 전극(CE)과 중첩하여 형성되며, 상기 제3 콘택홀을 통해 상기 드레인 전극(DE)에 연결된다. 이에 따라, 평면상에서 볼 때 상기 화소 전극(PE)의 일부는 상기 드레인 전극(DE)과 중첩한다.

[0084] 상기 화소 전극(PE)은 평면상에서 볼 때 대략 직사각 형상을 가지나, 이에 한정되는 것은 아니며 화소의 형상에 따라 다양한 형상으로 구비될 수 있다. 상기 화소 전극(PE)은 그 일부가 제거되어 형성된 복수의 슬릿들(SLT)을 가진다. 즉, 상기 화소 전극(PE)은 각 화소 마다 형성된 줄기부와, 상기 줄기부로부터 돌출되어 연장된 복수의 가지부들을 가진다. 상기 가지부들은 서로 일정 간격 이격된다. 상기 화소 전극(PE)의 상기 가지부들은 상기 공통 전극(CE)과 함께 전계를 형성한다.

[0085] 여기서, 상기 공통 전극(CE)은 상기 화소 전극(PE)과 중첩되나, 평면 상에서 볼 때 상기 화소 전극(PE)이 상기 드레인 전극(DE)과 중첩하는 부분에는 형성되지 않는다. 즉, 상기 화소 전극(PE)에 있어서 상기 드레인 전극(DE)과 중첩되는 영역을 제1 영역(PE1), 상기 드레인 전극(DE)과 중첩하지 않은 영역을 제2 영역(PE2)이라고 할 때, 상기 공통 전극(CE)은 상기 제1 영역(PE1)과 중첩하지 않으며 상기 제1 영역(PE2)으로부터 이격되어 제공된다.

[0086] 상기 제2 기관(SUB2)은 제2 절연 기관(INS2)과 컬러 필터들(CF)을 포함한다. 상기 컬러 필터들(CF)은 상기 액정층(LC)을 통과하는 광에 색을 제공하기 위한 것이다.

[0087] 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2) 사이에는 액정 분자들을 포함하는 상기 액정층(LC)이 제공된다.

[0088] 상술한 바와 같이, 본 발명의 제3 실시예에 따른 표시 장치는 제1 및 제2 실시예들과 달리 공통 전극(CE)이 화소 전극(PE)의 하부에 위치하나, 제1 실시예에 따른 표시 장치와 동일하게 정전기로 인한 화소 불량이 감소되거나 방지된다.

[0089] 이상 예시적인 관점에서 몇 가지 실시예를 살펴보았지만, 해당 기술 분야의 통상의 지식을 갖는 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

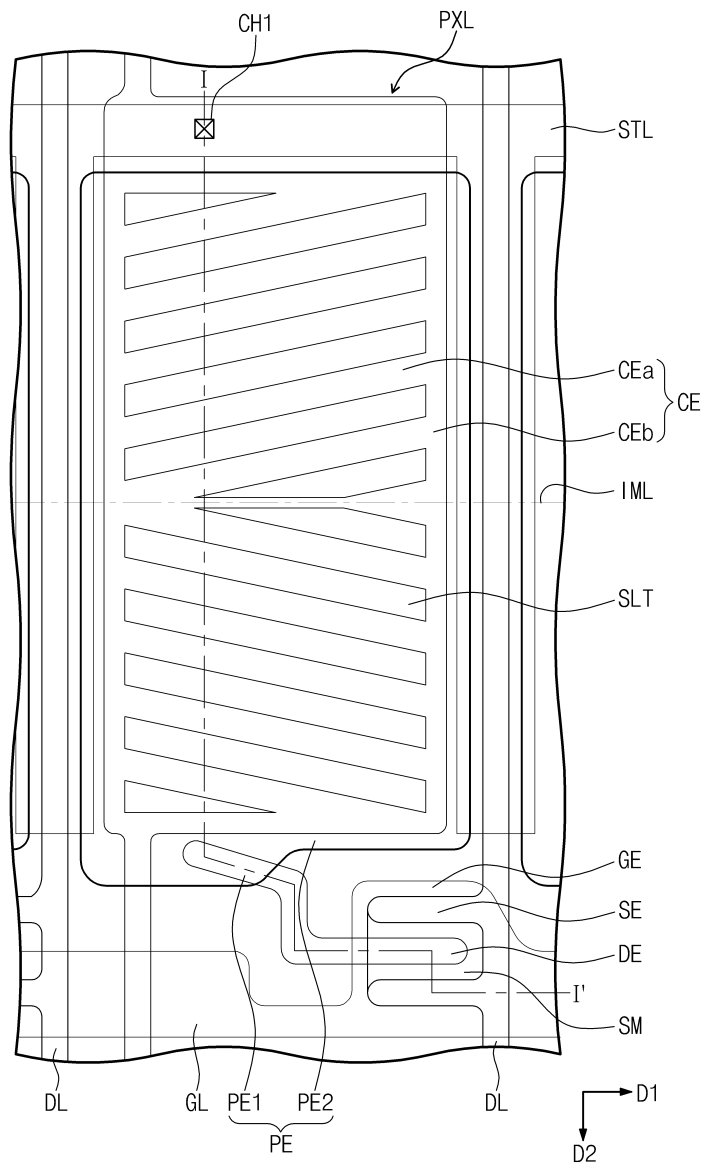
[0090] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

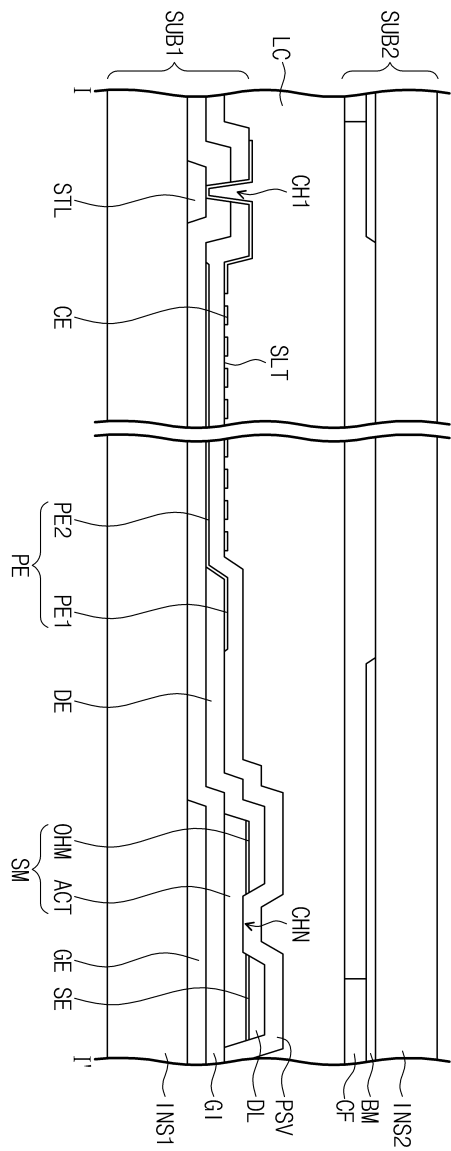
[0091] ACT : 액티브층
CHN : 채널부
DL : 데이터 라인
GI : 게이트 절연막
INS1 : 제1 절연 기관
LC : 액정층
OINS : 유기 절연막
PSV : 보호막
SM : 반도체층
CE : 공통 전극
DE : 드레인 전극
GE : 게이트 전극
GL : 게이트 라인
INS2 : 제2 절연 기관
OHM : 오믹 콘택층
PE : 화소 전극
SE : 소스 전극

도면

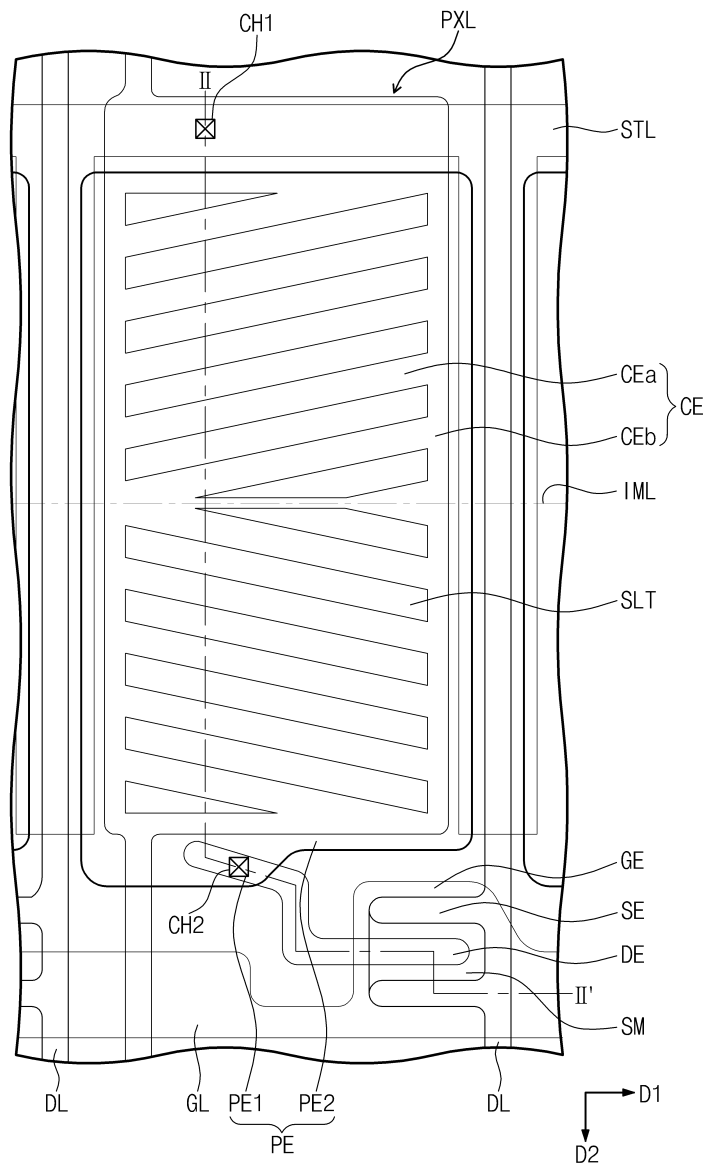
도면1



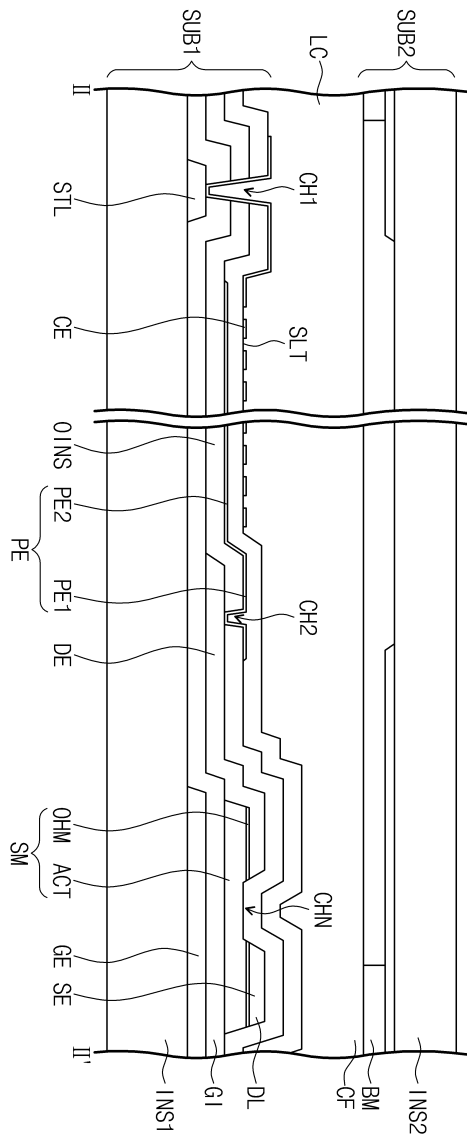
도면2



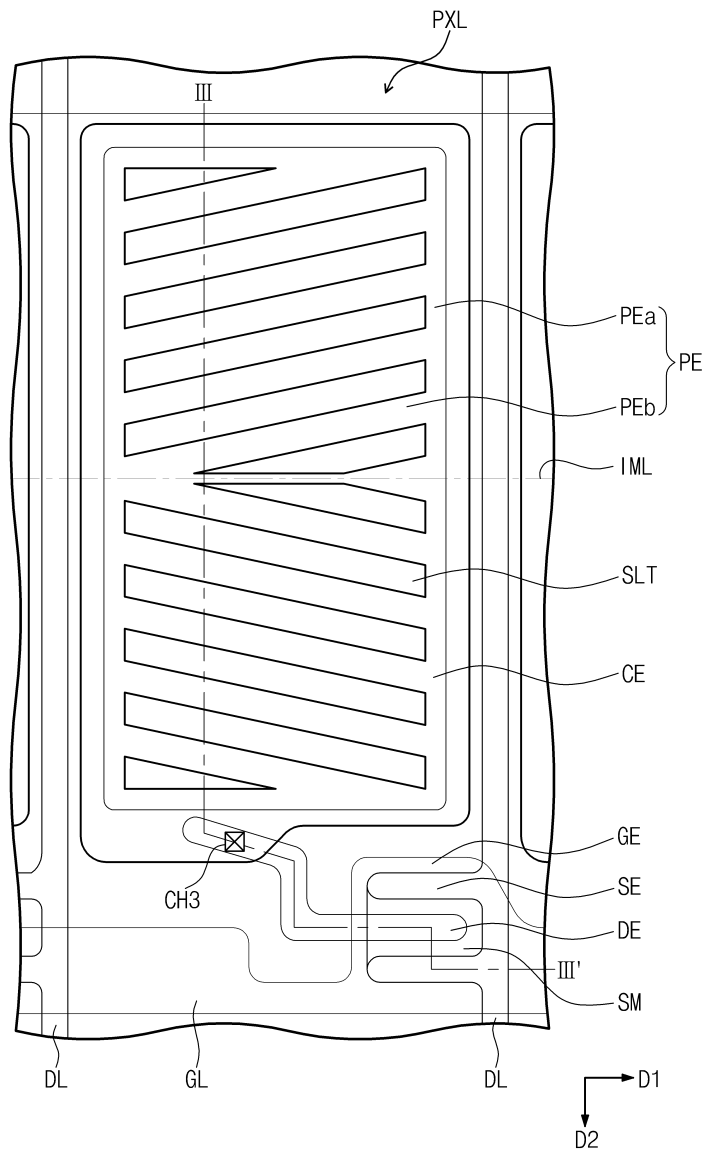
도면3



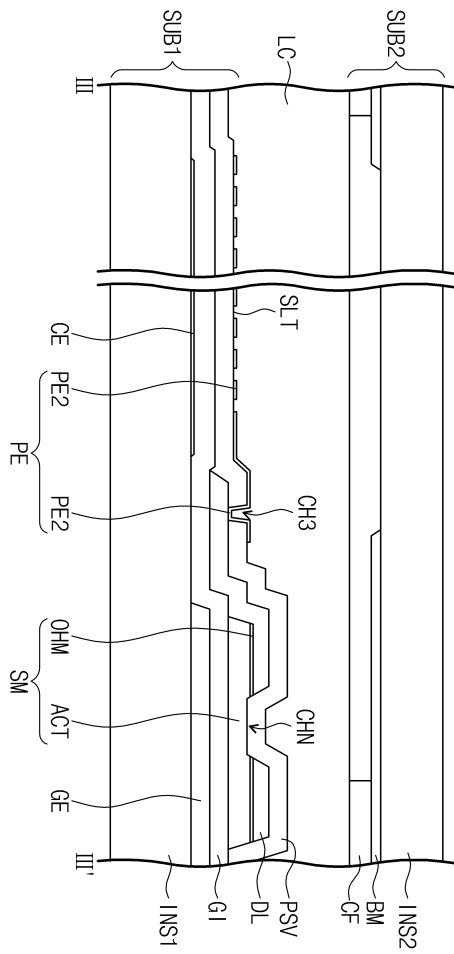
도면4



도면5



도면6



专利名称(译)	显示装置的标题		
公开(公告)号	KR1020120110447A	公开(公告)日	2012-10-10
申请号	KR1020110028313	申请日	2011-03-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG SANG HUN 정상헌 SEO DONGWUUK 서동욱 LEE SUN JUNG 이선정		
发明人	정상헌 서동욱 이선정		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136204 G02F2001/134372 H01L29/41733 H01L27/124 G02F1/133345 G02F1/134363 G02F1/136		
代理人(译)	KWON, HYUK SOO OH, SE 六月 宋, 云何 SE JUN OH		
外部链接	Espacenet		

摘要(译)

显示装置包括第一基板，第一基板具有多个像素，第二基板，第一基板和允许在第二基板之间的液晶层。每个像素包括栅电极，栅极绝缘层，半导体图案，源电极，漏电极，第一电极和第二电极。除了与平面上的漏电极和第一区域重叠的第一区域之外，第一电极具有第二部分。并且第二电极与第一区域分离。在第一电极和第二电极之间提供一个到螺线。

