



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0083144
(43) 공개일자 2012년07월25일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2011-0004630
(22) 출원일자 2011년01월17일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김지선
서울특별시 강서구 공항대로36길 97, 27동 해빌
라 가 B01호 (내발산동)
이성영
경기도 안양시 만안구 안양로468번길 25-19, 2층
(석수동)
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호, 오세준

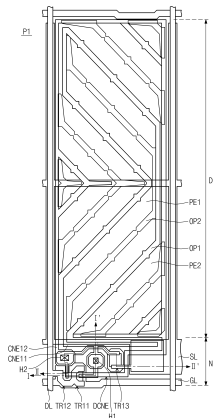
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정표시장치는 각각 표시 영역과 비표시 영역을 포함하는 다수의 화소를 포함하는 제1 기판과, 상기 제1 기판과 대향하고 공통전극을 포함하는 제2 기판, 및 상기 제1 및 제2 기판 사이에 개재되는 액정층을 포함한다. 화소들 각각은 제1 트랜지스터, 제2 트랜지스터, 상기 제1 트랜지스터와 보호막을 사이에 두고 전기적으로 연결된 제1 연결부를 갖는 주화소전극, 및 상기 제2 트랜지스터와 상기 보호막을 사이에 두고 전기적으로 연결된 제2 연결부를 갖는 부화소 전극을 포함한다. 상기 제1 연결부와 상기 제2 연결부는 상기 비표시 영역에 형성된다.

대표도 - 도3



(72) 발명자

채중철

서울특별시 서초구 반포대로 275, 삼성 116-2701
(반포동, 래미안 퍼스티지)

고준철

경기도 화성시 반송동 나루마을우림루미아트아파
트 603동 1804호

윤영수

경기도 안양시 동안구 관평로319번길 38, 삼성인
덕원 아파트 112동 1602호 (관양동, 덕원아파트)

특허청구의 범위

청구항 1

각각 표시 영역과 비표시 영역을 포함하는 다수의 화소를 포함하는 제1 기관;

상기 제1 기관과 대향하고 공통전극을 포함하는 제2 기관; 및

상기 제1 및 제2 기관 사이에 개재되는 액정층을 포함하고,

상기 화소들 각각은 제1 트랜지스터, 제2 트랜지스터, 상기 제1 트랜지스터와 보호막을 사이에 두고 전기적으로 연결된 제1 연결부를 갖는 주화소전극, 및 상기 제2 트랜지스터와 상기 보호막을 사이에 두고 전기적으로 연결된 제2 연결부를 갖는 부화소 전극을 포함하며,

상기 제1 연결부와 상기 제2 연결부는 상기 비표시 영역에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 보호막은 상기 제1 및 제2 트랜지스터를 커버하고, 상기 비표시 영역에 형성되어 상기 제1 트랜지스터의 드레인 전극의 일부를 노출시키는 제1 콘택홀 및 상기 제2 트랜지스터의 드레인 전극의 일부를 노출시키는 제2 콘택홀을 가지며,

상기 제1 연결부는 상기 주화소 전극으로부터 연장되어 상기 제1 콘택홀을 통해 상기 제1 트랜지스터와 연결되며, 상기 제2 연결부는 상기 부화소 전극으로부터 연장되며 상기 제2 콘택홀을 통해 상기 제2 트랜지스터와 연결되는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 제1 기관 상에 구비되고 일 방향으로 연장된 게이트 라인; 및

상기 제1 기관 상에 구비되고 상기 일 방향과 교차하는 다른 방향으로 연장된 데이터 라인을 더 포함하고,

상기 제1 및 제2 트랜지스터들은 각각 상기 게이트 라인과 상기 데이터 라인에 연결된 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 제2 기관과 상기 공통전극 사이에 구비되고, 상기 비표시 영역에 대응하는 영역에 형성된 블랙 매트릭스를 더 포함하는 액정표시장치.

청구항 5

제2항에 있어서, 상기 제2 연결부와 별도로 비표시 영역에 형성되고, 상기 부화소 전극으로부터 연장되어 상기 제2 콘택홀을 통해 상기 제2 트랜지스터와 연결된 더미 연결부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제2항에 있어서, 상기 제1 및 제2 트랜지스터는 상기 비표시 영역에 형성된 것을 특징으로 하는 액정표시장치.

청구항 7

제2항에 있어서, 상기 화소들은 각각 상기 제1 및 제2 트랜지스터가 일측에 구비된 제1 화소들 및 각각 상기 제1 및 제2 트랜지스터가 상기 일측의 반대측에 구비된 제2 화소들을 포함하는 것을 특징으로 하는 표시장치.

청구항 8

제7항에 있어서, 상기 제1 화소들 각각과 수평 방향 및 상기 수평 방향과 직교하는 수직 방향 중 적어도 한 방향으로 인접한 화소들은 상기 제2 화소들인 것을 특징으로 하는 표시장치.

청구항 9

제7항에 있어서, 상기 제1 화소의 제1 연결부의 길이는 상기 제2 화소의 제1 연결부의 길이와 다르고, 상기 제1 화소의 제1 연결부 및 상기 제2 화소의 제1 연결부 각각에 연결되어 상기 제1 화소의 제1 연결부와 상기 제2 화소의 제1 연결부 간의 길이의 차이를 보상하는 보상전극들을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서, 상기 보상 전극들은 상기 제1 및 제2 화소의 제1 연결부들과 일체로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11

제3항에 있어서,
상기 제2 트랜지스터에 연결된 제3 트랜지스터; 및
상기 제3 트랜지스터에 연결된 커플링 전극 및 상기 커플링 전극과 대향하는 스토리지 전극에 의해 정의되는 분배 커패시터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서, 상기 제1 기판은 스토리지 전압이 인가되는 스토리지 라인을 더 포함하고,
상기 스토리지 전극은 상기 스토리지 라인으로부터 연장된 것을 특징으로 하는 액정표시장치.

청구항 13

제11항에 있어서, 상기 제3 트랜지스터는
플로팅된 게이트 전극;
상기 게이트 전극 상에 형성되고 상기 제2 트랜지스터에 연결된 소스 전극; 및
상기 게이트 전극 상에서 상기 소스 전극과 이격되어 형성되고, 상기 커플링 전극에 연결된 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

제11항에 있어서, 상기 제3 트랜지스터는
상기 게이트 라인과 수직방향으로 인접한 화소의 게이트 라인에 연결된 게이트 전극;
상기 게이트 전극 상에 형성되고 상기 제2 트랜지스터에 연결된 소스 전극; 및
상기 게이트 전극 상에서 상기 소스 전극과 이격되어 형성되고, 상기 커플링 전극에 연결된 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 15

제3항에 있어서, 상기 제1 및 제2 트랜지스터는 각각
상기 게이트 라인에 연결된 게이트 전극;
상기 게이트 전극을 커버하는 절연막;
상기 데이터라인에 연결되고 상기 절연막 상에 형성된 소스 전극 및 상기 소스 전극과 이격된 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제15항에 있어서,

상기 제1 트랜지스터의 게이트 전극은 상기 제2 트랜지스터의 게이트 전극과 일체로 형성된 것을 특징으로 하는 것을 특징으로 하는 액정표시장치.

청구항 17

제15항에 있어서, 상기 데이터 라인, 상기 제1 트랜지스터의 소스 및 드레인 전극, 상기 제2 트랜지스터의 소스 및 드레인 전극의 하부에 형성된 반도체층을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

제15항에 있어서, 상기 반도체층의 하부로 입사하는 광을 차단하기 위해 상기 제1 및 제2 트랜지스터의 게이트 전극들과 동일한 층에 형성된 광 차단막을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 19

제1항에 있어서, 상기 공통전극은 다수의 개구부들과 함께 제공되고, 상기 개구부 각각은 상기 주화소 전극 또는 상기 부화소 전극과 대응하는 영역에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 20

제1항에 있어서, 상기 액정층은 수직배향 액정을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 21

다수의 화소를 포함하는 제1 기판;

상기 제1 기판과 대향하고 공통전극을 포함하는 제2 기판; 및

상기 제1 및 제2 기판 사이에 개재되는 액정층을 포함하고,

상기 화소들 각각은 트랜지스터, 및 상기 트랜지스터와 보호막을 사이에 두고 전기적으로 연결된 둘 이상의 연결부를 갖는 화소 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

제21항에 있어서,

상기 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함하고, 상기 화소 전극은 상기 제1 트랜지스터에 연결되는 주화소전극 및 상기 제2 트랜지스터와 연결되는 부화소 전극을 포함하며, 상기 제1 트랜지스터 또는 제2 트랜지스터는 상기 주화소 전극 또는 상기 부화소 전극에 연결되는 둘 이상의 연결부를 갖는 것을 특징으로 하는 액정표시장치.

청구항 23

다수의 화소를 포함하는 제1 기판;

상기 제1 기판과 대향하고 공통전극을 포함하는 제2 기판; 및

상기 제1 및 제2 기판 사이에 개재되는 액정층을 포함하고,

상기 화소들 각각은 제1 트랜지스터, 제2 트랜지스터, 상기 제1 트랜지스터와 전기적으로 연결된 주화소전극, 상기 제2 트랜지스터와 전기적으로 연결된 부화소 전극, 및 상기 제1 트랜지스터와 상기 주화소 전극 사이 또는 상기 제2 트랜지스터와 상기 부화소 전극 사이에 제공된 더미 연결부를 포함하며,

서로 인접한 두 화소에 있어서, 하나의 화소의 상기 주화소 전극과 상기 부화소 전극 중 적어도 하나는, 상기 남은 화소의 상기 주화소 전극과 상기 부화소 전극 중 적어도 하나의 형상과 다른 형상을 갖는 것을 특징으로 하는 액정표시장치.

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 구체적으로는 표시품질을 향상시킨 액정표시장치에 관한 것이다.

배경 기술

[0002] 근래, 액정표시장치의 광시야각을 구현하기 위하여 피브이에이(Patterned Vertical Alignment: PVA) 모드 및 엠브이에이(Multi-domain Vertical Alignment: MVA) 모드가 개발되고 있다.

[0003] 상기 피브이에이 모드는 일반적으로 전기장 생성 전극에 절개부를 형성하여 하나의 화소에 복수의 도메인을 형성하고, 엠브이에이 모드는 돌기를 형성하여 하나의 화소에 복수의 도메인을 형성한다. 그러나 이러한 구조는 개구율이 떨어질 뿐만 아니라, 절개부 또는 돌기에서 멀리 떨어진 중앙부에 위치하는 액정은 랜덤 모션이 발생하여 응답 속도가 느려지고 역방향 도메인이 형성되어 순간 잔상이 나타날 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 개구율을 증가시켜 표시품질이 개선된 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 양상에 따른 액정표시장치는 제1 기판, 제2 기판 및 상기 제1 및 제2 기판 사이에 개재되는 액정층을 포함한다. 상기 제1 기판은 각각 표시영역 및 비표시 영역을 포함하는 다수의 화소를 포함한다. 상기 화소들 각각은 제1 기판 및 상기 제1 기판과 대향하고 공통전극을 포함하는 제2 기판을 포함한다.

[0006] 상기 화소들 각각은 제1 트랜지스터, 제2 트랜지스터, 상기 제1 트랜지스터와 보호막을 사이에 두고 전기적으로 연결된 제1 연결부를 갖는 주화소전극, 및 상기 제2 트랜지스터와 상기 보호막을 사이에 두고 전기적으로 연결된 제2 연결부를 갖는 부화소 전극을 포함한다. 상기 제1 연결부와 상기 제2 연결부는 상기 비표시 영역에 형성된다.

[0007] 상기 보호막은 상기 제1 및 제2 트랜지스터를 커버하고, 상기 비표시 영역에 형성되어 상기 제1 트랜지스터의 드레인 전극의 일부를 노출시키는 제1 콘택홀 및 상기 제2 트랜지스터의 드레인 전극의 일부를 노출시키는 제2 콘택홀을 가진다. 상기 제1 연결부는 상기 주화소 전극으로부터 연장되어 상기 제1 콘택홀을 통해 상기 제1 트랜지스터와 연결된다. 상기 제2 연결부는 상기 부화소 전극으로부터 연장되며 상기 제2 콘택홀을 통해 상기 제2 트랜지스터와 연결된다.

[0008] 상기 게이트 라인은 상기 제1 기판상에 구비되고 일방향으로 연장되며 게이트 신호를 수신한다. 상기 데이터 라인은 제1 기판상에 상기 게이트 라인과 절연되게 상기 일방향과 교차하여 구비되고, 데이터 전압을 수신한다.

[0009] 상기 제1 및 제2 트랜지스터는 상기 비표시 영역에 구비되고, 상기 게이트 라인 및 상기 데이터라인에 연결되며, 상기 게이트 신호에 응답하여 상기 데이터 전압을 출력한다. 상기 보호막은 상기 제1 및 제2 트랜지스터를 커버하고, 비표시 영역 상에서 상기 제1 및 제2 트랜지스터 각각의 일부를 노출시키는 제1 및 제2 콘택홀을 포함한다.

[0010] 상기 주화소 전극 및 상기 부화소 전극은 표시 영역에 구비되고, 상기 절연막 상에 형성된다. 상기 부화소 전극은 상기 주화소 전극을 둘러싼다.

[0011] 상기 제1 연결부는 상기 비표시 영역에 형성되고, 상기 주화소 전극으로부터 연장되어 상기 제1 콘택홀을 통해 상기 제1 트랜지스터와 연결되어 상기 데이터 전압을 상기 주화소 전극으로 전달한다. 상기 제2 연결부는 상기 비표시 영역에 형성되고, 상기 부화소 전극으로부터 연장되어 상기 제2 콘택홀을 통해 상기 제2 트랜지스터와 연결된다.

[0012] 본 발명의 다른 양상에 따른 액정표시장치는 다수의 화소를 포함하는 제1 기판과, 상기 제1 기판과 대향하고 공통전극을 포함하는 제2 기판, 및 상기 제1 및 제2 기판 사이에 개재되는 액정층을 포함한다. 상기 화소들 각각은 트랜지스터, 및 상기 트랜지스터와 보호막을 사이에 두고 전기적으로 연결된 둘 이상의 연결부를 갖는 화소 전극을 포함한다.

[0013] 본 발명의 또 다른 양상에 따른 액정표시장치는 다수의 화소를 포함하는 제1 기관, 상기 제1 기관과 대향하고 공통전극을 포함하는 제2 기관, 및 상기 제1 및 제2 기관 사이에 개재되는 액정층을 포함한다. 상기 화소들 각각은 제1 트랜지스터, 제2 트랜지스터, 상기 제1 트랜지스터와 전기적으로 연결된 주화소전극, 상기 제2 트랜지스터와 전기적으로 연결된 부화소 전극, 및 상기 제1 트랜지스터와 상기 주화소 전극 사이 또는 상기 제2 트랜지스터와 상기 부화소 전극 사이에 제공된 더미 연결부를 포함한다. 여기서, 서로 인접한 두 화소에 있어서, 하나의 화소의 상기 주화소 전극과 상기 부화소 전극 중 적어도 하나는, 상기 남은 화소의 상기 주화소 전극과 상기 부화소 전극 중 적어도 하나의 형상과 다른 형상을 갖는다.

발명의 효과

[0014] 이와 같은 액정표시장치에 따르면, 상기 주화소 전극의 콘택홀은 비표시 영역에 형성되고, 상기 주화소 전극은 상기 제1 연결부를 통해 상기 제1 트랜지스터에 연결된다. 이로 인해, 상기 액정표시장치의 개구율이 향상되어 표시품질을 향상시킬 수 있다.

[0015] 또한, 반도체층이 소스 전극 및 드레인 전극과 함께 형성되는 구조에 있어서, 주화소 전극의 콘택홀을 비표시 영역에 형성함에 따라 제1 기관의 후면으로부터 입사되는 빛에 반도체층이 반응하여 발생하는 액정표시장치의 전파불량을 감소시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치의 분해 사시도이다.

도 2는 도 1에 도시된 액정표시장치의 일부를 나타낸 평면도이다.

도 3은 본 발명의 제1 실시예에 따른 제1 화소의 구조를 나타낸 평면도이다.

도 4는 도 3의 일부를 확대한 평면도이다.

도 5a는 도 4의 I-I'선에 따른 단면도이다.

도 5b는 도 4의 II-II'선에 따른 단면도이다.

도 6은 제1 화소의 등가회로도이다.

도 7은 본 발명의 제1 실시예에 따른 제2 화소의 구조를 나타낸 평면도이다.

도 8은 도 7의 일부를 확대한 평면도이다.

도 9는 본 발명의 제2 실시예에 따른 액정표시장치의 화소 구조를 나타낸 평면도이다.

도 10은 도 9의 일부를 확대한 평면도이다.

도 11는 도 9의 III-III'선에 따른 단면도이다.

도 12는 도 9의 화소의 등가회로도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0018] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0019] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소,

부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0020] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치의 분해 사시도이고, 도 2는 도 1에 도시된 액정표시장치의 일부를 나타낸 평면도이다.
- [0021] 도 1 내지 도 2를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치(10)는 제1 기관(100), 제2 기관(300), 및 상기 제1 기관(100)과 상기 제2 기관(300) 사이에 개재된 액정층(200)을 포함한다.
- [0022] 상기 제1 기관(100)은 제1 베이스 기관 상에 구비된 다수의 화소들(PA), 다수의 게이트 라인들 및 다수의 데이터 라인들을 포함한다. 상기 게이트 라인들은 수평방향으로 연장되어 게이트 신호를 순차적으로 수신한다. 상기 데이터 라인들은 상기 게이트 라인들과 교차되어 구비되고, 데이터 전압을 수신한다. 도 2에서는 설명의 편의상 두 개의 게이트 라인, 예컨대 제1 및 제2 게이트 라인(GL1, GL2) 및 세 개의 데이터 라인, 즉, 제1 내지 제3 데이터라인(DL1, DL2, DL3)만을 도시하였다.
- [0023] 상기 화소들(PA)은 복수의 열과 복수의 행을 가진 매트릭스 형태로 배열될 수 있다. 상기 화소들(PA)은 제1 화소들(P1) 및 제2 화소들(P2)을 포함할 수 있다. 상기 제1 화소들(P1) 및 상기 제2 화소들(P2)의 구조에 대해서는 도 3 내지 도 6에서 구체적으로 설명하도록 한다.
- [0024] 도 2를 참조하면, 상기 제1 화소들(P1)은 각각 좌측에 있는 데이터 라인에 연결되고, 상기 제2 화소들(P2)은 각각 우측에 있는 데이터 라인에 연결된다. 또한, 상기 제1 게이트 라인(GL1)에 연결된 상기 제1 화소들(P1)은 상기 제2 게이트 라인(GL2)에 연결된 상기 제1 화소들(P1)과 서로 교차되게 배열된다. 상기 제1 및 제3 데이터 라인들(DL1, DL3)과 상기 제2 데이터 라인(DL2)이 수신하는 데이터 전압의 극성이 다를 수 있다. 일 예로, 제1 및 제3 데이터 라인들(DL1, DL3)은 공통 전압보다 높은 전압을 수신하고, 제2 데이터라인(DL2)은 공통 전압보다 낮은 전압을 수신할 수 있다. 이로 인해, 상기 제1 게이트 라인(GL1)에 연결된 화소들(PA)과 상기 제2 게이트 라인(GL2)에 연결된 화소들(PA)은 다른 극성을 갖는 전압을 수신하게 되므로, 상기 공통 전압의 안정성을 높힐 수 있다.
- [0025] 상기 제2 기관(300)은 상기 제1 기관(100)에 대향하여 구비된다. 상기 제2 기관(300)은 제2 베이스 기관상에 구비된 블랙 매트릭스 및 공통 전극을 포함한다. 상기 제2 기관(300)의 구조에 대해서는 도 3에서 구체적으로 설명한다.
- [0026] 상기 액정층(200)은 상기 제1 및 제2 기관(100, 300) 사이에 개재되며, 음의 유전율 이방성을 갖는 수직배향 액정일 수 있다.
- [0027] 이하, 도 3 내지 도 6을 참조하여, 상기 제1 및 제2 화소들(P1, P2)의 구조에 대해 설명한다. 여기서, 상기 제1 및 제2 화소들(P1, P2)은 일 방향으로 길게 연장된 직사각형 모양으로 도시하였으나, 이에 한정되는 것은 아니다. 상기 각 화소영역(PA)의 형상은 V 자 형상, Z 자 형상 등 다양하게 변형될 수 있다.
- [0028] 도 3은 본 발명의 제1 실시예에 따른 제1 화소의 구조를 나타낸 평면도이고, 도 4는 도 3의 비표시 영역을 확대한 평면도이다. 또한, 도 5a는 도 4의 I-I'선에 따른 단면도이고, 도 5b는 도 4의 II-II'선에 따른 단면도이다. 상기 제1 화소들(P1) 각각은 서로 동일한 구조를 가지므로 이 실시예에서는 하나의 화소(P1)를 예로써 설명하고, 나머지 화소들의 구조에 대한 도시 및 구체적인 설명은 생략하기로 한다.
- [0029] 도 3 내지 도 5b를 참조하면, 상기 제1 화소(P1)는 표시영역(DA) 및 비표시 영역(NA)을 포함한다. 상기 비표시 영역(NA)에는 제1 내지 제3 트랜지스터(TR11, TR12, TR13) 및 커플링 전극(CUE1), 스토리지 전극(SFE1), 제1 및 제2 연결부(CNE11, CNE 12), 더미 연결부(DCNE), 및 보상전극(CME1)을 포함한다. 부가적으로, 상기 비표시 영역(NA)에는 상기 게이트 라인(GL)과 평행하고 스토리지 전압이 인가되는 스토리지 라인(SL)이 구비될 수 있다. 또한, 상기 게이트 라인(GL) 및 상기 데이터라인(DL)을 더 포함할 수 있다.
- [0030] 상기 제1 및 제2 트랜지스터들(TR11, TR12)은 게이트 신호에 응답하여 데이터 신호를 출력한다. 상기 제1 실시예에서, 상기 제1 및 제2 트랜지스터(TR11, TR12)는 인접한 위치에 함께 구비된다.
- [0031] 상기 제1 트랜지스터(TR11)는 상기 게이트 라인(GL)으로부터 분기된 제1 게이트 전극(GE11), 상기 데이터 라

인(DL)으로부터 분기된 제1 소스 전극(SE11) 및 상기 제1 게이트 전극(GE11) 상부에서 상기 제1 소스 전극(SE11)과 소정의 간격으로 이격된 제1 드레인 전극(DE11)으로 이루어진다. 상기 제1 게이트 전극(GE11)과 상기 제1 소스 전극(SE11) 및 상기 제1 드레인 전극(DE11) 사이에는 반도체층(140)이 형성된다.

[0032] 상기 반도체층(140)은 상기 제1 소스 전극(SE11) 및 상기 제1 드레인 전극(DE11)과 동일 패터닝 공정에 의해 형성될 수 있다. 이 경우, 상기 반도체층(140)은 상기 데이터라인(DL), 상기 제1 소스 전극(SE11) 및 상기 제1 드레인 전극(DE11) 하부에도 구비될 수 있다. 이 경우, 상기 반도체층(140)의 하부로 입사되는 광에 의해 전과 불량이 발생할 수 있으므로, 이를 차단하기 위해 상기 데이터 라인(DL)의 하부에는 광 차단막을 포함할 수 있다. 상기 광 차단막은 상기 스토리지 라인과 일체로 형성될 수 있고, 상기 제1 및 제2 게이트 전극들(GE11, GE12)과 동일층에 형성될 수 있다.

[0033] 상기 제2 트랜지스터(TR12)도 상기 제1 트랜지스터(TR11)와 마찬가지로, 상기 게이트 라인(GL)으로부터 분기된 제2 게이트 전극(GE12), 상기 데이터 라인(DL)으로부터 분기된 제2 소스 전극(SE12) 및 상기 제2 게이트 전극(GE12) 상부에서 상기 제2 소스 전극(SE12)과 소정의 간격으로 이격된 제2 드레인 전극(DE12)으로 이루어진다. 상기 제1 트랜지스터(TR11)와 마찬가지로 상기 제2 게이트 전극(GE12)과 상기 제2 소스 전극(SE12) 및 상기 제2 드레인 전극(DE12) 사이에는 상기 반도체층(140)이 형성된다.

[0034] 상기 제1 트랜지스터(TR11)와 마찬가지로, 상기 반도체층(140)은 상기 제2 소스 전극(SE12) 및 상기 제2 드레인 전극(DE12)과 동일 패터닝 공정에 의해 형성될 수 있다. 이 경우, 상기 반도체층(140)은 상기 제2 소스 전극(SE12) 및 상기 제2 드레인 전극(DE12) 하부에도 구비될 수 있다.

[0035] 상기 제3 트랜지스터(TR13)는 제3 게이트 전극(GE13), 상기 제2 드레인 전극(DE12)과 전기적으로 연결된 제3 소스 전극(SE13) 및 상기 제3 게이트 전극(GE13) 상부에서 상기 제3 소스 전극(SE13)과 소정의 간격으로 이격된 제3 드레인 전극(DE13)으로 이루어진다. 상기 제1 및 제2 트랜지스터(TR11, TR12)와 마찬가지로 상기 제3 게이트 전극(GE13)과 상기 제3 소스 전극(SE13) 및 상기 제3 드레인 전극(DE13) 사이에는 상기 반도체층(140)이 형성된다.

[0036] 상기 제1 트랜지스터(TR11)와 마찬가지로, 상기 반도체층(140)은 상기 제3 소스 전극(SE13) 및 상기 제3 드레인 전극(DE13)과 동일 패터닝 공정에 의해 형성될 수 있다. 이 경우, 상기 반도체층(140)은 상기 제3 소스 전극(SE13) 및 상기 제3 드레인 전극(DE13) 하부에 구비될 수 있다. 상기 제3 게이트 전극(GE13)은 섬형으로 형성되고 플로팅된다.

[0037] 상기 공통전극(330)에는 상기 제1 및 제2 화소전극들(PE1, PE2)이 형성된 영역을 다수의 도메인으로 분할하기 위한 다수의 제2 개구부들(OP2)이 제공된다. 따라서, 상기 각 도메인에서 상기 액정층(200)의 액정 분자들은 서로 다른 방향으로 배열된다. 상기 제2 개구부들(OP2)은 각각 상기 제1 및 제2 화소전극들(PE1, PE2)의 중심부에 위치할 수 있다.

[0038] 상기 제1 내지 제3 트랜지스터(TR11, TR12, TR13) 및 상기 커플링 전극(CUE1) 상에는 절연 물질로 이루어진 보호막(160)이 형성된다. 상기 보호막(160)은 상기 제1 드레인 전극(DE11) 및 상기 제2 드레인 전극(DE12)을 각각 노출시키는 제1 콘택홀(H1) 및 제2 콘택홀(H2)을 포함한다. 상기 제1 콘택홀(H1) 및 상기 제2 콘택홀(H2)은 상기 비표시 영역(NA)상에 형성된다.

[0039] 상기 주화소 전극(PE1)은 상기 보호막(160) 상에 형성되어, 상기 표시영역(DA)의 중심부에 구비되고, 상기 부화소 전극(PE2)은 상기 보호막(160) 상에 형성되어 상기 주화소 전극(PE2)의 주변을 둘러싼다. 상기 주화소 전극(PE1)과 상기 부화소 전극(PE2)은 제1 개구부(OP1)에 의해 소정간격으로 이격된다.

[0040] 상기 제1 연결부(CNE11)는 상기 주화소 전극(PE1)으로부터 연장되어 형성된다. 상기 제1 연결부(CNE11)는 상기 제1 콘택홀(H1)을 통해 상기 제1 트랜지스터(TR11)와 연결되고 상기 데이터 전압을 상기 주화소 전극(PE1)으로 전달한다.

[0041] 상기 제2 연결부(CNE12)는 상기 부화소 전극(PE2)으로부터 연장된다. 상기 제2 연결부(CNE12)는 상기 제2 콘택홀(H2)을 통해 상기 제1 트랜지스터(TR12)와 연결되고 상기 데이터 전압을 상기 부화소 전극(PE2)으로 전달한다.

[0042] 상술한 바에 따르면, 상기 제1 콘택홀(H1)은 상기 비표시 영역(NA)에 형성되고, 상기 주화소 전극(PE1)은 상기 제1 연결부(CNE11)를 통해 상기 제1 트랜지스터(TR11)에 연결된다. 이로 인해, 상기 액정표시장치의 개구율이 향상되어 표시품질을 향상시킬 수 있다.

- [0043] 상기 제2 연결부(CNE12)와 별개로, 상기 비표시 영역(NA)에 상기 부화소 전극(PE2)으로부터 연장되는 더미 연결부(DCNE)가 구비될 수 있다. 상기 더미 연결부(DCNE)는 상기 제2 연결부(CNE12)와 마찬가지로, 상기 부화소 전극(PE2)으로부터 연장되어 상기 제2 콘택홀(H2)을 통해 상기 제1 트랜지스터(TR12)와 연결되고 상기 데이터 전압을 상기 부화소 전극(PE12)으로 전달한다. 따라서, 상기 제2 연결부(CNE12)가 단선되는 경우에도 상기 부화소 전극(PE2)은 상기 더미 연결부(DCNE)를 통해 상기 제2 트랜지스터(TR12)에 의해 연결될 수 있다.
- [0044] 상기 보상전극(CME1)은 상기 제1 화소(P1)의 제1 연결부(CNE11)의 길이를 상기 제2 화소(P2)의 제1 연결부의 길이와 동일하게 하기 위해 구비된다. 구체적인 설명은 후술한다.
- [0045] 상술한 바와 같이, 상기 제2 기관(300)은 상기 제1 기관(100)에 대하여 구비된다. 상기 제2 기관(300)은 상기 제2 베이스 기관(310)상에 구비된 블랙 매트릭스(320) 및 공통 전극(330)을 포함한다.
- [0046] 상기 블랙 매트릭스(320)는 상기 제2 베이스 기관(210) 상에 구비된다. 상기 블랙 매트릭스(320)는 비표시 영역(NA)에 대응하는 영역에 구비되어, 상기 표시영역(DA) 만을 노출시킨다. 상기 공통전극(330)은 상기 블랙 매트릭스(320) 상에 구비된다.
- [0047] 상기 공통전극(330)은 액정층(200)을 사이에 두고 상기 주화소 전극(PE1) 및 상기 부화소 전극(PE2)과 마주한다. 따라서, 상기 공통전극(330) 및 상기 주화소 전극(PE1)에 의해서 제1 액정 커패시터가 정의되고, 상기 공통전극(330) 및 상기 부화소 전극(PE2)에 의해서 제2 액정 커패시터가 정의된다.
- [0048] 도 6은 상기 제1 화소의 등가 회로도이다. 상기 제1 화소(P1)는 게이트 라인(GL), 데이터라인(DL), 제1 서브화소(SP1), 제2 서브화소(SP2), 제3 트랜지스터(TR13) 및 분배 커패시터(Cs)를 포함한다. 상기 제1 서브화소(SP1)는 제1 트랜지스터(TR11) 및 제1 액정 커패시터(C1c1)를 포함하고, 제2 서브화소(SP2)는 상기 제2 트랜지스터(TR12) 및 제2 액정 커패시터(C1c2)를 포함한다.
- [0049] 도 7은 본 발명의 제1 실시예에 따른 제2 화소의 구조를 나타낸 평면도이고, 도 8은 도 7의 일부를 확대한 도면이다. 상기 제2 화소들(P2) 각각은 서로 동일한 구조를 가지므로 이 실시예에서는 하나의 화소(P2)를 예로써 설명하고, 나머지 화소들의 구조에 대한 도시 및 구체적인 설명은 생략하기로 한다.
- [0050] 도 3, 도 7 및 도 8을 참조하면, 상기 제2 화소(P2)의 제1 내지 제3 트랜지스터(TR11, TR12, TR13), 제2 연결부(CNE12), 더미 연결부(DCNE), 커플링 전극(CUE1) 및 스토리지 전극(SFE1)은 상기 제1 화소(P1)와 상기 데이터 라인(DL)을 기준으로 동일한 구조를 갖고 대칭적으로 구비된다. 따라서, 이에 대한 구체적인 설명은 생략하기로 한다.
- [0051] 상기 제1 연결부(CNE13)는 상기 주화소 전극(PE1)으로부터 연장되어 형성된다. 상기 제1 연결부(CNE13)는 상기 제1 콘택홀(H1)을 통해 상기 제1 트랜지스터(TR11)와 연결되고 상기 데이터 전압을 상기 주화소 전극(PE1)으로 전달한다.
- [0052] 상기 제2 화소(P2)의 주화소 전극(PE2)의 위치는 상기 제1 화소(P1)의 주화소 전극(PE1)의 위치와 동일하지만, 상기 제2 화소(P2)의 제1 콘택홀(H1)의 위치가 상기 제2 화소(P2)의 제1 콘택홀(H1)의 위치가 상이하므로, 상기 제1 연결부(CNE13)는 상기 제1 화소(P1)의 제1 연결부(CNE13)의 길이와 달라진다. 이로 인해, 상기 제2 화소(P2)의 상기 제1 연결부(CNE13) 주변과의 커플링에 의해 형성되는 기생 용량의 크기가 상기 제1 화소(P1)의 상기 제1 연결부(CNE11) 주변과의 커플링에 의해 형성되는 기생용량의 크기와 다르다.
- [0053] 따라서, 상기 제1 화소(P1)의 상기 제1 연결부(CNE11)의 길이와 상기 제2 화소(P2)의 제2 연결부(CNE11)의 길이의 차이를 보상하기 위해 상기 제1 화소(P1) 및 상기 제2 화소(P2) 각각에 보상전극(CME1, CME2)이 구비된다. 상기 보상전극(CME1, CME2)은 상기 제1 연결부(CNE11, CNE13)과 일체로 형성될 수 있으며, 상기 제1 화소(P1)의 보상 전극(CME1)과 상기 제1 연결부(CNE11)의 길이의 합은 상기 제2 화소(P2)의 보상 전극(CME2)과 상기 제1 연결부(CNE13)의 길이의 합과 동일하다.
- [0054] 상술한 바에 따르면, 상기 제1 콘택홀(H1)은 비표시 영역(NA)에 형성되고, 상기 주화소 전극(PE1)은 상기 제1 연결부(CNE13)를 통해 상기 제1 트랜지스터(TR11)에 연결된다. 이로 인해, 상기 액정표시장치의 개구율이 향상되어 표시품질을 향상시킬 수 있다.
- [0055] 도 9는 본 발명의 제2 실시예에 따른 액정표시장치의 화소 구조를 나타낸 평면도이고, 도 10은 도 9의 일부를 확대한 도면이고, 도 11은 도 9의 III-III'선에 따른 단면도이다. 상기 제2 실시예에 따른 액정표시장치는 제1 실시예와 마찬가지로 제1 베이스 기관 상에 형성된 다수의 화소를 구비한 제1 기관, 제2 베이스 기관 상에 블랙 매트릭스 및 공통전극을 구비한 제2 기관 및 상기 제1 및 제2 기관 사이에 개재된 액정층을 포함한다.

또한, 상기 화소들은 매트릭스 형태로 배열된다.

- [0056] 상기 제1 실시예와 유사하게 상기 화소들 각각은 서로 동일한 구조를 가지므로 상기 제2 실시예에서는 하나의 화소를 예로써 설명하고, 나머지 화소들의 구조에 대한 도시 및 구체적인 설명은 생략하기로 한다.
- [0057] 상기 화소(PA2)는 게이트 라인(GLn) 및 데이터 라인(DL)을 포함한다. 상기 게이트 라인(GLn)은 수평 방향으로 연장되고, 상기 데이터라인(DL)은 상기 수평 방향과 직교하는 수직 방향으로 연장되며, 상기 게이트 라인(GLn)과 절연되게 교차한다. 부가적으로, 상기 화소(PA)는 상기 게이트 라인(GLn)과 평행하고 스토리지 전압이 인가되는 스토리지 라인(SL)을 포함한다.
- [0058] 상기 제1 및 제2 트랜지스터들(TR21, TR22)은 게이트 신호에 응답하여 데이터 신호를 출력한다. 본 발명의 제2 실시예에서, 상기 제1 및 제2 트랜지스터(TR21, TR22)는 인접한 위치에 함께 구비된다.
- [0059] 상기 제1 트랜지스터(TR21)는 상기 게이트 라인(GLn)으로부터 분기된 제1 게이트 전극(GE21), 상기 데이터 라인(DL)으로부터 분기된 제1 소스 전극(SE21) 및 상기 제1 게이트 전극(GE11) 상부에서 상기 제1 소스 전극(SE11)과 소정의 간격으로 이격된 제1 드레인 전극(DE21)으로 이루어진다. 상기 제1 게이트 전극(GE21)과 상기 제1 소스 전극(SE21) 및 상기 제1 드레인 전극(DE21) 사이에는 반도체층(140)이 형성된다.
- [0060] 상기 제2 트랜지스터(TR22)도 상기 제1 트랜지스터(TR21)와 마찬가지로 상기 게이트 라인(GLn)으로부터 분기된 제2 게이트 전극(GE22), 상기 데이터 라인(DL)으로부터 분기된 제2 소스 전극(SE22) 및 상기 제2 게이트 전극(GE22) 상부에서 상기 제2 소스 전극(SE22)과 소정의 간격으로 이격된 제2 드레인 전극(DE22)으로 이루어진다. 상기 제1 트랜지스터(TR21)와 마찬가지로 상기 제2 게이트 전극(GE22)과 상기 제2 소스 전극(SE22) 및 상기 제2 드레인 전극(DE22) 사이에는 상기 반도체층(240)이 형성된다.
- [0061] 상기 제2 실시예에서, 상기 제1 게이트 전극(GE21) 및 상기 제2 게이트 전극(GE22)은 일체로 형성될 수 있고, 상기 제1 소스 전극(SE21) 및 상기 제2 소스 전극(SE22)도 일체로 형성될 수 있다.
- [0062] 상기 제3 트랜지스터(TR13)는 상기 게이트 라인(GLn)과 인접한 다음 게이트 라인(GLn+1)으로부터 분기된 제3 게이트 전극(GE23), 상기 제2 드레인 전극(DE22)과 전기적으로 연결된 제3 소스 전극(SE23) 및 상기 제3 게이트 전극(GE23) 상부에서 상기 제3 소스 전극(SE23)과 소정의 간격으로 이격된 제3 드레인 전극(DE23)으로 이루어진다.
- [0063] 상기 커패시터 전극(CUE2)은 상기 제3 드레인 전극(DE23)에 연결되어 구비된다. 상기 커패시터 전극(CUE2)은 상기 제3 드레인 전극(DE23)과 일체로 형성될 수 있다. 상기 스토리지 전극(SFE2)은 상기 스토리지 라인(SL)이 연장된 부분에 구비되며, 상기 커패시터 전극(CUE2)에 대향하여 구비된다. 상기 커패시터 전극(CUE2) 및 상기 스토리지 전극(SFE2)에 의해 분배 커패시터(Cs)가 정의된다.
- [0064] 상기 공통전극(330)에는 상기 제1 및 제2 화소전극들(PE1, PE2)이 형성된 영역을 다수의 도메인으로 분할하기 위한 제2 개구부(OP2)가 제공된다. 따라서, 상기 각 도메인에서 상기 액정층(200)의 액정 분자들은 서로 다른 방향으로 배열된다. 상기 제2 개구부(OP2)는 상기 제1 및 제2 화소전극들(PE1, PE2)의 중심부에 위치할 수 있다.
- [0065] 상기 제1 내지 제3 트랜지스터(TR21, TR22, TR23) 및 상기 커패시터 전극(CUE2) 상에는 절연 물질로 이루어진 보호막(160)이 형성된다. 상기 보호막(160)은 상기 제1 드레인 전극(DE21) 및 상기 제2 드레인 전극(DE22)을 각각 노출시키는 제1 콘택홀(H1) 및 제2 콘택홀(H2)을 포함한다. 상기 제1 콘택홀(H1) 및 상기 제2 콘택홀(H2)는 상기 비표시 영역(NA)상에 형성된다.
- [0066] 상기 주화소 전극(PE1)은 상기 보호막(160) 상에 형성되어, 상기 표시영역(DA)의 중심부에 구비되고, 상기 부화소 전극(PE2)은 상기 보호막(160) 상에 형성되어 상기 주화소 전극(PE2)의 주변을 둘러싼다. 상기 주화소 전극(PE1)과 상기 부화소 전극(PE2)은 제1 개구부(OP1)에 의해 소정간격으로 이격되어 있다.
- [0067] 상기 제1 연결부(CNE21)는 상기 주화소 전극(PE1)으로부터 연장되어 형성된다. 상기 제1 연결부(CNE21)는 상기 제1 콘택홀(H1)을 통해 상기 제1 트랜지스터(TR21)와 연결되고 상기 데이터 전압을 상기 주화소 전극(PE1)으로 전달한다.
- [0068] 상기 제2 연결부(CNE22)는 상기 부화소 전극(PE2)으로부터 연장된다. 상기 제2 연결부(CNE22)는 상기 제2 콘택홀(H2)을 통해 상기 제1 트랜지스터(TR22)와 연결되고 상기 데이터 전압을 상기 부화소 전극(PE2)으로 전달한다.

- [0069] 상기 제1 기관(300)은 상기 제1 기관(100)에 대향하여 구비된다. 상기 제2 베이스 기관(310)상에 구비된 상기 블랙 매트릭스(320) 및 상기 공통 전극(330)을 포함한다.

[0070] 상기 블랙 매트릭스(320)는 상기 제2 베이스 기관(210) 상에 구비된다. 상기 블랙 매트릭스(320)는 상기 비표시 영역(NA)에 대응하는 영역에 구비되어, 상기 표시영역(DA) 만을 노출시킨다. 상기 공통전극(330)은 상기 블랙 매트릭스(320) 상에 구비된다.

[0071] 상기 공통전극(330)은 액정층(200)을 사이에 두고 상기 주화소 전극(PE1) 및 상기 부화소 전극(PE2)과 마주한다. 따라서, 상기 공통전극(330) 및 상기 주화소 전극(PE1)에 의해서 제1 액정 커패시터가 정의되고, 상기 공통전극(330) 및 상기 부화소 전극(PE2)에 의해서 제2 액정 커패시터가 정의된다.

[0072] 상술한 바에 따르면, 상기 제1 컨택홀(H1)은 상기 비표시 영역(NA)에 형성되고, 상기 주화소 전극(PE1)은 상기 제1 연결부(CNE21)를 통해 상기 제1 트랜지스터(TR21)에 연결된다. 이로 인해, 상기 액정표시장치의 개구율이 향상되어 표시품질을 향상시킬 수 있다.

[0073] 도 12는 도 9의 등가 회로도이다. 도 12를 참조하면, 상기 제1 화소(P1)는 현재단 게이트 라인(GLn), 다음단 게이트 라인(GLn+1), 데이터라인(DL), 제1 서브화소(SP1), 제2 서브화소(SP2), 제3 트랜지스터(TR13) 및 제1 분배 커패시터(Cs1)를 포함한다. 상기 제1 서브화소(SP1)는 제1 트랜지스터(TR21) 및 제1 액정 커패시터(C1c1)를 포함하고, 제2 서브화소(SP2)는 제2 트랜지스터(TR22) 및 제2 액정 커패시터(C1c2)를 포함한다.

[0074] 상기 제1 트랜지스터(TR21) 및 제2 트랜지스터(TR22) 각각은 상기 현재단 게이트 라인(GLn) 및 데이터라인(DL)에 연결되고, 상기 현재단 게이트 라인(GLn)으로부터 수신된 게이트 신호(이하 현재 게이트 신호)에 응답하여 데이터 전압을 출력한다. 상기 제1 액정 커패시터(C1c1)는 제1 트랜지스터(TR21)에 연결되고, 상기 제1 트랜지스터(TR21)로부터 출력된 데이터 전압을 수신하여 제1 화소전압(Vp1)을 충전한다.

[0075] 상기 제2 액정 커패시터(C1c2)는 상기 제2 트랜지스터(TR22)에 연결되고, 상기 제2 트랜지스터(TR22)로부터 출력된 데이터 전압을 수신하여 제2 화소전압(Vp2)을 충전한다.

[0076] 현재 게이트 신호에 응답하여 상기 제1 및 제2 트랜지스터(TR11, TR12)가 턴-온 되면, 상기 제1 액정 커패시터(C1c1)는 상기 데이터 전압을 수신하여 상기 제1 화소 전압(Vp1)을 충전하고, 상기 제2 액정 커패시터(C1c2)는 상기 데이터 전압을 수신하여 상기 제2 화소 전압(Vp2)을 충전한다.

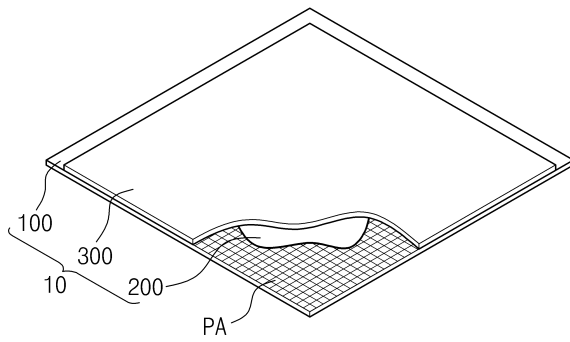
[0077] 다음 게이트 신호에 응답하여 상기 제3 트랜지스터(TR23)가 턴 온되면, 상기 제2 액정 커패시터(C1c2)에 충전된 전압과 상기 분배 커패시터(Cs)에 충전된 전압이 동일해질 때까지 상기 제2 액정 커패시터(C1c2)로부터 상기 분배 커패시터(Cs)로 전류가 흐른다. 따라서, 상기 제2 화소 전압(Vp2)은 상기 제1 화소 전압(Vp1)보다 낮아진다. 이와 같이 상기 제1 서브화소(SP1)와 상기 제2 서브화소(SP2)에 각각 다른 전압이 충전되고, 사용자는 두 개의 전압의 중간값을 인식하므로, 시야각 성능이 개선될 수 있다.

부호의 설명

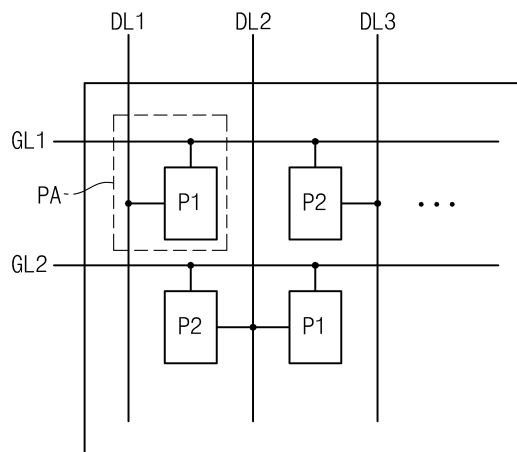
- [0078]
- 10: 액정표시장치 100: 제1 기판
- 200: 액정층 300: 제2 기판
- TR11,12,13: 제1 내지 제3 트랜지스터
- DCNE: 더미 연결부 CME1, CME2: 보상전극
- CNE11, CNE12: 제1 및 제2 연결부
- CUE1: 커패시터 전극 SFE: 스토리지 전극
- H1, H2: 제1 및 제2 컨택홀

도면

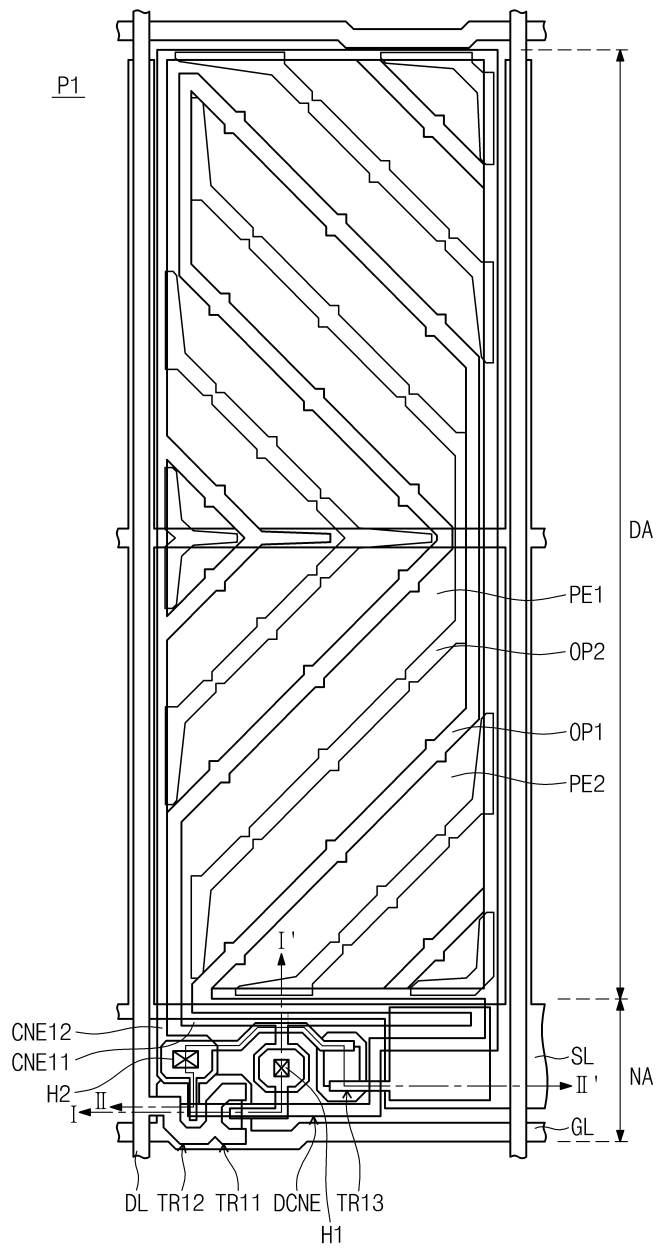
도면1



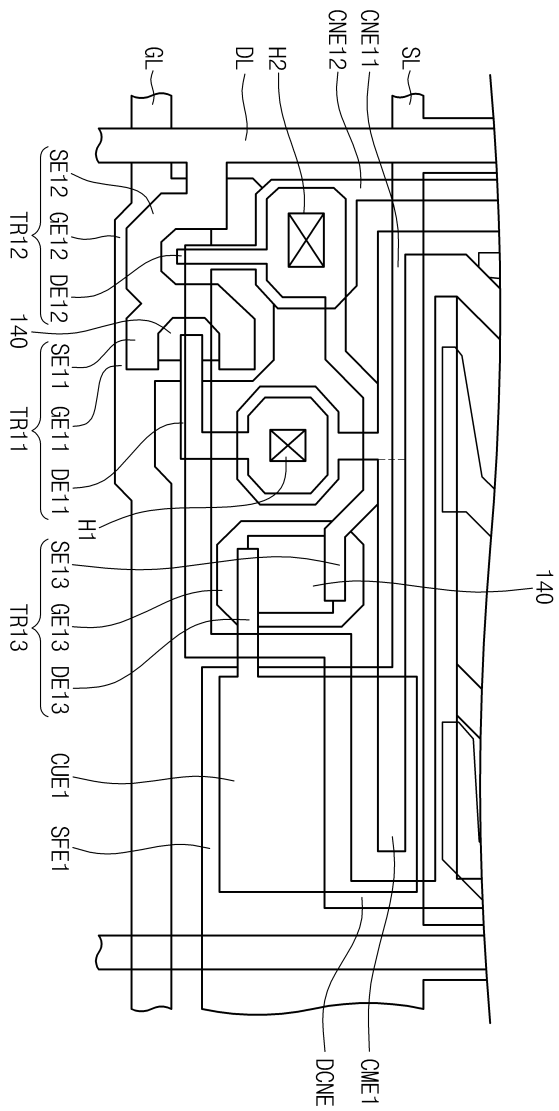
도면2



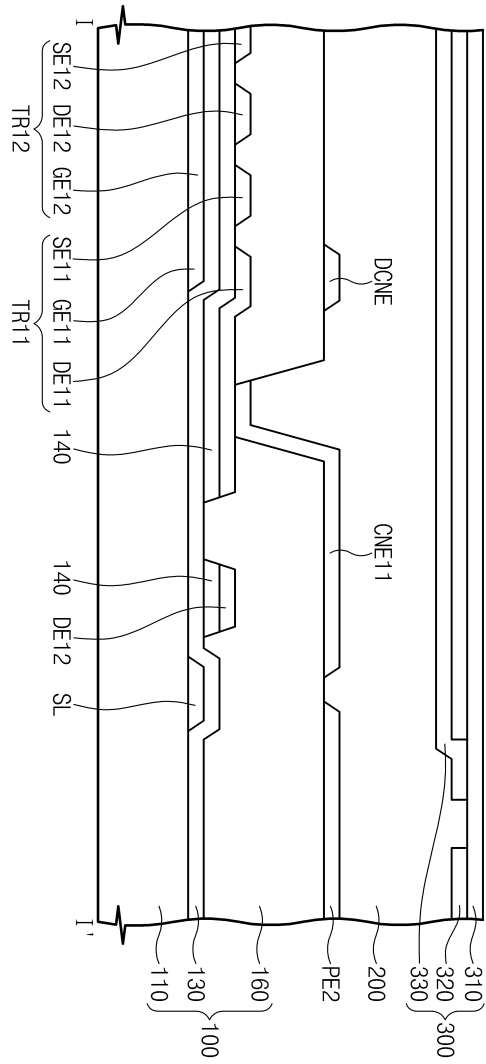
도면3



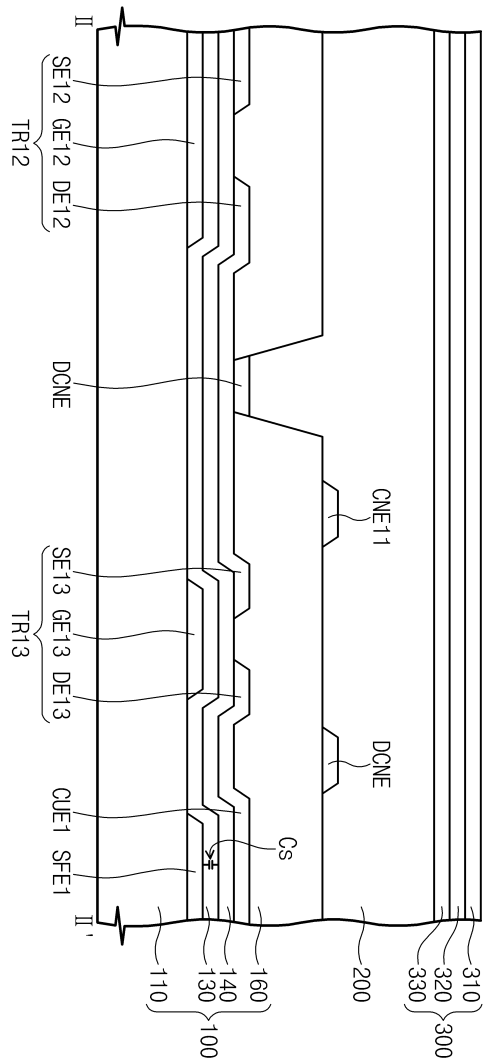
도면4



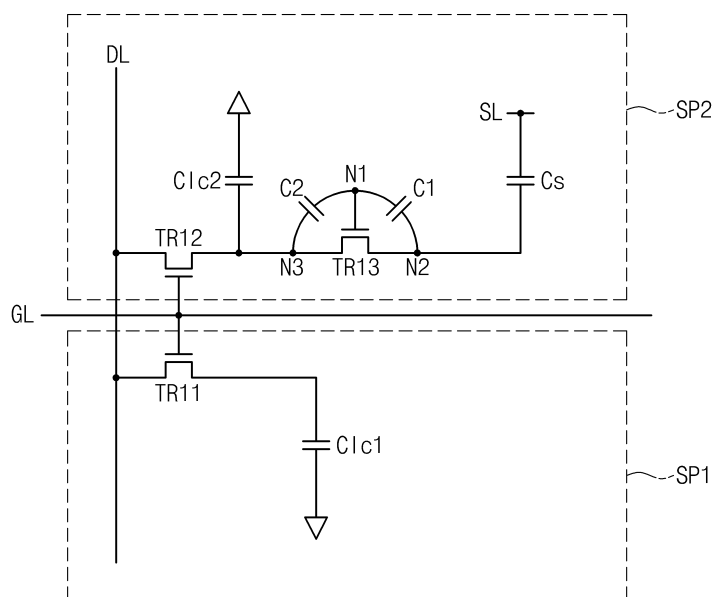
도면5a



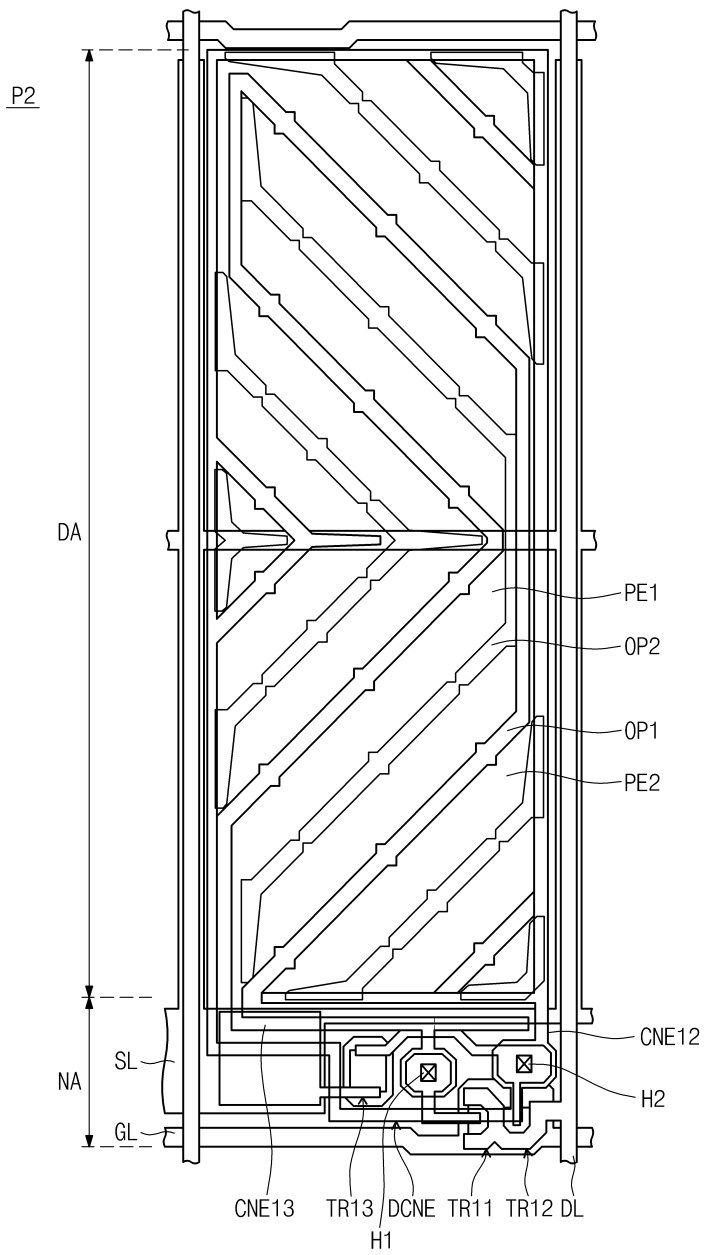
도면5b



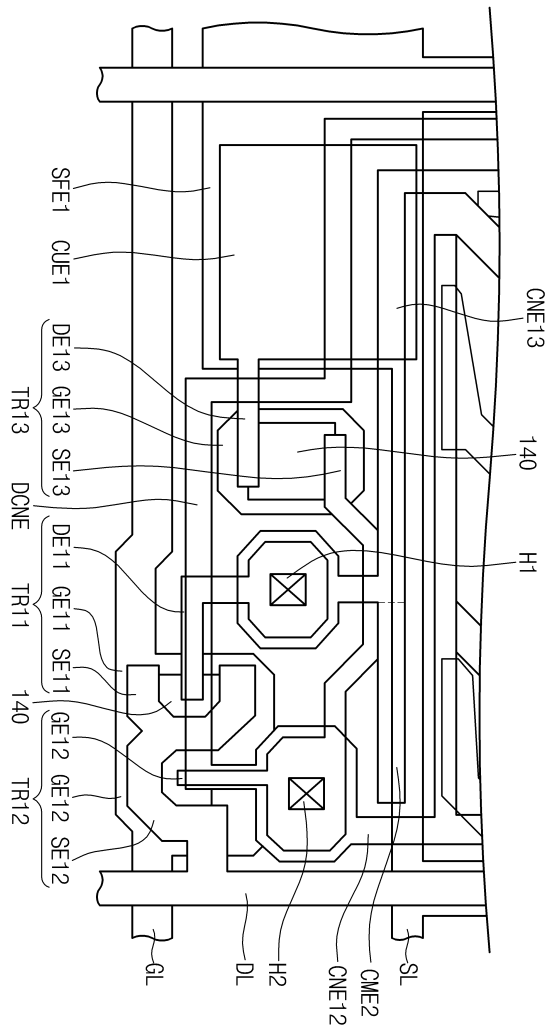
도면6



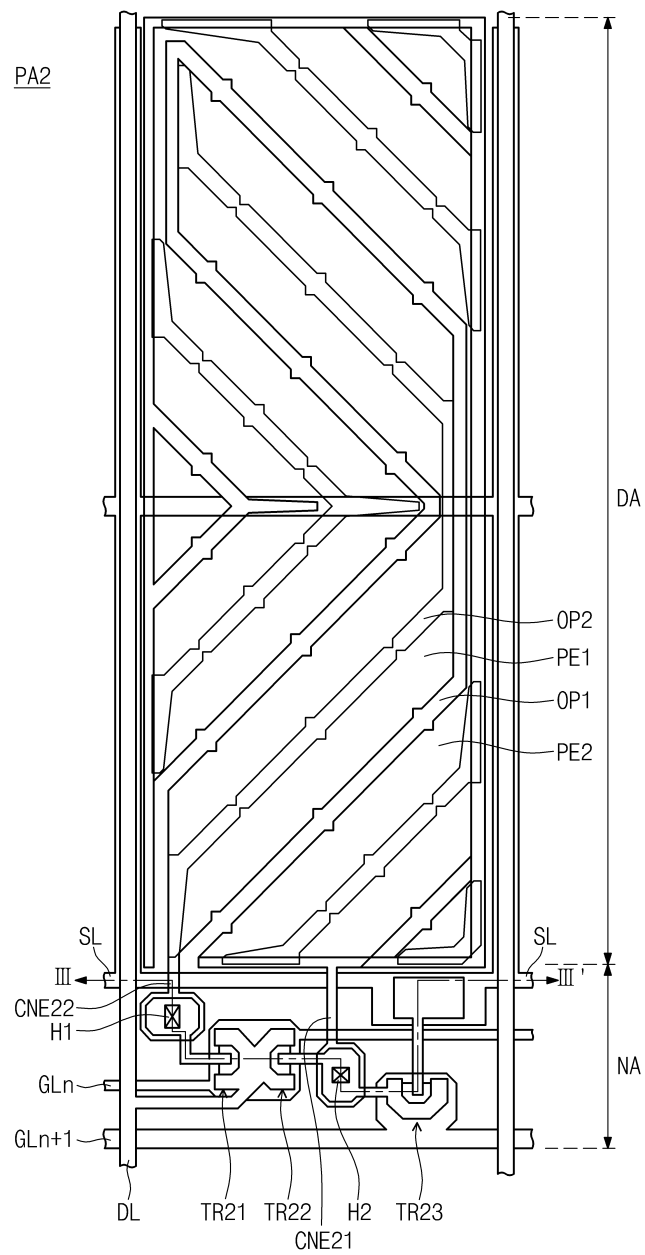
도면7



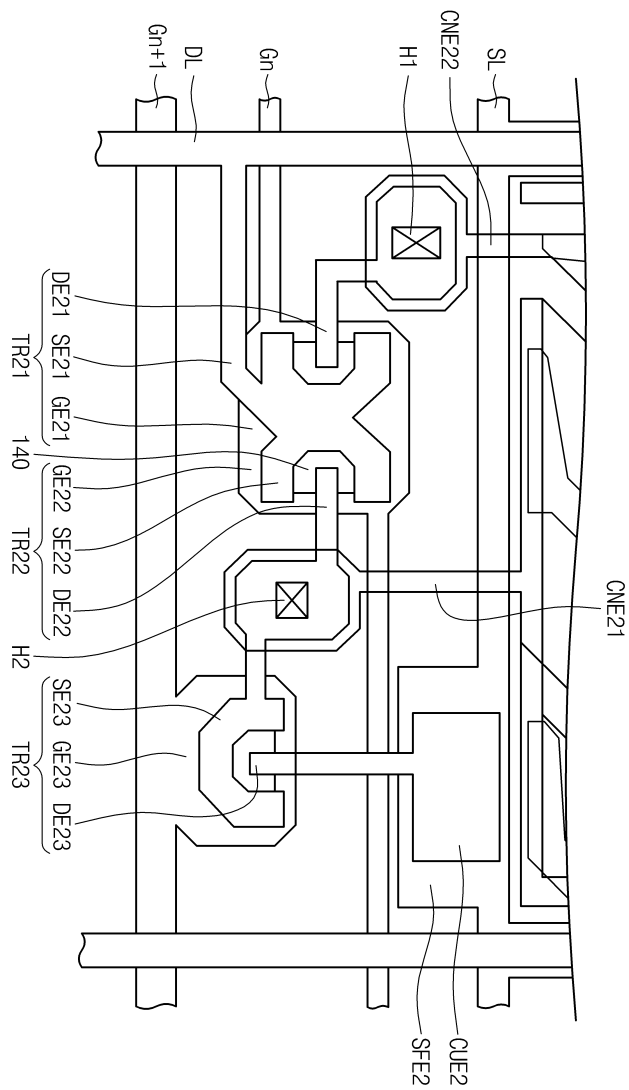
도면8



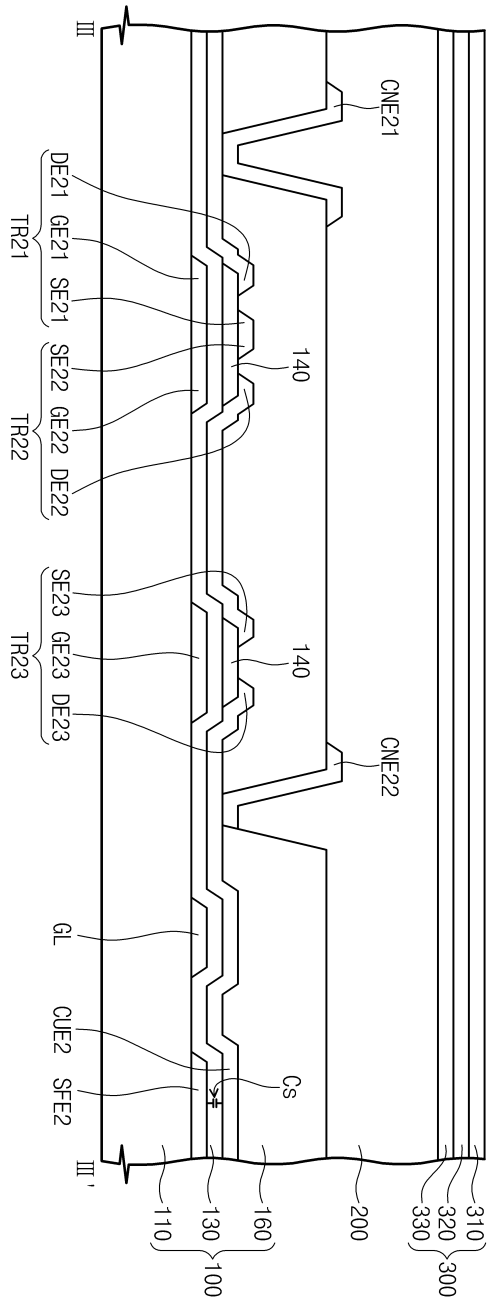
도면9



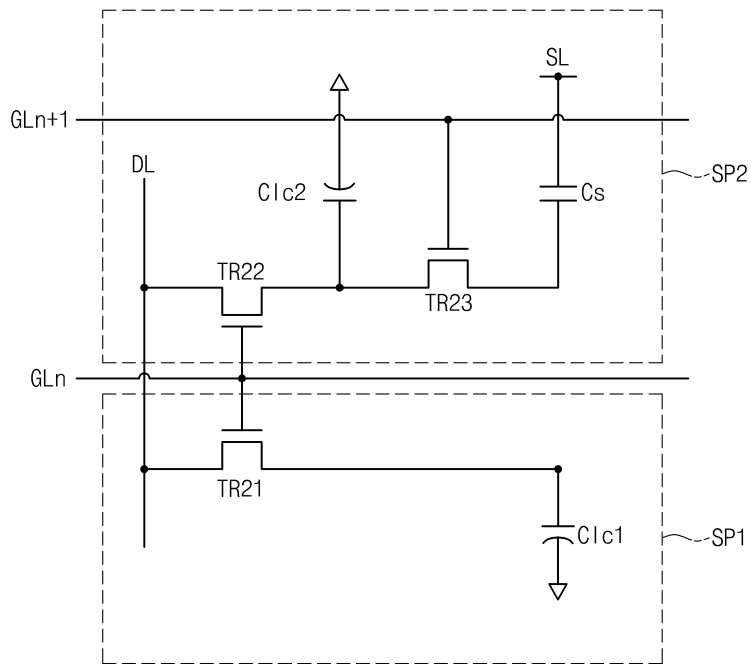
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120083144A	公开(公告)日	2012-07-25
申请号	KR1020110004630	申请日	2011-01-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM JI SUN 김지선 LEE SEONGYOUNG 이성영 CHAI CHONGCHUL 채종철 GOH JOON CHUL 고준철 YOON YOUNG SOO 윤영수		
发明人	김지선 이성영 채종철 고준철 윤영수		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1337 G02F1/1335		
CPC分类号	G02F2001/134345 G02F1/1362 G02F1/1343 G02F1/13624 G02F2201/40 G02F1/133707 G02F1/133512		
其他公开文献	KR101904169B1		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，包括：第一基板，包括多个像素，每个像素包括显示区域和非显示区域;第二基板，面对第一基板并包括公共电极;以及第二基板，面对第一基板，并且在基板之间插入液晶层。每个像素包括第一晶体管，第二晶体管，主像素电极，其具有电连接到第一晶体管的第一连接部分，其间具有保护膜，以及电连接到第一晶体管的第二像素电极，像素电极具有两个连接部分。第一连接部分和第二连接部分形成在非显示区域中。

