



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0064584
(43) 공개일자 2011년06월15일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/13 (2006.01)

(21) 출원번호 10-2009-0121256

(22) 출원일자 2009년12월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

강동춘

광주광역시 북구 양산동 한국담배인삼공사광주제조창관사 A-122

석대영

대구 북구 구암동 금빛아파트 101/805

(뒷면에 계속)

(74) 대리인

허용록

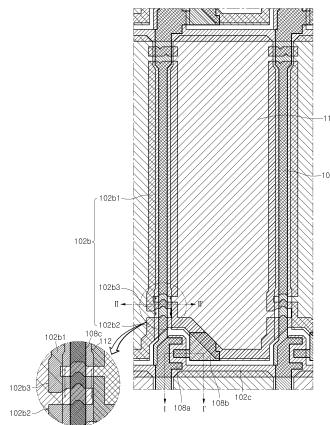
전체 청구항 수 : 총 8 항

(54) 액정표시장치 및 그의 제조방법과 그의 리페어 방법

(57) 요약

본 발명은 액정표시장치 및 그의 제조방법과 그의 리페어 방법에 관한 것으로, 본 발명에 따른 액정표시장치는 기판 상에 형성된 게이트 배선, 게이트 전극 및 상기 게이트 배선과 동일층에 형성되는 공통배선과, 상기 게이트 배선을 포함한 기판 전면에 형성된 게이트 절연막과, 상기 게이트 배선과 교차되어 화소영역을 정의하고, 상기 공통배선 상부에 상응하도록 형성된 데이터 배선 및 상기 데이터 배선에서 연장된 소스 전극 및 소스 전극에서 일정간격 이격된 드레인 전극과, 상기 데이터 배선을 포함한 기판 전면에 형성된 보호막과, 상기 보호막 상에 형성되고 상기 드레인 전극과 접속되는 화소전극을 포함하고, 상기 공통배선은 하나의 배선이 일영역에서 소정의 공간을 두고 분리된 제1 및 제2 공통배선과, 상기 제1 및 제2 공통배선 사이의 소정공간에 형성되며, 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되는 제3 공통배선을 포함한다.

대표도 - 도6a



(72) 발명자

강문수

대구광역시 북구 동천동 화성센트럴파크아파트 20
4동 706호

윤재호

경상북도 칠곡군 석적읍 중리 금호어울림 105동
404호

이현정

경상북도 구미시 시미동 162번지

특허청구의 범위

청구항 1

기관 상에 형성된 게이트 라인, 게이트 전극 및 상기 게이트 라인과 동일층에 형성되는 공통라인과,
 상기 게이트 라인을 포함한 기관 전면에 형성된 게이트 절연막과,
 상기 게이트 라인과 교차되어 화소영역을 정의하고, 상기 공통라인 상부에 상응하도록 형성된 데이터 라인 및
 상기 데이터 라인에서 연장된 소스 전극 및 소스 전극에서 일정간격 이격된 드레인 전극과,
 상기 데이터 라인을 포함한 기관 전면에 형성된 보호막과,
 상기 보호막 상에 형성되고 상기 드레인 전극과 접속되는 화소전극을 포함하고,
 상기 공통라인은 하나의 라인이 일영역에서 소정의 공간을 두고 분리된 제1 및 제2 공통라인과,
 상기 제1 및 제2 공통라인 사이의 소정공간에 형성되며, 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용
 되는 제3 공통라인을 포함하는 액정표시장치.

청구항 2

제1 항에 있어서, 상기 공통라인은
 상기 데이터 라인의 선폭보다 넓은 선폭으로 형성되어 상기 공통라인의 양측 끝단이 노출되는 것을 특징으로 하
 는 액정표시장치.

청구항 3

제1 항에 있어서, 상기 제3 공통라인은
 상기 제1 및 제2 공통라인을 연결하기 위해 중심부에 일자형의 패턴을 갖도록 형성되는 것을 특징으로 하는 액
 정표시장치.

청구항 4

기관 상에 게이트 라인, 게이트전극, 제1, 제2 및 제3 공통라인을 각각 형성하는 단계와,
 상기 게이트 라인이 형성된 기관 전면에 게이트 절연막을 형성하는 단계와,
 상기 게이트 절연막 상에 반도체 패턴과 소스/드레인 전극 및 데이터 라인을 형성하는 단계와,
 상기 소스/드레인전극이 형성된 제1 기관 상에 보호막을 형성한 후 패터닝하여, 상기 드레인 전극을 노출하는
 콘택홀을 형성하는 단계와,
 상기 드레인 전극과 전기적으로 접속하는 화소전극을 형성하는 단계를 포함하는것을 특징으로 하는 액정표시장
 치의 제조방법.

청구항 5

제4 항에 있어서, 상기 제1 및 제2 공통라인은 하나의 라인이 일영역에서 소정의 공간을 두고 분리되도록 형성
 하고, 상기 제3 공통라인은 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되도록 상기 제1 및 제2 공통
 라인 사이의 소정공간에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제4 항에 있어서, 상기 공통라인은
 상기 데이터 라인의 선폭보다 넓은 선폭으로 형성되어 상기 공통라인의 양측 끝단이 노출되는 것을 특징으로 하
 는 액정표시장치의 제조방법.

청구항 7

제4 항에 있어서, 상기 제3 공통라인은

상기 제1 및 제2 공통라인을 연결하기 위해 중심부에 일자형의 패턴을 갖도록 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

기관 상에 형성된 게이트 라인, 게이트 전극 및 상기 게이트 라인과 동일층에 형성되는 공통라인과, 상기 게이트 라인을 포함한 기관 전면에 형성된 게이트 절연막과, 상기 게이트 라인과 교차되어 화소영역을 정의하고, 상기 공통라인 상부에 상응하도록 형성된 데이터 라인 및 상기 데이터 라인에서 연장된 소스 전극 및 소스 전극에서 일정간격 이격된 드레인 전극과, 상기 데이터 라인을 포함한 기관 전면에 형성된 보호막과, 상기 보호막 상에 형성되고 상기 드레인 전극과 접촉되는 화소전극을 포함하고, 상기 공통라인은 하나의 라인이 일영역에서 소정의 공간을 두고 분리된 제1 및 제2 공통라인과, 상기 제1 및 제2 공통라인 사이의 소정공간에 형성되며, 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되는 제3 공통라인을 포함하는 액정표시장치의 리페어 방법에 있어서,

상기 제3 공통라인의 양측 끝단에 상응하는 상기 보호막과 상기 게이트 절연막에 레이저를 조사하여 상기 제3 공통라인의 양측 끝단을 절단하는 단계를 포함하는 액정표시장치의 리페어방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치 및 그의 제조방법과 그의 리페어 방법에 관한 것이다.

배경 기술

[0002] 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 것으로, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절되어 화상정보를 표현할 수 있다.

[0004] 현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동 행렬액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목 받고 있다.

[0005] 도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해 사시도이다.

[0006] 도 1을 참조하면, 일반적인 액정표시장치(11)는 블랙매트릭스(6)와 서브 컬러필터(7)를 포함하는 컬러필터 상에 투명한 공통전극(5)이 형성된 상부기관(8)과, 화소영역(P) 및 화소영역 상에 형성된 화소전극(18)과 스위칭 소자(T)로서의 박막트랜지스터 및 데이터 라인(17), 게이트 라인(16)이 형성된 하부기관(10)으로 구성되며, 상기 상부기관(8)과 하부기관(10) 사이에는 액정(미도시)이 충전되어 있다.

[0007] 상기 하부기관(10)을 박막트랜지스터 기관이라고도 하며, 상기 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트 라인(16)과 데이터 라인(17)이 형성되며, 또한 상기 게이트 라인(16)과 데이터 라인(17)이 교차하여 정의되는 영역이 상기 화소영역(P)이 되는 것이다.

[0008] 여기서 상기 게이트 라인(16)은 상기 박막 트랜지스터(T)의 게이트 전극을 구동하는 펄스 전압을 전달하며, 상기 데이터 라인(17)은 상기 박막 트랜지스터(T)의 소스전극을 구동하는 신호전압을 전달하는 수단이다. 이때, 상기 게이트전극의 신호에 의해 임의의 소스전극에 액정을 구동할 수 있는 전압이 인가되고, 나머지에는 액정 구동전압보다 작은 전압이 인가된다면, 액정 구동전압이 인가된 화소만 동작을 할 것이다.

[0009] 이와 같이 다수 개의 화소전극을 각각 독립적으로 구동하기 위해 전체 표시면적에 게이트 라인 및 데이터 라인이 매트릭스 형태로 배치되어 있으며, 이러한 게이트 라인 및 데이터 라인은 스위칭 소자인 박막트랜지스터를 구동하기 위해 사용된다.

- [0010] 그러나, 상기 어레이 기판 상에 형성되는 상기와 같은 구성요소에는 제작공정 중 여러 가지 원인에 의해 불량이나 나타날 수 있다. 이러한 결함은 형태에 따라 점 결함(dot defect), 선 결함(line defect) 또는 표시얼룩으로 나눌 수 있으며, 점 결함은 박막트랜지스터 소자 또는 화소전극 등의 불량으로 발생되고, 선 결함은 라인의 오픈, 단락 및 정전기에 의한 박막트랜지스터 등의 파괴에 기인한다.
- [0011] 이러한 결함들은 이미지 소자의 표시면적이 대면적화됨에 따라 더욱 중요한 문제로 대두되고 있으며, 특히 라인 결함의 경우 하나라도 발생하게 되면 제품으로서의 가치가 없어지게 되므로, 이와 같은 수율 저하를 방지하기 위해 상기 선 결함에 대한 리페어는 반드시 필요한 것이다. 예를 들면, 데이터 라인 또는 게이트 라인 중 한 라인의 일부가 인접한 라인들과 쇼트되었다고 가정하면 쇼트된 라인과 연결되어 있는 모든 박막트랜지스터의 동작이 불가능하게 될 것이고, 이러한 어레이 기판에서의 결함은 액정표시소자에서 치명적인 결함이 되는 것이다.
- [0012] 한편, 최근 들어 개구율 향상을 위해, 게이트 라인과 동일층으로 형성되는 공통 라인을 데이터 라인 하부에 배치하여 데이터 라인의 주변부에 형성되는 빔샘영역을 차단하는 액정표시장치가 사용되고 있다.
- [0013] 그러나, 상기와 같은 구조의 액정표시장치를 형성함에 있어서, 데이터라인용 물질 또는 공통라인용 물질 자체 특성과 이물질에 의한 영향 등으로 인해 데이터 라인과 공통라인 사이에 형성된 게이트 절연막을 관통하여 데이터 라인과 공통라인간의 쇼트(short)불량이 발생되고 이와 연결된 모든 박막 트랜지스터의 동작이 불가능하게 되어 전체 화소영역의 불량이 발생하게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0014] 상술한 문제점을 해결하기 위한 본 발명의 목적은 데이터라인과 공통라인간의 쇼트불량이 발생되어 전체 화소영역의 불량으로 발생하지 않도록 리페어 패턴이 구비된 액정표시장치 및 그의 제조방법과 그의 리페어 방법을 제 공함에 있다.

과제 해결수단

- [0015] 상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치는 기판 상에 형성된 게이트 라인, 게이트 전극 및 상기 게이트 라인과 동일층에 형성되는 공통라인과, 상기 게이트 라인을 포함한 기판 전면에 형성된 게이트 절연막과, 상기 게이트 라인과 교차되어 화소영역을 정의하고, 상기 공통라인 상부에 상응하도록 형성된 데이터 라인 및 상기 데이터 라인에서 연장된 소스 전극 및 소스 전극에서 일정간격 이격된 드레인 전극과, 상기 데이터 라인을 포함한 기판 전면에 형성된 보호막과, 상기 보호막 상에 형성되고 상기 드레인 전극과 접속되는 화소 전극을 포함하고, 상기 공통라인은 하나의 라인이 일영역에서 소정의 공간을 두고 분리된 제1 및 제2 공통라인과, 상기 제1 및 제2 공통라인 사이의 소정공간에 형성되며, 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되는 제3 공통라인을 포함한다.
- [0016] 상기 공통라인은 상기 데이터 라인의 선포보다 넓은 선포으로 형성되어 상기 공통라인의 양측 끝단이 노출된다.
- [0017] 상기 제3 공통라인은 상기 제1 및 제2 공통라인을 연결하기 위해 중심부에 일자형의 패턴을 갖도록 형성된다.
- [0018] 상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트 라인, 게이트전극, 제1, 제2 및 제3 공통라인을 각각 형성하는 단계와, 상기 게이트 라인이 형성된 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 반도체 패턴과 소스/드레인 전극 및 데이터 라인을 형성하는 단계와, 상기 소스/드레인전극이 형성된 제1 기판 상에 보호막을 형성한 후 패터닝하여, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 단계와, 상기 드레인 전극과 전기적으로 접속하는 화소전극을 형성하는 단계를 포함한다.
- [0019] 상기 제1 및 제2 공통라인은 하나의 라인이 일영역에서 소정의 공간을 두고 분리되도록 형성하고, 상기 제3 공통라인은 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되도록 상기 제1 및 제2 공통라인 사이의 소정공간에 형성된다.
- [0020] 상기 공통라인은 상기 데이터 라인의 선포보다 넓은 선포으로 형성되어 상기 공통라인의 양측 끝단이 노출된다.
- [0021] 상기 제3 공통라인은 상기 제1 및 제2 공통라인을 연결하기 위해 중심부에 일자형의 패턴을 갖도록 형성된다.
- [0022] 상술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 리페어방법은 기판 상에 형성된 게이트 라인, 게

이트 전극 및 상기 게이트 라인과 동일층에 형성되는 공통라인과, 상기 게이트 라인을 포함한 기판 전면에 형성된 게이트 절연막과, 상기 게이트 라인과 교차되어 화소영역을 정의하고, 상기 공통라인 상부에 상응하도록 형성된 데이터 라인 및 상기 데이터 라인에서 연장된 소스 전극 및 소스 전극에서 일정간격 이격된 드레인 전극과, 상기 데이터 라인을 포함한 기판 전면에 형성된 보호막과, 상기 보호막 상에 형성되고 상기 드레인 전극과 접속되는 화소전극을 포함하고, 상기 공통라인은 하나의 라인이 일정영역에서 소정의 공간을 두고 분리된 제1 및 제2 공통라인과, 상기 제1 및 제2 공통라인 사이의 소정공간에 형성되며, 레이저를 이용한 리페어 공정시 리페어 패턴으로 이용되는 제3 공통라인을 포함하는 액정표시장치의 리페어 방법에 있어서, 상기 제3 공통라인의 양측 끝단에 상응하는 상기 보호막과 상기 게이트 절연막에 레이저를 조사하여 상기 제3 공통라인의 양측 끝단을 절단하는 단계를 포함한다.

효 과

- [0023] 상술한 바와 같은 액정표시장치 및 그의 제조방법과 그의 리페어방법은 리페어 패턴인 제3 공통라인을 형성함으로써, 공통라인과 데이터 라인간에 쇼트(short)불량이 발생될 경우, 레이저를 이용한 리페어 공정을 통해 상기 제3 공통라인의 양측 끝단에 레이저를 조사하여 쇼트 불량이 발생된 화소영역과 인접한 화소영역을 단절시킴으로써, 해당 화소영역만의 불량으로 전체 화소영역의 불량이 발생하는 것을 개선할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하는 첨부된 도면을 참조하여 본 발명의 실시예에 따른 리페어 패턴이 구비된 액정표시장치 및 그의 제조방법, 그리고 그의 리페어방법에 대해 상세히 설명하고자 한다.
- [0025] 도 2a는 본 발명에 따른 리페어 패턴이 구비된 액정표시장치의 평면도이고, 도 2b는 도 2a의 I-I' 및 II-II'선상의 단면도이다.
- [0026] 도 2a 및 도 2b에 도시된 바와 같이, 액정표시장치는 액정층(201)을 사이에 두고 컬러필터 기판(300)과 박막트랜지스터 기판(100)으로 형성된다.
- [0027] 먼저, 컬러필터 기판(300)에는 박막 트랜지스터 기판(100)의 화소영역에 상응하도록 상기 기판상에 형성되는 블랙 매트릭스(301)와, 상기 블랙 매트릭스(301) 사이에 형성되는 컬러필터층(미도시)과, 상기 블랙 매트릭스(301)와 컬러필터층(미도시)이 형성된 기판 상에 형성되는 공통전극(303)을 구비한다.
- [0028] 그리고, 박막트랜지스터 기판(100)에는 기판(100)상에 상기 화소영역을 정의하는 게이트 라인(102c)과 데이터 라인(108c)과, 상기 게이트 라인(102c)의 일측에서 돌출 형성된 게이트 전극(102a)와, 상기 게이트 전극(102a)을 포함한 기판(100)의 전면에 형성된 게이트 절연막(104)와, 상기 게이트 전극(102a) 상부의 상기 게이트 절연막 상에 아일랜드 형태로 형성되는 반도체 패턴(106)과, 상기 데이터 라인(108c)으로부터 돌출되어 상기 반도체 패턴(106)의 일측 상부에 오버랩된 소스전극(108a)과, 상기 소스 전극(108a)과 일정간격 이격되고 반도체 패턴의 타측에 오버랩된 드레인 전극(108b)과, 상기 드레인 전극(108b)이 노출되는 콘택홀이 형성된 보호막(110)과, 상기 콘택홀을 통해 드레인 전극(108b)과 콘택되도록 화소영역 상에 형성된 화소전극(112)을 포함한다.
- [0029] 그리고, 상기 데이터 라인(108c)의 하부에 형성되며, 게이트 전극(102a)과 동일층으로 형성되는 공통라인(102b)이 더 구비된다.
- [0030] 상기 공통라인(102b)은 상기 제1 공통라인(102b1) 및 제2 공통라인(102b3)이 형성되고, 제1 공통라인(102b1)과 제2 공통라인(102b2)은 하나의 공통라인이 일정영역에서 소정의 공간을 두고 절단되어 분리된 제1 및 제2 공통라인(102b1, 102b2)과, 제1 공통라인(102b1)과 제2 공통라인(102b2) 사이의 소정공간에 리페어 패턴인 제3 공통라인(102b3)을 포함한다.
- [0031] 상기 공통라인(102b)은 상기 데이터 라인(108c)의 하부에 형성되어 데이터 라인의 주변부에 형성되는 빔샘영역을 차단하여 상부기판에 형성된 블랙 매트릭스의 사이즈를 감소시켜 개구율을 확보할 수 있게 된다.
- [0032] 그리고, 리페어 패턴인 제3 공통라인(102b3)은 제1 및 제2 공통라인(102b1, 102b2)을 연결하기 위해 중심부에 일자형의 패턴을 가지게 되고, 데이터 라인(108c)의 선포보다 넓은 선포으로 형성되어 제1, 제2, 제3 공통라인(102b1, 102b2, 102b3)의 양측 끝단이 노출된다.
- [0033] 이와 같이, 리페어 패턴인 제3 공통라인(102b3)을 형성함으로써, 공통라인과 데이터 라인간에 쇼트(short)불량이 발생될 경우, 레이저를 이용한 리페어 공정을 통해 상기 제3 공통라인(102b3)의 양측 끝단에 레이저를 조사하여 쇼트 불량이 발생된 화소영역과 인접한 화소영역을 단절시킴으로써, 해당 화소영역만의 불량으로 전체

화소영역의 불량이 발생하는 것을 개선할 수 있다.

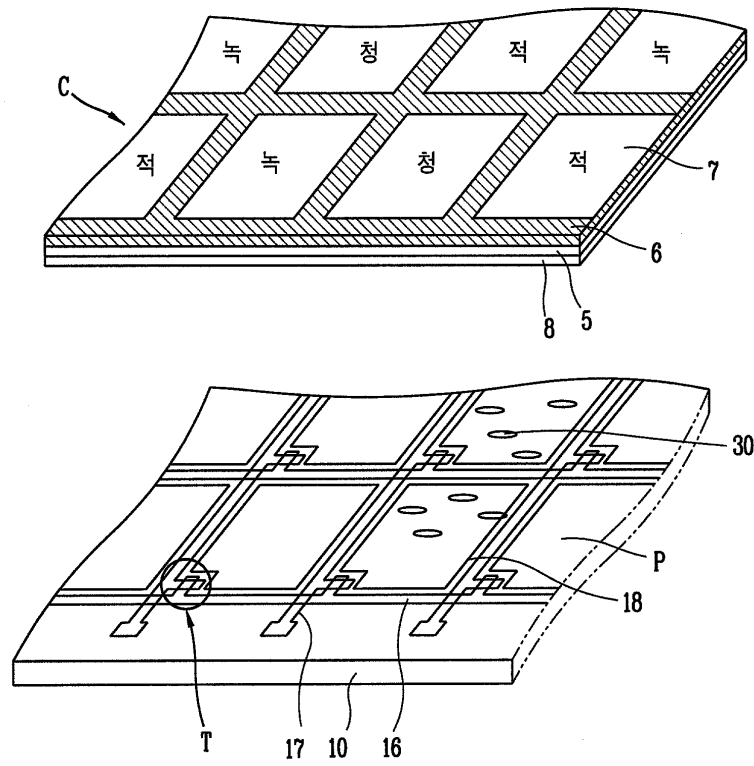
- [0034] 이와 같은 리페어 패턴이 형성된 액정표시장치의 제조방법을 도 3a 및 도 3b 내지 도 5a 및 도 5b를 참조하여 보다 상세히 설명하고자 한다.
- [0035] 도 3a 및 도 3b에 도시된 바와 같이, 기판(100)상에 제1 도전층을 증착한 후 이를 선택적으로 패터닝하여 게이트 전극(102a), 게이트 라인(102c)을 형성한다. 이때, 상기 제1 도전층 패터닝시 제1, 제2 및 제3 공통라인(102b1, 102b2, 102b3)을 포함한 공통라인(102b) 또한 동시에 형성한다.
- [0036] 이어, 게이트 라인(102c), 게이트 전극(102b), 공통라인이 형성된 기판(100) 상에 게이트 절연막(104)을 형성한다.
- [0037] 다음으로, 도 4a 및 도 4b에 도시된 바와 같이, 게이트 절연막(104)이 형성된 기판 상에 비정질 실리콘막, 비정질 실리콘막 및 제 금속막을 형성한 후 패터닝하여, 활성층 및 오믹접촉층이 적층된 반도체 패턴(106)과 소스 전극(108a) 및 드레인 전극(108b)을 형성한다. 이때, 반도체 패턴(106)과 소스 전극(108a) 및 드레인 전극(108b)의 형성을 위한 패터닝공정은 비정질 실리콘막/불순물 비정질실리콘막의 패터닝공정후, 데이터용 금속막의 패터닝공정을 진행하여 두 번의 패터닝공정으로 수행될 수도 있고, 비정질 실리콘막, 불순물 비정질 실리콘막, 데이터용 금속막을 한번의 패터닝공정을 통해 수행될 수도 있다.
- [0038] 다음으로, 도 5a 및 도 5b에 도시된 바와 같이, 소스 전극(108a) 및 드레인 전극(108b)이 형성된 기판(100)상에 보호막(110)을 형성하고, 상기 보호막(100)을 선택적으로 패터닝하여 드레인전극(108b)이 노출되도록 콘택홀을 형성한다. 그리고, 상기 콘택홀이 형성된 기판(100) 상에 투명도전막을 형성한 후 선택적으로 패터닝하여 드레인전극(108b)과 전기적으로 접속하는 화소전극(112)을 형성한다.
- [0039] 이와 같이 형성된 액정표시장치의 리페어 방법에 대해 다음에서 설명하고자 한다.
- [0040] 도 6a 및 도 6b에 도시된 바와 같이, 공통라인(102b)과 데이터 라인(108c)간에 쇼트(short)불량이 발생할 경우, 레이저를 이용한 리페어 공정을 통해 상기 양측 끝단의 제3 공통라인(102b3)에 레이저(200, 도 6의 '↓'방향으로 조사됨)를 조사하여 제1 공통라인(102b1)과 제2 공통라인(102b2)을 절단한다. 즉, 제3 공통라인(102b3)의 양측 끝단에 상응하는 보호막(110)과 게이트 절연막(104)에 레이저를 조사하여 제3 공통라인(102b3)의 양측 끝단이 절단된다.
- [0041] 이와 같이 제1 공통라인(102b1)과 제2 공통라인(102b2)를 절단하여 쇼트불량이 발생된 화소영역을 제1 공통라인(102b1)과 인접한 화소영역과 제2 공통라인(102b3)을 단절시킴으로써, 해당 화소영역을 리페어한다.

도면의 간단한 설명

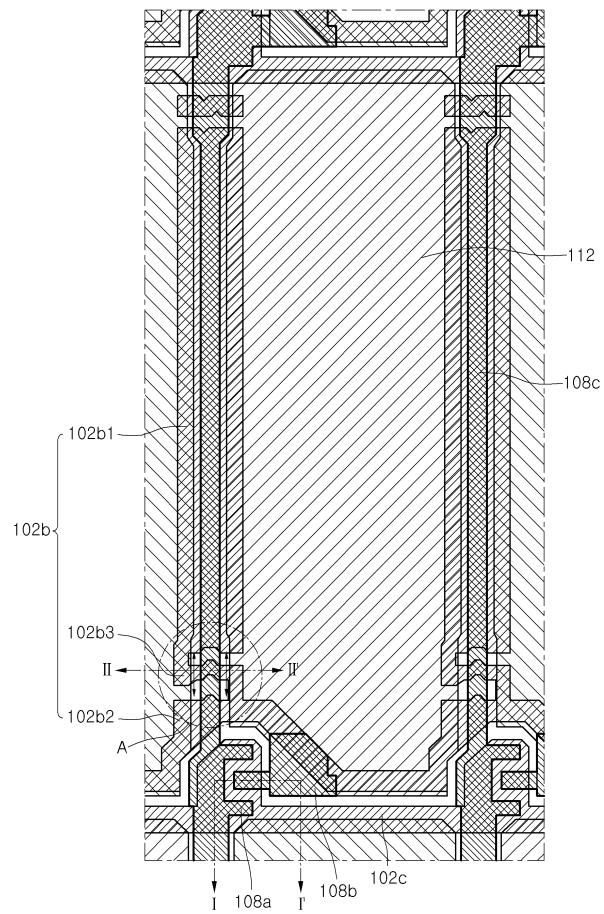
- [0042] 도 1은 일반적인 액정표시장치를 개략적으로 도시한 분해 사시도이다.
- [0043] 도 2a는 본 발명에 따른 리페어 패턴이 구비된 액정표시장치의 평면도이고, 도 2b는 도 2a의 I-I' 및 II-II'선상의 단면도이다.
- [0044] 도 3a 및 도 3b 내지 도 5a 및 도 5b는 본 발명에 따른 리페어 패턴이 형성된 액정표시장치의 제조방법을 도시한 공정 순서에 해당하는 평면도와 단면도이다.
- [0045] 도 6a 및 도 6b는 본 발명에 따른 액정표시장치의 리페어 방법을 도시한 평면도와 단면도이다.

도면

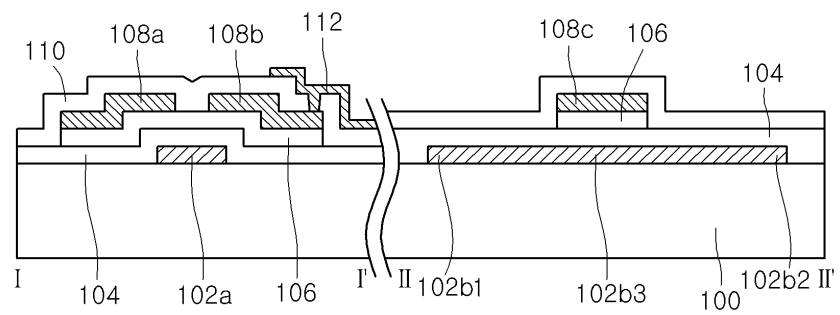
도면1



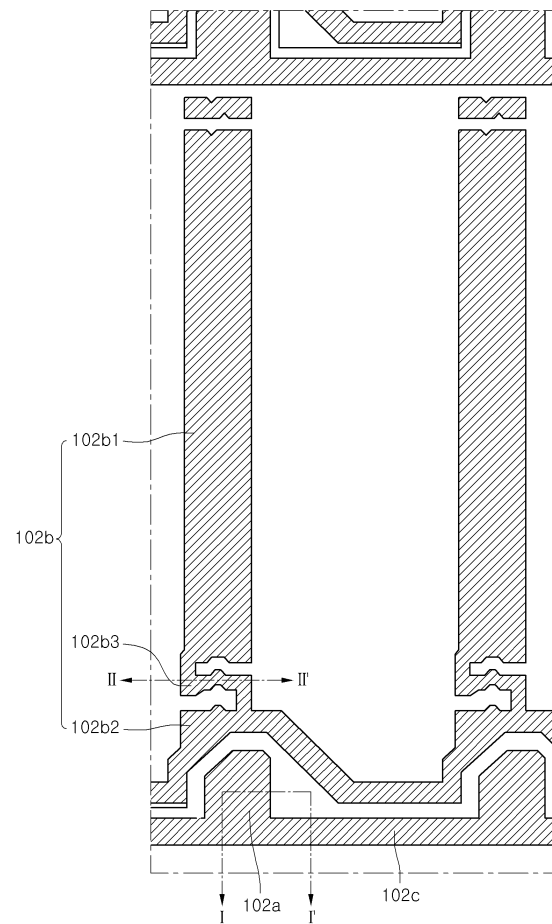
도면2a



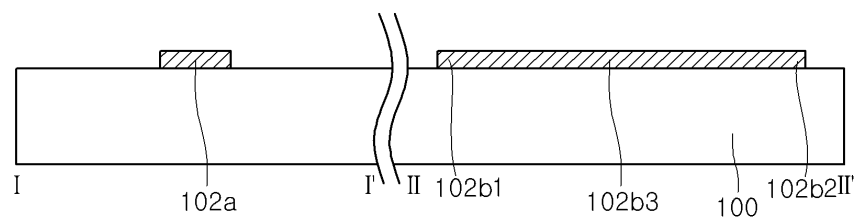
도면2b



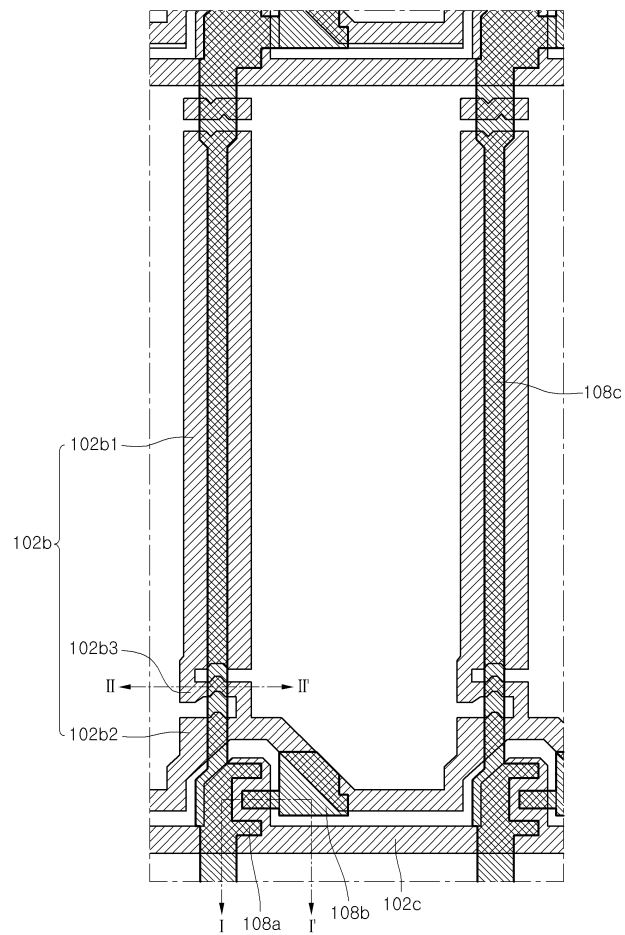
도면3a



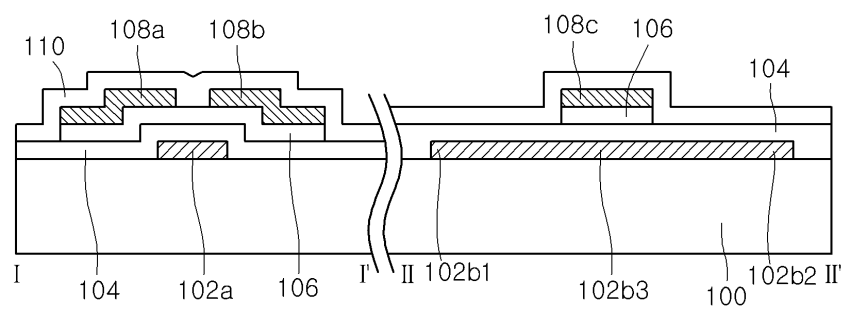
도면3b



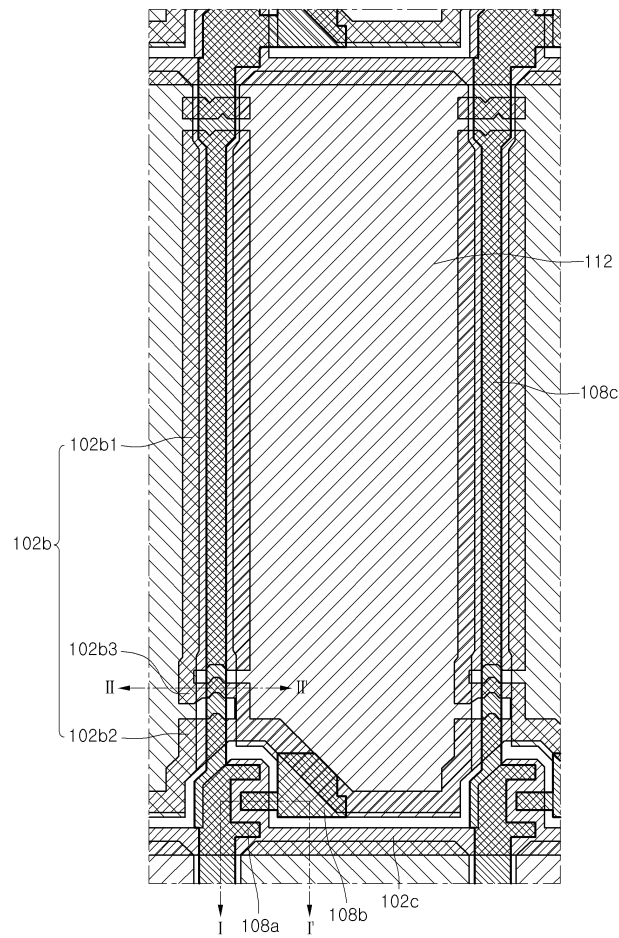
도면4a



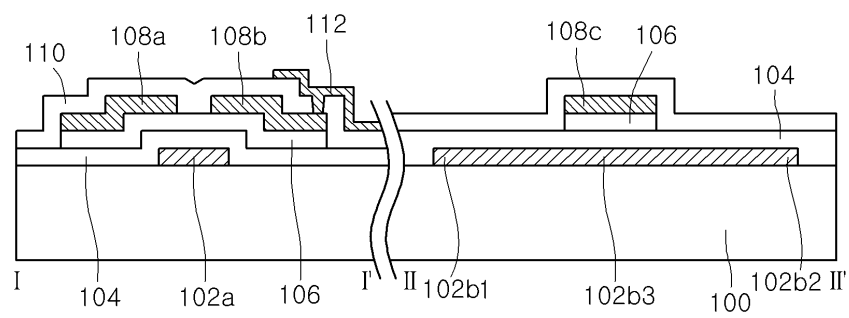
도면4b



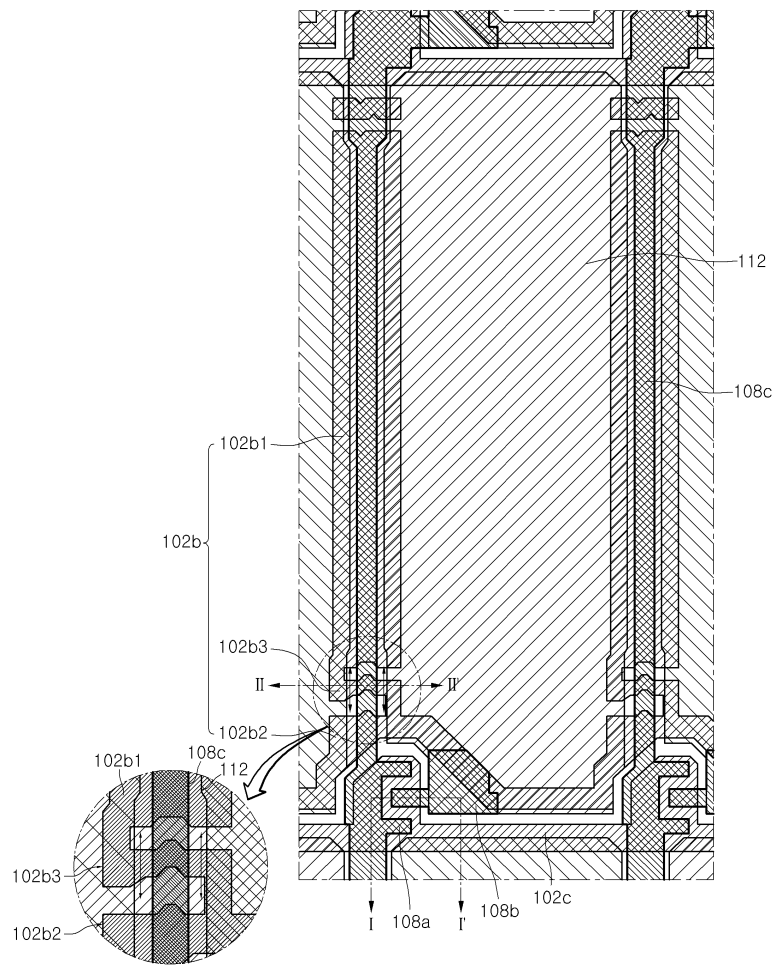
도면5a



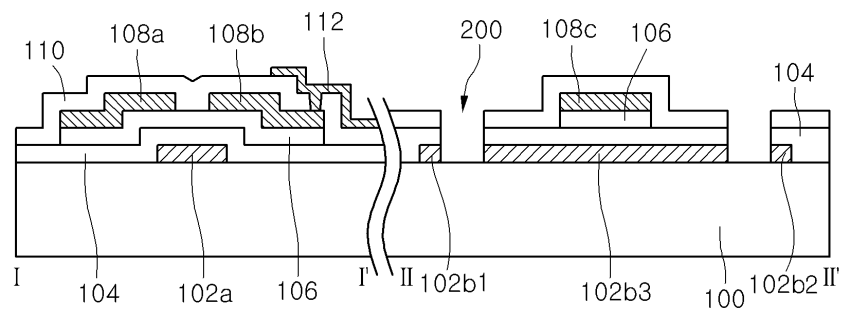
도면5b



도면6a



도면6b



专利名称(译)	液晶显示装置，其制造方法及其修复方法		
公开(公告)号	KR1020110064584A	公开(公告)日	2011-06-15
申请号	KR1020090121256	申请日	2009-12-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG DONG CHUN 강동춘 SEOK DAE YOUNG 석대영 KANG MON SOO 강문수 YOON JAE HO 윤재호 LEE HYUN JEONG 이현정		
发明人	강동춘 석대영 강문수 윤재호 이현정		
IPC分类号	G02F1/133 G02F1/13		
CPC分类号	G02F1/136259 H01L27/1214 H01L27/12 G02F2001/136263 H01L27/124		
其他公开文献	KR101225444B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示器及其制造方法及其修复方法，以不产生总像素区域的缺陷。组成：LCD包括如下。公共线（102b）形成在基板上的栅极线（102c），栅电极和栅极线的同一层上。在包括栅极线的衬底前表面上形成栅极绝缘层。形成数据线（108c）以对应于公共线的上部，并通过与栅极线交叉来限定像素区域。

