



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월04일
(11) 등록번호 10-1854702
(24) 등록일자 2018년04월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/136209 (2013.01)
(21) 출원번호 10-2017-0099527(분할)
(22) 출원일자 2017년08월07일
심사청구일자 2017년08월07일
(65) 공개번호 10-2017-0094530
(43) 공개일자 2017년08월18일
(62) 원출원 특허 10-2010-0075107
원출원일자 2010년08월03일
심사청구일자 2015년07월28일
(56) 선행기술조사문헌
CN101770125 A*
KR1020010063296 A*
KR1020060116711 A*
KR1020100048264 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이민직
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

전체 청구항 수 : 총 5 항

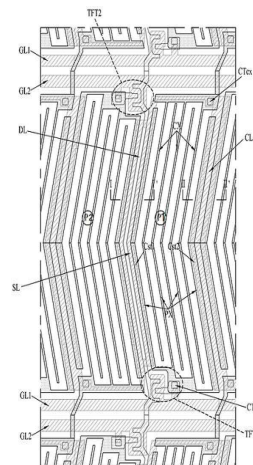
심사관 : 이수한

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 종 방향으로 공통 라인과 데이터 라인이 각 화소를 나누며 교번하여 위치하는 DRD 구조의 횡전계형 액정 표시 장치에 관한 것으로, 공통라인의 폭은 상기 데이터라인의 폭보다 크고, 상기 데이터라인 및 양측의 차폐라인의 폭을 합한 폭보다 작거나 같으며, 제 1, 제 2 화소의 제 1 화소전극과 제 2 화소전극은 각각 일측에 상기 데이터 라인에 이격없이 평행한 차폐라인과 상기 제 2 방향으로 중첩하는 제 1 최외곽 화소전극과, 타측에 상기 공통 라인과 상기 제 2 방향으로 중첩한 제 2 최외곽 화소전극을 구비하며, 상기 제 1 화소의 화소 영역과 상기 제 2 화소의 화소 영역의 상기 제 1 최외곽 화소전극과 제 2 최외곽 화소전극은 서로 좌우 대칭적으로 상기 공통 라인과 차폐 라인에 중첩함으로써, 개구율 감소가 최소화되며, 화질이 향상된다.

대표도



(52) CPC특허분류

G02F 1/136213 (2013.01)

G02F 1/136286 (2013.01)

G02F 2001/134318 (2013.01)

명세서

청구범위

청구항 1

제1 방향을 따라, 서로 절연되고 교번하여 구비된 제1 게이트라인과 제2 게이트라인;

상기 제1 방향에 수직한 제2 방향을 따라, 상기 제1 게이트라인과 제2 게이트라인에 교차되는 데이터라인;

상기 제2 방향을 따라 상기 데이터라인에 교번하며, 상기 제 1, 제 2 게이트 라인과 동일층에 위치하는 공통라인;

상기 공통라인에서 연장되어, 상기 공통 라인과 동일층에 위치하고, 상기 데이터 라인의 양측에 상기 제 2 방향으로 이격 없이 평행한 차폐라인;

상기 제1 게이트라인과 상기 데이터라인이 교차하는 영역에 형성되는 제1 트랜지스터;

하부 및 상부의 상기 제1 게이트라인 및 상기 제2 게이트 라인과, 좌우 양측의 상기 데이터라인 및 공통라인이 교차하여 정의되는 제1 화소의 화소영역에, 상기 제1 트랜지스터와 연결되며 복수개로 분기되는 제 1 화소전극;

상기 제1 화소의 화소영역에, 상기 제1 화소전극과 교번하여 형성되고, 상기 공통라인과 연결되는 제1 공통전극;

상기 제2 게이트라인과 상기 데이터라인이 교차하는 영역에 형성되는 제2 트랜지스터;

하부 및 상부의 상기 제 1 게이트 라인 및 상기 제2 게이트라인과 좌우 양측의 상기 공통 라인 및 데이터라인이 교차하여 정의되는 제2 화소의 화소영역에, 상기 제2 트랜지스터와 연결되며 복수개로 분기된 제2 화소전극; 및

상기 제2 화소의 화소영역에, 상기 제2 화소전극과 교번하여 형성되고, 상기 공통라인과 연결되는 제2 공통전극을 포함하며,

상기 공통라인의 폭은 상기 데이터라인의 폭보다 크고, 상기 데이터라인 및 양측의 차폐라인의 폭을 합한 폭보다 작거나 같으며,

상기 제 1 화소전극과 제 2 화소전극은 각각 일측에 상기 데이터 라인에 이격없이 평행한 차폐라인과 상기 제 2 방향으로 중첩하는 제 1 최외곽 화소전극과, 타측에 상기 공통 라인과 상기 제 2 방향으로 중첩한 제 2 최외곽 화소전극을 구비하며,

상기 제 1 화소의 화소 영역과 상기 제 2 화소의 화소 영역의 상기 제 1 최외곽 화소전극은 상기 차폐 라인에 대칭적으로 중첩하며,

상기 제 1 화소의 화소 영역과 상기 제 2 화소의 화소 영역의 상기 제 2 최외곽 화소전극은 상기 공통 라인에 대칭적으로 중첩한 액정표시장치.

청구항 2

제 1항에 있어서,

상기 제1 게이트라인과 제2 게이트라인, 상기 공통라인 및 상기 차폐라인이 상면에 형성되는 기관;

상기 제1 게이트라인과 제2 게이트라인, 상기 공통라인 및 상기 차폐라인을 포함한 상기 기관의 상면의 전면에 형성되고, 상기 데이터라인이 상면에 형성되는 제1 절연층; 및

상기 데이터라인을 포함한 상기 제1 절연층의 상면의 전면에 형성되고, 상기 제1 화소전극과 상기 제1 공통전극이 상면에 형성되는 제2 절연층을 더 포함하는 액정표시장치.

청구항 3

제 2항에 있어서,

상기 제 1 화소의 화소 영역에서,

상기 제1 절연층과 상기 제2 절연층을 사이에 두고, 상기 차폐라인과 상기 제1 최외곽 화소전극이 중첩하는 영역에서 발생하는 제1 스토리지 커패시터; 및

상기 제1 절연층과 상기 제2 절연층을 사이에 두고, 상기 공통라인과 상기 제 2 최외곽 화소전극이 중첩하는 영역에서 발생하는 제2 스토리지 커패시터를 더 포함하는 액정표시장치.

청구항 4

제 2항에 있어서,

상기 공통라인의 일부 영역에 대응하여, 상기 제1 절연층과 상기 제2 절연층에 형성되고, 상기 공통라인과 상기 제1 공통전극을 연결하는 공통전극콘택홀; 및

상기 제1 트랜지스터의 일부 영역에 대응하여, 상기 제2 절연층에 형성되고, 상기 제1 트랜지스터와 상기 제1 화소전극을 연결하는 화소전극콘택홀을 더 포함하는 액정표시장치.

청구항 5

제 2항에 있어서,

상기 제 2 화소의 화소 영역에서,

상기 제1 절연층과 상기 제2 절연층을 사이에 두고, 상기 차폐라인과 상기 제1 최외곽 화소전극이 중첩하는 영역에서 발생하는 제 3 스토리지 커패시터; 및

상기 제1 절연층과 상기 제2 절연층을 사이에 두고, 상기 공통라인과 상기 제 2 최외곽 화소전극이 중첩하는 영역에서 발생하는 제4 스토리지 커패시터를 더 포함하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은, 복수의 화소 중 인접한 두 개의 화소가 그 사이에 배치된 하나의 데이터라인을 공유하는 DRD(Double Reduced Data) 픽셀구조의 액정표시장치에 있어서, 화질이 향상될 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 본격적인 정보화 시대로 접어들어 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display)분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이 같은 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기전계발광 표시장치(Organic Light Emitting Display: OLED), 전기영동표시장치(Electrophoretic Display: EPD, Electric Paper Display), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro luminescence Display Device: ELD) 및 전기습윤표시장치(Electro-Wetting Display: EWD) 등을 들 수 있다. 이들은 공통적으로 영상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광물질 또는 편광물질층을 사이에 두고 한 쌍의 기판을 대면 합착시킨 구성을 갖는다. 그 중, 액정표시장치는 평판표시장치의 대표적인 예로써, 전계를 이용하여 액정의 광 투과율을 조절함으로써 영상을 표시하는 장치이다.

[0004] 일반적인 액정표시장치는, 서로 대향하는 하부기판과 상부기판, 하부기판과 상부기판 사이에 충전되는 액정층(Liquid Crystal Layer), 하부기판의 상면에 복수의 화소에 각각 대응하는 복수의 화소영역을 정의하고, 복수의 화소영역 각각에 대응하는 액정층의 광투과율을 각각 제어하는 트랜지스터 어레이, 복수의 화소영역 상에 서로 교번하여 형성되는 화소전극과 공통전극, 상부기판의 배면에 복수의 화소영역의 외곽에 해당되는 영역에서의 빛샘을 방지하도록 형성되는 블랙매트릭스, 트랜지스터 어레이에 게이트신호 및 데이터신호를 각각 인가하는 게이트 구동회로(Gate Driver Integrated Circuit, 이하, "게이트 D-IC"로 지칭함) 및 데이터 구동회로(Data

Driver Integrated Circuit, 이하, "데이터 D-IC"로 지칭함)를 포함하여 이루어진다. 여기서, 트랜지스터 어레이는, 복수의 화소영역이 각각 정의되도록 교차배치되는 게이트라인과 데이터라인, 게이트라인과 데이터라인이 교차하는 영역에 각각 배치되고, 화소전극과 연결되는 복수의 트랜지스터를 포함한다.

- [0005] 이와 같이 구성되는 액정표시장치는, 게이트신호에 응답하여 각 화소에 대응하는 트랜지스터가 선택적으로 턴온하고, 턴온한 트랜지스터와 연결되는 화소전극에 데이터신호에 대응하는 화소전압이 인가되어 화소전극과 공통전극 사이에 소정의 전계가 발생되고, 이때의 전계에 의해 액정 셀의 방향이 변동하여, 각 화소의 광투과율, 즉, 휘도가 조절됨으로써, 영상을 표시한다.
- [0006] 한편, 게이트라인과 연결되는 게이트 D-IC는 복수의 트랜지스터를 순차적으로 턴온시키는 게이트신호를 생성하는 것으로, 비교적 간단한 회로로 구현될 수 있다. 그러나, 데이터라인과 연결되는 데이터 D-IC는, 화소 각각에 대응하는 데이터신호를 생성하여야 하므로, 게이트 D-IC에 비해 복잡한 회로로 구현된다. 이에 따라, 인접한 두 개의 화소가 그 사이에 배치된 하나의 데이터라인을 공유하여, 게이트 D-IC보다 고가인 데이터 D-IC의 개수를 절반으로 줄일 수 있어, 제조비용이 절감될 수 있는 DRD(Double Reduced Data) 픽셀구조의 액정표시장치가 제안되었다.
- [0007] 도 1은 일반적인 DRD(Double Reduced Data) 픽셀구조의 액정표시장치에 대한 등가회로도이다. 그리고, 도 2a는 종래기술에 따른 DRD(Double Reduced Data) 픽셀구조의 액정표시장치를 나타낸 평면도이고, 도 2b는 도 2a에 도시된 액정표시장치의 출광면을 나타낸 이미지이다.
- [0008] 도 1에 도시된 바와 같이, 복수의 화소(P1, P2) 중 인접한 두 개의 열에 배치된 화소들은 두 열 사이의 데이터라인(DL)에 공통으로 연결되고, 하나의 데이터라인에 공통으로 연결되는 두 개의 화소 중 제1 화소(P1)는 제1 게이트라인(GL1)과 연결되고, 제2 화소(P2)는 제2 게이트라인(GL2)과 연결된다.
- [0009] 구체적으로, 도 2a에 도시된 바와 같이, 종래 기술에 따른 DRD(Double Reduced Data) 픽셀구조의 액정표시장치는, 가로 방향을 따라 교번하여 배치되는 제1 게이트라인(GL1)과 제2 게이트라인(GL2), 세로 방향으로 교번하여 배치되는 데이터라인(DL)과 공통라인(CL), 제1 게이트라인(GL1)과 데이터라인(DL)이 교차하는 영역에 배치되는 제1 화소(P1)의 트랜지스터(TFT1), 제2 게이트라인(GL2)과 데이터라인(DL)이 교차하는 영역에 배치되는 제2 화소(P2)의 트랜지스터(TFT2), 제1 게이트라인(GL1) 또는 제2 게이트라인(GL2)과 데이터라인(DL)에 의해 정의되는 화소영역에서 서로 교번하여 형성되는 화소전극(PX)과 공통전극(CL), 공통라인(CL)에서 연장되어 데이터라인(DL)의 양측에 평행하게 배치되는 차폐라인(SL) 및 화소영역에서, 화소전극(PX)의 가로방향 영역과, 공통라인(CL)에서 연장되는 하부전극이, 서로 적어도 일부 중첩하여 형성되는 스토리지 커패시터(Cst: Storage Capacitor)를 포함하여 이루어진다. 이때, 제1 화소(P1) 및 제2 화소(P2) 각각에서, 화소전극(PX)은 화소전극콘택홀(CTpx)을 통해 제1 트랜지스터(TFT1) 또는 제2 트랜지스터(TFT2)에 연결되고, 공통전극(CX)은 공통전극콘택홀(CTcx)을 통해 공통라인(CL)에 연결된다. 스토리지 커패시터(Cst)는, 공통전극(CX)과 화소전극(PX) 사이에 병렬로 연결되어, 트랜지스터(TFT)가 턴오프한 이후에도 공통전극(CX)과 화소전극(PX) 사이의 전압차가 일정 시간 동안 유지되도록 한다. 그리고 차폐라인(SL)은 데이터 신호에 의한 데이터라인(DL)의 전위로 인해 액정 셀이 오작동하는 것을 방지한다.
- [0010] 그런데, 종래기술에 따르면, 스토리지 커패시터(Cst)는 화소영역의 일부영역을 차지하고 있으므로, 스토리지 커패시터(Cst)에 할당되는 영역만큼, 개구율이 감소되는 문제점이 있다.
- [0011] 그리고, 데이터라인(DL)과 차폐라인(SL)이 인접하게 배치되어 있으므로, 데이터신호가 인가된 데이터라인(DL)과 공통전압이 인가된 차폐라인(SL) 사이에서 소정의 전계가 발생할 수 있다. 이때, 데이터라인(DL)과 차폐라인(SL) 사이의 전계에 의해, 화소영역의 외곽에 위치한 액정 셀의 방향이 변동하여, 빛샘이 발생할 수 있다. 이러한 데이터라인(DL)과 차폐라인(SL) 사이의 전계에 의한 화소영역 외곽의 빛샘을 차단하기 위하여, 데이터라인(DL) 상부의 블랙매트릭스는 데이터라인(DL)과 차폐라인(SL)을 모두 커버할 수 있을 정도의 넓은 너비(이하, "제1 너비"로 지칭함)로 형성된다. 이에 반해, 데이터라인(DL)과 교번하여 배치되는 공통라인(CL)은 다른 인접한 구성요소와 전계를 형성하지 않으므로, 화소영역 외곽의 빛샘 발생에 관계없이, 공통라인(CL) 상부의 블랙매트릭스가 공통라인(CL)과 유사한 작은 너비(이하, "제2 너비"로 지칭함)로 형성될 수 있다.
- [0012] 하지만, 제1 너비와 제2 너비가 임계값 이상의 큰 차이를 갖는다면, 도 2b에 도시된 바와 같이, 데이터라인(DL) 상부의 블랙매트릭스(BM(DL))가 공통라인(CL) 상부의 블랙매트릭스(BM(CL))보다 두드러져 보이는 시인성 문제가 발생된다. 이러한 시인성 문제는, 공통라인(CL)을 사이에 두고 인접한 화소들이 뚜렷히 구별되지 못하도록 하므로, 화질을 감소시킨다.

[0013] 그러므로, 시인성 문제에 의한 화질 감소를 방지하기 위하여, 공통라인(CL) 상부의 블랙매트릭스도 제1 너비와 유사한 너비로 형성되어야만 한다. 이와 같이, 공통라인(CL) 상부의 블랙매트릭스가 넓게 형성됨에 따라, 개구율(여기서, 개구율은 표시영역에 대비한 광이 방출되는 영역의 면적비를 의미함)이 불필요하게 감소되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0014] 이에 따라, 본 발명은, DRD(Double Reduced Data) 픽셀구조의 액정표시장치에 있어서, 개구율의 감소를 최소화하여, 화질이 향상될 수 있는 액정표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0015] 이와 같은 과제를 해결하기 위하여, 본 발명은 종 방향으로 공통 라인과 데이터 라인이 각 화소를 나누며 교번하여 위치하는 DRD 구조의 횡전계형 액정 표시 장치에 관한 것으로, 공통라인의 폭은 상기 데이터라인의 폭보다 크고, 상기 데이터라인 및 양측의 차폐라인의 폭을 합한 폭보다 작거나 같으며, 제 1, 제 2 화소의 제 1 화소전극과 제 2 화소전극은 각각 일측에 상기 데이터 라인에 이격없이 평행한 차폐라인과 상기 제 2 방향으로 중첩하는 제 1 최외곽 화소전극과, 타측에 상기 공통 라인과 상기 제 2 방향으로 중첩한 제 2 최외곽 화소전극을 구비하며, 상기 제 1 화소의 화소 영역과 상기 제 2 화소의 화소 영역의 상기 제 1 최외곽 화소전극과 제 2 최외곽 화소전극은 서로 좌우 대칭적으로 상기 데이터 라인과 공통 라인에 중첩한다.

발명의 효과

[0016] 이상과 같이, 본 발명에 따른 액정표시장치는, 화소영역의 외곽에 인접하여 형성되어, 데이터라인의 전위에 의한 오작동을 방지하기 위한 차폐라인과 적어도 일부 중첩되고, 공통라인과 적어도 일부 중첩하는 화소전극, 및 차폐라인과 화소전극이 중첩하는 영역과, 공통라인과 화소전극이 중첩하는 영역 각각에서 발생하는 스토리지 커패시터를 포함한다. 이와 같이 스토리지 커패시터가 화소 영역의 양측에서 발생되므로, 화소전극을 형성하기 위한 마스크의 정렬오차가 발생되더라도, 커패시턴스가 유지될 수 있다. 이에 따라, 각 화소에 대응한 스토리지 커패시터의 커패시턴스 차이로 인한 화질 저하가 방지된다.

[0017] 그리고, 스토리지 커패시터가, 화소영역 내에 할당되지 않고, 데이터라인 상부의 블랙매트릭스에 의해 가려지는 화소영역 외곽과, 시인성 문제로 인하여, 데이터라인 상부의 블랙매트릭스와 유사한 넓은 너비로 형성되어야 하는 공통라인 상부의 블랙매트릭스에 의해 가려지는 화소영역 외곽에 형성되므로, 스토리지 커패시터에 의한 개구율 감소가 최소화되어, 화질이 향상될 수 있다.

도면의 간단한 설명

[0018] 도 1은 일반적인 DRD(Double Reduced Data) 픽셀구조의 액정표시장치에 대한 등가회로도이다.
 도 2a는 종래기술에 따른 DRD(Double Reduced Data) 픽셀구조의 액정표시장치를 나타낸 평면도이다.
 도 2b는 도 2a에 도시된 액정표시장치의 출광면을 나타낸 이미지이다.
 도 3a는 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도이다.
 도 3b는 도 3a에 도시된 I-I'와 II-II'의 단면도이다.
 도 4a는 도 3b에 도시된 액정표시장치에 있어서, 마스크가 일측으로 쉬프트되는 경우에 스토리지 커패시터의 변화를 나타낸 단면도이다.
 도 4b는 도 3b에 도시된 액정표시장치에 있어서, 마스크가 다른 일측으로 쉬프트되는 경우에 스토리지 커패시터의 변화를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시예에 따른 액정표시장치에 대하여, 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.

[0020] 도 3a는 본 발명의 실시예에 따른 액정표시장치를 나타낸 평면도이고, 도 3b는 도 3a에 도시된 I-I'와 II-II'

II'의 단면도이다. 그리고, 도 4a는 도 3b에 도시된 액정표시장치에 있어서, 마스크가 일측으로 쉬프트되는 경우에 스토리지 커패시터의 변화를 나타낸 단면도이고, 도 4b는 도 3b에 도시된 액정표시장치에 있어서, 마스크가 다른 일측으로 쉬프트되는 경우에 스토리지 커패시터의 변화를 나타낸 단면도이다.

[0021] 도 3a에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는, 제1 방향(도 3a에서 가로 방향에 해당됨)을 따라, 서로 절연되고 교번하여 형성되는 제1 게이트라인(GL1: Gate Line 1)과 제2 게이트라인(GL2: Gate Line 2), 제1 방향에 수직인 제2 방향(도 3a에서 세로 방향에 해당됨)을 따라, 제1 게이트라인(GL1)과 제2 게이트라인(GL2)에 교차하여 형성되는 데이터라인(DL: Data Line), 제2 방향을 따라, 데이터라인(DL)에 교번하여 형성되는 공통라인(CL: Common Line), 공통라인(CL)에서 연장되어, 데이터라인(DL)의 양측에 인접하고 평행하게 형성되는 차폐라인(SL: Shield Line), 제1 게이트라인(GL1)과 데이터라인(DL)이 교차하는 영역에 형성되는 제1 트랜지스터(TFT1: Thin Film Transistor 1), 제1 게이트라인(GL1)과 데이터라인(DL)이 교차하여 정의되는 제1 화소(P1: Pixel 1)의 화소영역에 형성되고, 제1 트랜지스터(TFT1)와 연결되며, 제1 화소(P1)의 화소영역 외곽에서 제2 방향으로 공통라인(CL) 및 차폐라인(SL)과 각각 적어도 일부 중첩하는 제1 화소전극(PX: Pixel Electrode), 제1 화소(P1)의 화소영역에 제1 화소전극(PX)과 교번하여 형성되고, 공통라인(CL)과 연결되는 제1 공통전극(CX: Common Electrode), 차폐라인(SL)과 제1 화소전극(PX)이 중첩하는 영역에서 발생하는 제1 스토리지 커패시터(Cst1: Storage Capacitor 1), 공통라인(CL)과 제1 화소전극(PX)이 중첩하는 영역에서 발생하는 제2 스토리지 커패시터(Cst2: Storage Capacitor 2), 제2 게이트라인(GL2)과 데이터라인(DL)이 교차하는 영역에 형성되는 제2 트랜지스터(TFT2: Thin Film Transistor 2), 제2 게이트라인(GL2)과 데이터라인(DL)이 교차하여 정의되는 제2 화소(P2: Pixel 2)의 화소영역에 형성되고, 제2 트랜지스터(TFT2)와 연결되며, 제2 화소(P2)의 화소영역 외곽에서 제2 방향으로 공통라인(CL) 및 차폐라인(SL)과 적어도 일부 중첩하는 제2 화소전극(PX), 제2 화소(P1)의 화소영역에 제2 화소전극(PX)과 교번하여 형성되고, 공통라인(CL)과 연결되는 제2 공통전극(CX), 차폐라인(SL)과 제2 화소전극(PX)이 중첩하는 영역에서 발생하는 제3 스토리지 커패시터(부호없음), 공통라인(CL)과 제2 화소전극(PX)이 중첩하는 영역에서 발생하는 제4 스토리지 커패시터(부호없음)를 포함하여 이루어진다.

[0022] 여기서, 도 3b에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는, 서로 대향 합착되는 하부기판(110)과 상부기판(120), 하부기판(110)과 상부기판(120) 사이에 충전되는 액정층(130)을 포함하여 이루어진다.

[0023] 구체적으로, 하부기판(110)은, 제1 지지기판(111), 제1 지지기판(111)의 상면에 동일층으로 형성되는 제1, 2 게이트라인(GL1, GL2), 공통라인(CL) 및 차폐라인(SL), 제1, 2 게이트라인(GL1, GL2), 공통라인(CL) 및 차폐라인(SL)을 포함한 제1 지지기판(111)의 상면의 전면에 형성되는 제1 절연층(112), 제1 절연층(112)의 상면에 형성되는 데이터라인(DL), 데이터라인(DL) 및 제1, 2 트랜지스터(TFT1, TFT2)를 포함한 제1 절연층(112)의 상면의 전면에 형성되는 제2 절연층(113), 제2 절연층(113) 상에, 투명도전성물질로 형성되는 제1, 2 화소전극(PX), 제1, 2 공통전극(CX)을 포함하여 이루어진다. 이때, 투명도전성물질은, ITO, ZnO 등과 같은 금속산화물 또는 불순물이 도핑된 금속산화물 등이 있다.

[0024] 그리고, 상부기판(120)은, 제2 지지기판 및 제2 지지기판의 배면에, 제1, 2 게이트라인(GL1, GL2), 공통라인(CL), 차폐라인(SL), 데이터라인(DL), 제1, 2 트랜지스터(TFT1, TFT2)를 각각 커버하여, 화소영역 외곽에서의 빛샘을 차단하는 블랙매트릭스(BM)을 포함하여 이루어진다.

[0025] 이와 같이 구성되는 액정표시장치는, 복수의 화소 중 인접한 두 개의 화소가 그 사이에 배치된 하나의 데이터라인을 공유하는 DRD(Double Reduced Data) 픽셀구조를 갖는다. 이때, 복수의 화소는 제1 게이트라인(GL1)에 연결되는 제1 화소(P1)와 제2 게이트라인(GL2)에 연결되는 제2 화소(P2)로 구분되고, 데이터라인(DL)을 사이에 두고 인접한 제1 화소(P1)와 제2 화소(P2)는 사이에 위치한 데이터라인(DL)에 공통으로 연결된다. 즉, 본 발명의 실시예에 따른 액정표시장치에서, 복수의 화소(P1, P2)가 배치되는 행의 개수와, 게이트라인(GL)의 개수는 1:2의 비율이 되고, 복수의 화소(P1, P2)가 배치되는 열의 개수와, 데이터라인(DL)의 개수는 2:1의 비율이 된다. 그러므로, 종래의 액정표시장치와 비교해보면, DRD(Double Reduced Data) 픽셀구조의 액정표시장치에서, 게이트 구동회로의 개수는 2배로 늘어나고, 데이터 구동회로의 개수는 절반으로 줄어든다. 이에 따라, 높은 가격의 데이터 구동회로를 절반으로 줄일 수 있어, 제조비용이 절감될 수 있다.

[0026] 그리고, 제1 화소(P1)와 제2 화소(P2)는, 도 3a에 도시된 바와 같이, 제1 방향으로 교번하여 배치될 수 있고, 또는, 별도로 도시하고 있지 않으나, 제2 방향으로 또는 제1 방향과 제2 방향으로 교번하여 배치될 수 있다.

[0027] 도 3a에 도시된 바와 같이, 한 쌍의 제1 게이트라인(GL1)과 제2 게이트라인(GL2)과 다른 한 쌍의 제1 게이트라인(GL1)과 제2 게이트라인(GL2) 사이의 간격은, 화소영역의 제2 방향 너비로 정의된다. 본 발명의 실시예를 설

명함에 있어서, 편의상 게이트라인을 제1 화소(P1)에 연결되는 제1 게이트라인(GL1)과 제2 화소(P2)에 연결되는 제2 게이트라인(GL2)으로 구분하였으나, 게이트 구동회로(Gate Drive IC)는 제1 게이트라인(GL1)과 제2 게이트라인(GL2)에 관계없이 순차적으로 게이트신호를 인가할 수 있고, 제1 게이트라인(GL1)과 제2 게이트라인(GL2) 별로 순차적으로 게이트신호를 인가하는 것도 가능하다.

[0028] 데이터라인(DL)은, 데이터라인(DL)의 양측에 배치되는 제1 화소(P1)와 제2 화소(P2)에 의해 공유된다. 이때, 제1 게이트라인(GL1)과 데이터라인(DL)이 교차하여, 제1 화소(P1)의 화소영역이 정의되고, 제2 게이트라인(GL2)과 데이터라인(DL)이 교차하여, 제2 화소(P2)의 화소영역이 정의된다.

[0029] 공통라인(CL)은, 제2 방향을 따라 데이터라인(DL)에 교번하여 배치된다. 이때, 데이터라인(DL)과 공통라인(CL) 사이의 간격은 화소영역의 제1 방향 너비로 정의된다. 그리고, 차폐라인(SL)은, 공통라인(CL)에서 연장되어 데이터라인(DL)의 양측에 나란하게 배치된다. 이에, 도 3a에 도시된 바와 같이, 공통라인(CL)과 차폐라인(SL)은 서로 연결되어, 일측이 개구된 'ㄷ'자 형태로 각 화소영역의 외곽을 둘러싸고, 90도 회전한 'ㄱ'자 형태로 인접한 두 개의 화소(P1, P2)의 화소영역 외곽을 둘러싸도록 배치된다.

[0030] 또한, 도 3b에 도시된 바와 같이, 차폐라인(SL)은 데이터라인(DL)의 양측에 평행하게 배치되어, 데이터 신호에 의한 데이터라인(DL)의 전위로 인해 액정 셀이 오작동하는 것을 최소화한다.

[0031] 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2) 각각은, 도 3a에서 상세히 도시되어 있지 않으나, 제1 게이트라인(GL1) 또는 제2 게이트라인(GL2)에서 분기되는 게이트전극, 제1 절연층(112) 상에 게이트전극과 적어도 일부 중첩하여 형성되는 반도체층, 반도체층 상에 데이터라인(DL)에서 분기되는 게이트전극의 일측에 중첩하는 소스전극 및 반도체층 상에 게이트전극의 다른 일측에 중첩하는 드레인전극을 포함하여 이루어진다.

[0032] 도 3b에 도시된 바와 같이, 공통라인(CL)과 공통전극(CX)은, 서로 다른 층에, 제1 절연층(112)과 제2 절연층(113)으로 절연된다. 이에, 도 3a에 도시된 바와 같이, 공통라인(CL)과 공통전극(CX)은, 공통라인(CL)의 일부 영역에 대응하여 제1 절연층(112)과 제2 절연층(113)에 형성되는 공통전극콘택홀(CTcx)을 통해, 서로 연결된다. 이와 마찬가지로, 제1, 2 트랜지스터(TFT1, TFT2)의 드레인전극과 화소전극(PX)은 서로 다른 층에 형성되어 제2 절연층(113)으로 절연되므로, 제1, 2 트랜지스터(TFT1, TFT2)의 드레인전극의 일부 영역에 대응하여 제2 절연층(113)에 형성되는 화소전극콘택홀(CTpx)을 통해, 서로 연결된다.

[0033] 제1, 2 화소전극(PX)과 제1, 2 공통전극(CX)은 제2 방향으로 각각 형성된다. 이때, 제1, 2 화소전극(PX)은, 제1, 2 공통전극(CX)보다 화소영역의 외곽에 인접하여 배치되어, 제2 방향에서 차폐라인(SL) 및 공통라인(CL)과 적어도 일부 중첩된다.

[0034] 즉, 도 3b에 도시된 바와 같이, 제1 화소(P1)의 화소영역 외곽 중 제2 방향의 좌측모서리에 인접하게 배치되는 제1 화소전극(PX)의 일부는, 제2 절연층(113)을 사이에 두고, 차폐라인(SL)과 적어도 일부 중첩한다. 이와 같이, 제2 방향을 따라, 제1 화소전극(PX)과 차폐라인(SL)이 중첩하는 영역에서, 제1 스토리지 커패시터(Cst1)가 발생된다. 이때, 제1 스토리지 커패시터(Cst1)의 커패시턴스(capacitance: 정전용량)는, 제1 화소전극(PX)과 차폐라인(SL)이 중첩하는 영역의 면적에 비례한다.

[0035] 그리고, 제1 화소(P1)의 화소영역 외곽 중 제2 방향의 우측모서리에 인접하게 배치되는 제1 화소전극(PX)의 일부는, 제1 절연층(112) 및 제2 절연층(113)을 사이에 두고, 공통라인(CL)과 적어도 일부 중첩한다. 이와 같이, 제2 방향을 따라 제1 화소전극(PX)과 공통라인(CL)이 중첩하는 영역에서, 제2 스토리지 커패시터(Cst2)가 발생된다. 이때, 제2 스토리지 커패시터(Cst2)의 커패시턴스(capacitance: 정전용량)는, 제1 화소전극(PX)과 공통라인(CL)이 중첩하는 영역의 면적에 비례한다.

[0036] 이와 같이, 제1 화소전극(PX)과 차폐라인(SL)이 적어도 일부 중첩하여 발생하는 제1 스토리지 커패시터(Cst1)와, 제1 화소전극(PX)과 공통라인(CL)이 적어도 일부 중첩하여 발생하는 제2 스토리지 커패시터(Cst2)는, 제1 화소(P1)에 대응한 스토리지 커패시터를 정의한다. 이때, 제1 화소(P1)에 대응한 스토리지 커패시터는 제1 트랜지스터(TFT1)가 턴오프한 이후부터 소정 시간동안 화소전극(PX)과 공통전극(CX) 사이의 전압차를 유지하여, 제1 화소(P1)의 휘도가 안정적으로 구현될 수 있도록 한다.

[0037] 이와 마찬가지로, 제2 화소(P2)의 화소영역 외곽 중 제2 방향의 좌측모서리에 인접하게 배치되는 제2 화소전극(PX)의 일부와 공통라인(CL)이 서로 적어도 일부 중첩하여, 제2 방향을 따라 제3 스토리지 커패시터가 발생된다. 그리고, 제2 화소(P2)의 화소영역 외곽 중 제2 방향의 우측모서리에 인접하게 배치되는 제2 화소전극(PX)의 일부와 차폐라인(SL)이 서로 적어도 일부 중첩하여, 제2 방향을 따라 제4 스토리지 커패시터가 발생된다. 이때, 제2 화소(P2)에 대응한 스토리지 커패시터는 제3 스토리지 커패시터와 제4 스토리지 커패시터

로 정의되고, 제2 화소(P2)에 대응한 스토리지 커패시터의 커패시턴스는 제2 화소전극(PX)과 공통라인(CL) 및 제2 화소전극(PX)과 차폐라인(SL)이 각각 중첩되는 영역의 면적에 비례한다.

- [0038] 한편, 제1 화소(P1)의 스토리지 커패시터와 제2 화소(P2)의 스토리지 커패시터가 서로 다른 커패시턴스를 갖는 경우, 스토리지 커패시터의 커패시턴스에 따라, 화소 간에 휘도 유지시간이 달라지게 되므로, 화질이 감소하게 된다. 이에 따라, 화질 감소를 방지하기 위해서는, 복수의 화소 전체, 특히, 인접한 화소들이 동일한 커패시턴스의 스토리지 커패시터를 가져야만 한다.
- [0039] 앞서 언급한 바와 같이, 제1, 2 화소전극(PX), 제1, 2 공통전극(CX)은 제2 절연층(113) 상에 투명도전성물질로 형성된다. 즉, 제1, 2 화소전극(PX), 제1, 2 공통전극(CX)은, 제2 절연층(113) 상에 투명도전성물질을 증착하고, 증착된 투명도전성물질을 마스크를 이용한 노광을 통해 패터하여, 형성된다. 이때, 마스크가 정확하게 정렬(align, 얼라인)된 경우라면, 도 3b에 도시된 바와 같이, 제2 방향으로 화소영역 외곽 중 제2 방향의 양측 모서리에 발생하는 스토리지 커패시터의 커패시턴스가 설계대로 발생된다.
- [0040] 본 발명의 실시예에 따르면, 각 화소에 대응한 스토리지 커패시터는 화소영역 외곽 중 제2 방향의 양측 모서리 각각에서 발생(Cst1, Cst2)되어 이들의 합으로 정의된다. 이에 따라, 투명도전성물질을 노광하기 위한 마스크가 제2 방향 중 어느 일측으로 치우치는 정렬오차가 발생되더라도, 각 화소에 대응한 스토리지 커패시터의 커패시턴스는 동일하게 유지될 수 있다.
- [0041] 즉, 투명도전성물질을 노광하기 위한 마스크가 제2 방향에서 일측으로 치우쳐진 정렬오차가 발생한 경우, 도 3b와 도 4a를 비교해보면, 마스크의 정렬오차에 의해, 제1 화소전극(PX)과 차폐라인(SL)이 중첩하는 영역의 면적이 감소하여, 제1 스토리지 커패시터(Cst1)의 커패시턴스는 감소하는 반면, 제1 화소전극(PX)과 공통라인(SL)이 중첩하는 영역의 면적은 증가하여, 제2 스토리지 커패시터(Cst2)의 커패시턴스는 증가된다. 그러므로, 제1 스토리지 커패시터(Cst1)와 제2 스토리지 커패시터(Cst2)의 커패시턴스 총합은 종전과 유사하게 유지될 수 있다.
- [0042] 이와 마찬가지로, 투명도전성물질을 노광하기 위한 마스크가 제2 방향에서 다른 일측으로 치우쳐진 정렬오차가 발생한 경우, 도 3b와 도 4b를 비교해보면, 마스크의 정렬오차에 의해, 제1 화소전극(PX)과 차폐라인(SL)이 중첩하는 영역의 면적은 증가하여, 제1 스토리지 커패시터(Cst1)의 커패시턴스는 증가된다. 이와 동시에, 마스크의 정렬오차에 의해, 제1 화소전극(PX)과 공통라인(SL)이 중첩하는 영역의 면적은 감소하여, 제2 스토리지 커패시터(Cst2)의 커패시턴스는 감소된다. 즉, 마스크의 정렬오차에 의해, 제1 스토리지 커패시터(Cst1)의 커패시턴스는 증가되고, 제2 스토리지 커패시터(Cst2)의 커패시턴스는 감소된다. 그러므로, 제1 스토리지 커패시터(Cst1)와 제2 스토리지 커패시터(Cst2)의 커패시턴스 총합은 종전과 유사하게 유지될 수 있다.
- [0043] 이와 같이, 본 발명의 실시예에 따르면, 마스크의 정렬오차에 관계 없이, 제1 스토리지 커패시터(Cst1)와 제2 스토리지 커패시터(Cst2)의 커패시턴스 총합으로 정의되는 제1 화소(P1)에 대응한 전체 스토리지 커패시터의 커패시턴스는 그대로 유지될 수 있다. 따라서, 마스크의 정렬오차에 의해 각 화소가 서로 다른 커패시턴스의 스토리지 커패시턴스를 포함하는 것이 방지되므로, 화질 저하가 방지될 수 있다.
- [0044] 한편, 본 발명의 실시예에 따르면, 데이터라인(DL) 상부의 블랙매트릭스(BM)는, 도 3b에 도시된 바와 같이, 데이터라인(DL)과 차폐라인(SL) 사이의 전계에 의한 빛샘을 차단하기 위하여, 데이터라인(DL)과 차폐라인(SL) 전체를 커버할 수 있을 정도의 넓은 너비로 형성된다. 이때, 제1 스토리지 커패시터(Cst1)는 데이터라인(DL)에 인접하게 배치되는 차폐라인(SL)의 일부를 하부전극으로 이용하여 형성된다. 즉, 제1 스토리지 커패시터(Cst1)의 형성은, 데이터라인(DL) 상부의 블랙매트릭스(BM)에 의해 가려지는 화소영역의 외곽 영역을 활용함으로써, 제1 스토리지 커패시터(Cst1)에 의한 부가적인 개구율 감소가 방지될 수 있다.
- [0045] 그리고, DRD 픽셀구조의 액정표시장치에서, 공통라인(CL) 상부의 블랙매트릭스(BM)는 데이터라인(DL) 상부의 블랙매트릭스(BM)가 도드라져 보이는 시인성 문제를 방지하기 위하여, 데이터라인(DL) 상부의 블랙매트릭스(BM)과 유사한 너비로 형성된다. 이때, 본 발명의 실시예에 따르면, 제2 스토리지 커패시터(Cst2)는 공통라인(CL)의 일부를 하부전극으로 이용하여 형성되므로, 공통라인(CL) 상부의 블랙매트릭스(BM)에 의해 불가피하게 가려지는 화소영역의 외곽 영역을 활용할 수 있어, 제2 스토리지 커패시터(Cst2)에 의한 부가적인 개구율 감소가 방지될 수 있다.
- [0046] 이와 같이, 제1, 2 스토리지 커패시터(Cst1, Cst2)가 화소영역 외곽에 형성됨에 따라, 도 2a에 도시된 종래의 액정표시장치와 개구율을 비교한 결과, 본 발명에 따른 액정표시장치는 종래보다 약 10% 정도 개구율이 향상되는 것을 확인하였다.
- [0047] 이상과 같이, 본 발명의 실시예에 따른 액정표시장치는, 데이터라인(DL)을 사이에 두고 인접한 화소들이, 그 사

이에 배치된 데이터라인(DL)을 공유함으로써, 데이터라인(DL)에 연결되는 데이터 구동 회로(Data Driver IC)의 개수를 줄일 수 있어, 제조비용을 절감할 수 있다.

[0048] 그리고, 본 발명의 실시예에 따르면, 화소전극(PX)은 화소영역의 외곽에 인접하여 형성되어, 데이터라인(DL)의 전위에 의한 오작동을 방지하기 위한 차폐라인(SL)과 적어도 일부 중첩되고, 공통라인(CL)과 적어도 일부 중첩함으로써, 화소전극(PX)과 차폐라인(SL)이 중첩하는 영역과, 화소전극(PX)과 공통라인(CL)이 중첩하는 영역 각각에서, 제1, 2 스토리지 커패시터(Cst1, Cst2)가 발생된다. 즉, 각 화소에 대응한 스토리지 커패시터는 화소영역의 양측 외곽에서 각각 발생하는 제1, 2 스토리지 커패시터(Cst1, Cst2)의 총합으로 정의된다. 이에, 각 화소에 대응한 스토리지 커패시터의 커패시턴스는 마스크의 정렬오차에 관계없이 유지될 수 있으므로, 각 화소에 대응한 스토리지 커패시터의 커패시턴스 차이로 인한 화질 저하가 방지된다.

[0049] 또한, 앞서 언급한 바와 같이, 데이터라인(DL) 상부의 블랙매트릭스(BM)는 데이터라인(DL)과 차폐라인(SL) 사이에서 발생하는 빛샘을 차단할 수 있도록, 데이터라인(DL)과 차폐라인(SL)을 모두 커버할 수 있을 정도의 넓은 너비로 형성되고, 공통라인(CL) 상부의 블랙매트릭스(BM)는 데이터라인(DL) 상부의 블랙매트릭스(BM)가 도드라져 보이는 시인성문제를 방지하기 위하여, 데이터라인(DL) 상부의 블랙매트릭스(BM)와 유사하게 넓은 너비로 형성되어야 한다. 여기서, 각 화소에 대응한 스토리지 커패시터(Cst1, Cst2)는, 데이터라인(DL) 상부의 블랙매트릭스(BM) 및 공통라인(CL) 상부의 블랙매트릭스(BM)에 의해 가려지는 화소영역의 외곽에 형성된다. 즉, 스토리지 커패시터(Cst1, Cst2)가 화소영역의 일부에 할당되는 것이 아니라, 화소영역의 외곽에 할당되므로, 스토리지 커패시터에 의한 개구율 감소가 최소화될 수 있어, 화질이 향상될 수 있다.

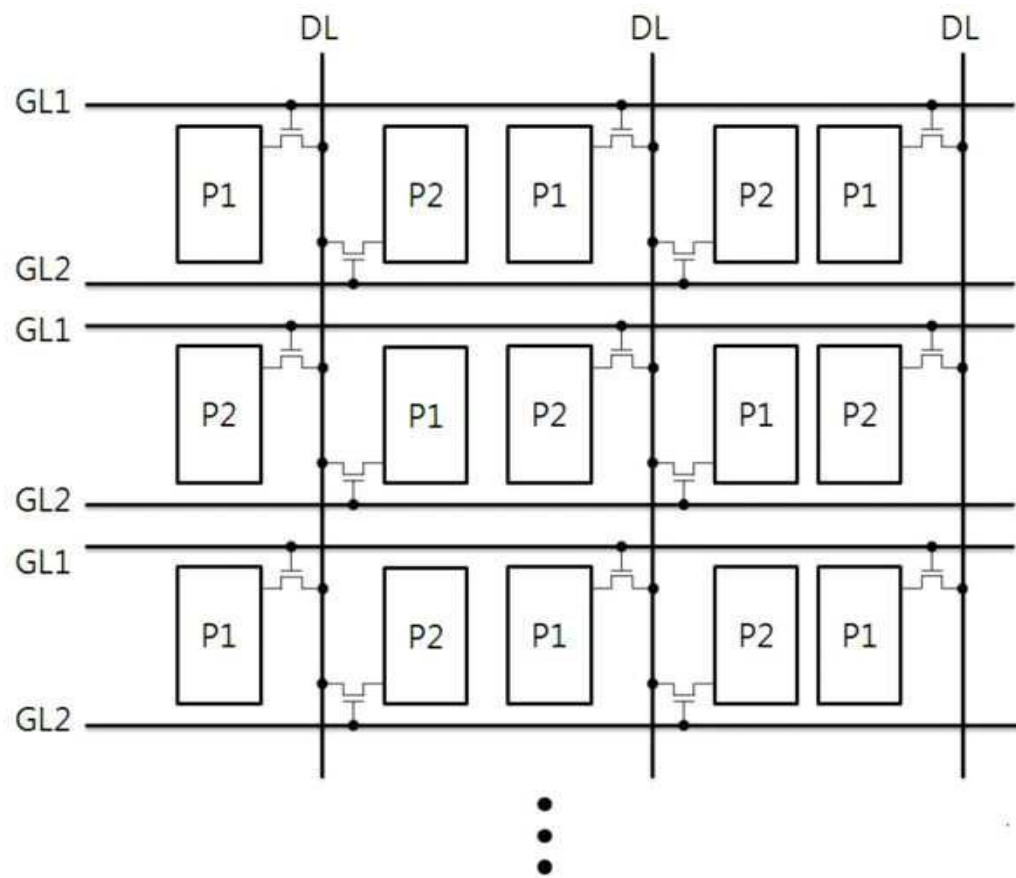
[0050] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다.

부호의 설명

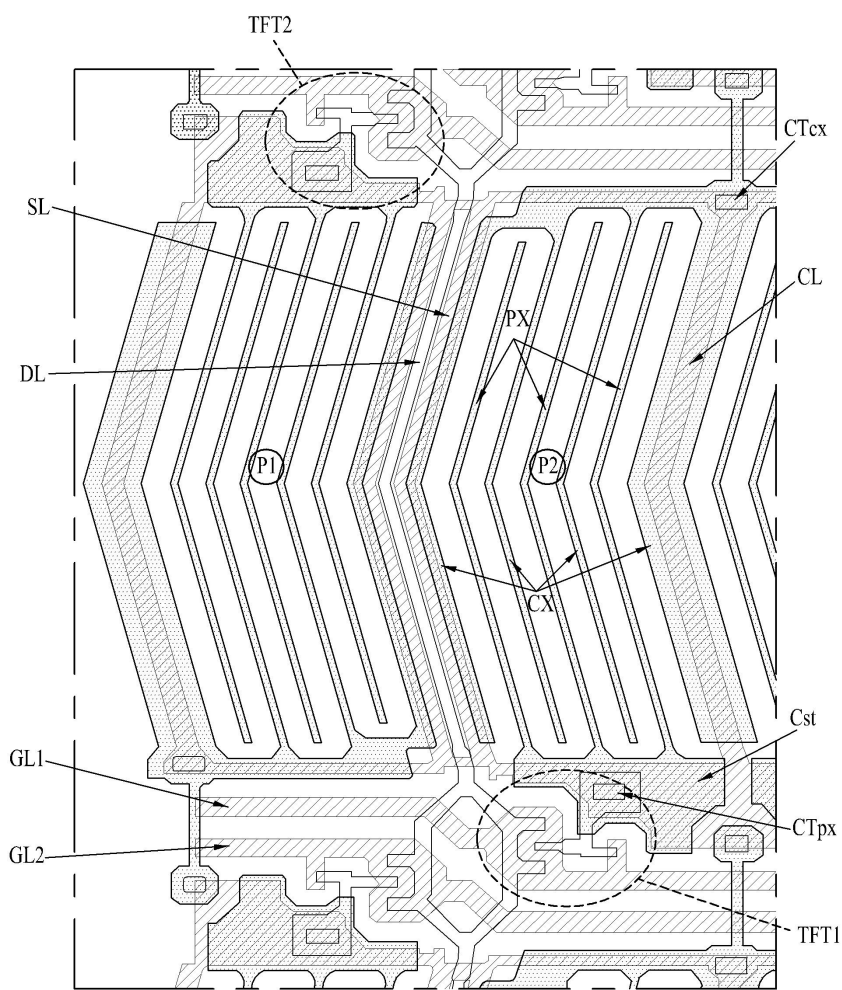
[0051]	110: 하부기관	111: 제1 지지기관
	112: 제1 절연층	113: 제2 절연층
	120: 상부기관	121: 제2 지지기관
	130: 액정층	GL1: 제1 게이트라인
	GL2: 제2 게이트라인	DL: 데이터라인
	CL: 공통라인	SL: 차폐라인
	PX: 화소전극	CX: 공통전극
	TFT1, TFT2: 제1, 2 트랜지스터	Cst1: 제1 스토리지 커패시터
	Cst2: 제2 스토리지 커패시터	BM: 블랙매트릭스

도면

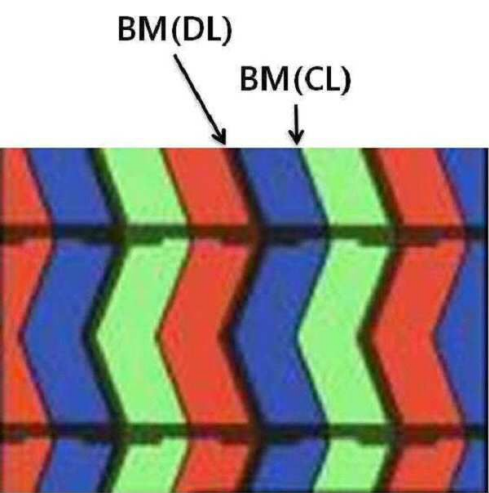
도면1



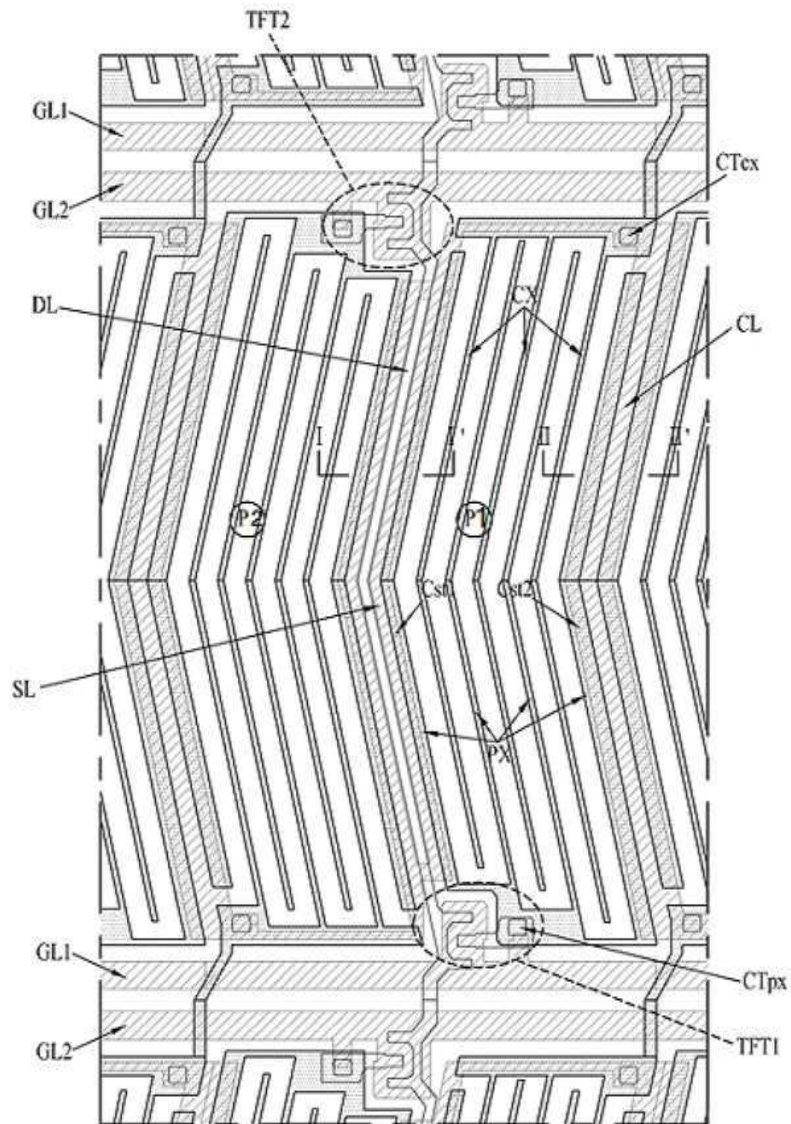
도면2a



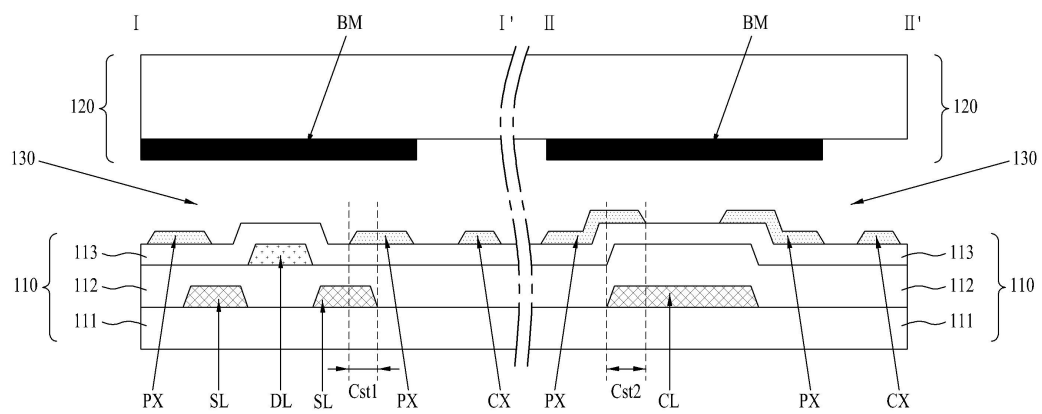
도면2b



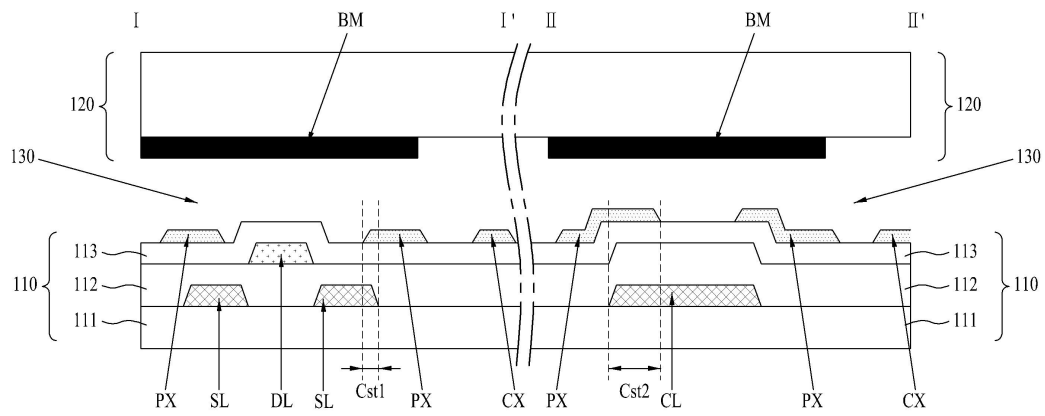
도면3a



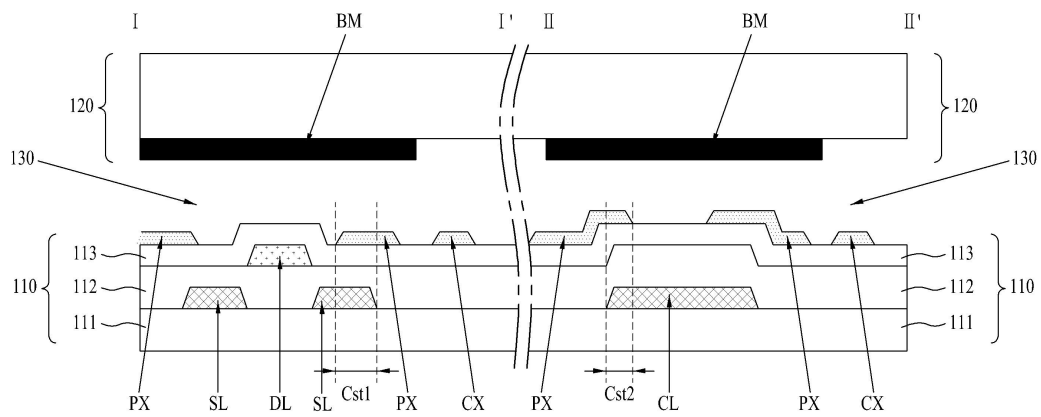
도면3b



도면4a



도면4b



专利名称(译)	液晶显示器		
公开(公告)号	KR101854702B1	公开(公告)日	2018-05-04
申请号	KR1020170099527	申请日	2017-08-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MIN JIC 이민직		
发明人	이민직		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/136209 G02F1/136213 G02F1/136286 G02F2001/134318		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020170094530A		
外部链接	Espacenet		

摘要(译)

本发明涉及DRD结构的液晶显示装置的横jeongyehyeong公共线，并交替地位于所述数据线将所述像素在纵向方向上，公共线的宽度比所述数据线的宽度，所述数据线和两个较大的是小于或等于所述屏蔽线的宽度的宽度的总和，在第一，第一像素电极和第二像素电极平行于一侧上的屏蔽线和所述第二方向不间隔到所述数据线的每个所述第二像素的其中，所述重叠的第一最外像素电极，在另一侧的公共线和在权利要求2的两个方向叠加在第二像素区域中，并且包括最外面的像素电极，第一像素的像素区域和所述第二像素中which首先通过叠加最外像素电极和第二像素电极是最外面的右侧，并与公共线彼此和屏蔽线对称地向左，减小开口率被最小化，从而改善了图像质量。 专利号10-1854702

