



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월08일
(11) 등록번호 10-1610004
(24) 등록일자 2016년04월01일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0136000
(22) 출원일자 2009년12월31일
심사청구일자 2014년11월21일
(65) 공개번호 10-2011-0079046
(43) 공개일자 2011년07월07일
(56) 선행기술조사문헌
KR1020080046330 A*
KR1020070109387 A*
WO2007135803 A1*
KR1020090060042 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조남욱
경기 과천시 황골로 18, 501동 806호 (금촌동, 건
일장미아파트)
(74) 대리인
특허법인천문

전체 청구항 수 : 총 8 항

심사관 : 추장희

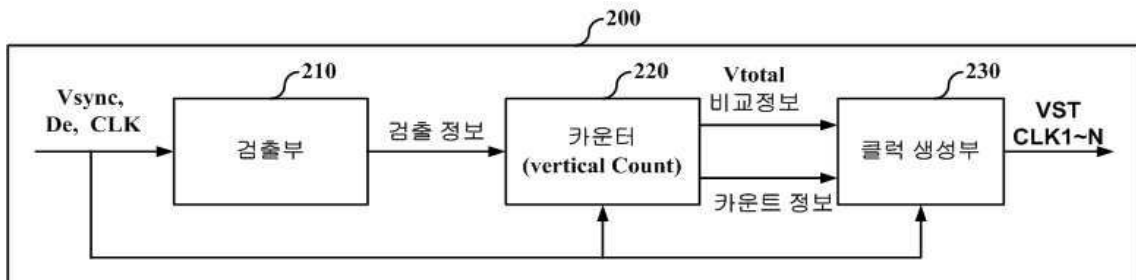
(54) 발명의 명칭 액정 표시장치 및 그의 구동방법

(57) 요약

본 발명은 액정 표시장치에 관한 것으로서, 특히 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호구간을 충분히 확보하고 클럭의 오버랩 구동 펄스의 생성이 이루어지도록 하는 액정 표시장치와 그의 구동방법에 관한 것이다.

(뒷면에 계속)

대표도 - 도6



본 발명의 실시 예에 따른 액정 표시장치는 복수의 게이트 라인 및 복수의 데이터 라인이 형성된 액정패널을 포함하는 액정 표시장치에 있어서, 상기 복수의 게이트 라인에 공급되는 스캔신호의 생성을 위한 제어 신호를 생성하는 타이밍 컨트롤러; 상기 제어 신호가 정상 신호인지를 판단하고, 상기 제어 신호가 정상 신호인 경우에 상기 제어 신호에 기초하여 VST 신호 및 게이트 구동 클럭을 생성하는 게이트 클럭 생성부; 입력되는 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 구동 클럭을 이용하여 상기 게이트 구동 클럭을 박막 트랜지스터의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키는 레벨 쉬프터; 및 상기 레벨 쉬프트가 이루어진 게이트 구동 클럭을 이용하여 상기 스캔신호를 생성하는 게이트 구동 제어부;를 포함한다.

명세서

청구범위

청구항 1

타이밍 동기신호가 정상 신호인지를 판단하고, 상기 타이밍 동기신호가 정상 신호인 경우에 스타트 신호(VST) 및 게이트 구동 제어부의 구동을 위한 다상의 게이트 구동 클럭을 생성하는 게이트 클럭 생성부;

상기 게이트 구동 클럭, 게이트 하이전압, 및 게이트 로우전압을 입력받아 상기 게이트 구동 클럭을 박막 트랜지스터의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키는 레벨 쉬프터; 및

상기 레벨 쉬프터가 이루어진 게이트 구동 클럭을 이용하여 복수의 게이트 라인들에 공급되는 스캔신호를 생성하는 게이트 구동 제어부를 포함하며,

상기 타이밍 동기신호는 수직동기신호, 수평동기신호, 및 데이터 인에이블 신호를 포함하고,

상기 게이트 클럭 생성부는 자체적으로 생성된 카운트 클럭의 개수와 상기 수직동기신호의 개수를 비교하여 상기 타이밍 동기신호가 유효한지 판단하는 검출부(210)를 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서, 상기 게이트 클럭 생성부는

상기 타이밍 동기신호가 유효하다고 판단되면, 현재 프레임(frame)의 첫 번째 데이터 인에이블 신호부터 다음 프레임의 첫 번째 데이터 인에이블 신호까지 상기 수평동기신호를 카운트하여 전체 수직 라인의 개수(V_{total})를 산출하는 카운터(220); 및

상기 전체 수직 라인의 개수와 상기 수평동기신호를 이용하여 상기 스타트 신호 및 상기 게이트 구동 클럭을 생성하는 클럭 생성부(230)를 더 포함하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 구동 제어부는 GIP(Gate In Panel) 방식으로 액정패널 내에 구비되는 액정 표시장치.

청구항 4

제 1 항에 있어서,

상기 게이트 구동 클럭은 오버랩되는 액정 표시장치.

청구항 5

삭제

청구항 6

제 2 항에 있어서,

상기 스타트 신호와 상기 게이트 구동 클럭은 오버랩되는 액정 표시장치.

청구항 7

제 1 항에 있어서, 상기 게이트 구동 제어부는

영상 데이터가 액정패널에 공급되는 시점과, 상기 액정패널의 첫 번째 게이트 라인에 상기 스캔신호가 공급되는 시점을 동기 시키는 액정 표시장치.

청구항 8

타이밍 동기 신호가 정상 신호인지를 판단하는 단계;

상기 타이밍 동기 신호가 정상 신호인 경우, 스타트 신호(VST) 및 게이트 구동 제어부의 구동을 위한 다상의 게이트 구동 클럭을 생성하는 단계;

상기 게이트 구동 클럭, 게이트 하이전압, 및 게이트 로우전압을 입력받아 상기 게이트 구동 클럭을 박막 트랜지스터의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키는 단계; 및

상기 레벨 쉬프트가 이루어진 게이트 구동 클럭을 이용하여 복수의 게이트 라인들에 공급되는 스캔신호를 생성하는 단계를 포함하며,

상기 타이밍 동기신호는 수직동기신호, 수평동기신호, 및 데이터 인에이블 신호를 포함하고,

상기 타이밍 동기 신호가 정상 신호인지를 판단하는 단계는,

자체적으로 생성된 카운트 클럭의 개수와 상기 수직동기신호의 개수를 비교하여 상기 타이밍 동기신호가 유효한지 판단하는 액정 표시장치의 구동방법.

청구항 9

삭제

청구항 10

제 8 항에 있어서, 스타트 신호 및 게이트 구동 제어부의 구동을 위한 다상의 게이트 구동 클럭을 생성하는 단계는,

연속된 프레임에서 상기 타이밍 동기 신호가 정상 신호인 경우, 상기 타이밍 동기 신호의 파형 개수가 상기 연속된 프레임에서 동일한지 비교하는 단계;

비교 결과, 상기 타이밍 동기 신호의 파형 개수가 동일한 경우, 상기 타이밍 동기 신호의 파형 개수를 전체 수직 라인(Vtotal)의 개수로 설정하는 단계; 및

상기 전체 수직 라인 개수와 수평 동기신호(Hsync)에 기초하여 상기 스타트 신호 및 다상의 게이트 구동 클럭을 생성하는 단계를 더 포함하는 액정 표시장치의 구동방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로서, 특히 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호와 클럭의 오버랩 구동 펄스의 생성이 이루어지도록 하는 액정 표시장치와 그의 구동 방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 타입의 액정 표시장치는 스위칭 소자인 박막 트랜지스터(TFT: Thin Film Transistor)를 통해 액정의 광 투과율을 조절하여 영상을 표시하고 있다. 이러한, 액정 표시장치는 경량, 박형, 저 소비 전력구동 등의 장점으로 인해 휴대용 정보기기, 사무기기, 컴퓨터 및 IT 제품에 적용되어 그 응용범위가 넓어지고 있다.

[0003] 종래기술에 따른 액정 표시장치는 영상 데이터의 아날로그 전압에 따라 액정의 광 투과율을 조절하여 영상을 표시하는 액정패널, 상기 액정패널에 영상 데이터의 아날로그 전압을 공급하는 데이터 구동 제어부(데이터 드라이버 IC), 상기 액정패널에 형성된 박막 트랜지스터의 스위칭을 위한 스캔신호를 공급하는 게이트 구동 제어부(게이트 드라이브 IC) 및 상기 데이터 구동 제어부에 영상 데이터를 공급함과 아울러, 상기 데이터 구동 제어부와 게이트 구동 제어부의 제어를 위한 제어 신호(DCS, GCS)를 생성하는 타이밍 컨트롤러를 포함하여 구성된다.

[0004] 상기 게이트 구동 제어부는 쉬프트 레지스터 및 쉬프트 레지스터의 출력신호를 박막 트랜지스터의 구동에 적합한 스윙 폭으로 변환하기 위한 레벨 쉬프터를 포함하는 복수의 게이트 드라이버 IC들을 포함하여 구성된다.

[0005] 상기 게이트 구동 제어부는 타이밍 컨트롤러로부터의 게이트 제어 신호(GCS)에 따라 액정패널의 박막 트랜지스

터를 구동시키기 위한 게이트 전압(스캔신호)을 생성하고, 생성된 게이트 전압을 상기 액정패널의 게이트 라인들(G1 내지 Gm)에 순차적으로 공급한다. 이 때, 게이트 구동 제어부는 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)에 따라 게이트 전압의 레벨을 결정한다.

- [0006] 최근에 들어 폴리 실리콘의 단점을 보완하기 위해, 대화면의 액정 표시장치에서는 아몰퍼스 실리콘을 이용하여 박막 트랜지스터(TFT)를 형성하고 있다. 또한, 아몰퍼스 실리콘을 이용한 박막 트랜지스터(TFT) 제조방법을 이용하여 게이트 구동 회로를 액정패널 상에 집적화시키는 즉, 액정패널 내부에 게이트 드라이브 IC를 내장하는 GIP(Gate In Panel) 방식이 적용되고 있다.
- [0007] 게이트 드라이브 IC가 내장된 GIP 액정패널에서, 액정패널이 대면적 및 고해상도로 갈수록 게이트 라인에 로드는 증가하게 된다. 따라서, 로드가 증가되는 게이트 라인을 구동시키기 위해, GIP 면적도 함께 증가하게 된다.
- [0008] 여기서, 게이트 드라이버의 구동에 소비되는 전류는 내장 게이트 드라이버에서 구동되는 클럭(CLOCK)의 주파수 증가 및 커런트 로드(current load)가 커짐에 따라 증가하게 된다.
- [0009] 도 1은 종래 기술에 따른 액정 표시장치의 구동방법을 나타내는 파형도이다.
- [0010] 도 1을 참조하면, 종래 기술의 액정 표시장치의 구동은 유효한 영상 데이터(video data)가 있는 DE 신호를 기준으로 컨트롤(Control)신호를 생성하여 동작하게 된다. 프레임(Frame)의 시작을 나타내는 GSP는 1st DE에 동기되고, GSC는 GSP를 1H 단위로 쉬프트(Shift)시키는 역할을 한다. GOE는 최종 게이트 출력 신호를 제어하는 마스킹(Masking) 신호의 역할을 하게 된다.
- [0011] SOE는 S-IC에서 순차적으로 들어오는 영상 신호를 래치(Latch)한 후에 1H 단위로 아날로그(Analog)로 변환된 영상 데이터(R, G, B)를 동시에 액정패널로 인가하는 타이밍(timing)을 결정하는 역할을 하는 신호이다.
- [0012] 도 2는 GIP 방식에서의 게이트 구동 클럭을 나타내는 파형도이다. 도 2에서는 4상 클럭으로 구동하는 GIP 방식의 액정 표시장치의 게이트 제어 신호와 1단의 게이트 출력 신호의 타이밍을 도시하고 있다.
- [0013] 도 2를 참조하면, 게이트 드라이브 IC가 액정패널 내에 내장된 GIP 방식에서는 프레임(Frame)의 시작을 나타내는 VST라는 신호가 있는 것은 일반적인 액정 표시장치의 유사하나, 게이트 출력 신호를 쉬프트(shift)시키는 게이트 드라이브 IC의 구성과 구동 클럭(Clock)은 일반적인 1상이 아닌 다상(도 2에서는 4상 클럭을 일 예로 도시)을 사용한다.
- [0014] GIP 방식에서는 액정 패널에 형성된 박막 트랜지스터(TFT)를 구동하기 위해, 로직(logic) 전압을 고전압으로 바꾸는 도 3에 도시된, 레벨 쉬프터(10, level-shifter)를 사용하는 것이 일반적인 액정 표시장치와 다르다. 타이밍 관점에서 1상의 GSC를 사용하는 대신 4상의 클럭을 사용하는 것과 GOE를 사용하지 않는 점이 다르다. 이때, 출력파형은 클럭파형과 정확히 일치하므로 별도의 마스킹(Masking) 신호를 필요하지 않는다.
- [0015] 아몰퍼스 실리콘(A-si:H) 박막 트랜지스터(TFT)를 이용한 GIP의 경우, 해상도 증가에 의한 게이트 라인(gate line)의 로드(load)증가 및 1H 타임(Time)의 감소로 출 파형의 늘어짐(지연)이 심해 질 수 있다. 이러한 출력파형은 로직의 아래 단으로 갈 수록 심해져서 파형의 미 출력을 초래할 수 있다.
- [0016] 종래 기술에서는 이러한 파형의 미 출력의 문제점을 개선하기 위해, 오버랩(Overlap) 구동을 적용을 하여 출력파형의 특성을 개선하고 있다.
- [0017] 그러나, 이러한 방식은 프레임의 시작은 첫 번째 DE 기준으로 VST 신호를 만들 경우, VST 신호와 VGOUT1은 오버랩 구동을 할 수가 없는 단점이 있다. 이러한 방식에서 라인 메모리(Line Memory)를 추가로 사용할 경우, 1라인의 파형을 저장할 수 있는 라인 메모리를 추가하면 Vgout1은 오버랩 구동이 가능하지만, 여전히 VST 신호는 오버랩 구동을 적용할 수 없는 문제점이 있다.
- [0018] 여기서, VST 신호를 2H로 펄스의 폭(pulse width)을 넓히기 위해서는 추가적으로 1 라인을 필요하게 되는데, 액정패널의 상단에 더미(dummy) 라인을 추가하는 경우에는 도 4에 도시된 바와 같이, 라인 메모리(20)의 개수도 추가로 증가되어야 하는 문제점이 있다. 라인 메모리(20)를 웨이퍼(wafer) 상에 형성하기 위해서는 물리적으로 많은 면적을 필요로 하는데, 일반적으로 라인 메모리(20) 1다이(die)의 전체 면적에서 5~10%의 면적을 차지하므로 이에 따라, 전체적인 제조비용을 증가시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0019] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호구간을 충분히 확보하고 클럭의 오버랩구동펄스 생성이 이루어지도록 할 수 있는 액정 표시장치 및 그의 구동방법을 제공하는 것을 목적으로 한다.
- [0020] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 저온의 환경에서 라인 메모리(line memory)를 추가로 사용하지 않고, VST 신호 생성의 신뢰성을 높을 수 있는 액정 표시장치 및 그의 구동방법을 제공하는 것을 목적으로 한다.
- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 내장 Gate회로가 정상적인 Gate Scan 신호를 생성하도록 하여 신뢰성을 높일 수 있는 액정 표시장치 및 그의 구동방법을 제공하는 것을 목적으로 한다.
- [0022] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 저온의 환경 및 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호를 생성하여 제조비용을 절감시킬 수 있는 액정 표시장치 및 그의 구동방법을 제공하는 것을 기술적 과제로 한다.

과제 해결수단

- [0023] 상기와 같은 과제를 달성하기 위한, 본 발명의 실시 예에 따른 액정 표시장치는 복수의 게이트 라인 및 복수의 데이터 라인이 형성된 액정패널을 포함하는 액정 표시장치에 있어서, 상기 복수의 게이트 라인에 공급되는 스캔 신호의 생성을 위한 제어 신호를 생성하는 타이밍 컨트롤러; 상기 제어 신호가 정상 신호인지를 판단하고, 상기 제어 신호가 정상 신호인 경우에 상기 제어 신호에 기초하여 VST 신호 및 게이트 구동 클럭을 생성하는 게이트 클럭 생성부; 입력되는 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 구동 클럭을 이용하여 상기 게이트 구동 클럭을 박막 트랜지스터의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키는 레벨 쉬프터; 및 상기 레벨 쉬프터가 이루어진 게이트 구동 클럭을 이용하여 상기 스캔신호를 생성하는 게이트 구동 제어부;를 포함하는 것을 특징으로 한다.
- [0024] 본 발명의 실시 예에 따른 액정 표시장치는 상기 게이트 구동 제어부가 GIP(Gate In Panel) 방식으로 상기 액정패널 내에 구비되는 것을 특징으로 한다.
- [0025] 본 발명의 실시 예에 따른 액정 표시장치의 상기 게이트 클럭 생성부는 연속된 제어 신호의 클럭 개수가 기 설정된 클럭 개수의 범위에 만족하는 정상 신호이고, 상기 연속된 제어 신호의 동일한 경우, 상기 연속된 제어 신호의 클럭 개수를 전체 수직 라인(Vtotal)의 개수로 설정하는 것을 특징으로 한다.
- [0026] 본 발명의 실시 예에 따른 액정 표시장치의 상기 게이트 클럭 생성부는 상기 전체 수직 라인(Vtotal) 개수와 상기 데이터 인에이블(DE)에 기초하여 상기 VST 및 게이트 구동 클럭을 생성하는 것을 특징으로 한다.
- [0027] 본 발명의 실시 예에 따른 액정 표시장치의 상기 게이트 구동 제어부는 상기 게이트 구동 클럭에 기초하여 상기 스캔신호를 생성하고, 영상 데이터가 상기 액정패널에 공급되는 시점과 상기 액정패널의 첫번째 게이트 라인에 스캔신호가 공급되는 시점을 동기 시키는 것을 특징으로 한다.
- [0028] 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 복수의 게이트 라인에 스캔신호를 공급하는 게이트 구동 제어부가 액정패널 내에 형성된 액정 표시장치의 구동방법에 있어서, 상기 복수의 게이트 라인에 공급되는 스캔신호의 생성을 위한 제어 신호를 생성하는 단계; 상기 제어 신호가 정상 신호인지를 판단하는 단계; 상기 제어 신호가 정상 신호인 경우, 상기 제어 신호에 기초하여 VST 신호 및 게이트 구동 클럭을 생성하는 단계; 입력되는 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 구동 클럭을 이용하여 상기 게이트 구동 클럭을 박막 트랜지스터의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키는 단계; 및 상기 레벨 쉬프터가 이루어진 게이트 구동 클럭을 이용하여 상기 스캔신호를 생성하는 단계를 포함하는 것을 특징으로 한다.

효과

- [0029] 실시 예에 따른 본 발명은 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호 구간을 충분히 확보하고 클럭의 오버랩 구동 펄스의 생성이 이루어지도록 할 수 있다.
- [0030] 실시 예에 따른 본 발명은 저온의 환경에서 라인 메모리(line memory)를 추가로 사용하지 않고, VST 생성의 신뢰성을 높을 수 있다.

[0031] 실시 예에 따른 본 발명은 내장 Gate회로가 정상적인 Gate Scan 신호를 생성하도록 하여 액정 표시장치의 구동에 따른 신뢰성을 높일 수 있다.

[0032] 실시 예에 따른 본 발명은 저온의 환경 및 오버랩(overlap) 구동 방식에서 라인 메모리(line memory)를 추가하지 않고, VST 신호를 생성하여 제조비용을 절감시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 이하 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예에 대해 상세히 설명하기로 한다.

[0034] 도 5는 본 발명이 실시 예에 따른 액정 표시장치를 나타내는 도면이고, 도 6은 게이트 클럭 생성부를 나타내는 도면이며, 도 7은 게이트 클럭 생성부의 검출부를 나타내는 도면이다.

[0035] 도 5 내지 7을 참조하면, 본 발명의 실시 예에 따른 액정 표시장치(100)는 액정패널(110), 데이터 구동 제어부(120), 타이밍 컨트롤러(130), 및 게이트 구동 제어부(140), 레벨 쉬프터(150) 및 게이트 클럭 생성부(200)를 포함하여 구성된다. 도 5에서, 도시되지 않았지만 상기 액정패널(110)에 광을 공급하는 백라이트 유닛을 더 포함한다.

[0036] 상기 액정패널(110)은 n개의 게이트 라인(G1 내지 Gm)과 m개의 데이터 라인(D1 내지 Dm) 및 게이트 라인(G1 내지 Gm)과 데이터 라인(D1 내지 Dm)의 교차에 의해 정의되는 화소영역에 형성되는 액정셀(Clc)을 포함한다. 또한, 상기 액정패널(110)의 일측에 게이트 구동 제어부(140)가 구비된다.

[0037] 액정셀(Clc)은 게이트 라인(G1 내지 Gm)과 데이터 라인(D1 내지 Dm)의 교차부에 형성되는 박막트랜지스터(TFT) 및 스토리지 커패시터(Cst)를 포함하여 구성된다.

[0038] 박막트랜지스터(TFT)는 게이트 라인(G1 내지 Gm)으로부터 공급되는 스캔신호에 응답하여 데이터 라인(D1 내지 Dm)으로부터 공급되는 데이터 신호를 액정셀(Clc)로 공급한다.

[0039] 스토리지 커패시터(Cst)는 액정셀(Clc)의 화소전극(미도시)과 전단 게이트 라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 공통전극 라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시킨다.

[0040] 상기 타이밍 컨트롤러(130)는 외부로부터 입력되는 영상신호(data)를 프레임 단위로 정렬하여 디지털 형태의 영상 데이터(R, G, B)를 생성함과 아울러, 타이밍 동기신호에 기초하여 데이터 라인(DL)에 영상 데이터에 따른 전압을 공급하기 위한 데이터 제어 신호(DCS) 및 액정패널(120)의 박막 트랜지스터의 스위칭을 위한 게이트 제어 신호(GCS)를 생성한다.

[0041] 상기 타이밍 컨트롤러(130)는 레벨 쉬프터(150)를 경유하여 게이트 구동 제어부(140)에 박막 트랜지스터의 스위칭을 위한 게이트 제어 신호(GCS)를 공급하고, 데이터 구동 제어부(120)에 상기 영상 데이터 및 화소영역에 상기 영상 데이터의 공급을 위한 데이터 제어 신호(DCS)를 공급한다.

[0042] 또한, 타이밍 컨트롤러(130)는 타이밍 동기 신호의 유효 신호를 검출하고, 상기 유효 신호의 검출에 따라 게이트 구동 클럭 및 스타트 신호(VST)를 생성하는 게이트 클럭 생성부(200)를 포함한다. 여기서, 게이트 클럭 생성부(200)는 다상의 게이트 구동 클럭을 생성하며, 상기 다상의 게이트 구동 클럭이 오버랩 된다.

[0043] 여기서, 상기 타이밍 동기신호는 수직 동기신호(Vsync), 데이터 인에이블 신호(DE: Data Enable), 및 도트클럭(DCLK) 등을 포함하여 구성될 수 있다.

[0044] 상기 데이터 제어 신호(DCS)는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블(SOE: Source Output Enable) 및 극성 제어 신호(POL: Polarity) 등이 될 수 있다.

[0045] 그리고, 게이트 제어 신호(GCS)는 게이트 스타트 펄스(GSP: Gate Start Pulse)를 포함한다.

[0046] 데이터 구동 제어부(120)는 복수의 데이터 드라이브 IC(125)를 포함하며, 타이밍 컨트롤러(130)로부터의 데이터 제어 신호(DCS)에 응답하여 디지털 영상 데이터(R, G, B)를 아날로그 영상 신호로 변환하고, 변환된 아날로그 영상 신호를 데이터 라인(D1 내지 Dm)으로 공급한다. 이때, 상기 아날로그 영상 신호는 도시되지 않은 감마전압 공급부로부터의 기준감마전압을 이용하여 생성된다.

[0047] 상기 레벨 쉬프터(150)는 입력되는 게이트 하이전압(VGH), 게이트 로우전압(VGL) 및 게이트 구동 클럭을 이용하여 상기 게이트 구동 클럭을 박막트랜지스터(TFT)의 구동에 적합한 스윙 폭으로 레벨 쉬프트 시키고, 생성된 게

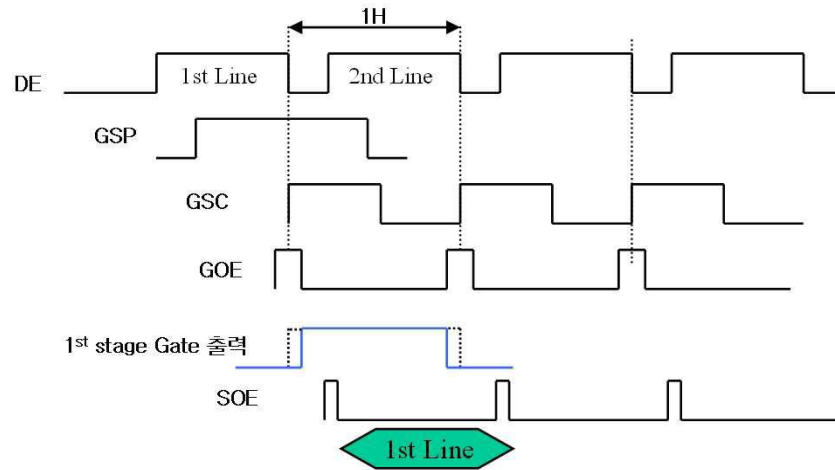
이트 구동 클럭을 게이트 구동 제어부(140)로 공급한다.

- [0048] 상기 게이트 구동 제어부(140)는 게이트 드라이버 IC(145, G-IC)들을 포함하며, 타이밍 컨트롤러(130)로부터의 게이트 제어 신호(GCS)에 따라 레벨 쉬프터(150)에서 박막 트랜지스터의 구동에 적합한 스윙 폭으로 변환된 게이트 구동 클럭을 이용하여 액정패널(110)의 박막 트랜지스터를 구동시키기 위한 스캔신호를 생성하고, 생성된 스캔신호를 액정패널(110)의 게이트 라인(G1 내지 Gm)에 순차적으로 공급한다.
- [0049] 상기 게이트 클럭 생성부(200)는 도 6에 도시된 바와 같이, 검출부(210), 카운터(220), 클럭 생성부(230)를 포함한다.
- [0050] 상기 검출부(210)는 도 7에 도시된 바와 같이, 복수의 비교기와, 상기 복수의 비교기의 비교 결과를 합산하여 출력하는 합산기와, 일정 시간(예를 들면, 3v 동안)의 클럭 신호를 누적한 후, 유효한(정상) 신호 검출하는 검출기와, 신호의 정상 여부를 판단에 기준이 되는 카운트 클럭을 생성하는 RC 발진기(미도시)를 포함하여 구성된다. 여기서, 상기 게이트 클럭 생성부(200)는 전체 수직 라인(Vtotal) 개수와 상기 데이터 인에이블(DE)에 기초하여 스타트 신호 및 게이트 구동 클럭을 생성한다.
- [0051] 도 8을 참조하면, 화면에 표시되는 영역(active 영역)의 라인의 개수는 데이터 인에이블 펄스(pulse)와 동일하고, 블랭크(blank)를 포함한 전체 수직 라인(vertical line)의 개수는 수평 동기 신호(Hsync) 펄스의 개수로 나타낼 수 있는데, 이는 신호를 보내는 시스템의 종류나 구동 주파수마다 달라질 수 있다.
- [0052] 상기 게이트 클럭 생성부(200)는 추가적인 라인 메모리(Line memory)를 이용하지 않고, 전체 수직 라인(total vertical line) 개수를 검출하고, 전체 수직 라인 개수의 카운팅 값(count value)을 기준으로, 게이트 구동 제어부(140, GIP)의 구동을 위한 게이트 구동 클럭과 스타트 신호를 생성할 수 있다.
- [0053] 상기 도 8에서, Vsync time(1)은 한 화면의 처음(또는 끝)임을 표시하는 시간이고, Vertical Front Porch(2)는 마지막 Line의 DE(화면의 Last Line) 끝부터 Vsync 시작점까지의 시간이다. 또한, Vertical Back Porch(3)는 Vsync 마지막부터 DE 시작(화면 첫번째 Line)까지의 시간을 의미고, Vertical Blank Time(4)은 상기 Vsync time(1), Vertical Front Porch(2), Vertical Back Porch(3)의 합을 의미한다.
- [0054] 또한, Vertical Active Time(5)은 한 프레임(Frame) 내에서 유효한 라인 데이터(Line Data)들이 존재하는 시간(Vertical Address Time)을 의미하고, 전체 수직 라인((6), Vertical Total)의 개수는 상기 Vertical Blank Time(4)과 Vertical Active Time(5)의 합과 동일하다.
- [0055] 상기 검출부(210)는 타이밍 컨트롤러(130)로부터의 Vsync, Hsync, De, CLK들이 유효한(정상) 신호인지를 검출한다. 수직 동기신호인 Vsync 신호를 일 예로 설명하면, 상기 RC 발진기에서 생성된 카운트 클럭을 사용하여 타이밍 컨트롤러(130)로부터 입력되는 Vsync 신호가 정상 신호인지를 검출한다.
- [0056] 먼저, 복수의 비교기에서 카운트 클럭과 입력되는 Vsync 신호의 클럭을 비교하고, 비교결과를 합산기로 출력한다. 합산기는 입력되는 Vsync 신호들의 비교결과를 합산하여 검출기로 공급하고, 검출기는 일정 시간(예를 들면, 3v 동안)에 Vsync 신호들의 비교결과를 누적하여 저장한다. 이후, 누적된 Vsync 신호들의 비교결과가 기 설정된 정상 범위를 벗어나는 경우에는 입력된 Vsync 신호들을 무효신호로 판단하고, 이에 따른 결과를 출력(검출 결과 값 '0'을 출력)한다. 한편, 누적된 Vsync 신호들의 비교결과가 정상 범위인 경우에는 입력된 Vsync 신호들을 유효신호로 판단하고, 이에 따른 결과를 출력(검출 결과 값 '1'을 출력)한다.
- [0057] 이때, 입력된 Vsync 신호를 정상 신호를 판별하는 기준은 구동 주파수(Hz)에 따라서 미리 설정된 카운트 클럭 개수와 실제로 입력되는 Vsync 신호의 개수를 비교하여 이루어진다.
- [0058] 예를 들면, 프레임(frame) 마다 Vsync 신호의 개수를 카운트하고, 상기 카운트 클럭과 Vsync 신호의 카운트 결과를 비교하여 Vsync 신호 무효 또는 유효를 판단한다. 액정 표시장치가 60Hz로 구동되는 경우 상기 카운트 클럭의 개수가 850으로 설정되면, FCLKI는 102Khz(850/16.67ms=102Khz)가 된다. 여기서, FCLKI가 102 ㎐일 경우, 30Hz는 1700개, 60Hz는 850개, 100Hz는 510이므로, 검출범위는 30~100Hz가 된다. 즉, 입력된 Vsync 신호들(3v 동안에 입력된 Vsync 신호들)의 클럭 개수가 상기 30~100Hz 범위를 만족하면 해당 Vsync 신호들을 유효신호로 판별하게 된다.
- [0059] 카운터(220)는 Vsync 신호들이 유효신호로 판별되면, 수직 방향으로 형성된 전체 수직 라인의 개수(Vtotal)를 카운팅하고, 상기 전체 수직 라인 개수(Vtotal)와 Vsync 신호들의 클럭 개수에 대한 비교 정보를 클럭 생성부(220)에 제공한다.

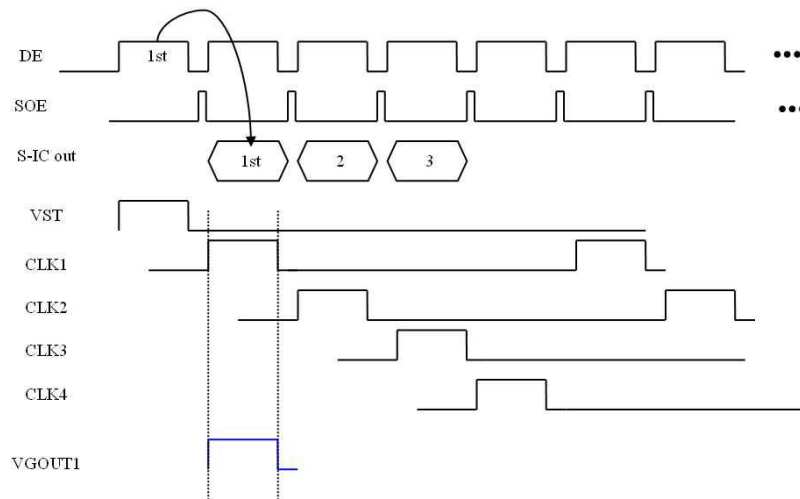
[0080]	130: 타이밍 컨트롤러	140: 게이트 구동 제어부
[0081]	145: 게이트 드라이브 IC	150: 레벨 쉬프터
[0082]	200: 게이트 클럭 생성부	210: 검출부
[0083]	220: 카운터	230: 클럭 생성부

도면

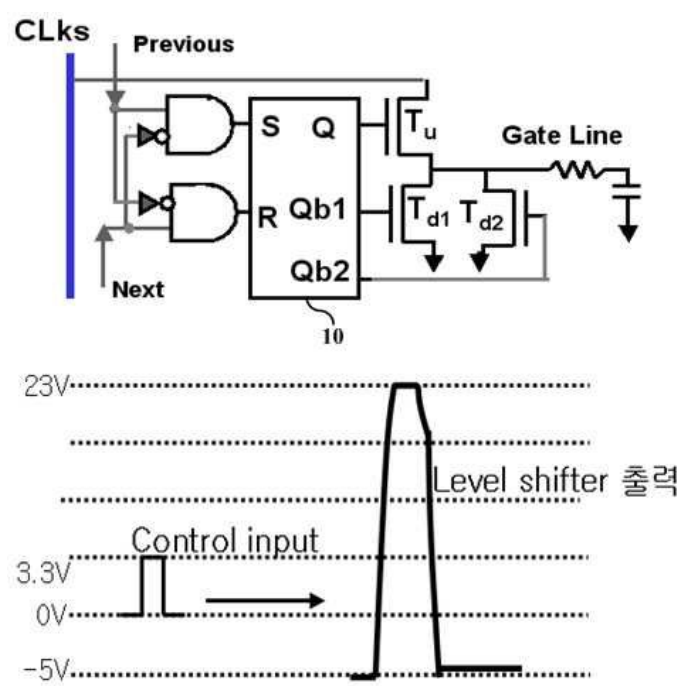
도면1



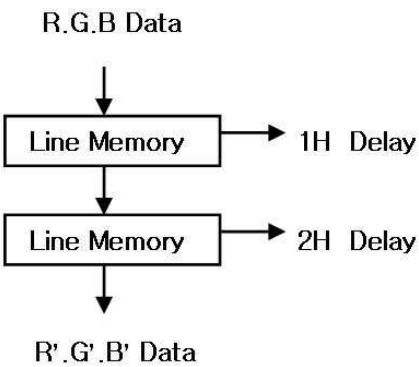
도면2



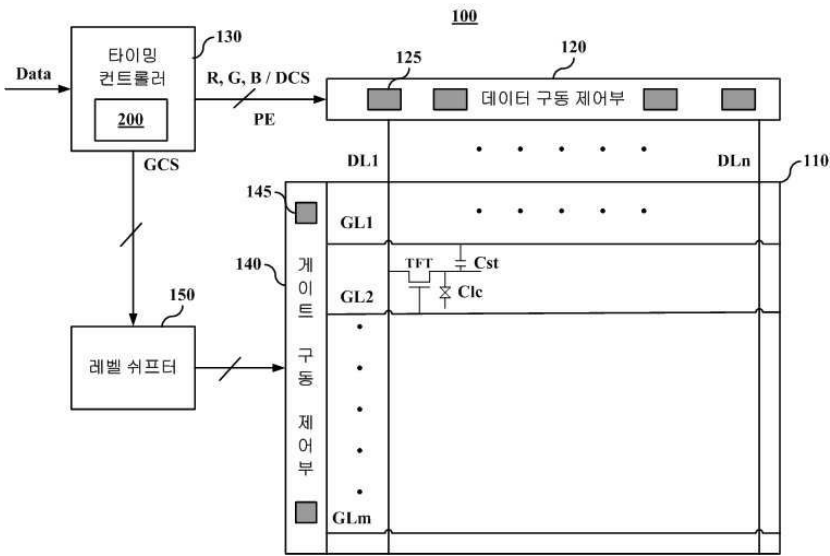
도면3



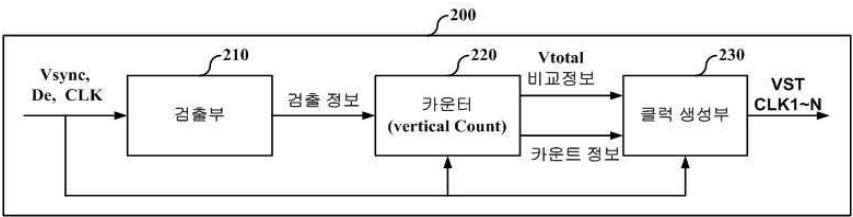
도면4



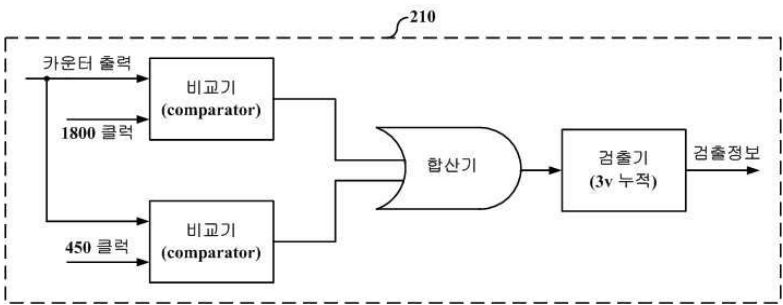
도면5



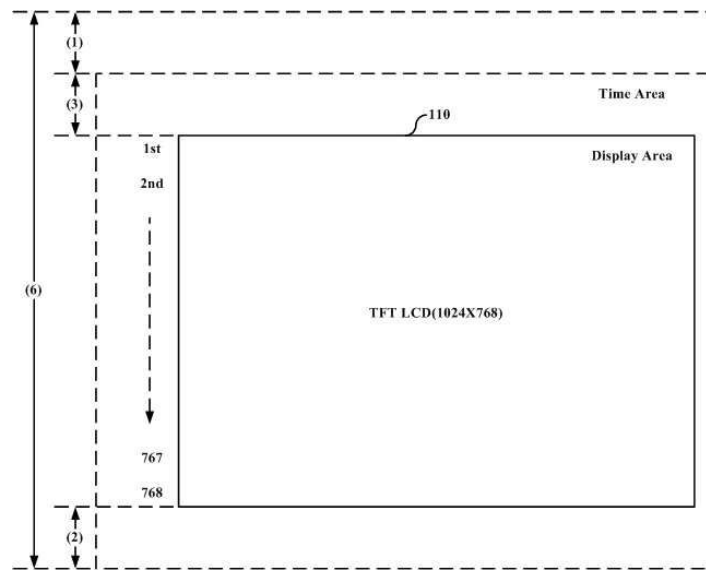
도면6



도면7

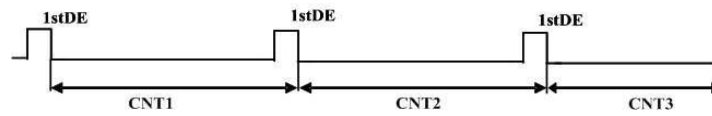


도면8

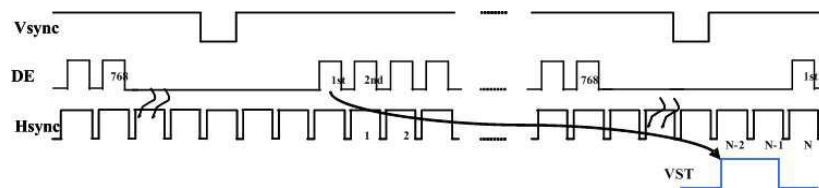


- (1) Vsync time : 한 화면의 처음(또는 끝)임을 표시하는 시간
- (2) Vertical Front Porch : 마지막 Line의 DE(화면의 Last Line) 끝부터 Vsync 시작 점까지의 시간
- (3) Vertical Back Porch : Vsync 마지막부터 DE 시작(화면 첫번째 Line) 까지의 시간
- (4) Vertical Blank Time : (1) + (2) + (3)
- (5) Vertical Active Time : 한 Frame 내에서 유효한 Line Data들이 존재하는 시간(Vertical Address Time)
- (6) Vertical Total : (4) + (5)

도면9



도면10



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101610004B1	公开(公告)日	2016-04-08
申请号	KR1020090136000	申请日	2009-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO NAM WOOK 조남욱		
发明人	조남욱		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/006 G09G3/3677 G09G2310/0289 G09G2330/08 G09G2330/12 H02M2001/0038		
其他公开文献	KR1020110079046A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其驱动方法，以在重叠驱动模式期间无需增加线存储器即可充分获得VST信号部分。构成：定时控制器（130）产生控制信号以产生提供给栅极线的扫描信号。门时钟产生单元（200）确定控制信号是否正常。当控制信号正常时，选通时钟生成单元基于控制信号生成VST信号和选通驱动时钟。电平移位器（150）将栅极驱动时钟的电平移位适合于使用栅极高电压，栅极低电压和驱动时钟来驱动薄膜晶体管的摆幅。栅极驱动控制器（140）使用栅极驱动时钟产生扫描信号。

