



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월03일

(11) 등록번호 10-1591400

(24) 등록일자 2016년01월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0053355

(22) 출원일자 2009년06월16일

심사청구일자 2014년03월26일

(65) 공개번호 10-2009-0130830

(43) 공개일자 2009년12월24일

(30) 우선권주장

JP-P-2008-157229 2008년06월16일 일본(JP)

(56) 선행기술조사문헌

KR1020070021005 A*

KR1020070080579 A*

JP2008058573 A

JP2008089685 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴가이샤 재팬 디스플레이

일본국 도쿄도 미나토쿠 니시신바시 3초메 7반 1고

(72) 발명자

가나야 야스히로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시킴가이샤내

나카지마 다이키

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시킴가이샤내

야기 게이이치

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시킴가이샤내

(74) 대리인

유미특허법인

전체 청구항 수 : 총 4 항

심사관 : 윤성주

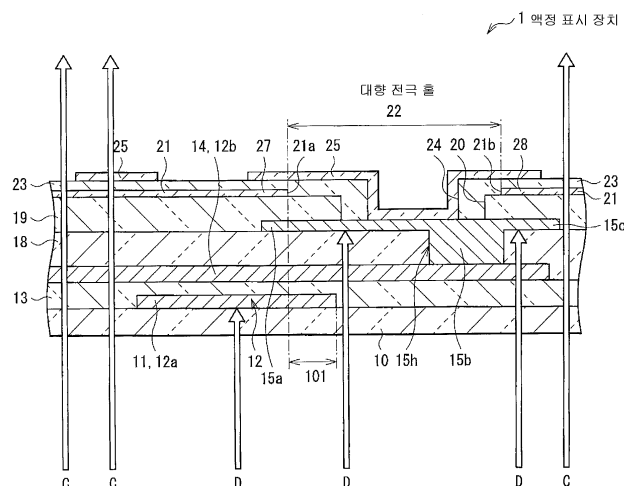
(54) 발명의 명칭 액정 표시 장치

(57) 요약

[과제] 화소 전극에 전위를 가하는 부분의 개선을 하여, 휘도를 향상시킨 액정 표시 장치를 제공한다.

[해결 수단] 액정 표시 장치(1)는, 박막 트랜지스터(12)의 채널을 구성하는 반도체층(14)을, 금속 재료에 의해 형성되는 게이트선(11)의 위쪽에 배치함으로써, 게이트선(11)의 일부가 박막 트랜지스터(12)의 게이트로 구성된다. 또한, 액정 표시 장치(1)는, 화소 전극(25)과 이 화소 전극(25)에 대하여 대향 배치된 대향 전극(21)을 구비하고 있다. 대향 전극(21)에는, 대향 전극 홀(22)이 형성되어 있고, 박막 트랜지스터(12)와 화소 전극(25) 사이를 전도시키는 제1 콘택트(15)가 대향 전극 홀(22)을 통과하고 있다. 그리고, 대향 전극 홀(22)의 일부가 게이트선(11)과 오버랩하고 있다.

대표도 - 도4



명세서

청구범위

청구항 1

복수 개의 개구가 형성된 화소 전극과,

절연층을 통하여 상기 화소 전극과 대향하도록 적층 배치되고, 대향 전극 홀이 형성된 대향 전극과,

상기 화소 전극의, 상기 대향 전극과는 반대측에 적층 배치된 액정층과,

화소 선택용의 선택선과,

상기 대향 전극의, 상기 화소 전극과는 반대측에 적층 배치되고, 상기 선택선의 일부를 그대로 게이트로서 이용하도록 구성된 화소 구동용의 박막 트랜지스터와,

상기 선택선에 인접한 위치에 있어서 상기 박막 트랜지스터와 상기 화소 전극 사이를 접속하는 층간 전도체를 구비하고,

상기 대향 전극 홀을 통하여 상기 화소 전극과 상기 층간 전도체가 접속되고, 상기 대향 전극 홀의 일부가 상기 선택선과 오버랩하고,

상기 층간 전도체가, 상기 대향 전극과 상기 선택선과의 사이의 층면에 있어서 상기 대향 전극 홀의 일부와 상기 선택선과의 오버랩 영역을 덮도록 적층면을 따라 연장되는 연장 부분을 가지는,

액정 표시 장치.

청구항 2

제1항에 있어서,

상기 대향 전극 홀의 내주 에지 영역 중 상기 오버랩 영역에 노출되는 영역을 제외한 영역이, 상기 층간 전도체에 있어서의 다른 연장 부분 또는 상기 화소 전극, 또는 이들 양쪽과 오버랩하고 있는, 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 대향 전극과 상기 층간 전도체 사이에 층간 절연막이 설치되고,

상기 절연층 및 상기 층간 절연막에, 상기 절연층의 표면으로부터 상기 층간 전도체까지 같은 직경으로 관통하는 구멍이 형성되어 있는, 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 화소 전극의 개구는, 슬릿형으로 형성된 것이며, 상기 선택선의 매우 근접한 부근까지 연장되어 있는, 액정 표시 장치.

청구항 5

삭제

발명의 설명

발명의 상세한 설명

기술 분야

본 발명은, 횡전계 모드의 액정에 의해 표시가 행해지는 액정 표시 장치에 관한 것이다.

[0001]

배경 기술

[0002] 액정 표시 장치에는, FFS(프린지 필드 스위칭) 모드 등의 횡전계 모드의 액정 구조가 있다. FFS 모드의 액정 표시 장치는 대향 전극을 구비하고 있다. 대향 전극에는, 슬릿형의 개구를 가지는 화소 전극이 절연층을 통하여 대향 배치되어 있고, 또한 화소 전극의 상부에는 액정층이 배치되어 있다. 절연층에는, 도전성 콘택트가 적층 방향으로 관통하여 배치되어 있고, 이 도전성 콘택트를 통하여 화소 전극과 화소 전극 구동용의 TFT(박막 트랜지스터)가 도통되어 있다. 이와 같은 액정 표시 장치에서는, TFT에 접속된 데이터선으로부터 화소 전극에 전압이 인가되면, 화소 전극으로부터 액정층 및 슬릿을 통하여 화소 전극 아래쪽의 대향 전극으로 향하는 전계가 발생되고, 이로써, 액정층에 횡전계가 가해져, 구동이 행해진다. 그리고, FFS 모드의 액정 표시 장치에 대하여 개시한 것으로는, 특허 문헌 1을 들 수 있다.

[0003] [특허 문헌 1] 일본 특허출원 공개 제2008-64947호 공보

발명의 내용

해결 하고자하는 과제

[0004] 최근에, 상기 액정 표시 장치는 휘도의 향상이 요구되고 있기 때문에, 개구율을 높이는 시도가 이루어지고 있다. 이 개구율을 높이기 위해서는, 광투과 영역의 면적을 가능한 크게 할 필요가 있다. 그런데, 상기한 바와 같이, 화소 전극과 TFT 사이를 접속하는 데에는 도전성 콘택트가 필요하며, 이 도전성 콘택트를 배치하기 위한 공간이 필요해지기 때문에, 반드시 충분히 큰 개구율을 얻을 수는 없다. 그러나, 종래에는, 이 점에 관하여 개선을 위한 어떠한 제안도 이루어지지 않았다.

[0005] 본 발명은 이러한 문제점을 감안하여 이루어진 것이며, 그 목적은, 화소 전극에 구동 전압을 인가하기 위한 구조를 개선시킴으로써 휘도를 향상시킬 수 있는 액정 표시 장치를 제공하는 데에 있다.

과제 해결수단

[0006] 본 발명의 일 실시예에 따른 액정 표시 장치는, 복수 개의 개구가 형성된 화소 전극과, 절연층을 통하여 상기 화소 전극과 대향하도록 적층 배치되고, 대향 전극 홀이 형성된 대향 전극과, 상기 화소 전극의, 상기 대향 전극과는 반대측에 적층 배치된 액정층과, 화소 선택용의 선택선과, 상기 대향 전극의, 상기 화소 전극과는 반대측에 적층 배치되고, 상기 선택선의 일부를 그대로 게이트로서 이용하도록 구성된 화소 구동용의 박막 트랜지스터와, 상기 선택선에 인접한 위치에 있어서 상기 박막 트랜지스터와 상기 화소 전극 사이를 접속하는 층간 전도체를 구비하고, 상기 대향 전극 홀을 통하여 상기 화소 전극과 상기 층간 전도체가 접속되고, 상기 대향 전극 홀의 일부가 상기 선택선과 오버랩하고, 상기 층간 전도체가, 상기 대향 전극과 상기 선택선의 사이의 층면에 있어서 상기 대향 전극 홀의 일부와 상기 선택선과의 오버랩 영역을 덮도록 적층면을 따라 연장되는 연장 부분을 가진다.

[0007] 본 발명의 액정 표시 장치에서는, 백라이트로부터의 입사광이, 화소 전극이나 대향 전극을 투과하여 액정층에 입사되는 한편, 선택선이나 층간 전도체에 의해 차폐된다. 선택선으로부터 공급된 신호에 의해 박막 트랜지스터가 온이 되어, 화상 신호 전압이 화소 전극에 인가되면, 화소 전극으로부터 액정층 및 화소 전극의 개구를 통하여 화소 전극의 아래쪽의 대향 전극으로 향하는 전계가 형성된다. 이로써, 액정층에 횡전계가 가해져, 액정층의 액정 분자가 선택적으로 회전하고, 액정층을 통과하는 광이 변조된다. 여기서, 층간 전도체를 통과시키기 위한 대향 전극 홀이 선택선과 오버랩하는 위치에 설치되어 있으므로, 그 결과, 입사광을 차폐하는 층간 전도체가 선택선에 매우 근접하여 위치하게 된다. 그러므로, 화소 전극의 개구 영역은 종래 기술에서의 개구 영역에 비해 선택선에 더 근접한 위치까지 확장될 수 있다. 또한, 선택선(게이트선)의 일부가 그대로 박막 트랜지스터의 게이트 부분으로서 이용되고 있으므로, 선택선으로부터 별도, 게이트 부분을 인출하여 박막 트랜지스터를 구성하도록 한 경우에 비해, 박막 트랜지스터의 배치 공간에 의해 발생하는 차광 영역을 작게 할 수 있고, 그만큼 화소 전극의 개구 영역을 확장시킬 수 있다.

[0008] 본 발명의 액정 표시 장치에서는, 층간 전도체가, 대향 전극과 상기 선택선 사이에 위치한 층면에 있어서 대향 전극 홀의 일부와 선택선과의 오버랩 영역을 덮도록 적층 면을 따라 연장되는 연장 부분을 가지도록 구성하는 것이 바람직하다. 이 경우에는, 선택선으로부터 대향 전극 홀을 통하여 액정층에 이르는 누설 전계가 적층 면을 따라 연장되는 층간 전도체의 일부에 의해 차폐되어, 전계의 혼란이 억제된다. 또한, 대향 전극 홀의 내주에지 영역 중 오버랩 영역에 노출되는 영역을 제외한 다른 영역이, 층간 전도체의 다른 연장 부분이나 화소 전

극, 또는 이들 양쪽과 오버랩되도록 구성하는 것이 바람직하다. 여기서, 대향 전극 홀의 내주 에지 영역 중 상기 다른 영역이 화소 전극에 의해 덮혀지는 경우에는, 상기 다른 영역이 화소 전극에 의해 덮혀있지 않은 경우에 발생할 수 있는 전계의 혼란이 억제된다. 또는, 층간 전도체의 일부가 상기 다른 영역과 오버랩하는 경우에는, 대향 전극이 존재하지 않는(액정 제어성이 낮음) 부분이 층간 전도체의 일부에 의해 덮혀짐에 따라, 비록 화소 전극과 대향 전극 사이에 발생하는 전계가 혼란되더라도, 층간 절연막의 일부는 광을 차폐하여, 액정 제어성이 낮은 부분이 표시에 기여하는 것을 저지할 수 있다. 이에 따라, 콘트라스트(contrast)의 저하를 방지할 수 있다.

효 과

[0009]

본 발명의 액정 표시 장치에 의하면, 층간 전도체를 통과시키기 위한 대향 전극 홀이 선택선과 오버랩하도록 하는 위치에 배치되기 때문에, 투광 영역의 면적이 증가될 수 있어서 표시 휘도가 향상된다. 또한, 화소 전극의 개구가 종래기술에서의 개구에 비해 선택선에 더 근접한 위치까지 확장될 수 있기 때문에, 개구 면적이 증가하고, 표시 콘트라스트가 향상된다. 또한, 선택선(게이트선)의 일부를 그대로 박막 트랜지스터의 게이트 부분으로 이용함으로써, 박막 트랜지스터의 배치 공간이 감소되어, 그 감소된 만큼 투광 영역의 면적이 더 확장될 수 있고, 화소 전극의 개구가 확장될 수 있으므로, 이 점 또한 표시 휘도 및 표시 콘트라스트의 향상에 기여한다.

발명의 실시를 위한 구체적인 내용

[0010]

이하, 도면을 참조로 하여 본 발명의 실시예를 상세하게 설명하기로 한다.

[0011]

[제1 실시예]

[0012]

도 1은, 본 발명의 제1 실시예에 관한 액정 표시 장치의 주요부의 평면 구성을 나타낸 것이다. 도 2 및 도 3은, 도 1에 도시된 액정 표시 장치의 일부(컨택트 주변부)를 확대하여 나타내는 것이다. 단, 도 3에서는, 요소의 일부(화소 전극 등)를 생략하여 도시하고 있다. 도 4는, 도 2의 A-A선을 따라 절취한 단면 구조를 나타낸 것이다.

[0013]

도 4에 나타낸 바와 같이, 이 액정 표시 장치(1)는 유리 기판(10)을 구비하고 있다. 유리 기판(10)의 상면에는, 선택선으로서의 복수의 게이트선(11)이 행방향(지면과 수직인 방향)으로 연장되어 있다. 1개의 화소를 구성하는 영역 내에 있어서, 게이트선(11)은, 화소를 구동시키기 위한 스위칭 소자, 즉 박막 트랜지스터(TFT)(12)의 게이트(12a)를 구성하고 있다. 또한, 유리 기판(10)의 상면에는, 게이트 절연막(13)이 설치되고, 이 게이트 절연막(13)에 의해 게이트선(11)이 덮혀져 있다.

[0014]

게이트 절연막(13)의 상면에는, 반도체층(14)이 설치되어 있다. 본 실시예의 경우, 반도체층(14)은, 도 1에 나타낸 바와 같이, 대략 U 자형의 평면 형상을 가지고, 이 U자형의 암부(arm parts) 중 한쪽은 게이트선(11)을 교차하고 있다. 게이트선(11)과 반도체층(14)이 서로 교차하는 반도체층(14)의 교차 영역이 TFT(12)의 채널(12b)를 구성하도록 되어 있다. 그리고, 게이트선(11), 게이트 절연막(13) 및 반도체층(14)의 채널(12b)에 의해 TFT(12)의 주요부가 구성된다.

[0015]

반도체층(14)의 U 자형의 일단부(소스)에는, 층간 전도체로서의 제1 컨택트(15)(후술)가 설치되고, 타단부(드레인)에는 제2 컨택트(17)가 설치된다. 제1 컨택트(15)는 반도체층(14)의 소스와 후술하는 화소 전극(25) 사이를 적층 방향으로 접속하기 위한 것이다. 제2 컨택트(17)는, 열방향으로 연장된 데이터선(16)과 반도체층(14)의 드레인 사이를 적층 방향으로 접속하기 위한 것이다. 이 제2 컨택트(17)를 통하여 데이터선(16)으로부터 반도체층(14)에 데이터 신호(화소 전압)가 공급된다. 또한, 이 데이터 신호는 TFT(12)의 소스-드레인 사이를 지나서, 제1 컨택트(15)를 통하여 반도체층(14)(드레인)으로부터 화소 전극(25)에 공급된다.

[0016]

반도체층(14) 및 게이트 절연막(13) 상에는, 이들을 덮도록, 절연성의 트랜지스터 보호막(18)이 설치되어 있다(도 4). 이 트랜지스터 보호막(18)에는, 게이트선(11)에 인접한 위치에 컨택트 홀(15h)이 설치되고, 여기에 도전체가 충전되어, 제1 컨택트(15)를 구성한다. 제1 컨택트(15)는, 트랜지스터 보호막(18)의 상면을 따라 게이트선(11)에 가까워지는 방향으로 연장되는 부분(연장 부분)(15a)과, 트랜지스터 보호막(18)을 적층 방향으로 관통하는 부분(관통 부분)(15b)과, 연장 부분(15a)의 연장 방향을 제외한 다른 세 방향으로 연장되는 연장 부분(15c)을 가진다. 연장 부분(15a)의 선단 부분은, 게이트선(11)과 오버랩하는 위치까지 연장된다.

[0017]

트랜지스터 보호막(18) 및 제1 컨택트(15) 상에는, 이들을 덮도록, 층간 절연막(19)이 설치되어 있다. 이 층간 절연막(19)에는, 제1 컨택트(15)의 형성 위치에, 제1 컨택트(15)의 상면에 이르는 층간 절연막 홀(20)이 형성되

어 있다.

- [0018] 층간 절연막(19) 상면에는, 대향 전극(21)이 형성되어 있다. 이 대향 전극(21)에는, 직사각형의 대향 전극 홀(22)이 형성되어 있다. 대향 전극 홀(22)은, 층간 절연막 홀(20)을 포함하여, 층간 절연막 홀(20)보다 평면 방향으로 크게 형성되고, 이 결과, 대향 전극 홀(22)의 내측 영역에 층간 절연막 홀(20)이 위치된다. 이 대향 전극 홀(22)은, 게이트선(11)과 오버랩하도록, 게이트선(11)의 위쪽에 형성되어 있다. 즉, 대향 전극 홀(22)을 에워싸는 내주 에지 영역 중 일부(내주 에지 영역(27))가 게이트선(11)의 위쪽에서 종단한다. 그리고, 게이트선(11)과 대향 전극 홀(22)이 오버랩하는 오버랩 영역(101)을, 제1 컨택트(15)의 연장 부분(15a)이 덮고 있다. 바꾸어 말하면, 제1 컨택트(15)의 연장 부분(15a)의 선단 부분은, 대향 전극(21)과 게이트선(11) 사이에 대향 전극 홀(22)의 내주 에지부(21a)의 위치를 지나는 부분까지 연장되어 이 부분에서 종단한다. 마찬가지로, 대향 전극 홀(22)을 에워싸는 내주 에지 영역 중 상기한 내주 에지 영역(27)이외의 다른 영역(28)도, 제1 컨택트(15) 위쪽에서 제1 컨택트(15)의 다른 연장 부분(15c)과 오버랩한다. 바꾸어 말하면, 제1 컨택트(15)의 다른 연장 부분(15c)의 선단 부분은, 대향 전극 홀(22)의 내주 에지부(21a) 중, 반도체층(14)과 오버랩하는 부분 이외의 내주 에지부(21b)의 위치를 지나는 부분까지 연장되어, 이 부분에서 종단한다.
- [0019] 층간 절연막(19), 대향 전극(21) 및 층간 절연막 홀(20)은, 화소 절연막(23)(절연층)에 의해 덮혀져 있다. 이 화소 절연막(23)에는, 대향 전극(21)의 대향 전극 홀(22) 및 층간 절연막(19)의 층간 절연막 홀(20)의 내측을 적층 방향으로 관통하여 제1 컨택트(15)의 상면에 이르는 화소 절연막 홀(24)이 형성되어 있다.
- [0020] 화소 절연막(23) 상에는, 화소 전극(25)이 화소마다 형성되어 있다. 도 1에 도시된 바와 같이, 화소 전극(25)은 인접하는 2개의 게이트선(11) 사이에 걸쳐 배치되어, 각 게이트선과 오버랩한다. 도 1 및 도 4에 도시된 바와 같이, 화소 전극(25)은 화소 절연막 홀(24)의 내면(내벽면 및 제1 컨택트(15)의 상면)을 덮어, 반도체층(14)의 드레인과 화소 전극(25) 사이가 제1 컨택트(15)를 통하여 전기적으로 접속하게 된다. 화소 전극(25)은, 대향 전극 홀(22)을 완전히 덮도록 하는 위치 및 크기로 형성되어 있다. 화소 전극(25)에는, 데이터선(16)에 평행한 방향을 따라 복수의 가늘고 긴 개구(슬릿(26))가 형성되어 있다. 이들의 슬릿(26) 중 중앙부에 위치한 슬릿(26)(도 1에서는 3개의 슬릿(26))은 TFT(12)의 근방, 즉 제1 컨택트(15)에 근접하여 연장되고, 주변부에 위치하는 슬릿(26)(도 1에서는 2개의 슬릿(26))은 게이트선에 매우 근접하게 연장된다. 그리고, 도 1의 B-B선을 따른 절단면은, 후술하는 도 6에 도시된 것과 같다.
- [0021] 도 5는 액정 표시 장치의 사시 구조를 개략적으로 나타낸다. 도 5에 나타난 바와 같이, 화소 전극(25)의 상면측(광 출사측)에는, 제1 배향막(30), 액정층(31), 제2 배향막(32) 및 제2 편광판(34)이 배치되어 있다. 또한, 유리 기판(10)(대향 전극(21))의 하면측(광 입사측)에는, 제1 편광판(33)이 배치되어 있다.
- [0022] 이와 같은 구성의 액정 표시 장치(1)는, 예를 들면, 다음과 같이 제조될 수 있다. 최초에, 액정 표시 장치(1)의 각 화소를 구동시키기 위한 스위칭 소자로서, TFT(12)가 형성된다. TFT(12)를 형성하기 위해서는, 먼저, TFT(12)의 게이트(12a)(게이트선(11))로 구성되는 금속막을 유리 기판(10) 상에 형성한다. 이 금속막은, 예를 들면, 스퍼터링(sputtering) 등의 성막법을 이용하여, 몰리브덴 등의 금속 재료를 증착시켜 형성될 수 있다. 이 후에, 포토리소그래피 기술(photolithography technique)을 사용하여 금속막의 상면에 마스크를 형성하고, 이 마스크의 개구 부분을 통해 노출된 금속막을 에칭한 후, 마스크를 제거한다. 이로써, 게이트선(11)으로 구성되는 TFT(12)의 게이트(12a)가 형성된다.
- [0023] 다음에, 유리 기판(10) 및 게이트선(11)을 덮는 게이트 절연막(13)이 형성된다. 게이트 절연막(13)은, 예를 들면, 화학 증기 증착법(CVD) 등의 성막법을 이용하여, 질화 실리콘 등의 절연 재료를 유리 기판(10)의 상면에 증착시켜 형성될 수 있다.
- [0024] 다음에, 반도체층(14)이 형성된다. 이 반도체층(14)을 형성하기 위해서는, 먼저, 반도체층(14)이 되는 비정질 실리콘 등의 반도체 재료를, 게이트 절연막(13) 상면에 CVD 등의 성막법을 이용하여 증착시킨다. 이 후에, 도 1에 도시된 형상의 반도체층(14)을 얻기 위해, 포토리소그래피 기술을 사용하여 반도체 재료의 상면에 마스크를 형성하고, 이 마스크의 개구 부분을 통해 노출된 반도체 재료를 에칭한 후, 마스크를 제거한다. 이로써, 제1 컨택트(15)가 접속되는 일 단부와 제2 컨택트(17)가 접속되는 타 단부 및 TFT(12)의 채널(12b)을 구성하는 부분을 구비한 반도체층(14)이 형성된다.
- [0025] 다음에, TFT(12)를 보호하는 트랜지스터 보호막(18)이, 반도체층(14) 및 게이트 절연막(13)의 상면에 형성된다. 이 트랜지스터 보호막(18)을 형성하기 위해서는, 먼저, CVD 등의 성막법을 이용하여 질화 실리콘 등의 절연 재료를 게이트 절연막(13)의 상면에 증착시켜, 반도체층(14)을 덮는다. 이 후에, 제1 컨택트(15) 및 제2 컨택트

(17)가 적층 방향으로 배치되도록, 게이트 절연막(13)의 상면에 포토리소그래피 기술을 사용하여 마스크를 형성한 다음, 이 마스크의 개구 부분을 통해 노출된 절연 재료를 에칭한 후, 마스크를 제거한다. 이로써, 트랜지스터 보호막(18)이 형성되고, 트랜지스터 보호막(18)은, 제1 콘택트(15)의 관통 부분(15b)이 배치되는 제1 콘택트 홀(15h), 및 제2 콘택트(17)가 배치되는 제2 콘택트 홀을 구비하도록 구성된다.

[0026] 다음에, 제1 콘택트(15) 및 데이터선(16)이 되는 트랜지스터 콘택트 금속막이 트랜지스터 보호막(18)의 상면에 형성된다. 이 트랜지스터 콘택트 금속막을 형성하기 위해서는, 먼저, 스퍼터링 등의 성막법을 이용하여, 예를 들면, 티탄, 알루미늄 및 티탄의 3층을 트랜지스터 보호막(18)의 상면에 적층한다. 이 후에, 트랜지스터 콘택트 금속막의 상면에 포토리소그래피 기술을 사용하여 마스크를 형성한 다음, 이 마스크로 덮혀 있지 않은 부분을 에칭한 후, 마스크를 제거한다. 이로써, 평면 방향으로 연장된 부분을 소정의 형상, 즉 내주 에지 영역의 트랜지스터 콘택트 금속막의 단부가 평면에서 볼 때 게이트선(11)과 오버랩하는 형상을 구비한 제1 콘택트(15), 및 열방향으로 연장된 데이터선(16)이 형성된다. 따라서, 제1 콘택트(15)는 대향 전극(21)과 게이트선(11) 사이에 위치한 층면에 배치된다.

[0027] 다음에, 층간 절연막(19)이, 트랜지스터 보호막(18), 제1 콘택트(15) 및 데이터선(16)의 상면에 형성된다. 이 층간 절연막(19)은, 예컨대 아크릴 수지 등의 절연성 재료로 형성될 수 있다. 이 경우, 아크릴 수지가 감광성이라면, 포토리소그래피 기술을 이용하여, 층간 절연막 홀(20)을 용이하게 형성할 수 있다. 이로써, 제1 콘택트(15) 및 데이터선(16)과 대향 전극(21) 사이를 절연시키고, 또한 제1 콘택트(15)의 일부가 층간 절연막 홀(20)에 의해 노출되는 층간 절연막(19)을 얻는다.

[0028] 다음에, 투명 전극인 대향 전극(21)이 층간 절연막(19)의 상면에 형성된다. 이 대향 전극(21)을 형성하기 위해서는, 먼저, 스퍼터링 등의 성막법을 이용하여, 예를 들면, 산화 인듐 등의 전극 재료를 층간 절연막(19)의 상면에 성막한다. 이 후에, 대향 전극 홀(22)을 형성하기 위해, 포토리소그래피 기술을 사용하여 대향 전극(21)의 상면에 마스크를 형성한 다음, 이 마스크의 개구 부분을 통해 노출된 전극 재료를 에칭한 후, 마스크를 제거한다. 이로써, 대향 전극 홀(22)을 구비한 대향 전극(21)이 형성된다. 그리고, 도 4에 도시된 바와 같이, 본 실시예의 대향 전극 홀(22)은 층간 절연막 홀(20)보다 크게 형성되고, 또한 제1 콘택트(15)의 평면 방향으로 연장되는 부분보다는 작게 형성된다. 따라서, 대향 전극 홀(22)을 형성하는 내주 에지부(21a) 중 내주 에지 영역은, 제1 콘택트(15) 및 게이트선(11)의 양쪽과 평면에서 볼 때 오버랩된다.

[0029] 다음에, 액정층(31)에 전계를 걸기 위해, 화소 절연막(23)이 대향 전극(21)의 상면에 형성된다. 화소 절연막(23)을, CVD 등의 증착법을 이용하여, 예를 들면, 질화 실리콘 등의 유전체를 대향 전극(21)의 상면에 증착시켜 형성한 다음, 이 유전체층의 상면에 포토리소그래피 기술을 사용하여 마스크를 형성한 후, 이 마스크로 덮혀 있지 않은 부분을 에칭하여, 마스크를 제거한다. 이로써, 화소 절연막 홀(24)을 구비한 화소 절연막(23)이 형성되고, 본 실시예의 화소 절연막 홀(24)은 층간 절연막 홀(20) 및 대향 전극 홀(22)의 내측에 배치된다.

[0030] 다음에, 액정을 구동시키기 위한 전위를 가하는 화소 전극(25)이, 화소 절연막(23)의 상면에 형성된다. 화소 전극(25)을, 스퍼터링 등의 성막법을 이용하여, 예를 들면, 산화 인듐 등의 전극 재료를 증착시켜 형성한 다음, 화소 절연막(23)을 통하여 화소 전극(25)과 대향 전극(21) 사이에 전계가 가해지도록, 슬릿(26) 및 대향 전극 홀(22)을 평면에서 볼 때 덮는 패턴을, 포토리소그래피 기술을 사용하여 얻어지는 마스크 및 에칭을 이용하여 형성한다.

[0031] 이 후에, 화소 전극(25)의 상면측에 제1 배향막(30), 액정층(31), 제2 배향막(32) 및 제2 편광판(34)가 배치되고, 유리 기판(10)의 하면측에 제1 편광판(33)이 배치되면, 액정 표시 장치(1)를 얻을 수 있다.

[0032] 다음에는, 본 실시예의 액정 표시 장치(1)의 동작에 관해 설명하기로 한다. 먼저, 도 5 및 도 6을 참조하여, 기본 동작을 설명한다. 도 5는 액정 표시 장치(1)의 사시 구성을 나타내고, 도 6은 액정 표시 장치(1)의 한 단면(도 1의 B-B선을 따르는 절단면)을 나타낸다. 여기서 도 5의 (A) 및 도 6의 (A)는 전압 무인가 상태를 나타내고, 도 5의 (B) 및 도 6의 (B)는 전압 인가 상태를 나타낸다.

[0033] 액정 표시 장치(1)에는, 유리 기판(10)의 배면측(도 1에서는 아래쪽)으로부터 광이 입사된다(도 4: 화살표 C, D). 이 입사광 D는, 게이트선(11)이나 제1 콘택트(15), 제2 콘택트(17), 데이터선(16) 등의 금속으로 형성된 부분에 의해 차폐되는 반면, 그 이외의 부분을 투과하여 액정층(31)에 입사한다(입사광 C).

[0034] 액정층(31)에 입사한 광은, 액정층(31)을 통과할 때, 후술하는 바와 같이 FFS 모드의 공간 변조를 받게 된다.

[0035] 즉, 도 5의 (A) 및 도 6의 (A)에 도시된 바와 같이, 대향 전극(21)과 화소 전극(25) 사이에 전압을 인가하고 있지 않은 상태에서는, 액정층(31)을 구성하는 액정 분자(35)의 축이 입사측의 제1 편광판(33)의 투과축에 직교하

고, 또한 출사측의 제2 편광판(34)의 투과축과 평행해진다. 그러므로, 입사측의 제1 편광판(33)을 투과한 입사광 h는, 액정층(31) 내에 위상차를 발생시키지 않고 출사측의 제2 편광판(34)에 도달하여, 여기서 흡수되므로 흑표시가 나타난다.

[0036] 한편, 도 5의 (B) 및 도 6의 (B)에 도시된 바와 같이, 대향 전극(21)과 화소 전극(25) 사이에 전압을 인가한 상태에서는, 액정 분자(35)의 배향 방향이 복수의 화소 전극(25) 사이에 발생하는 전계 E에 의해, 화소 전극(25)의 연장 방향에 대하여 기울어진 방향으로 회전한다. 이 때, 액정층(31)의 두께 방향의 중앙에 위치하는 액정 분자(35)가 약 45도 회전하도록, 백표시 모드시의 전계 강도가 최적화된다. 이로써, 입사측의 제1 편광판(33)을 투과한 입사광은, 액정층(31) 내를 투과하는 사이에 위상차가 생기므로, 이 입사광은 90도 회전하고 직선 편광이 되며, 출사측의 제2 편광판(34)을 통과하여, 백표시가 나타난다.

[0037] 다음에는, 본 실시예의 액정 표시 장치(1)의 고유의 작용에 대하여 설명하기로 한다. 여기서는 대비를 위해 비교예를 먼저 설명한다.

[0038] 도 11은 비교예의 액정 표시 장치(100)의 주요부의 평면 구성을 나타내고, 도 12는 이 액정 표시 장치(100)의 일부(컨택트 주변부)를 확대하여 나타낸다. 도 13은 도 12의 C-C를 따른 절단면을 나타내는 것이다.

[0039] 이 액정 표시 장치(100)는, 본 실시예의 액정 표시 장치(1)와 마찬가지로, 행방향으로 배치된 게이트선(111) 및 열방향으로 배치된 데이터선(116)을 구비하고 있다. TFT(112)의 게이트(112a)는 열방향으로 연장되는 2개의 금속막으로 구성되어 있고, 이들 각 일단이 게이트선(111)에 접속되어 있다. 반도체층(114)은, 게이트 절연막(113)을 통하여 게이트(112a)의 위쪽에 배치되고, 게이트선(111)을 따라 연장되어 있다. 반도체층(114) 중 게이트(112a)에 대향한 부분이 TFT(112)의 채널(112b)로 되어 있다. 이 반도체층(114)의 상면에는, 트랜지스터 보호막(118)이 설치되어 있다. 이 트랜지스터 보호막(118)에는, 보호막(118)을 적층 방향으로 관통하여 반도체층(114)의 일단 측의 상면에 이르는 제1 컨택트(115)가 설치되어 있다. 반도체층(114)의 타단 측은, 제2 컨택트(117)(도 11)에 의해 데이터선(116)에 접속되어 있다.

[0040] 트랜지스터 보호막(118) 등의 상부에는, 층간 절연막(119), 대향 전극(121), 화소 절연막(123) 및 화소 전극(125)이 설치되어 있다. 층간 절연막(119)에는, 제1 컨택트(115)의 상면에 이르는 층간 절연막 홀(120)이 설치되어 있다. 대향 전극(121)은 층간 절연막(119) 상에 형성되어 있고, 대향 전극 홀(122)을 구비하고 있다. 화소 절연막(123)은, 대향 전극(121) 및 층간 절연막(119)을 덮도록 설치된다. 이 화소 절연막(123)에는, 제1 컨택트(115)의 상면에 이르는 화소 전극 홀(124)이 형성되어 있다. 화소 절연막(123) 상에는, 복수의 개구부(슬릿)가 형성된 화소 전극(125)이 형성되어 있다. 이 화소 전극(125)은 화소 전극 홀(124)을 통하여 제1 컨택트(115)에 접속되어 있다.

[0041] 여기서, TFT(112)를 구성하는 게이트(112a)나, 화소 전극(125)과 반도체층(114)을 전도시키는 제1 컨택트(115)는 금속으로 형성되고, 입사광을 투과시키지 않는 차광 영역으로서, 액정 표시 장치(100)의 표시에 기여하지 않는 부분이다. 그런데, 이 비교예에서는, 이들의 차광 영역의 면적이 비교적 크다. 그 이유는, 다음과 같다.

[0042] (1) 제1 컨택트(115)가 게이트선(111)으로부터 완전히 떨어진 위치에 형성되어 있고, 제1 컨택트(115)의 차광 면적과 게이트선(111)의 차광 면적의 합이 크다.

[0043] (2) 게이트선(111)으로부터 게이트(112a)를 인출하여 TFT(112)의 게이트로 사용하기 때문에, 게이트선(111)의 차광 면적에 게이트(112a)의 차광 면적이 더해진다.

[0044] 이에 대하여, 본 실시예의 액정 표시 장치(1)에서는, 제1 컨택트(15)의 영역은, 제1 컨택트(15)가 게이트선(11)과 오버랩하도록 화소 영역의 주변에 근접하게 위치된다. 구체적으로는, 대향 전극 홀(22)은, 게이트선(11)의 위쪽의, 게이트선(11)과 오버랩하도록 하는 위치에 형성된다. 이 결과, 제1 컨택트(15) 자체를, 게이트선(11)에 충분히 근접한 위치에 형성할 수 있고, 제1 컨택트(15)의 차광 면적과 게이트선(11)의 차광 면적의 합을 보다 작게 할 수 있다.

[0045] 또한, 본 실시예의 액정 표시 장치(1)에서는, TFT(12)의 게이트(12a)가 게이트선(11)으로 구성될 수 있는 것(즉, 게이트선(11)의 일부가 그대로 TFT(12)의 게이트로 이용됨)으로서, 이 점에 있어서도, 차광 영역의 면적이 비교예의 경우보다 작아진다.

[0046] 이에 따라, 전체적으로 차광량을 저감시키고, 투과량을 증가시켜서, 표시 휘도가 향상된다.

[0047] 또한, 상기한 바와 같이, 제1 컨택트(15)의 형성 영역을, 제1 컨택트(15)가 게이트선(11)과 일부 오버랩하도록 화소 영역의 주변에 근접하게 형성한 결과, 그만큼, 화소 전극(25)의 슬릿(26)을 비교예의 경우보다 게이트선

(11)에 더 근접한 위치까지 확장시킬 수 있다. 또한, 게이트선(11)의 일부(게이트(12a))를 그대로 TFT(12)의 게이트 부분으로 이용하고 있으므로, 비교예의 경우에 비하여, TFT(12)의 배치 공간을 감소시킬 수 있고, 그만큼 화소 전극(25)의 슬릿(26)을 확장시킬 수 있다. 구체적으로는, 도 2에서의 사선 영역 X1이, 비교예의 경우보다 더 확장된 슬릿 영역이 된다. 이와 같이 슬릿 영역이 확장되면, 그만큼, 액정 분자의 움직임을 제어할 수 있는 영역이 넓어지는 동시에, 화소 전극(25)과 대향 전극(21) 사이에 발생하는 횡전계가 강해지고 안정되므로, 액정 분자의 제어성이 양호해지며, 표시 콘트라스트가 향상된다.

[0048] 또한, 본 실시예에서는, 게이트선(11)과 대향 전극 홀(22)이 오버랩하는 오버랩 영역(101)을, 제1 콘택트(15)의 연장 부분(15a)이 덮는다. 그러므로, 게이트선(11)으로부터 대향 전극 홀(22)을 통하여 액정층(31)에 이르는 누설 전계가, 제1 콘택트(15)의 일부(연장 부분(15a))에 의해 차폐되어, 전계의 혼란이 억제된다.

[0049] 또한, 본 실시예에서는, 대향 전극 홀(22)을 에워싸는 내주 에지 영역 중 오버랩 영역(101)을 향하는 내주 에지 영역(27) 이외의 다른 영역(28)도, 제1 콘택트(15)의 위쪽에서 제1 콘택트(15)의 다른 연장 부분(15c)과 오버랩한다. 그러므로, 이 영역(28)에서 비록 화소 전극(25)과 대향 전극(21) 사이에 발생하는 전계가 혼란되더라도, 제1 콘택트(15)의 일부(연장 부분(15c))이 광을 차폐하는 결과, 액정 제어성의 낮은 부분이 표시에 기여하는 것을 저지할 수 있다.

[0050] 또한, 본 실시예에서는, 화소 전극(25)이 대향 전극(21)의 영역(28)과 오버랩하기 때문에, 영역(28)이 화소 전극(25)에 의해 덮혀 있지 않은 경우에 발생하는 전계의 혼란이 억제된다.

[0051] 그리고, 상기 실시예에서는, 대향 전극 홀(22)의 내주 에지 영역 중 게이트선(11)과 오버랩된 영역(27)이외의 다른 영역(28)이 화소 전극(25) 및 제1 콘택트(15)의 양쪽과 오버랩하는 경우에 대하여 설명하고 있지만, 이에 본 발명이 한정되는 것은 아니다. 영역(28)이, 화소 전극(25) 및 제1 콘택트(15)의 연장 부분(15a) 중 적어도 어느 한쪽과 오버랩될 수 있다.

[0052] 또한, 상기 실시예의 액정 표시 장치(1)에서는, 화소 절연막 홀(24)의 평면 크기가 층간 절연막 홀(20)보다 큰 구성에 대하여 설명하였다. 그러나, 본 발명의 액정 표시 장치는, 도 7에 나타난 바와 같이, 층간 절연막 홀(20)의 평면 크기가 화소 절연막 홀(24)보다 큰 구성으로 되어 있을 수 있다. 이와 같은 액정 표시 장치도, 상기 실시예의 액정 표시 장치(1)와 유사한 효과를 얻을 수 있다.

[0053] 또한, 상기 실시예의 액정 표시 장치(1)에서는, 화소 절연막 홀(24)과 층간 절연막 홀(20)의 내주 에지 위치가 서로 상이한 경우에 대하여 설명하였으나, 도 8에 나타난 바와 같이, 층간 절연막 홀(20)(세로로 해칭한 부분)의 한쌍의 측면 및 화소 절연막 홀(24)(경사지게 해칭한 부분)의 한쌍의 측면 중 적어도 어느 한쪽은 동일면 내에 있게 해도 된다. 도 8의 경우에는, 층간 절연막 홀(20) 및 화소 절연막 홀(24)의 각 측면 중, 열방향의 측면은 각각 동일면 내에 있다. 또한, 도 8의 경우에, 도 2의 경우보다, 제1 콘택트(15)의 연장 부분(15a)의 폭이 더 작다. 이와 같은 액정 표시 장치(1)도, 상기 실시예의 액정 표시 장치(1)와 유사한 효과를 얻을 수 있다. 또한, 화소 절연막 홀(24)과 층간 절연막 홀(20)의 크기와 위치를 동일하게 해도 된다. 이 경우에는, 화소 절연막 홀(24)과 층간 절연막 홀(20)은, 1개의 에칭 마스크를 사용하여 하나의 공정에 의해 형성될 수 있다.

[0054] [제2 실시예]

[0055] 도 9는 제2 실시예의 액정 표시 장치(2)에서의 제1 콘택트(15)의 부분을 확대하여 나타내고 있다. 여기서는, 제1 실시예와 동일한 구성 부분에는 동일한 참조 번호를 부여하고, 그 설명을 생략 또는 간략한다. 제2 실시예의 액정 표시 장치(2)에서는, 화소 전극(40)에 형성되는 슬릿(41) 중 2개 이상의 슬릿(41)(우측으로부터 2번째 슬릿과 좌측으로부터 2번째 슬릿)을 제1 실시예의 경우보다 길게 하고, 슬릿(41)의 일부가 제1 콘택트(15)의 연장 부분(15a)과 오버랩하게 된다. 본 실시예에서는, 화소 전극(25)의 슬릿(26) 중 4개의 슬릿이 TFT(12)의 게이트(12a)에 근접하여 연장되어 있으므로, 제1 실시예의 액정 표시 장치(1)와 비교하여, 도 9에서의 사선으로 나타난 X2의 영역이 입사광 투과 가능 영역이 되고, 그만큼 표시 휘도가 향상된다.

[0056] [제3 실시예]

[0057] 도 10은 제3 실시예의 액정 표시 장치(3)의 제1 콘택트(15)의 부분을 확대하여 나타내고 있다. 본 실시예의 액정 표시 장치(3)에는, 층간 절연막 홀(20)을 형성하는 측면과 화소 절연막 홀(24)을 형성하는 측면 중 적어도 어느 하나가 동일면 내에 형성되는 동시에, 화소 전극(40)에 형성되는 슬릿(41)이 도 9에 도시된 제2 실시예의 슬릿과 유사하게 형성된다.

[0058] 층간 절연막 홀(20) 및 화소 절연막 홀(24)의 각각의 측면을 모두 동일면 내에 형성하는, 즉 층간 절연막 홀(20) 및 화소 절연막 홀(24)의 평면 크기를 동일하게 하고, 또한 각각의 홀(20, 24)을 동일한 위치에 배치시키면, 이들의 홀(20, 24)은 1회의 에칭에 의해 형성될 수 있다. 이 공정의 구체적인 일례는 다음과 같다. 트랜지스터 보호막(18), 제1 컨택트(15) 및 데이터선(16)의 상면에, 층간 절연막(19)이 되는 절연 재료를 설치한 후, 상기에서 설명한 바와 같이 대향 전극(21)을 형성하고, 그 후, 이들 상에 화소 절연막(23)이 되는 절연 재료를 설치한다. 다음에, 포토리소그래피 기술을 이용하여 마스크를 형성한 후, 마스크의 개구 부분을 에칭하여, 층간 절연막(18)으로부터 화소 절연막(23)까지 연속하여 관통한 구멍 부분을 형성한다.

[0059] 이와 같이, 포토리소그래피 공정 및 에칭 공정이 1회 행해지면, 공정이 간략화되어, 포토리소그래피 공정에 사용되는 한 종류의 포토마스크로 충분하다. 또한, 층간 절연막 홀 및 화소 절연막 홀의 각각의 측면이 적층 방향으로 연속하고 있으면, 홀(20, 24)의 평면 크기를 더 작게 할 수 있고, 상기와 마찬가지로, 입사광의 투과 가능 영역이 확장되어, 투과율을 향상시킬 수 있다.

[0060] 이상, 몇개의 실시예 및 변형예가 상술되었지만, 본 발명은 이들에 한정되지 않고, 적당히 변형이 가능하다. 예를 들면, 화소 전극의 개구의 형상은 직선 슬릿형에는 한정되지 않고, 다른 개구 형상, 예를 들면, 접히고 굽힌 슬릿형이어도 된다. 또한, 컨택트 형상은 정사각형에 한정되지 않고, 직사각형이나 그 외의 형상이어도 된다.

도면의 간단한 설명

[0061] 도 1은 제1 실시예에 관한 액정 표시 장치의 일부를 확대한 평면도이다.

[0062] 도 2는 도 1에 도시된 액정 표시 장치의 제1 컨택트의 부분을 확대한 평면도이다.

[0063] 도 3은 액정 표시 장치의 제1 컨택트가 설치된 부근에서의 주요부의 평면 방향의 위치 관계를 나타낸 도면이다.

[0064] 도 4는 도 2의 A-A선을 따르는 절단면도이다.

[0065] 도 5는 액정 표시 장치의 개략 구성을 나타낸 사시도이다.

[0066] 도 6은 액정 표시 장치의 동작을 설명하기 위한 대향 전극, 화소 전극 및 액정층의 단면도이다.

[0067] 도 7은 제2 변형예에 관한 액정 표시 장치의 단면도이다.

[0068] 도 8은 제3 변형예에 관한 액정 표시 장치의 단면도이다.

[0069] 도 9는 제2 실시예의 액정 표시 장치에 있어서의 컨택트의 부분을 확대한 평면도이다.

[0070] 도 10은 제3 실시예의 액정 표시 장치에 있어서의 컨택트의 부분을 확대한 평면도이다.

[0071] 도 11은 비교예의 액정 표시 장치의 일부를 확대한 평면도이다.

[0072] 도 12는 도 11에 도시된 액정 표시 장치의 컨택트의 부분을 확대한 평면도이다.

[0073] 도 13은 도 12의 B-B선을 따르는 절단면도이다.

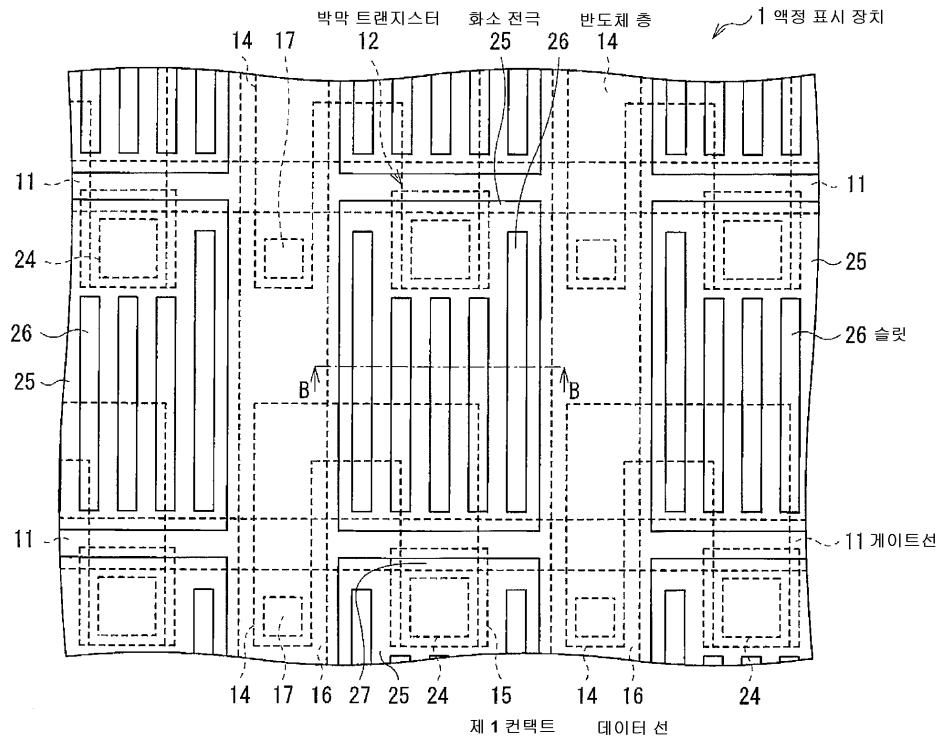
[0074] [도면의 주요부분에 대한 부호의 설명]

[0075]	1 ~ 3 : 액정 표시 장치	11 :	게이트선
[0076]	12 :	박막 트랜지스터	TFT, 12a : 게이트
[0077]	12b :	채널	14 : 반도체층
[0078]	15 :	제1 컨택트	15a : 연장 부분
[0079]	15b :	관통 부분	18 : 트랜지스터 보호막
[0080]	19 :	층간 절연막	20 : 층간 절연막 홀
[0081]	21 :	대향 전극	21a : 내주 예지부
[0082]	22 :	대향 전극 홀	23 : 화소 절연막
[0083]	24 :	화소 절연막 홀	25 : 화소 전극

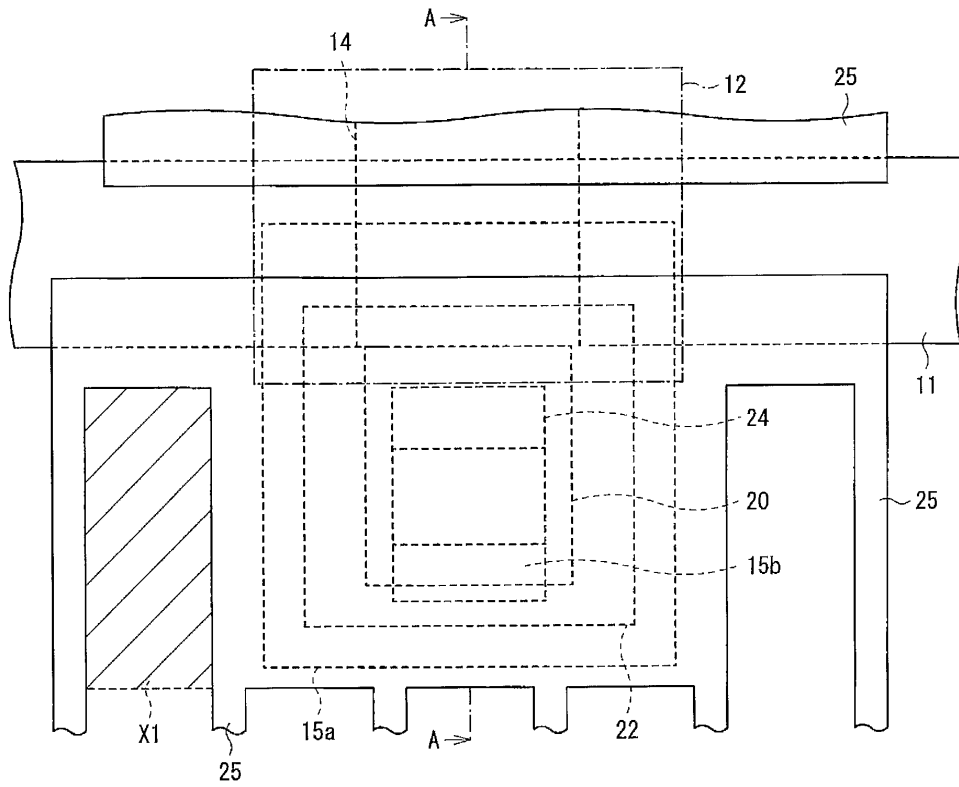
[0084]	26 :	슬릿	27 :	내주 에지 영역
[0085]	31 :	액정층	40 :	화소 전극
[0086]	41 :	슬릿		

도면

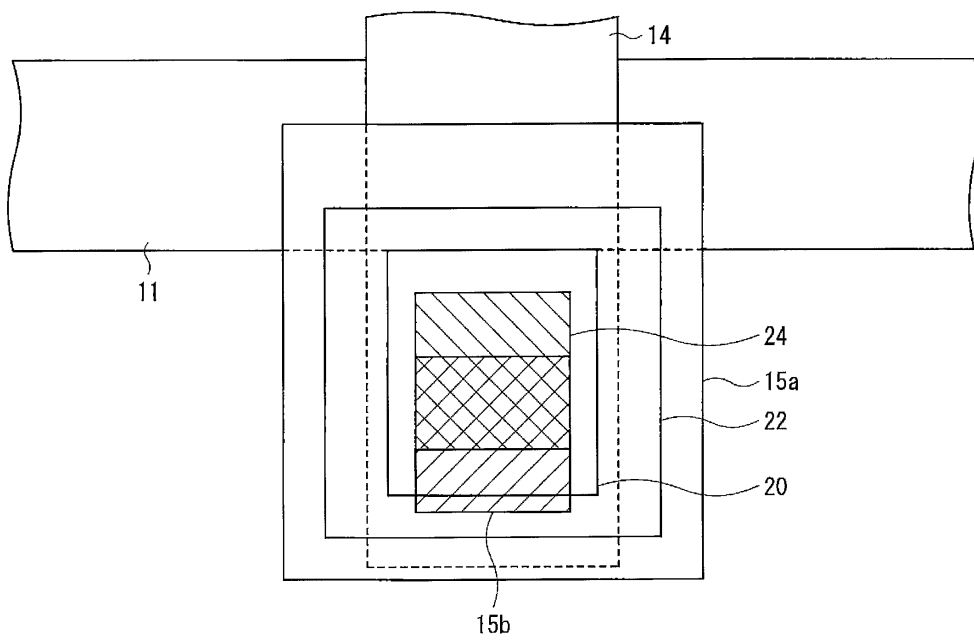
도면1



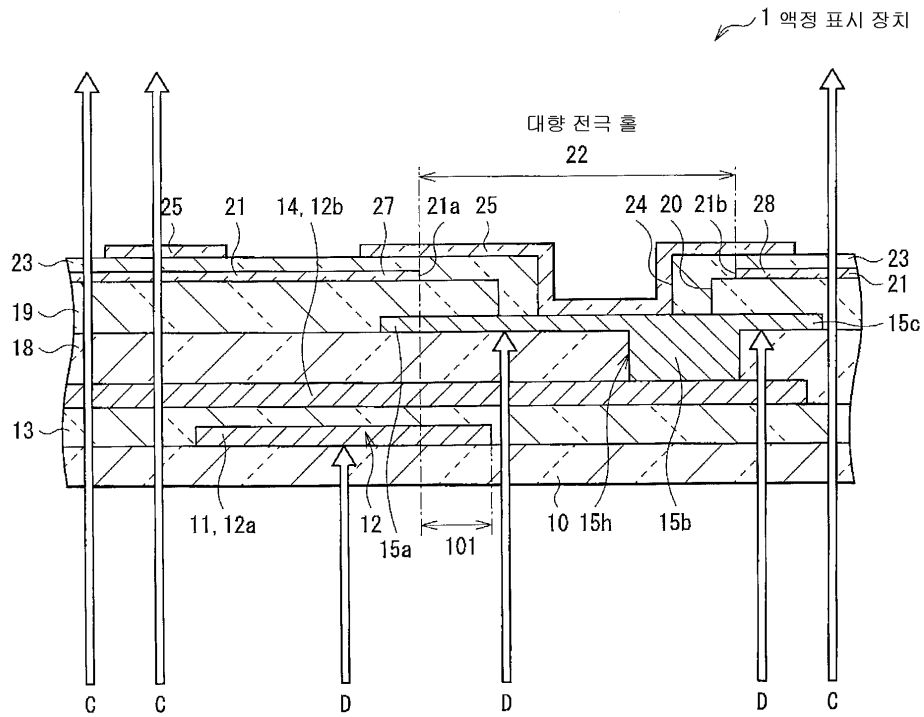
도면2



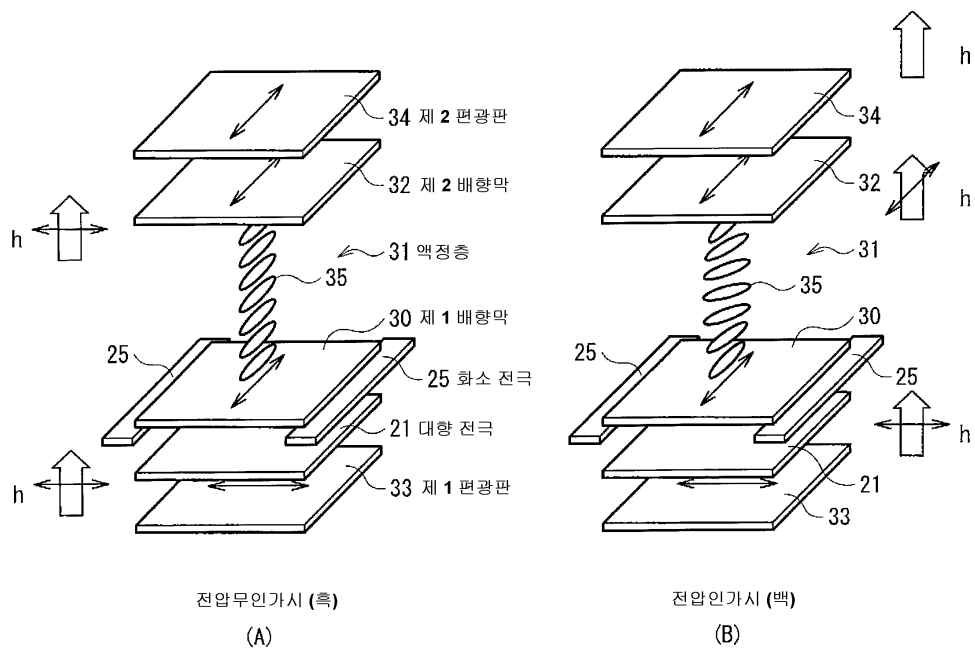
도면3



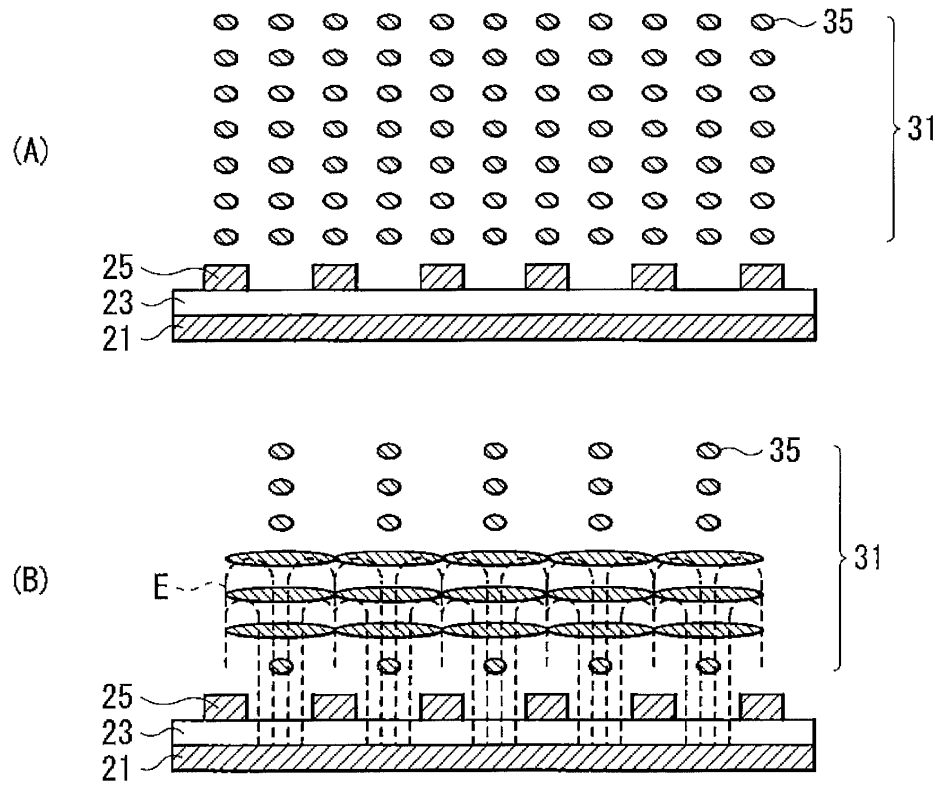
도면4



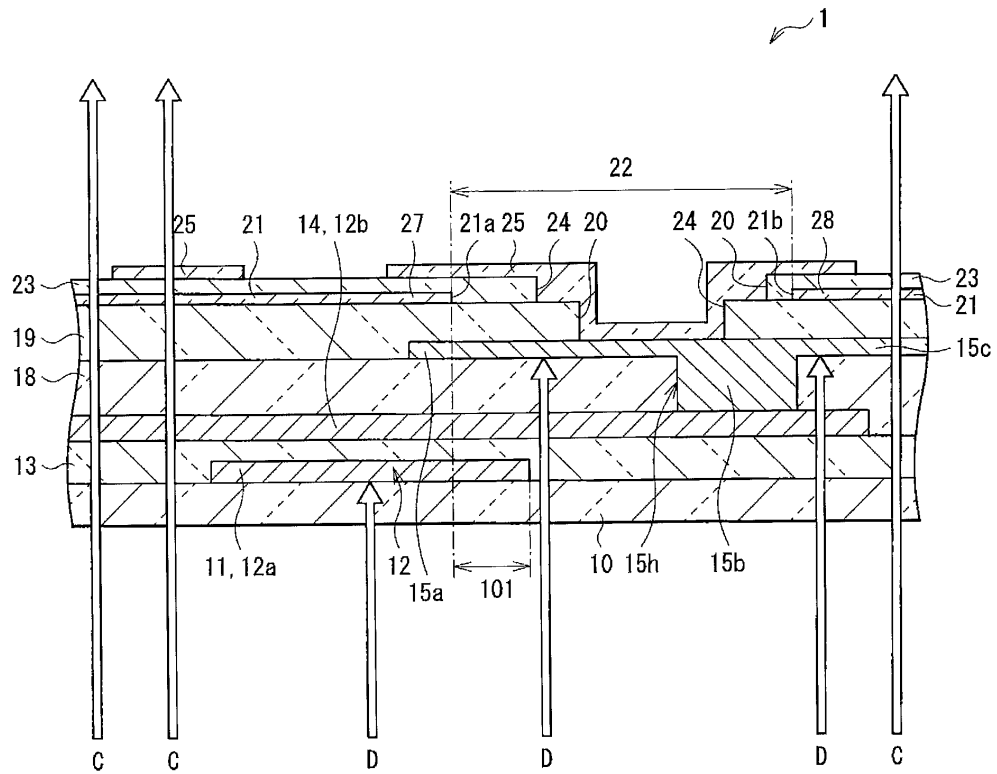
도면5



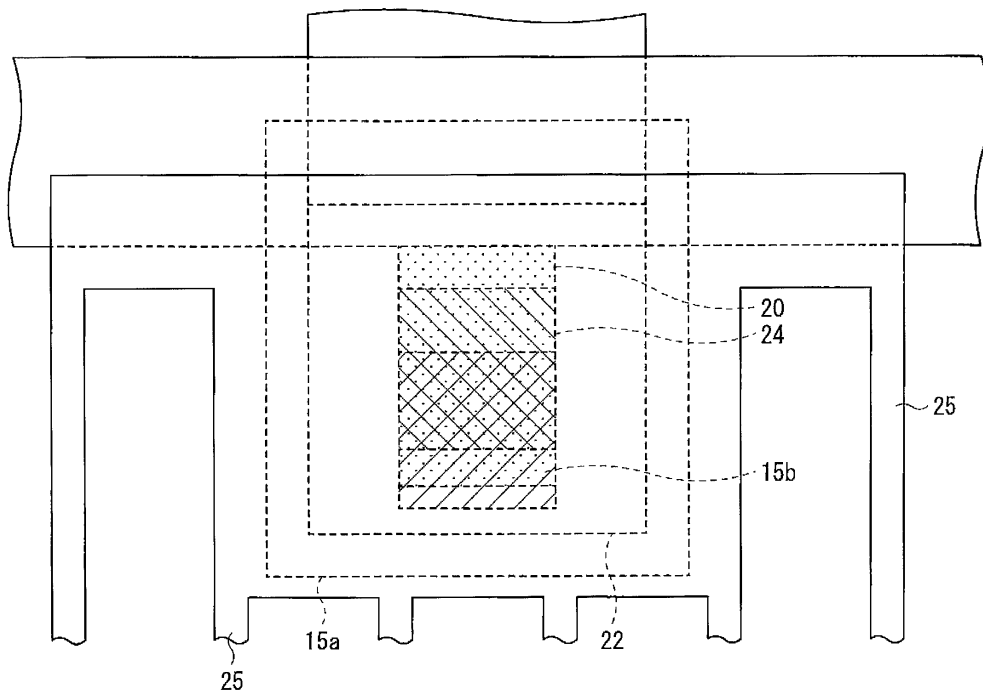
도면6



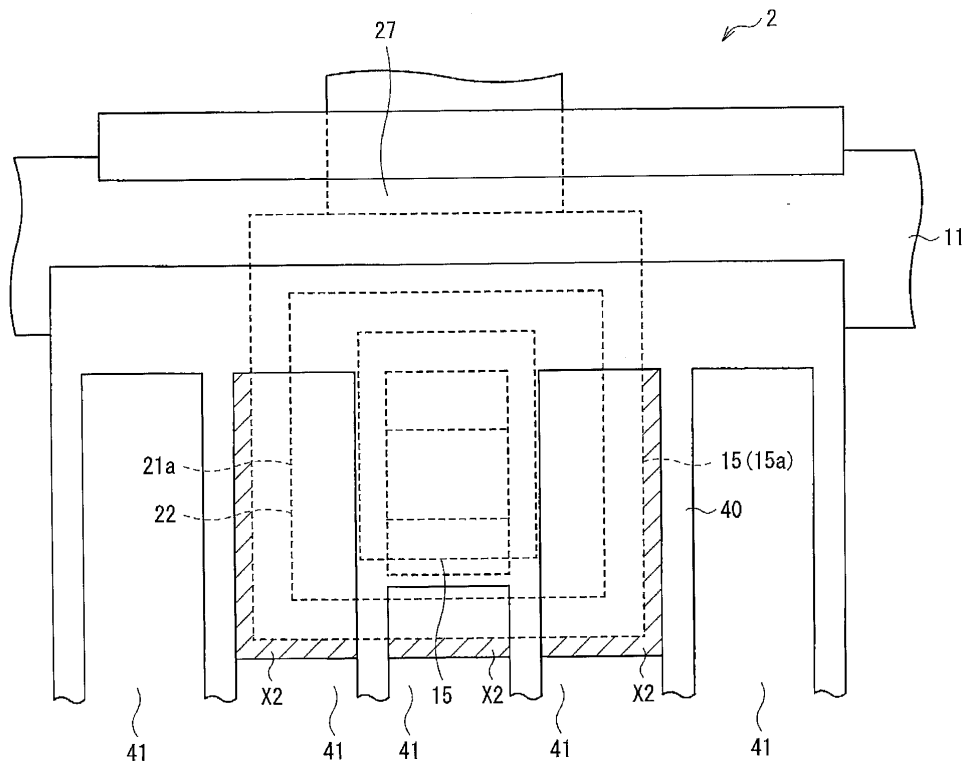
도면7



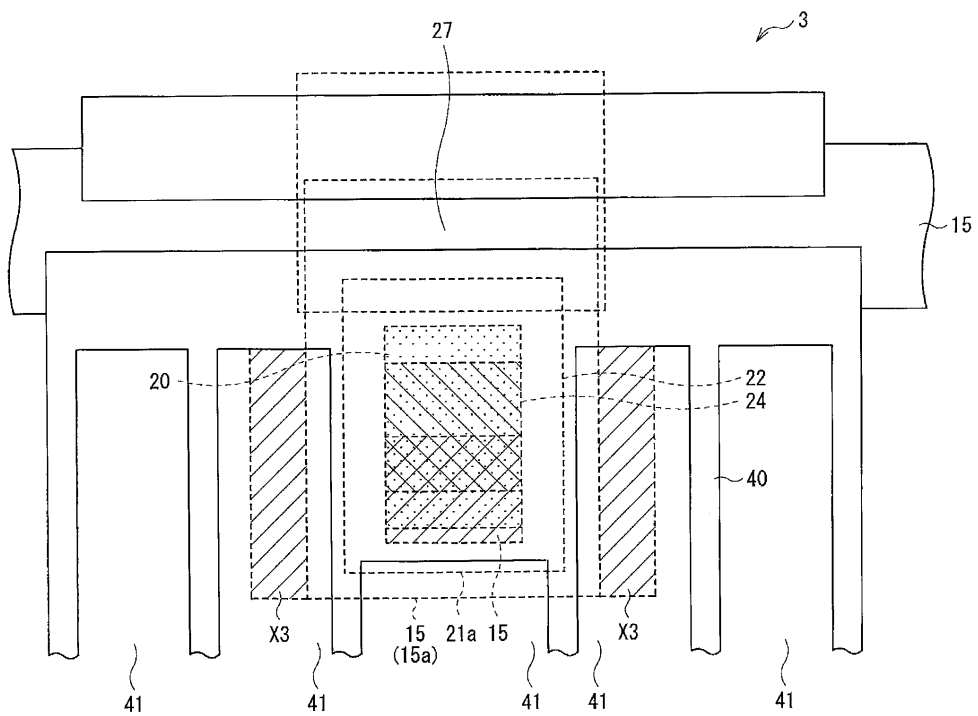
도면8



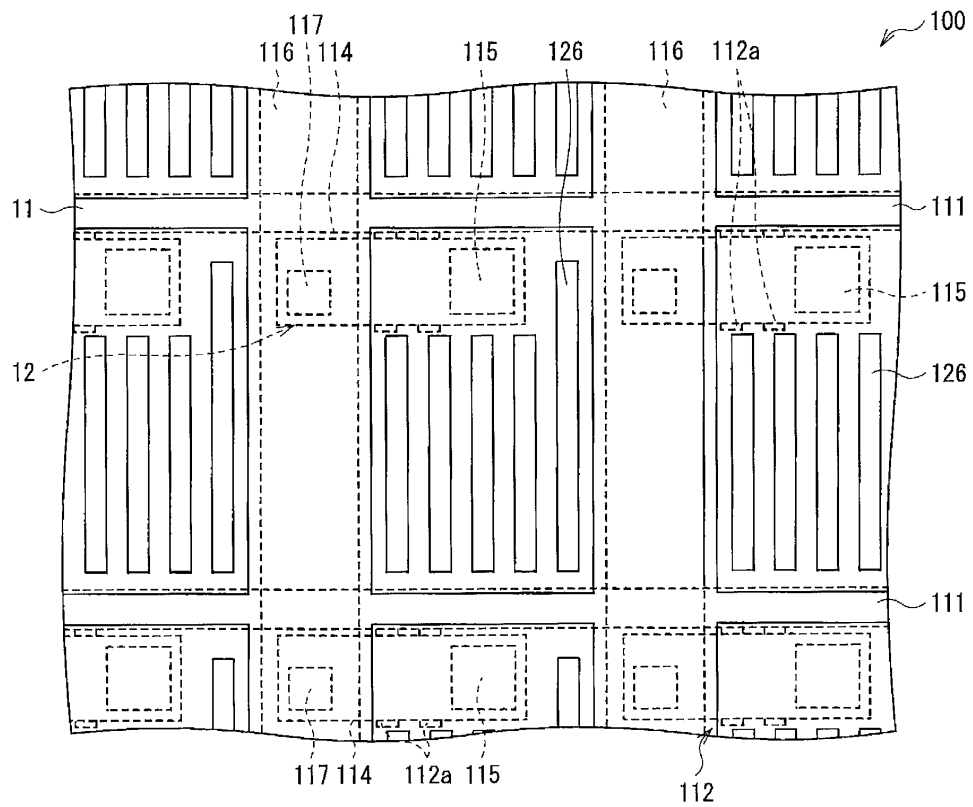
도면9



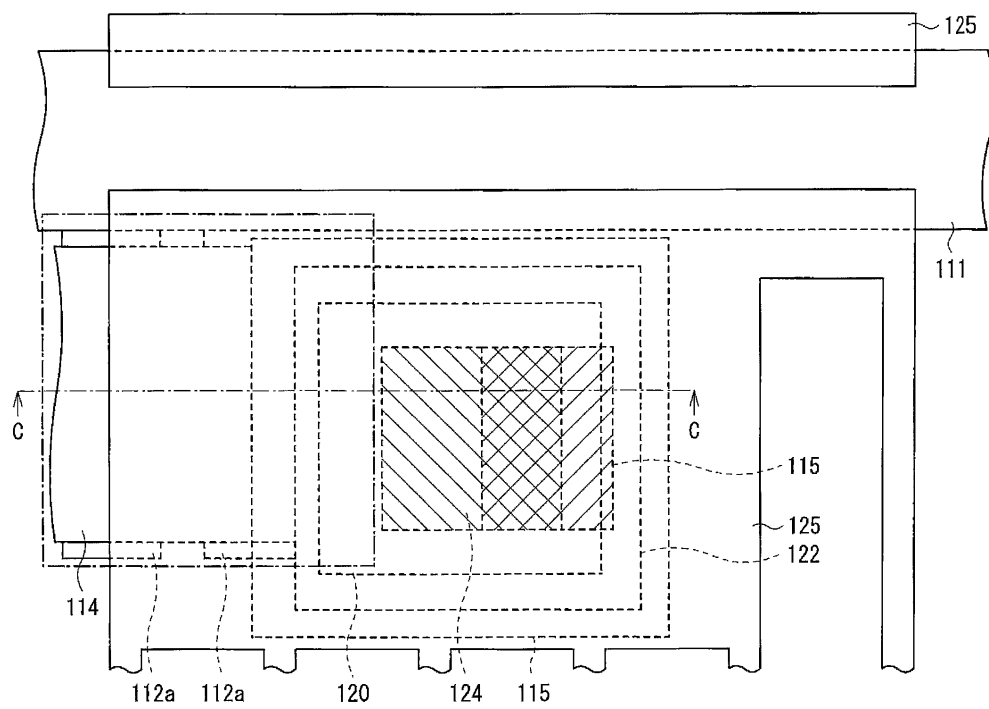
도면10



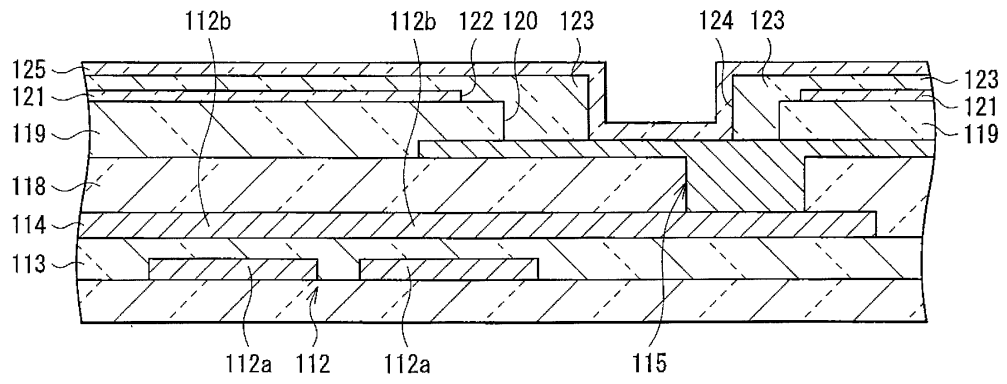
도면11



도면12



도면13



专利名称(译)	液晶显示器		
公开(公告)号	KR101591400B1	公开(公告)日	2016-02-03
申请号	KR1020090053355	申请日	2009-06-16
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
当前申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	KANAYA YASUHIRO 가나야야스히로 NAKAJIMA DAIKI 나카지마다이키 YAGI KEIICHI 야기게이이치		
发明人	가나야야스히로 나카지마다이키 야기게이이치		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/134363 G02F1/136227 G02F2201/40		
代理人(译)	您是我的专利和法律公司		
优先权	2008157229 2008-06-16 JP		
其他公开文献	KR1020090130830A		
外部链接	Espacenet		

摘要(译)

[问题]提供一种通过改善向像素电极施加电位的部分而具有改善的亮度的液晶显示装置。[解决方案]液晶显示装置1将构成薄膜晶体管12的沟道的半导体层14布置在由金属材料形成的栅极线11上方，从而提供栅极线11。是薄膜晶体管12的栅极的一部分。另外，液晶显示装置1包括像素电极25和设置为面对像素电极25的相对电极21。对电极孔22形成在对电极21中，并且用于导电薄膜晶体管12的第一接触15和像素电极25穿过对电极孔22。对电极孔22的一部分与栅极线11重叠。

