



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년07월29일

(11) 등록번호 10-1540302

(24) 등록일자 2015년07월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1337 (2006.01)

(21) 출원번호 10-2008-0066316

(22) 출원일자 2008년07월09일

심사청구일자 2013년07월08일

(65) 공개번호 10-2010-0006190

(43) 공개일자 2010년01월19일

(56) 선행기술조사문헌

KR1020080032904 A*

JP2006201451 A*

KR1020080047788 A*

WO2007091365 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

최낙초

서울특별시 구로구 개봉로3길 87, 한진타운아파트 113동 2103호 (개봉동)

배희라

경기도 용인시 기흥구 삼성2로 95, 지예당 (농서동)

정미혜

경기도 수원시 장안구 천천로74번길 92, 대림전흥 apt 824동 1402호 (정자동)

(74) 대리인

박영우

전체 청구항 수 : 총 7 항

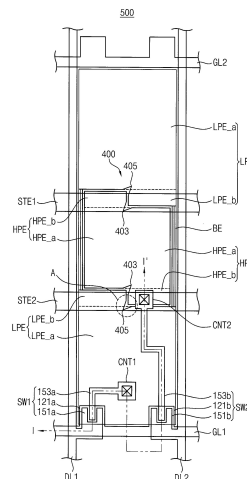
심사관 : 윤성주

(54) 발명의 명칭 표시기관 및 이를 갖는 액정표시패널

(57) 요약

표시기관 및 이를 갖는 액정표시패널에서, 표시기관은 픽셀 영역이 정의된 베이스 기관, 픽셀 영역에 형성되어 제1 전압을 인가받는 로우 픽셀전극, 로우 픽셀전극과 일 방향으로 이격되어 제1 전압보다 높은 레벨의 제2 전압을 인가받는 하이 픽셀전극 및 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된 액정분자 제어부를 포함한다. 이에 따라 도메인 경계에서의 액정분자의 배열 방향을 제어할 수 있어 도메인 경계에서의 잔상 및 얼룩을 방지할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 방향을 따라 연장되는 게이트 라인, 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 데이터 라인이 배치되고, 픽셀 영역이 정의된 베이스 기판; 및

상기 픽셀 영역에 형성되어 제1 전압을 인가받는 로우 픽셀전극과, 상기 로우 픽셀전극과 일 방향을 따라 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받는 하이 픽셀전극, 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된 액정분자 제어부를 포함하는 픽셀전극을 포함하고,

상기 로우 픽셀전극은 판 형상의 로우 메인전극부 및 상기 로우 메인전극부에서 상기 하이 픽셀전극 측으로 상기 제2 방향으로 돌출되는 로우 서브전극부를 포함하고,

상기 하이 픽셀전극은 판 형상의 하이 메인전극부 및 상기 하이 메인전극부에서 상기 로우 픽셀전극 측으로 상기 제2 방향과 반대인 제3 방향으로 돌출되는 하이 서브전극부를 포함하며,

상기 로우 서브전극부와 상기 하이 서브전극부는 상기 제1 방향을 따라 엇갈리게 배치되고,

상기 액정분자 제어부는,

상기 하이 메인전극부와 상기 하이 서브전극부가 서로 만나는 모서리 부분에 형성된 제1 홈을 포함하거나,

상기 로우 메인전극부와 상기 로우 서브전극부가 서로 만나는 모서리 부분에 형성된 제2 홈을 포함하는 것을 특징으로 하는 표시기판.

청구항 2

제1항에 있어서, 상기 로우 픽셀전극이 형성되는 픽셀영역은 상기 일 방향을 따라 이격되어 서로 전기적으로 연결된 영역들을 포함하고, 상기 영역들은 상기 하이 픽셀전극의 양측에 형성되는 것을 특징으로 하는 표시기판.

청구항 3

제1항에 있어서, 상기 로우 및 하이 픽셀전극들의 경계부분에 배치되어, 상기 로우 서브전극부 및 하이 서브전극부 각각과 중첩되는 적어도 하나의 스토리지 라인을 더 포함하는 것을 특징으로 하는 표시기판.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1 방향을 따라 연장되는 게이트 라인, 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 데이터 라인이 배치되고, 픽셀 영역이 정의된 베이스 기판; 및

상기 픽셀 영역에 형성되어 제1 전압을 인가받는 로우 픽셀전극과, 상기 로우 픽셀전극과 일 방향을 따라 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받는 하이 픽셀전극, 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된 액정분자 제어부를 포함하는 픽셀전극을 포함하고,

상기 로우 픽셀전극은 판 형상의 로우 메인전극부 및 상기 로우 메인전극부에서 상기 하이 픽셀전극 측으로 상

기 제2 방향으로 돌출되는 로우 서브전극부를 포함하고,

상기 하이 픽셀전극은 판 형상의 하이 메인전극부 및 상기 하이 메인전극부에서 상기 로우 픽셀전극 측으로 상기 제2 방향과 반대인 제3 방향으로 돌출되는 하이 서브전극부를 포함하며,

상기 로우 서브전극부와 상기 하이 서브전극부는 상기 제1 방향을 따라 엇갈리게 배치되고,

상기 액정분자 제어부는,

상기 로우 서브전극부와 마주보는 상기 하이 서브전극부의 변에 형성된 제3 홈 및 상기 하이 서브전극부와 마주보는 상기 로우 서브전극부의 변에 형성된 제4 홈을 포함하거나,

상기 로우 서브전극부와 마주보는 상기 하이 서브전극부의 변에 형성된 제1 돌기 및 상기 하이 서브전극부와 마주보는 상기 로우 서브전극부의 변에 형성된 제5 홈을 포함하는 것을 특징으로 하는 표시기판.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제1 전압을 인가받는 로우 픽셀전극, 상기 로우 픽셀전극과 일 방향으로 이격되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받는 하이 픽셀전극 및 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된 액정분자 제어부를 포함하는 픽셀전극, 제1 방향을 따라 연장되는 게이트 라인 및 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는 데이터 라인을 포함하는 표시기판;

공통전극을 포함하는 대향기판; 및

상기 표시기판 및 상기 대향기판 사이에 개재된 액정층을 포함하고,

상기 로우 픽셀전극은 판 형상의 로우 메인전극부 및 상기 로우 메인전극부에서 상기 하이 픽셀전극 측으로 상기 제2 방향으로 돌출되는 로우 서브전극부를 포함하고,

상기 하이 픽셀전극은 판 형상의 하이 메인전극부 및 상기 하이 메인전극부에서 상기 로우 픽셀전극 측으로 상기 제2 방향과 반대인 제3 방향으로 돌출되는 하이 서브전극부를 포함하며,

상기 로우 서브전극부와 상기 하이 서브전극부는 상기 제1 방향을 따라 엇갈리게 배치되고,

상기 액정분자 제어부는,

상기 하이 메인전극부와 상기 하이 서브전극부가 서로 만나는 모서리 부분에 형성된 제1 홈을 포함하거나,

상기 로우 메인전극부와 상기 로우 서브전극부가 서로 만나는 모서리 부분에 형성된 제2 홈을 포함하는 것을 특

징으로 하는 액정표시패널.

청구항 15

제14항에 있어서, 상기 로우 및 하이 픽셀전극들이 형성되는 픽셀영역은 상기 액정층의 액정분자의 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인들로 분할된 것을 특징으로 하는 액정표시패널.

청구항 16

제14항에 있어서, 상기 로우 픽셀전극이 형성되는 픽셀영역은 상기 일 방향을 따라 이격되어 서로 전기적으로 연결된 영역들을 포함하고, 상기 영역들은 상기 하이 픽셀전극의 양측에 형성되는 것을 특징으로 하는 액정표시패널.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시기관 및 이를 갖는 액정표시패널에 관한 것으로, 보다 상세하게는 액정표시패널의 기관으로 사용되는 표시기관 및 이를 갖는 액정표시패널에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시패널은 각 픽셀 영역을 구동하기 위한 스위칭 소자들이 형성된 표시기관과, 상기 표시기관에 대향하는 대향기관과, 상기 표시기관과 상기 대향기관 사이에 개재되어 형성된 액정층을 포함한다.

[0003] 상기 액정표시패널은 상기 액정층에 전압을 인가하여 광의 투과율을 제어함으로써 영상을 표시한다. 이러한 액정표시패널은 상기 액정층의 액정분자에 의해 차폐되지 않은 방향으로만 광이 투과되어 영상을 표시하기 때문에 다른 표시장치들에 비해 상대적으로 시야각이 좁은 단점이 있다.

[0004] 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 기술이 개발되고 있다. 예를 들면 하나의 픽셀을 여러 도메인들로 나누어 구동하는 PVA(Patterned Vertical Alignment) 모드 및 SPVA(Super Patterned Vertical Alignment) 모드 등을 들 수 있다.

[0005] 상기 PVA 모드는 액정분자를 상하 기관에 대해 수직으로 배향하고 픽셀 전극과 그 대향 전극인 공통 전극에 일정한 슬릿 패턴을 형성하거나 돌기 패턴을 형성하여 픽셀을 멀티 도메인으로 구현하는 기술이다. 상기 SPVA 모드는 상기 PVA에서 한 단계 발전된 기술로서 하나의 픽셀을 다수의 서브 픽셀들로 나누고, 상기 서브 픽셀들의

픽셀 전압을 서로 다르게 인가하는 기술이다.

- [0006] 그러나, 상기와 같이 슬릿 패턴이나 돌기 패턴을 형성하여 멀티 도메인을 형성하는 방식의 경우 슬릿 패턴이나 돌기 패턴을 형성하기 위하여 별도의 공정이 요구되며, 슬릿 패턴이나 돌기 패턴에서 잔상 및 얼룩이 발생하는 문제점이 발생하게 된다.
- [0007] 따라서, 최근에는 슬릿 패턴이나 돌기 패턴을 형성하지 않고 광배향을 통해 멀티 도메인을 구현하는 기술이 개발되고 있다. 이와 같이 광배향을 통해 멀티 도메인을 구현하는 방식의 경우, 도메인과 도메인 사이에 액정분자의 방향자(Director)가 한 곳으로 모이는 singlar 포인트(Singular Point)가 발생한다. 그런데 이 singlar 포인트의 발생 위치가 불규칙적이기 때문에 도메인 간의 영역이 달라질 수 있으며, 도메인 경계에서 잔상이 발생하거나 화면을 문질렀을 때 얼룩이 잔류하는 문제점이 자주 발생된다.
- [0008] 또한, 도메인과 도메인 사이의 경계영역에서는 액정분자들의 배열각이 제어되지 않아 도메인 경계영역에서의 빛 투과율이 낮은 문제점을 가진다.

발명의 내용

해결 하고자하는 과제

- [0009] 이에 본 발명은 상기의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 잔상 및 얼룩 발생을 방지하기 위한 표시기판을 제공하는 것이다.
- [0010] 또한, 본 발명의 다른 목적은 상기한 잔상 및 얼룩 발생을 방지하기 위한 표시기판을 갖는 액정표시패널을 제공하는 것이다.
- [0011] 또한, 본 발명의 또 다른 목적은 향상된 투과율을 갖는 표시기판을 제공하는 것이다.
- [0012] 또한, 본 발명의 더욱 다른 목적은 상기한 향상된 투과율을 갖는 표시기판을 갖는 액정표시패널을 제공하는 것이다.

과제 해결수단

- [0013] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시기판은 베이스 기판, 로우 픽셀전극, 하이 픽셀전극 및 액정분자 제어부를 포함한다. 상기 베이스 기판은 정의된 픽셀 영역을 갖는다. 상기 로우 픽셀전극은 상기 픽셀 영역에 형성되어 제1 전압을 인가받는다. 상기 하이 픽셀전극은 상기 로우 픽셀전극과 일 방향으로 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받는다. 상기 액정분자 제어부는 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된다.
- [0014] 본 발명의 실시예에서, 상기 로우 픽셀전극이 형성되는 픽셀영역은 상기 일 방향을 따라 이격되어 서로 전기적으로 연결된 영역들을 포함할 수 있다. 상기 영역들은 상기 하이 픽셀전극의 양측에 형성될 수 있다.
- [0015] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 액정표시패널은 표시기판과, 상기 표시기판과 대향하는 대향기판 및 상기 표시기판 및 상기 대향기판 사이에 개재된 액정층을 포함한다. 상기 표시기판은 로우 픽셀전극, 하이 픽셀전극 및 액정분자 제어부를 포함한다. 상기 로우 픽셀전극은 제1 전압을 인가받는다. 상기 하이 픽셀전극은 상기 로우 픽셀전극과 일 방향으로 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받는다. 상기 액정분자 제어부는, 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들 중 적어도 하나에 형성된다.
- [0016] 본 발명의 실시예에서, 상기 로우 및 하이 픽셀전극들이 형성되는 픽셀영역은 상기 액정층의 액정분자의 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인들로 분할될 수 있다.
- [0017] 상기한 본 발명의 또 다른 목적을 실현하기 위한 일 실시예에 따른 표시기판은 베이스 기판, 로우 픽셀전극 및 하이 픽셀전극을 포함한다. 상기 베이스 기판은 정의된 픽셀 영역을 갖는다. 상기 로우 픽셀전극은 상기 픽셀 영역에 형성되어 제1 전압을 인가받는다. 상기 하이 픽셀전극은 상기 로우 픽셀전극과 일 방향으로 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받고, 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 일 방향에 대하여 경사진 방향으로 기울어지게 형성된다.
- [0018] 본 발명의 실시예에서, 상기 로우 픽셀전극도 상기 경사진 방향으로 기울어지도록 형성될 수 있다.

[0019] 상기한 본 발명의 더욱 다른 목적을 실현하기 위한 일 실시예에 따른 액정표시패널은, 표시기관, 상기 표시기관과 대향하며 공통전극을 포함하는 대향기관 및 상기 표시기관 및 대향기관 사이에 개재된 액정층을 포함한다. 상기 표시기관은 베이스 기관, 로우 픽셀전극 및 하이 픽셀전극을 포함한다. 상기 베이스 기관은 정의된 픽셀 영역을 갖는다. 상기 로우 픽셀전극은 상기 픽셀 영역에 형성되어 제1 전압을 인가받는다. 상기 하이 픽셀전극은 상기 로우 픽셀전극과 일 방향으로 이격되어 형성되어 상기 제1 전압보다 높은 레벨의 제2 전압을 인가받고, 상기 로우 및 하이 픽셀전극의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 일 방향에 대하여 경사진 방향으로 기울어지게 형성된다.

[0020] 본 발명의 실시예에서, 상기 로우 픽셀전극도 상기 경사진 방향으로 기울어지도록 형성될 수 있다.

효 과

[0021] 이러한 표시기관 및 이를 갖는 액정표시패널에 의하면, 로우 및 하이 픽셀전극의 경계에 대응하는 도메인에 배치되는 액정분자들을 제어할 수 있어 도메인 경계에서 얼룩이나 잔상이 발생하는 것을 방지할 수 있다. 또한, 로우 및 하이 픽셀전극 중 적어도 하나를 기울기를 갖도록 형성함으로써 도메인 경계에 배치되는 액정분자들을 제어할 수 있어 도메인 경계에서의 투과율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0022] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0024] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0025] 도 1은 본 발명의 실시예 1에 따른 액정표시패널의 평면도이다. 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

[0026] 도 1 및 도 2를 참조하면, 본 실시예에 따른 액정표시패널은 표시기관(100), 상기 표시기관(100)과 대향하는 대향기관(200) 및 상기 표시기관(100)과 상기 대향기관(200) 사이에 수용된 액정분자들을 포함하는 액정층(300)을 포함한다.

[0027] 상기 표시기관(100)은 픽셀 영역(PA)이 정의된 제1 베이스 기관(110)을 포함한다. 상기 제1 베이스 기관(110) 상에는 제1 게이트 라인(GL1), 제2 게이트 라인(GL2), 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)이 형성된다. 상기 제1 및 제2 게이트 라인들(GL1, GL2) 각각은 상기 제1 및 제2 데이터 라인들(DL1, DL2)과 교차한다. 상기 픽셀 영역(PA)에는 제1 박막트랜지스터(SW1), 제2 박막트랜지스터(SW2), 상기 제1 및 제2 박막트랜지스터들(SW1, SW2)에 전기적으로 연결된 픽셀전극(PE)이 형성된다. 상기 픽셀 영역(PA)에는 상기 픽셀전극(PE)과 중첩된 제1 스토리지 라인(STL1) 및 제2 스토리지 라인(STL2)이 형성된다. 상기 표시기관(100)은 게이트 절연층(130), 패시베이션층(160), 유기절연층(170) 및 제1 배향막(190)을 더 포함할 수 있다.

[0028] 상기 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 방향(D1)을 따라 연장되고, 상기 제1 방향(D1)과 다른 제2 방향(D2)으로 병렬로 배열된다. 제1 게이트 라인(GL1)은 상기 제1 및 제2 박막트랜지스터들(SW1, SW2)과

연결된다.

- [0029] 상기 제1 및 제2 데이터 라인들(DL1, DL2)은 상기 제1 방향(D1)과 교차되는 제2 방향(D2)으로 연장되고, 제1 방향(D1)으로 병렬로 배열된다. 제1 데이터 라인(DL1)은 제1 전압을 전달하고, 제2 데이터 라인(DL2)은 상기 제1 전압보다 높은 레벨의 제2 전압을 전달한다.
- [0030] 상기 제1 및 제2 박막트랜지스터들(SW1, SW2) 각각은 전류 제어전극인 게이트 전극, 전류 입력전극인 소스 전극 및 전류 출력전극인 드레인 전극을 포함한다. 상기 제1 박막트랜지스터(SW1)는 상기 제1 게이트 라인(GL1) 및 상기 제1 데이터 라인(DL1)과 연결된다. 상기 제1 박막트랜지스터(SW1)는 상기 제1 게이트 라인(GL1)과 연결된 제1 게이트 전극(121a), 상기 제2 데이터 라인(DL2)과 연결된 제1 소스 전극(151a), 상기 제1 소스 전극(151a)과 이격된 제1 드레인 전극(153a) 및 제1 액티브 패턴(140a)을 포함한다.
- [0031] 상기 제2 박막트랜지스터(SW2)는 상기 제1 게이트 라인(GL1) 및 상기 제2 데이터 라인(DL2)과 연결된다. 상기 제2 박막트랜지스터(SW2)는 상기 제1 게이트 라인(GL1)과 연결된 제2 게이트 전극(121b), 상기 제1 데이터 라인(DL1)과 연결된 제2 소스 전극(151b), 상기 제2 소스 전극(151b)과 이격된 제2 드레인 전극(153b) 및 제2 액티브 패턴(140b)을 포함한다.
- [0032] 상기 픽셀전극(PE)은 로우 픽셀전극(LPE)과, 하이 픽셀전극(HPE) 및 액정분자 제어부(400)를 포함한다.
- [0033] 상기 로우 픽셀전극(LPE)은 상기 제1 데이터 라인(DL1)을 통해 상기 제1 전압을 인가받는다. 상기 로우 픽셀전극(LPE)은 상기 제1 드레인 전극(153a)과 콘택함으로써, 상기 제1 박막트랜지스터(SW1)와 전기적으로 연결된다.
- [0034] 상기 로우 픽셀전극(LPE)은 제1 콘택 패턴(CNT1) 및 연결 전극(BE)을 포함한다. 상기 로우 픽셀전극(LPE)은 상기 하이 픽셀전극(HPE)을 기준으로 상기 하이 픽셀전극(HPE)의 양측에 이격되어 배치된 영역들을 포함하고, 상기 영역들은 상기 연결전극(BE)을 통해 물리적, 전기적으로 서로 연결된다. 본 실시예에서는 상기 연결 전극(BE)이 상기 하이 픽셀전극(HPE)의 양측에 형성된 경우를 예를 들어 설명하였지만, 이에 한정되지 않으며 일측에만 형성되도록 변형할 수 있음은 물론이다.
- [0035] 보다 구체적으로, 상기 로우 픽셀전극(LPE)은 각각 로우 메인전극부(LPE_a)와 상기 로우 메인전극부(LPE_a)에서 상기 하이 픽셀전극(HPE) 측으로 돌출된 로우 서브전극부(LPE_b)를 포함한다. 상기 로우 서브전극부(LPE_b)는 상기 제1 및 제2 스토리지 라인들(STL1, STL2)과 중첩된다.
- [0036] 상기 하이 픽셀전극(HPE)은 상기 제2 데이터 라인(DL2)을 통해 상기 제2 전압을 인가받는다. 상기 하이 픽셀전극(HPE)은 상기 제2 드레인 전극(153b)과 콘택함으로써, 상기 제2 박막트랜지스터(SW2)와 전기적으로 연결된다. 상기 하이 픽셀전극(HPE)은 상기 로우 픽셀전극(LPE)과 전기적, 물리적으로 분리된다.
- [0037] 보다 구체적으로, 상기 하이 픽셀전극(HPE)은 하이 메인전극부(HPE_a)와, 상기 하이 메인전극부(HPE_a)에서 상기 로우 픽셀전극(LPE) 측으로 상기 로우 서브전극부(LPE_b)와 엇갈리게 돌출된 하이 서브전극부(HPE_b)를 포함한다. 상기 하이 서브전극부(HPE_b)는 상기 스토리지 라인들(STL1, STL2)과 중첩된다.
- [0038] 상기 액정분자 제어부(400)는 상기 로우 및 하이 픽셀전극들(LPE, HPE)의 경계에 대응하는 영역에 배치되는 액정분자들을 제어하기 위해 상기 로우 및 하이 픽셀전극들(LPE, HPE)의 경계부분에 형성되며, 상기 로우 픽셀전극(LPE)과 상기 하이 픽셀전극(HPE) 중 적어도 하나에 형성된다. 상기 액정분자 제어부(400)는 도메인 경계에 배치된 액정분자들의 배열방향을 결정하여 상기 도메인 경계에서의 싱귤러 포인트(Singular point) 발생 위치를 항상 일정하게 할 수 있다.
- [0039] 보다 구체적으로, 상기 액정분자 제어부(400)는 상기 하이 메인전극부(HPE_a)와 상기 하이 서브전극부(HPE_b)가 서로 만나는 제1 모서리 부분에 형성된 제1 홈(403)을 포함한다. 또한, 상기 액정분자 제어부(400)는 상기 로우 메인전극부(LPE_a)와 상기 로우 서브전극부(LPE_b)가 서로 만나는 제2 모서리 부분에 형성된 제2 홈(405)을 포함한다.
- [0040] 한편, 본 실시예에서는 상기 액정분자 제어부(400)가 상기 제1 모서리 부분과 상기 제2 모서리 부분 모두에 형성된 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 즉, 상기 제1 및 제2 모서리 부분 중 어느 하나의 모서리 부분에 형성되도록 구성할 수 있음은 물론이다.
- [0041] 도 3은 도 1에 도시된 제 1홈(403)의 확대도이다.
- [0042] 도 3을 참조하면, 제1 홈(403)의 폭(W)은 약 $7.5\mu\text{m}$ 이고, 깊이(D)는 약 $8.5\mu\text{m}$ 일 수 있다. 그러나 이에 한정되는 것은 아니며, 상기 제1 홈(403)의 폭(W) 및 깊이(D)는 상기 하이 메인전극부(HPE_a)와 상기 하이 서브전극부

(HPE_b) 사이의 단차의 높이에 따라 달라질 수 있다.

- [0043] 상기 제2 홈(405)의 크기도 상기 제1 홈(4030)의 크기와 같이 설계할 수 있다.
- [0044] 본 실시예에서는 상기 액정분자 제어부(400)를 삼각형 형상의 홈으로 구현하였으나, 이에 한정되지 않으며 사각형, 사다리꼴 등과 같은 다각형 또는 반원형 등과 같이 다양한 모양으로 변형될 수 있음은 물론이다.
- [0045] 이와 같이, 본 발명에 따르면 상기 액정분자 제어부(400)를 통해 상기 싱글리 포인트가 발생하는 위치를 항상 일정하게 고정시킬 수 있으므로, 도메인의 경계에서 얼룩이나 잔상이 발생하는 것을 방지할 수 있다.
- [0046] 상기 게이트 절연층(130)은 상기 제1 및 제2 게이트 라인(GL1, GL2)들, 상기 제1 및 제2 게이트 전극(121a, 121b)들 및 상기 스토리지 라인들(STL1, STL2)을 덮도록 상기 제1 베이스 기판(110) 상에 형성된다.
- [0047] 상기 패시베이션층(160)은 상기 제1, 제2 데이터 라인들(DL1, DL2), 상기 제1, 제2 소스 전극들(151a, 151b), 상기 제1 및 제2 드레인 전극들(153a, 153b)이 형성된 제1 베이스 기판(110) 상에 형성된다. 상기 유기절연층(170)은 상기 패시베이션층(160)과 상기 제1 및 제2 서브 전극들(PE1, PE2) 사이에 형성되어, 상기 제1 표시 기판(100)을 평탄화시키는 역할을 한다. 상기 패시베이션층(160) 및 상기 유기절연층(170)은 상기 제1 드레인 전극(153a)의 일단부와 상기 제2 드레인 전극(153b)의 일단부를 노출시키는 콘택홀(CNT1, CNT2)을 포함한다.
- [0048] 상기 제1 배향막(190)은 상기 로우 및 하이 픽셀전극들(LPE, HPE)이 형성된 제1 베이스 기판(110) 위에 광배향막을 형성하고, 상기 광배향막에 UV 또는 레이저를 조사하여 선경사를 형성한다. 예를 들면, 상기 선경사각(Pretilt angle)은 85° 내지 89° 이다. 상기 제1 배향막(190)은 무전계 상태에서 상기 선경사각 만큼 상기 액정층(300)의 액정분자들을 기울어지게 수직 배향시킨다.
- [0049] 본 실시예에서는 상기 제1 배향막(190)을 광배향 방식을 이용하여 형성하는 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니며 러빙 방식 또는 RM(Reactive Mesogens) 방식과 같은 다양한 방식을 적용하여 형성할 수 있음은 물론이다.
- [0050] 상기 대향기판(200)은 상기 표시기판(100)과 대향하는 제2 베이스 기판(210) 상에 형성된 차광 패턴(220), 컬러 필터(230), 오버 코팅층(240), 공통 전극층(250) 및 제2 배향막(260)을 포함한다.
- [0051] 상기 차광 패턴(220)은 상기 표시기판(100)의 상기 게이트 라인들(GL1, GL2)과 상기 데이터 라인들(DL1, DL2), 상기 박막트랜지스터들(SW1, SW2)과 대응되도록 상기 제2 베이스 기판(210) 상에 형성된다. 상기 차광 패턴(220)은 금속막을 사진 식각 공정을 통해 패터닝하여 형성할 수 있고, 유기 물질을 인쇄하여 형성할 수 있다.
- [0052] 상기 컬러필터(230)는 상기 차광 패턴(220)이 구획하는 제2 베이스 기판(210)의 영역들에 형성된다. 상기 컬러필터(230)는 상기 표시기판(100)의 상기 로우 및 하이 픽셀전극들(LPE, HPE)과 대응되도록 상기 제2 베이스 기판(210) 상에 형성된다. 상기 컬러필터(230)는 적색 컬러필터, 녹색 컬러필터 및 녹색 컬러필터를 포함할 수 있다.
- [0053] 상기 오버 코팅층(240)은 상기 차광 패턴(220) 및 상기 컬러필터(230)가 형성된 제2 베이스 기판(210)과 상기 공통 전극층(250) 사이에 형성된다. 상기 오버 코팅층(240)은 상기 대향기판(200)을 평탄화시키는 역할을 한다.
- [0054] 상기 공통 전극층(250)은 상기 오버 코팅층(240) 상에 형성된다. 상기 공통 전극층(250)은 상기 로우 및 하이 픽셀전극들(LPE, HPE)과 대향하고, 상기 제2 베이스 기판(210)의 전면에 걸쳐 전체적으로 형성된다.
- [0055] 상기 제2 배향막(260)은 상기 공통 전극층(250) 상에 형성된다. 상기 제2 배향막(260)은 상기 제1 배향막(190)과 같이 광배향을 통해 형성할 수 있다. 상기 제2 배향막(260)은 무전계 상태에서 상기 선경사각 만큼 상기 액정층(300)의 액정분자들을 기울어지게 수직 배향시킨다.
- [0056] 또한, 상기 표시기판(100)의 일면에는 상기 제1 방향(D1) 또는 상기 제2 방향(D2)의 제1 편광축을 갖는 제1 편광판(미도시)이 결합된다. 상기 대향기판(200)의 일면에는 상기 제1 편광축의 방향과 수직한 방향의 제2 편광축을 갖는 제2 편광판(미도시)이 결합된다. 일례로, 상기 제1 편광축의 방향이 상기 제1 방향(D1)이고, 상기 제2 편광축의 방향이 상기 제2 방향(D2)일 수 있다.
- [0057] 상기 액정층(300)의 액정분자는 표시기판(100)과 대향기판(200)에 대해 거의 수직으로 배향되어 상기 제1 배향막(190)과 상기 제2 배향막들(260)의 사이에 배치된다.
- [0058] 상기 로우 픽셀전극(LEP1, LPE2) 및 상기 하이 픽셀전극(HPE)이 형성되는 픽셀영역(PA)은 상기 액정층(300)에 포함된 액정 분자의 방향자(director)가 상기 제1 및 제2 배향막(190, 260)의 방향성 및 가해지는 전계에 의해

배열되는 방향에 따라 다수의 도메인들로 분할된다. 여기서, 도메인이란 동일한 배열 방향을 갖는 액정분자들로 이루어진 영역을 의미한다.

- [0059] 도 4는 도 1에 도시된 액정표시패널의 도메인 영역들의 배향 방향의 일례를 설명하기 위한 개념도이다.
- [0060] 도 4를 참조하면, 본 실시예에 따른 픽셀영역(PA)은 제1 도메인(DM1), 제2 도메인(DM2), 제3 도메인(DM3), 제4 도메인(DM4), 제5 도메인(DM5), 제6 도메인(DM6), 제7 도메인(DM7) 및 제8 도메인(DM8)으로 분할된다. 상기 제1 내지 제4 도메인들(DM1 내지 DM4)은 상기 로우 픽셀전극(LPE)이 형성되는 영역에 대응하고, 상기 제5 내지 제8 도메인들(DM5 내지 DM8)은 상기 하이 픽셀전극(HPE)이 형성되는 영역에 대응한다.
- [0061] 상기 제1 도메인(DM1)의 배향 방향은 상기 제1 방향(D1) 및 상기 제2 방향(D2) 사이의 제3 방향(D3)이고, 제3 도메인(DM3)의 배향 방향은 제4 방향(D4)이며, 제2 도메인(DM2)의 배향 방향은 상기 제4 방향(D4)과 반대 방향이고, 제4 도메인(DM4)의 배향 방향은 상기 제3 방향(DM3)과 반대 방향일 수 있다.
- [0062] 한편, 상기 제5 도메인(DM5)의 배향 방향은 상기 제3 방향(D3)이고, 제6 도메인(DM6)의 배향 방향은 제4 방향(D4)과 반대 방향이며, 제7 도메인(DM7)의 배향 방향은 상기 제4 방향(D4)이고, 제8 도메인(DM8)의 배향 방향은 상기 제3 방향(DM3)과 반대 방향일 수 있다.
- [0063] 도 5는 도 1에 도시된 액정표시패널의 도메인 영역들의 배향 방향의 다른 예를 설명하기 위한 개념도이다. 도 5는 상기 제1 내지 제8 도메인들(DM1 내지 DM8)의 배향 방향을 제외하고는 도 4와 동일하므로, 중복되는 구체적인 설명은 생략하기로 한다.
- [0064] 도 5를 참조하면, 상기 제1 도메인(DM1)의 배향 방향은 상기 제4 방향(D1)이고, 상기 제2 도메인(DM2)의 배향 방향은 상기 제3 방향(DM3)과 반대 방향이며, 상기 제3 도메인(DM3)의 배향 방향은 상기 제3 방향(D4)이고, 상기 제4 도메인(DM4)의 배향 방향은 상기 제4 방향(DM3)과 반대 방향일 수 있다.
- [0065] 한편, 상기 제5 도메인(DM5)의 배향 방향은 상기 제4 방향(D3)이고, 제6 도메인(DM6)의 배향 방향은 제3 방향(D4)과 반대 방향이며, 상기 제7 도메인(DM7)의 배향 방향은 상기 제4 방향(D4)이고, 상기 제8 도메인(DM8)의 배향 방향은 상기 제4 방향(DM3)과 반대 방향일 수 있다.
- [0066] 상기 다수의 도메인들(DM1 내지 DM8)들의 배향 방향은 상기 제1 및 제2 배향각(190, 260)의 방향성 및 가해지는 전계에 따라 달라질 수 있다.
- [0067] 상기 도메인들(DM1 내지 DM8)의 경계 부분에는 액정의 배열이 주변의 액정 분자의 방향성과 다르게 급변하며 특정한 방향성을 갖지 않는 싱글러 포인트가 발생한다. 본 실시예에 따르면 상기 액정분자 제어부(400)에 통해 상기 싱글러 포인트가 항상 일정한 위치에서 발생되므로, 도메인 경계에서 잔상이나 얼룩이 발생되지 않는다.
- [0068] 이하, 도 1 및 도 2를 참조하여 상기 표시기판(100)의 제조 방법을 설명하기로 한다.
- [0069] 도 1 및 도 2를 참조하면, 상기 제1 베이스 기판(110) 상에 게이트 금속층(미도시)을 형성하고, 상기 게이트 금속층을 사인 식각 공정을 통해 패터닝하여 상기 게이트 라인들(GL1, GL2), 상기 제1 및 제2 게이트 전극들(121a, 121b)을 형성한다.
- [0070] 이어서, 상기 게이트 금속층으로부터 형성된 게이트 패턴들을 덮도록 상기 제1 베이스 기판(110) 상에 상기 게이트 절연층(130)을 형성한다. 상기 게이트 절연층(130)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다.
- [0071] 이어서, 상기 게이트 절연층(130) 상에 반도체층(142) 및 오믹 콘택층(144)을 순차적으로 형성하고, 패터닝하여 상기 제1 액티브 패턴(140a) 및 상기 제2 액티브 패턴(140b)을 형성한다. 상기 제1 액티브 패턴(140a)은 상기 제1 게이트 전극(121a)과 중첩되고, 상기 제2 액티브 패턴(140b)은 상기 제2 게이트 전극(121b)과 중첩된다. 상기 반도체층(142)을 형성하는 물질의 예로서는 비정질 실리콘을 들 수 있고, 상기 오믹 콘택층(144)을 형성하는 물질의 예로서는 n형 불순물이 고농도로 도핑된 비정질 실리콘을 들 수 있다.
- [0072] 이어서, 상기 제1 액티브 패턴(140a) 및 상기 제2 액티브 패턴(140b)이 형성된 제1 베이스 기판(110) 상에 소스 금속층(미도시)을 형성하고, 상기 소스 금속층을 사인 식각 공정을 통해 패터닝하여 상기 데이터 라인들(DL1, DL2), 상기 제1 및 제2 소스 전극들(151a, 151b), 상기 제1 및 제2 드레인 전극들(153a, 153b)을 형성한다.
- [0073] 상기 제1 베이스 기판(110) 상에 상기 패시베이션층(160) 및 상기 유기절연층(170)을 순차적으로 형성한다. 상기 패시베이션층(160)을 형성하는 물질의 예로서는, 질화 실리콘, 산화 실리콘 등을 들 수 있다. 상기 유기절연

층(170)을 형성하는 물질의 예로서는, 포지티브형 포토레지스트 조성물을 들 수 있다.

- [0074] 상기 제1 및 제2 드레인 전극들(153a, 153b) 상의 상기 유기절연층(170)을 노광, 현상하여 상기 제1 및 제2 드레인 전극들(153a, 153b) 상에 형성된 상기 패시베이션층(160)을 노출시킨다. 노출된 상기 패시베이션층(160)은 건식 식각하여 상기 제1 및 제2 드레인 전극들(153a, 153b)의 일단부를 노출시킨다.
- [0075] 이어서, 상기 제1 및 제2 드레인 전극들(153a, 153b)의 일단부를 노출시키는 상기 패시베이션층(160) 및 상기 유기절연층(170)이 형성된 제1 베이스 기판(110) 상에 투명 전극층(미도시)을 형성한다. 상기 투명 전극층을 패터닝하여 상기 로우 픽셀전극(LPE), 하이 픽셀전극(HPE) 및 상기 제1 및 제2 홈(403, 405)를 포함하는 상기 액정분자 제어부(400)를 형성한다.
- [0076] 상기 제1 홈(403)은 상기 하이 메인전극부(HPE_a)와 상기 하이 서브전극부(HPE_b)가 서로 만나는 상기 제1 모서리 부분에 형성되도록 하고, 상기 제2 홈(405)는 상기 로우 메인전극부(LPE_a)와 상기 로우 서브전극부(LPE_b)가 서로 만나는 상기 제2 모서리 부분에 형성되도록 한다. 본 실시예에서는 상기 액정분자 제어부(400)를 상기 제1 및 제2 모서리 부분과 모두에 형성하는 경우를 예로 들어 설명하였지만, 상기 제1 및 제2 모서리 부분 중 어느 하나의 모서리 부분에만 형성되도록 할 수 있음은 물론이다.
- [0077] 상기 로우 픽셀전극(LPE)의 상기 제1 콘택 패턴(CNT1)은 상기 제1 드레인 전극(153a)의 일단부와 접촉하고, 상기 하이 픽셀전극(HPE)의 제2 콘택 패턴(CNT2)은 상기 제2 드레인 전극(153b)의 일단부와 접촉한다. 상기 투명 전극층(TE)을 형성하는 물질의 예로서는, 인듐 틴 옥사이드, 인듐 징크 옥사이드 등을 들 수 있다.
- [0078] 마지막으로, 상기 로우 및 하이 픽셀전극들(LPE, HPE)이 형성된 상기 제1 베이스 기판(100) 상에 제1 배향막(190)을 형성하여 상기 표시기판(100)을 완성한다.
- [0079] 도 6은 본 발명의 실시예 2에 따른 표시 기판의 평면도이다. 본 실시예에 따른 표시기판(102)은, 액정분자 제어부(410)를 제외하고는 도 1 및 도 2에 도시된 실시예 1에 따른 표시기판(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0080] 도 6을 참조하면, 본 실시예에 따른 표시기판(102)는 상기 액정분자 제어부(410)를 포함한다. 상기 액정분자 제어부(410)는 제3 홈(413) 및 제4 홈(415)을 포함한다.
- [0081] 상기 제3 홈(413)은 상기 로우 서브전극부(LPE_b)와 마주보는 상기 하이 서브전극부(HPE_b)의 변에 형성된다.
- [0082] 상기 제4 홈(415)은 상기 하이 서브전극부(HPE_b)와 마주보는 상기 로우 서브전극부(LPE_b)에 변에 형성된다.
- [0083] 상기 제3 홈(413) 및 제4 홈(415)은 도 3에서 설명한 바와 같이, 각각 폭(W)은 약 $7.5\mu\text{m}$ 이고, 깊이(D)는 약 $8.5\mu\text{m}$ 일 수 있다. 그러나 이에 한정되는 것은 아니며, 상기 하이 메인전극부(HPE_a)와 상기 하이 서브전극부(HPE_b) 사이의 단차 및 상기 로우 메인전극부(LPE_a)와 상기 로우 메인전극부(LPE_a) 사이의 단차의 높이에 따라 달라질 수 있다.
- [0084] 또한, 본 실시예에서는 상기 제3 및 제4 홈(415)을 삼각형 형상의 홈으로 구현하였으나, 이에 한정되지 않으며 사각형, 사다리꼴 등과 같은 다각형 또는 반원형 등과 같이 다양한 모양으로 변형될 수 있음은 물론이다. 즉, 상기 액정분자 제어부(410)가 형성될 위치의 전계를 주변의 전계보다 강하게 할 수 있는 모든 모양으로 변형될 수 있다.
- [0085] 본 실시예에 따른 표시기판(102)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기판(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0086] 상기 제1 베이스 기판(110) 상에 투명 전극층(미도시)을 형성하고, 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE, HPE), 상기 제3 및 제4 홈(613, 615)을 포함하는 상기 액정분자 제어부(410)를 형성한다. 상기 제3 홈(413)은 상기 로우 서브전극부(LPE_b)와 마주보는 상기 하이 서브전극부(HPE_b)의 변에 형성되도록 하고, 상기 제4 홈(415)은 상기 하이 서브전극부(HPE_b)와 마주보는 상기 로우 서브전극부(LPE_b)의 변에 형성되도록 한다.
- [0087] 도 7은 본 발명의 실시예 3에 따른 표시기판의 평면도이다. 본 실시예에 따른 표시기판(103)은, 상기 액정분자 제어부(420)를 제외하고는 도 1 및 도 2에 도시된 실시예 1에 따른 표시기판(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.

- [0088] 도 7을 참조하면, 본 실시예에 따른 표시기관(103)은 액정분자 제어부(420)를 포함한다. 상기 액정분자 제어부(420)는 제1 돌기(423) 및 제5 홈(425)을 포함한다.
- [0089] 상기 제1 돌기(423)는 상기 로우 서브전극부(LPE_b)와 마주보는 상기 하이 서브전극부(HPE_b)의 변에 형성된다.
- [0090] 상기 제5 홈(425)은 상기 하이 서브전극부(HPE_b)와 마주보는 상기 로우 서브전극부(LPE_b)의 변에 형성된다.
- [0091] 상기 제1 돌기(423) 및 상기 제5 홈(425)의 크기는 각각 도 3에서 설명한 바와 같이 폭(W)은 약 $7.5\mu\text{m}$ 이고, 깊이(D)는 약 $8.5\mu\text{m}$ 일 수 있다. 그러나 이에 한정되는 것은 아니며, 상기 제1 돌기(423)의 크기는 상기 로우 서브전극부(LPE_b)와 상기 하이 서브전극부(HPE_b) 사이의 간격에 따라 달라질 수 있다.
- [0092] 또한, 본 실시예에서는 상기 제1 돌기(423) 및 상기 제5 홈(425)을 삼각형 형상으로 구현하였으나, 이에 한정되는 것은 아니며 사각형, 사다리꼴 등과 같은 다각형 또는 반원형 등과 같이 다양한 모양으로 변형될 수 있음은 물론이다.
- [0093] 본 실시예에 따른 표시기관(103)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기관(500)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0094] 상기 제1 베이스 기관(110) 상에 투명 전극층(미도시)을 형성하고, 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE, HPE), 상기 제1 돌기(423) 및 상기 제5 홈(425)을 포함하는 상기 액정분자 제어부(420)를 형성한다. 상기 제1 돌기(423)는 상기 로우 서브전극부(LPE_b)와 마주보는 상기 하이 서브전극부(HPE_b)의 변에 형성되도록 하고, 상기 제5 홈(425)은 상기 하이 서브전극부(HPE_b)와 마주보는 상기 로우 서브전극부(LPE_b)의 변에 형성되도록 한다.
- [0095] 도 8은 본 발명의 실시예 4에 따른 표시기관의 평면도이다. 본 실시예에 따른 표시기관(104)은, 스토리지 라인이 생략됨에 따라 액정분자 제어부(430)의 형상이 변경된 것을 제외하고는, 도 1 및 도 2에 도시된 실시예 1에 따른 표시기관(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0096] 도 8을 참조하면, 본 실시예에 따른 표시기관(104)은 상기 액정분자 제어부(430)를 포함한다.
- [0097] 상기 액정분자 제어부(430)는 복수의 제1 단차부들(431, 432) 및 복수의 제2 단차부들(434, 435)을 포함한다.
- [0098] 상기 복수의 제1 단차부들(431, 432)은 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성된다.
- [0099] 상기 복수의 제2 단차부들(434, 435)은 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성된다.
- [0100] 이와 같이, 본 실시예에 따르면 상기 복수의 제1 및 제2 단차부들(431, 432, 434, 435)을 통해 상기 싱글러 포인트가 발생하는 위치를 항상 일정하게 제어할 수 있어, 도메인 경계에서 얼룩이나 잔상이 발생하는 것을 방지할 수 있다.
- [0101] 한편, 본 실시예에서는 상기 액정분자 제어부(430)가 2단의 단차를 갖도록 형성된 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니며 1단의 단차를 갖거나 또는 3단 이상의 단차를 갖도록 변형될 수 있음은 물론이다.
- [0102] 본 실시예에 따른 표시기관(104)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기관(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0103] 상기 제1 베이스 기관(110) 상에 투명 전극층(미도시)을 형성하고, 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE1, LPE2, 및 HPE), 상기 복수의 제1 및 제2 단차부들(431, 432, 434, 435)을 포함하는 상기 액정분자 제어부(430)를 형성한다. 상기 복수의 제1 단차부들(431, 432)은 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성되도록 하고, 상기 복수의 제2 단차부들(434, 435)은 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성되도록 한다.
- [0104] 도 9는 본 발명의 실시예 5에 따른 표시기관 평면도이다.
- [0105] 본 실시예에 따른 표시기관(105)은, 스토리지 라인이 생략됨에 따라 액정분자 제어부(440)의 형상이 변경된 것

을 제외하고는, 도 1 및 도 2에 도시된 실시예 1에 따른 표시기관(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.

- [0106] 도 9을 참조하면, 본 실시예에 따른 표시기관(105)은 상기 액정분자 제어부(440)를 포함한다.
- [0107] 상기 액정분자 제어부(440)는 제3 단차부(443), 제4 단차부(445) 및 제6 홈(447)을 포함한다.
- [0108] 상기 제3 단차부(443)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성된다.
- [0109] 상기 제4 단차부(445)는 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성된다.
- [0110] 상기 제6 홈(447)은 상기 제3 단차부(443)를 형성하는 단차면과 단차면이 만나는 모서리 부분에 형성된다.
- [0111] 본 실시예에서는 상기 제6 홈(447)이 상기 제3 단차부(443)를 형성하는 단차면과 단차면이 만나는 모서리 부분에만 형성된 경우를 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 즉, 상기 제4 단차부(445)를 형성하는 단차면과 단차면이 만나는 부분에도 홈이 형성되도록 변형할 수 있음은 물론이다.
- [0112] 본 실시예에 따른 표시기관(105)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기관(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0113] 상기 제1 베이스 기관(110) 상에 투명 전극층(미도시)을 형성하고, 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE, HPE), 상기 제3 및 제4 단차부(913, 915)와 상기 제6 홈(447)을 포함하는 상기 액정분자 제어부(440)를 형성한다. 예를 들면, 상기 제3 단차부(443)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성되도록 하고, 상기 제4 단차부(445)는 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성되도록 한다. 또한, 상기 제6 홈(447)은 상기 제3 단차부(443)를 형성하는 단차면과 단차면이 만나는 모서리 부분에 형성되도록 한다.
- [0114] 도 10은 본 발명의 실시예 6에 따른 표시기관의 평면도이다. 본 실시예에 따른 표시기관(106)은, 스토리지 라인이 생략됨에 따라 액정분자 제어부(450)의 형상이 변경된 것을 제외하고는, 도 1 및 도 2에 도시된 실시예 1에 따른 표시기관(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0115] 도 10을 참조하면, 본 실시예에 따른 표시기관(106)은 상기 액정분자 제어부(450)를 포함한다.
- [0116] 상기 액정분자 제어부(450)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성된 제5 단차부(453) 및 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성된 제6 단차부(455)를 포함한다.
- [0117] 상기 제5 단차부(453) 및 상기 제6 단차부(455)는 각각 단차를 형성하는 단차면과 단차면 사이의 경계면이 소정의 기울기를 갖도록 형성되어 있다.
- [0118] 상기 제 5 및 제6 단차부(1013, 1015)에서 단차면과 경계면이 만나는 모서리 부분들에서는 전계가 주변보다 강화되어 싱글러 포인트가 형성된다. 따라서, 싱글러 포인트가 발생하는 위치를 고정시킬 수 있으므로, 도메인 경계에서 잔상 및 얼룩이 시인되지 않는다.
- [0119] 본 실시예에 따른 표시기관(106)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기관(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0120] 상기 제1 베이스 기관(110) 상에 투명 전극층(미도시)을 형성하고, 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE, HPE), 상기 제5 및 제6 단차부(1013, 1015)를 포함하는 상기 액정분자 제어부(440)를 형성한다. 예를 들면, 상기 제5 단차부(453)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성되도록 하고, 상기 제6 단차부(455)는 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성되도록 한다.
- [0121] 도 11은 본 발명의 실시예 7에 따른 표시기관의 평면도이다. 본 실시예에 따른 표시기관(107)은, 스토리지 라인이 생략됨에 따라 액정분자 제어부(460)의 형상이 변경된 것을 제외하고는, 도 1 및 도 2에 도시된 실시예 1에 따른 표시기관(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0122] 도 11을 참조하면, 본 실시예에 따른 표시기관(100)은 상기 액정분자 제어부(460)를 포함한다.

- [0123] 상기 액정분자 제어부(460)는 제2 돌기(463)와 제3 돌기(465)를 포함한다.
- [0124] 상기 제2 돌기(463)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성된다.
- [0125] 상기 제3 돌기(465)는 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 형성되며, 상기 제2 돌기(463)와 엇갈리게 형성된다.
- [0126] 상기 제2 및 제3 돌기(463, 465)가 형성된 부분들에는 전계가 주변의 전계보다 강화되어 싱글러 포인트가 형성된다. 이와 같이 상기 제2 및 제3 돌기(463, 465)에 의해 싱글러 포인트의 발생 위치가 고정되므로, 상기 로우 픽셀전극(LPE)과 상기 하이 픽셀전극(HPE)의 경계 부분에 대응하는 도메인 경계에서 발생하는 잔상 및 얼룩을 방지할 수 있다.
- [0127] 한편, 본 실시예에서는 상기 하이 픽셀전극(HPE) 및 상기 로우 픽셀전극(LPE) 모두에 상기 액정분자 제어부(460)를 형성한 경우를 예로 들어 설명하였지만, 이에 한정되지 않으며 상기 로우 및 하이 픽셀전극들(LPE, HPE) 중 어느 하나에만 형성하도록 변형할 수 있음은 물론이다. 또한, 상기 제2 및 제3 돌기들(463, 465)을 삼각형 형상으로 구현하였으나, 사각형, 사다리꼴 등과 같은 다각형 또는 반원형 등과 같이 다양한 모양으로 변형될 수 있음은 물론이다.
- [0128] 본 실시예에 따른 표시기판(107)의 제조 방법은 도 1 및 도 2를 참조하여 설명한 실시예 1에 따른 표시기판(100)의 제조 방법과 실질적으로 동일하므로, 중복되는 상세한 설명은 생략하기로 한다.
- [0129] 상기 투명 전극층을 패터닝하여 상기 로우 및 하이 픽셀전극들(LPE, HPE), 제2 및 제3 돌기들(463, 465)를 포함하는 상기 액정분자 제어부(460)를 형성한다. 예를 들면, 상기 제2 돌기(463)는 상기 로우 픽셀전극(LPE)과 마주보는 상기 하이 픽셀전극(HPE)의 변에 형성되도록 하고, 상기 제3 돌기(465)는 상기 하이 픽셀전극(HPE)과 마주보는 상기 로우 픽셀전극(LPE)의 변에 상기 제2 돌기(463)와 엇갈리게 형성되도록 한다.
- [0130] 도 12는 본 발명의 실시예 8에 따른 표시기판 평면도이다. 본 실시예에 따른 표시기판(108)은, 하이 픽셀전극(HPE)이 기울기를 갖도록 형성된 것을 제외하고는, 도 1 및 도 2에 도시된 실시예 1에 따른 표시기판(100)과 동일하므로, 동일한 부재는 동일한 참조 부호로 나타내고, 중복되는 상세한 설명은 생략하기로 한다.
- [0131] 도 12를 참조하면, 본 실시예에 따른 표시기판(108)은 로우 픽셀전극(LPE) 및 하이 픽셀전극(HPE)을 포함한다.
- [0132] 상기 로우 픽셀전극(LPE)은 상기 하이 픽셀전극(HPE)을 기준으로 상기 하이 픽셀전극(HPE)의 양측에 이격되어 형성된 영역들을 포함하고, 상기 영역들은 상기 연결 전극(BE)을 통해 전기적으로 연결된다.
- [0133] 상기 하이 픽셀전극(HPE)은 상기 제2 방향(D2)에 대하여 경사진 방향, 예를 들어 제4 방향(D4)으로 기울어지도록 형성된다.
- [0134] 상기 하이 픽셀전극(HPE)이 기울어진 정도는 상기 하이 픽셀전극(HPE)의 경계에 대응하는 도메인의 경계에 배열되는 액정 분자들의 배열방향을 고려하여 정하는 것이 바람직하다.
- [0135] 본 실시예에서는 상기 하이 픽셀전극(HPE) 및 상기 하이 픽셀전극(HPE)과 마주하는 상기 로우 픽셀전극(LPE)의 변이 기울기를 갖도록 형성한 것을 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 상기 로우 픽셀전극(LPE)에 대해서도 상기 경사진 방향으로 기울어지도록 형성할 수 있으면 물론이다.
- [0136] 또한, 상기 하이 픽셀전극(HPE)의 변에 제1 데이터 라인(DL1) 측이 제2 데이터 라인(DL2) 측보다 높은 단차를 갖도록 형성하였으나, 이에 한정되지 않으며 상기 제2 데이터 라인(DL2) 측이 상기 제1 데이터 라인(DL1) 측보다 높은 단차를 갖도록 변형할 수 있음은 물론이다. 이때 상기 하이 픽셀전극(HPE)과 마주하는 상기 로우 픽셀전극(LPE)의 변은 상기 하이 픽셀전극(HPE)의 형상과 대응되게 변형됨은 물론이다.
- [0137] 또한, 서로 마주하는 상기 로우 및 하이 픽셀전극들(LPE, HPE)의 변에 단차 형성시, 상기 단차를 형성하는 단차면들 및 상기 단차면과 단차면 사이의 경계면이 서로 다른 기울기를 갖도록 형성할 수 있다.
- [0138] 이와 같이 상기 하이 픽셀전극(HPE)을 소정의 기울기를 갖도록 형성하는 경우, 상기 로우 픽셀전극(LPE)의 경계에 대응하는 도메인에 배치되는 액정분자들이 높은 속도를 가속화시킬 수 있어 액정층을 통과하는 빛의 투과율을 향상시킬 수 있다.
- [0139] 도면에 도시하지는 않았지만, 본 실시예에 따른 상기 로우 및 하이 픽셀전극들(LPE, HPE)의 구조에 상기 실시예 1 내지 실시예 7에 따른 액정분자 제어부를 적용시킬 수 있음은 물론이다. 이 경우 도메인 경계에서 발생하는 얼룩 및 잔상이 발생하는 것을 방지할 수 있음은 물론, 액정층을 통과하는 빛의 투과율을 향상시킬 수 있어 액

정표시패널의 표시 품질을 향상시킬 수 있다.

[0140] 한편, 이상에서는 상기 픽셀영역(PA)이 두 개의 로우 픽셀영역들과 하나의 하이 픽셀영역으로 3분할되고, 상기 로우 및 하이 픽셀영역들이 각각 4개의 도메인들로 분할된 액정표시패널을 예로 들어 설명하였지만, 이에 한정되는 것은 아니다. 즉, 상기 픽셀영역(PA)이 로우 및 하이 픽셀영역들로 2분할되고, 상기 로우 및 하이 픽셀영역들이 각각 복수의 도메인들로 분할되는 액정표시패널에도 적용할 수 있음은 물론이다.

산업이용 가능성

[0141] 본 발명의 표시기관 및 액정표시패널은 액정을 제어하는 전극이 패터닝되고, 픽셀전극이 복수의 도메인들로 분할된 액정 표시 패널이면 어느 경우에도 적용될 수 있다.

[0142] 이와 같이, 본 발명은 픽셀전극을 두 개의 서브 픽셀전극으로 분할하고, 각 픽셀전극에 서로 다른 전압을 인가하여 구동함으로써 광시야각을 확보할 수 있음은 물론, 액정분자 제어부를 통해 싱글리 포인트 발생 위치를 항상 일정하게 할 수 있으므로, 도메인 경계에서 잔상 및 얼룩이 발생하는 것을 방지할 수 있다.

[0143] 또한, 픽셀전극이 소정의 기울기를 갖도록 형성함으로써 도메인의 경계에 위치한 액정분자들을 안정적으로 배열할 수 있어 액정층을 통과하는 빛의 투과율을 향상시킬 수 있다.

[0144] 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0145] 도 1은 본 발명의 실시예 1에 따른 액정표시패널의 평면도이다.

[0146] 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

[0147] 도 3은 도 1에 도시된 제 1홀의 확대도이다.

[0148] 도 4는 도 1에 도시된 액정표시패널의 도메인 영역들의 배향 방향의 일례를 설명하기 위한 개념도이다.

[0149] 도 5는 도 1에 도시된 액정표시패널의 도메인 영역들의 배향 방향의 다른 예를 설명하기 위한 개념도이다.

[0150] 도 6은 본 발명의 실시예 2에 따른 표시 기관의 평면도이다.

[0151] 도 7은 본 발명의 실시예 3에 따른 표시 기관의 평면도이다.

[0152] 도 8은 본 발명의 실시예 4에 따른 표시 기관의 평면도이다.

[0153] 도 9는 본 발명의 실시예 5에 따른 표시 기관의 평면도이다.

[0154] 도 10은 본 발명의 실시예 6에 따른 표시기관의 평면도이다.

[0155] 도 11은 본 발명의 실시예 7에 따른 표시기관의 평면도이다.

[0156] 도 12는 본 발명의 실시예 8에 따른 표시기관 평면도이다.

[0157] < 도면의 주요 부분에 대한 부호의 설명 >

[0158] GL1, GL2 : 제1, 제2 게이트 라인

[0159] DL1, DL2 : 제1, 제2 데이터 라인

[0160] SW1, SW2, : 제1, 제2 박막트랜지스터

[0161] LPE : 로우 픽셀전극

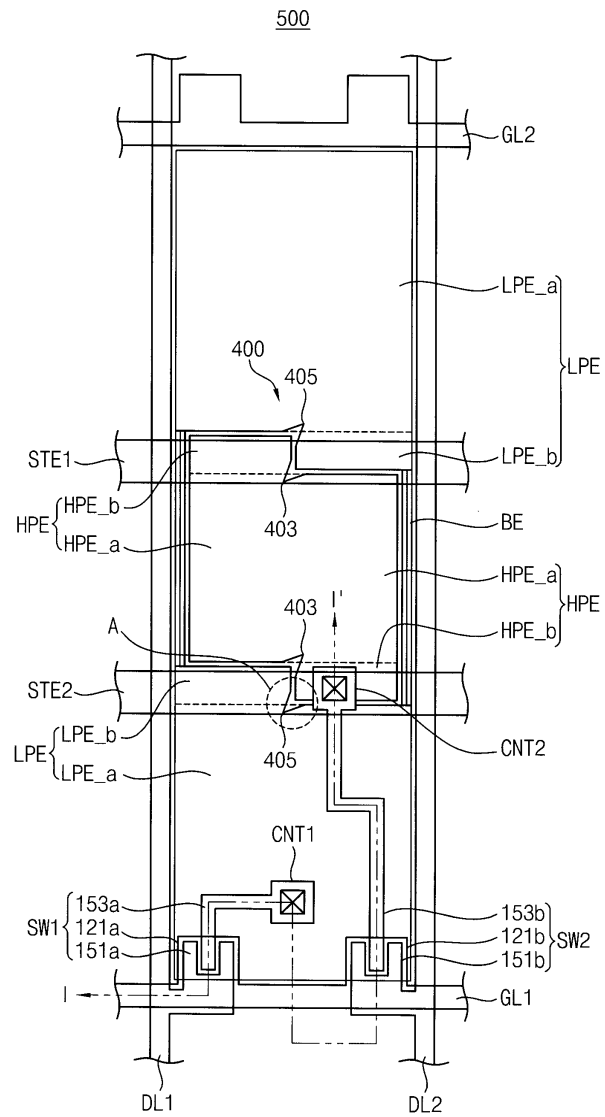
[0162] HPE : 하이 픽셀전극

[0163] 100, 102, 103, 104, 105, 106, 107, 108 : 표시기관

[0164] 400, 410, 420, 430, 440, 450, 460 : 액정분자 제어부

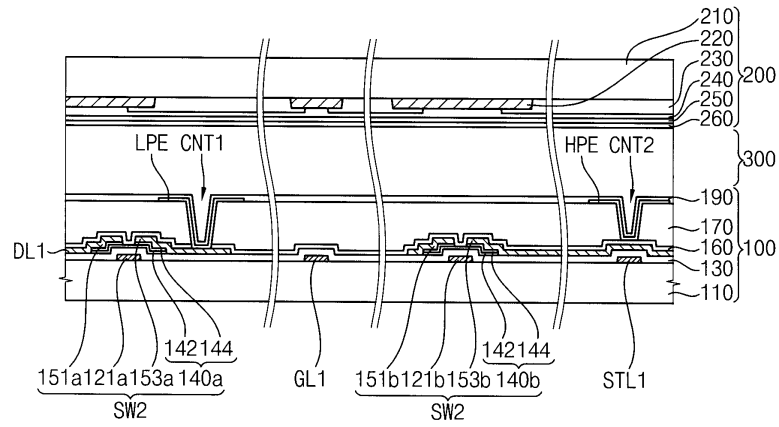
도면

도면1

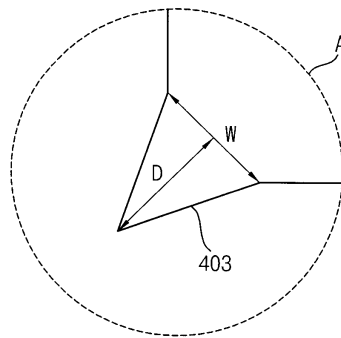


도면2

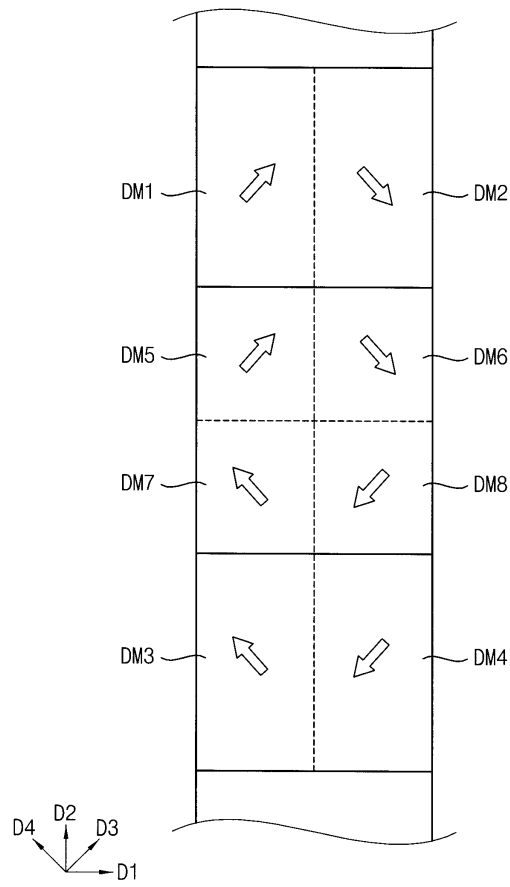
500



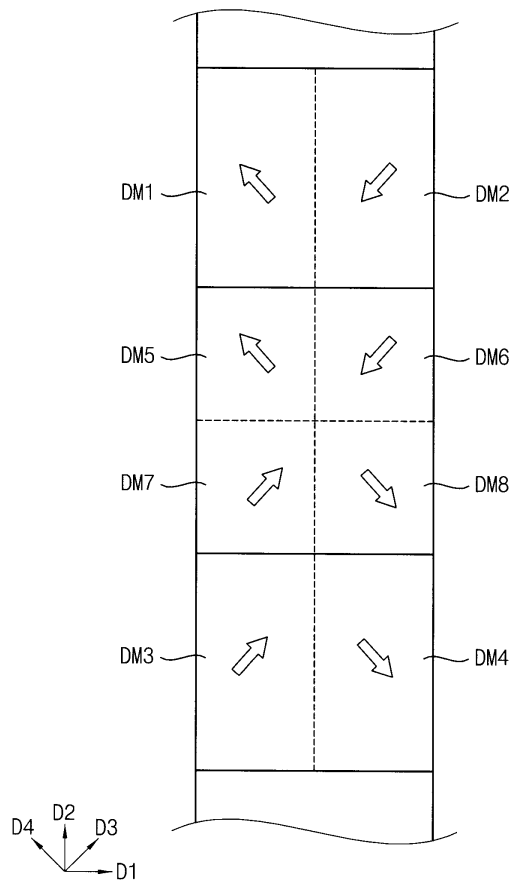
도면3



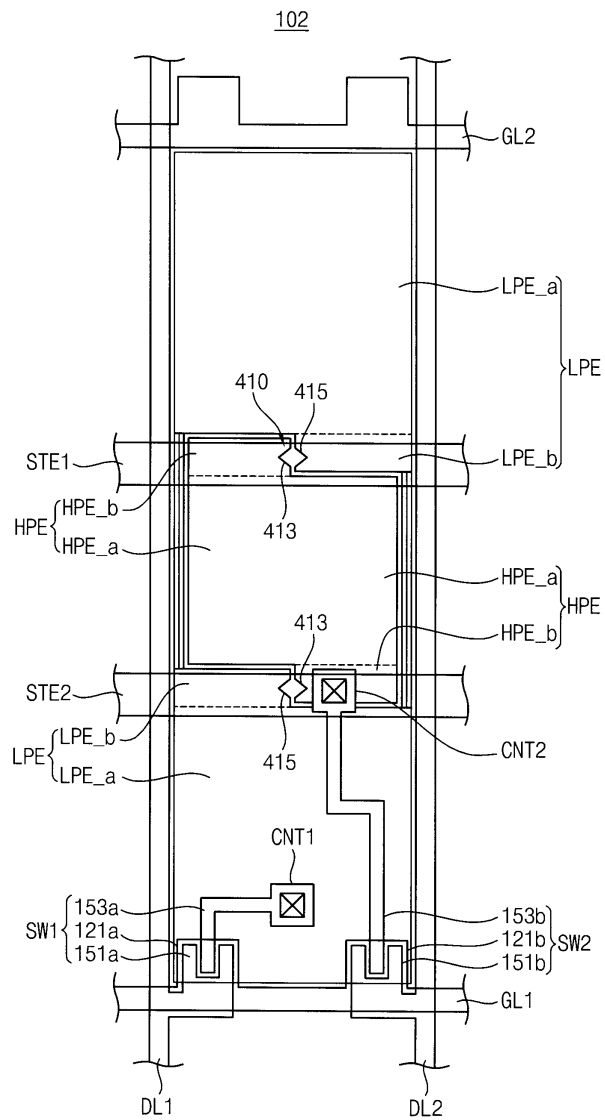
도면4



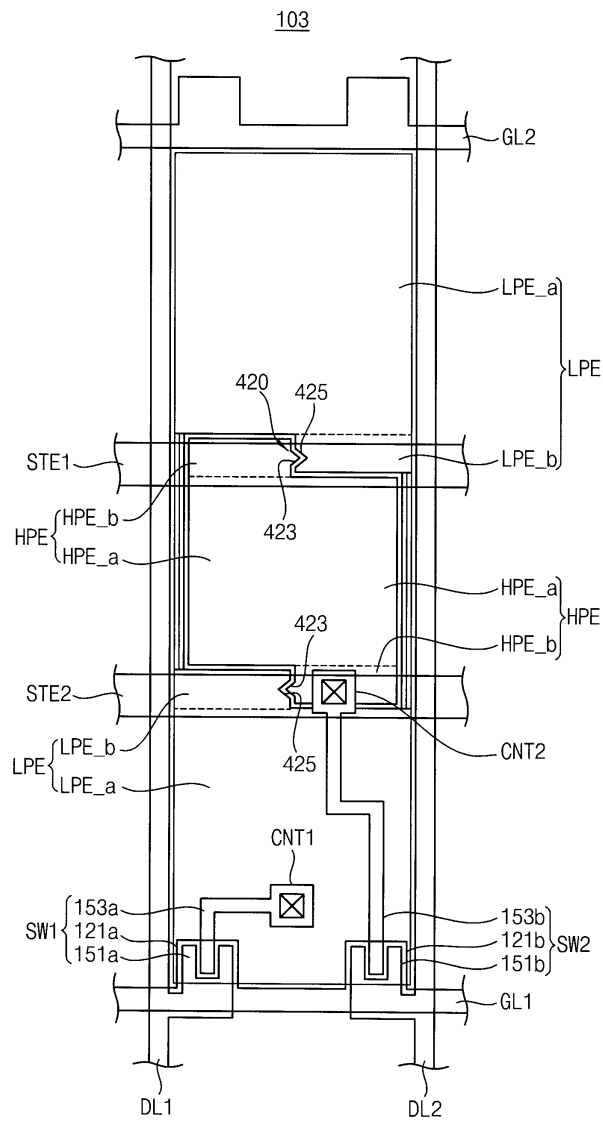
도면5



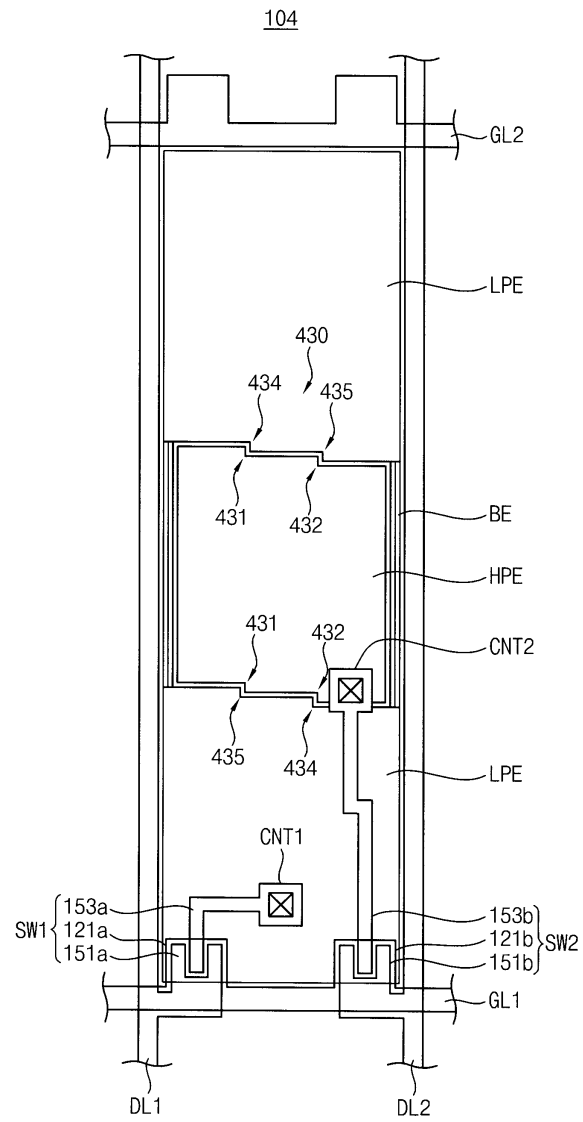
도면6



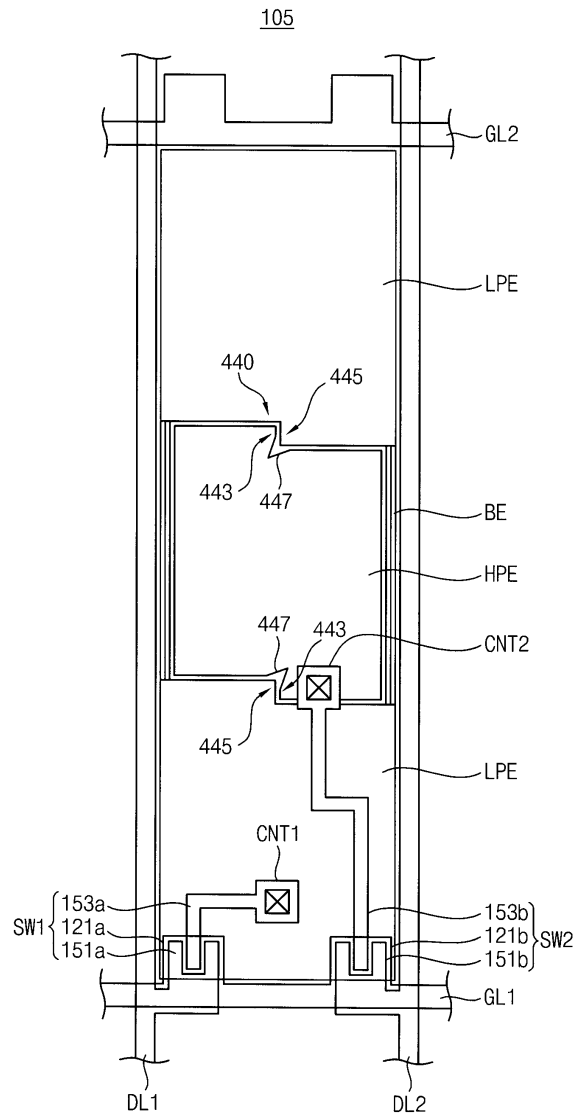
도면7



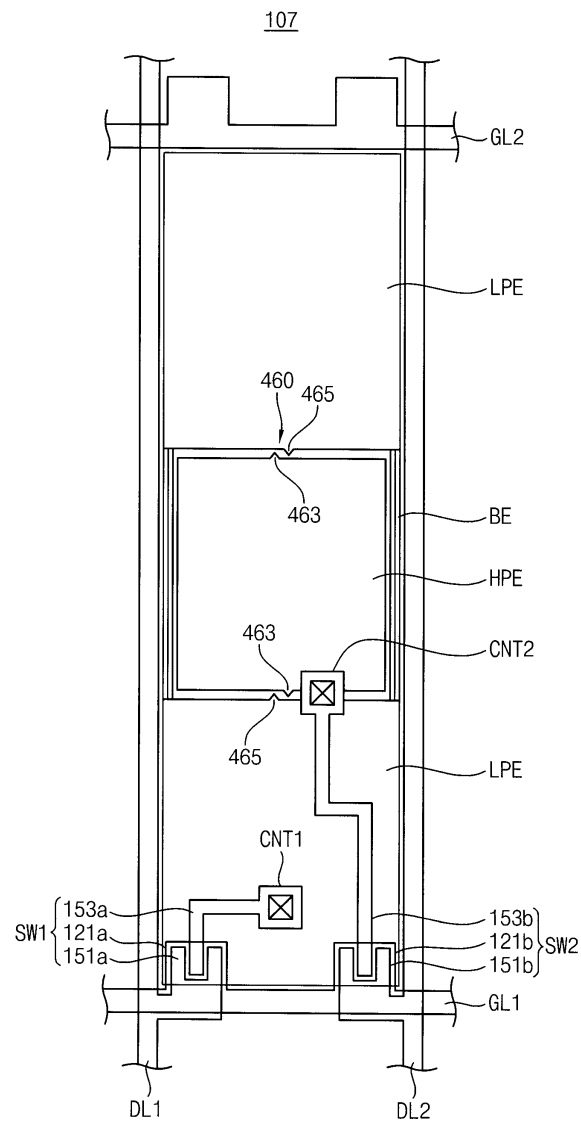
도면8



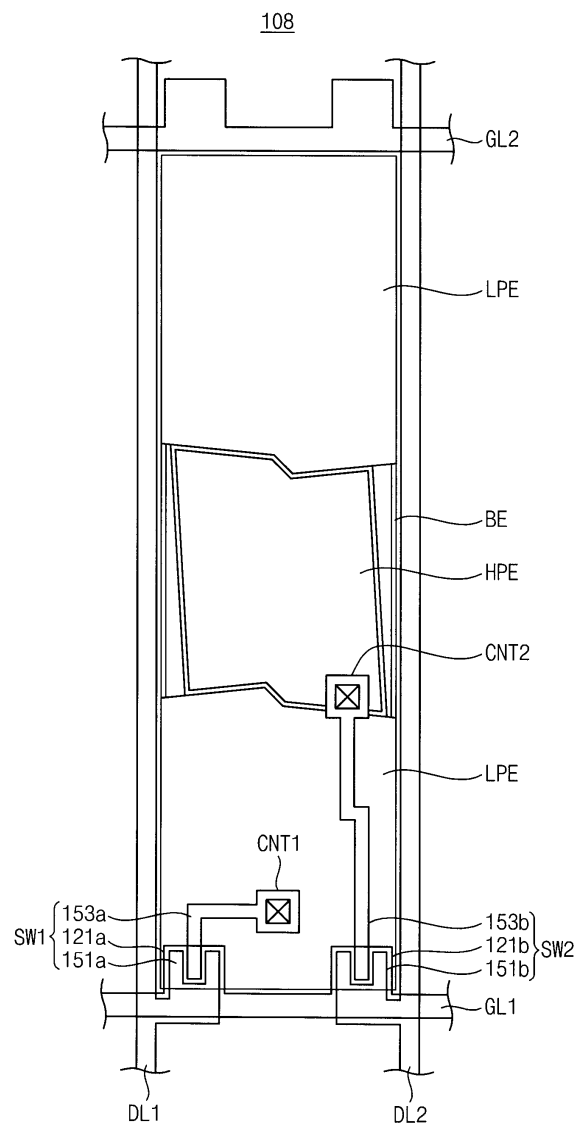
도면9



도면11



도면12



专利名称(译)	标题：显示基板和具有该显示基板的液晶显示板		
公开(公告)号	KR101540302B1	公开(公告)日	2015-07-29
申请号	KR1020080066316	申请日	2008-07-09
[标]申请(专利权)人(译)	三星电子株式会社 三星显示有限公司		
申请(专利权)人(译)	SAMSUNG ELECTRONICS CO. , LTD. 三星DISPLAY CO. , LTD.		
当前申请(专利权)人(译)	三星DISPLAY CO. , LTD.		
[标]发明人	CHOI NAK CHO BAE HEE RA JUNG MEE HYE		
发明人	CHOI NAK CHO BAE HEE RA JUNG MEE HYE		
IPC分类号	G02F1/1343 G02F1/1337		
CPC分类号	G02F1/134309 G02F2001/133742 G02F2201/123 G02F2201/122 G02F1/1393 G02F1/13624		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020100006190A		
外部链接	Espacenet		

摘要(译)

显示基板的一个或多个实施例包括基础基板和像素电极。基础衬底具有限定在其上的像素区域。像素电极包括形成在像素区域中以接收第一电压的低像素电极，沿第一方向与低像素电极间隔开的高像素电极以接收高于第一电压的第二电压，以及液晶分子控制部分形成在低像素电极和高像素电极中的至少一个上，以控制设置在与低像素电极和高像素电极的边界对应的区域处的液晶分子。可以控制设置在与低像素电极和高像素电极之间的边界对应的域处的液晶分子，从而可以在畴区域的边界处防止污点或余像的产生。

