



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월29일
(11) 등록번호 10-1301500
(24) 등록일자 2013년08월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G11C 19/00 (2006.01)
(21) 출원번호 10-2011-0111336
(22) 출원일자 2011년10월28일
심사청구일자 2011년10월28일
(65) 공개번호 10-2012-0046062
(43) 공개일자 2012년05월09일
(30) 우선권주장
201010532020.5 2010년10월29일 중국(CN)
(56) 선행기술조사문헌
KR1020070074826 A

(73) 특허권자
청두 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 611731 쓰촨 프로빈스 청두 하이-테크 디벨롭먼트 존 (웨스트 존) 허주오 로드 1188호
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
(72) 발명자
탄 원
중국 베이징 100176 비디에이 시환중로 8호
치 시아오징
중국 베이징 100176 비디에이 시환중로 8호
후양 웨이원
중국 베이징 100176 비디에이 시환중로 8호
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 9 항

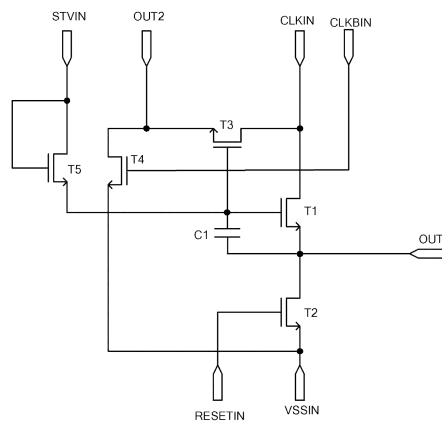
심사관 : 이성현

(54) 발명의 명칭 **쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이**

(57) 요약

본 발명은 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이를 제공한다. 상기 쉬프트 레지스터 유닛은 5개의 박막 트랜지스터를 구비한다. 제1 박막 트랜지스터의 드레인이 제1 클럭 신호 입력단에 접속된다. 제3 박막 트랜지스터의 드레인이 제1 클럭 신호 입력단에 접속되고, 게이트가 제1 박막 트랜지스터의 게이트에 접속되고, 소스가 제2 신호 출력단에 접속된다. 제1 신호 출력단은 게이트 구동 신호를 출력하고, 제2 신호 출력단은 인접한 다음 쉬프트 레지스터 유닛에 제어 신호를 제공한다. 본 발명이 제공하는 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이는, 게이트 구동 신호와 인접한 다음 쉬프트 레지스터 유닛을 제어하기 위한 제어 신호를 분리하기 때문에 지연 누적에 의한 게이트 구동 신호의 정확도 저하라는 과제를 해결할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

쉬프트 레지스터 유닛으로서,

드레인이 제1 클럭 신호 입력단에 접속되고, 소스가 게이트 구동 신호 출력단에 접속된 제1 박막 트랜지스터;

드레인이 제1 신호 출력단에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속되는 제2 박막 트랜지스터;

드레인이 상기 제1 클럭 신호 입력단에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 게이트에 접속되고, 소스가 제2 신호 출력단에 접속되는 제3 박막 트랜지스터;

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 게이트가 제2 클럭 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속되는 제4 박막 트랜지스터;

게이트와 드레인이 모두 스타트 신호 입력단에 접속되고, 소스가 상기 제1 박막 트랜지스터의 게이트에 접속되는 제5 박막 트랜지스터; 및

양단이 각각 상기 제1 박막 트랜지스터의 게이트와 소스에 접속되는 콘덴서;를 구비하고,

상기 제1 클럭 신호 입력단이 클럭 신호를 입력하고, 상기 제2 클럭 신호 입력단이 상기 제1 클럭 신호 입력 신호와 역위상이 되는 클럭 신호를 입력하고, 상기 리셋 신호 입력단이 리셋 신호를 입력하고, 상기 스타트 신호 입력단이 스타트 신호를 입력하고, 상기 로우 레벨 신호 입력단이 로우 레벨 신호를 입력하고, 상기 제1 신호 출력단이 게이트 구동 신호를 출력하고, 상기 제2 신호 출력단이 인접한 다음 쉬프트 레지스터 유닛에 제어 신호를 제공하는 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 2

제1항에 있어서,

상기 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서, 상기 게이트 구동 신호의 레벨을 로우 레벨로 풀다운하도록 제어하는 풀다운 모듈을 더 구비한 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 3

제2항에 있어서,

상기 풀다운 모듈은 구동 유닛과 풀다운 유닛을 구비하고,

상기 구동 유닛은 상기 풀다운 유닛을, 상기 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 동작하도록 구동하고,

상기 풀다운 유닛은 상기 구동 유닛의 제어에 의해 상기 게이트 구동 신호를 로우 레벨로 풀다운하는 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 4

제3항에 있어서, 상기 구동 유닛은,

드레인과 게이트가 상기 제1 클럭 신호 입력단에 접속되는 제9 박막 트랜지스터;

드레인이 상기 제1 클럭 신호 입력단에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 제9 박막 트랜지스터의 소스에 접속되는 제10 박막 트랜지스터;

드레인이 상기 제9 박막 트랜지스터의 소스와 제10 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제3 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제11 박막 트랜지스터;를 구비하고,

상기 풀다운 유닛은,

드레인이 상기 제5 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제9 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제6 박막 트랜지스터;

드레인이 상기 제1 신호 출력단에 접속되고, 게이트가 상기 제9 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제7 박막 트랜지스터;

드레인이 상기 제1 신호 출력단에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제8 박막 트랜지스터;를 구비한 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 5

제3항에 있어서, 상기 구동 유닛은,

드레인이 하이 레벨 신호 입력단에 접속되고, 게이트가 상기 제1 클럭 신호 입력단에 접속되는 제12 박막 트랜지스터;

드레인이 상기 제12 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제13 박막 트랜지스터;

드레인이 상기 제12 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제3 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제14 박막 트랜지스터;

상기 풀다운 유닛은,

게이트가 상기 제12 박막 트랜지스터의 소스에 접속되고, 드레인이 상기 제5 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제6 박막 트랜지스터;

드레인이 상기 제1 신호 출력단에 접속되고, 게이트가 상기 제12 박막 트랜지스터의 소스에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제7 박막 트랜지스터;

드레인이 상기 제1 신호 출력단에 접속되고, 게이트가 상기 제2 클럭 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제8 박막 트랜지스터;를 구비하고,

상기 하이 레벨 신호 입력단은 하이 레벨 신호를 입력하는 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 6

제4항 또는 제5항에 있어서,

드레인이 상기 제5 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 리셋 신호 입력단에 접속되고, 소스가 상기 로우 레벨 신호 입력단에 접속되는 제15 박막 트랜지스터를 더 구비한 것을 특징으로 하는 쉬프트 레지스터 유닛.

청구항 7

액정 디스플레이 게이트 구동 장치로서,

차례대로 접속하는 n 개의 청구항 제1항 내지 제5항 중 어느 한 항에 기재된 상기 쉬프트 레지스터 유닛을 구비하고, 단, n 이 자연수이고,

1번째 쉬프트 레지스터 유닛과 n 번째 쉬프트 레지스터 유닛 이외에 다른 각 쉬프트 레지스터 유닛의 제2 신호 출력단은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 인접한 다음 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

1번째 쉬프트 레지스터 유닛의 제2 신호 출력단이 2번째 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

최후의 쉬프트 레지스터 유닛의 제2 신호 출력단이 $n-1$ 번째 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 자신의 리셋 신호 입력단에 접속되는 것을 특징으로 하는 액정 디스플레이 게이트 구동 장치.

청구항 8

제7항에 있어서,

홀수째 쉬프트 레지스터 유닛은, 제1 클럭 신호 입력단이 제1 클럭 신호를 입력하고, 제2 클럭 신호 입력단이 제2 클럭 신호를 입력하고,

짝수째 쉬프트 레지스터 유닛은, 제1 클럭 신호 입력단이 제2 클럭 신호를 입력하고, 제2 클럭 신호 입력단이 제1 클럭 신호를 입력하고,

상기 제1 클럭 신호와 제2 클럭 신호는 서로 역위상의 신호인 액정 디스플레이 게이트 구동 장치.

청구항 9

액정 디스플레이로서, 청구항 제8항에 기재된 상기 액정 디스플레이 게이트 구동 장치를 구비한 것을 특징으로 하는 액정 디스플레이.

명세서

기술분야

[0001] 본 발명의 실시예는 구동 기술 분야에 관한 것으로서, 특히 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터 액정 디스플레이(Thin Film Transistor Liquid Crystal Display, TFT-LCD로 약칭)에서는, 항상 게이트 구동 장치에서 화소 영역의 각 박막 트랜지스터의 게이트에 게이트 구동 신호가 공급된다. 게이트 구동 장치는 어레이 공정에 의해 액정 디스플레이의 어레이 기판에 형성된다. 이와 같은 기술은 GOA 기술(Gate on Array, GOA로 약칭)이라고도 불린다.

[0003] GOA 기술을 채용하여 형성된 액정 디스플레이의 게이트 구동 장치는 다수의 쉬프트 레지스터 유닛을 구비한다. 하나의 쉬프트 레지스터 유닛은 하나의 게이트 구동 신호를 출력한다. 쉬프트 레지스터 유닛은 화소 영역(화소 영역이란, 액정 디스플레이의 표시 영역을 가리키고 다수의 서브 픽셀을 구비한다)의 게이트 라인에 접속된다. 화소 영역의 게이트 라인에 부하가 존재한다. 게이트 라인의 부하는 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호에 지연을 일으킨다.

[0004] 종래 기술에 관한 게이트 구동 장치에서, 하나의 쉬프트 레지스터 유닛이 출력한 게이트 구동 신호는 게이트 라인을 구동할 필요가 있는 것 이외에 인접한 다음 쉬프트 레지스터 유닛의 제어 신호(예를 들면, 인접한 다음 쉬프트 레지스터 유닛의 프레임 스타트 신호)로서 인접한 다음 쉬프트 레지스터 유닛에 입력될 필요도 있다. 이와 같이 인접한 다음 쉬프트 레지스터 유닛이 생성하는 게이트 구동 신호는 더욱 긴 지연을 일으킨다. 이렇게 되면 각 쉬프트 레지스터간에 지연 누적이 생기는 만큼 게이트 구동 장치가 출력하는 게이트 구동 신호의 정확도가 낮아진다.

발명의 내용

해결하려는 과제

[0005] 본 발명은, 종래 기술에서 지연 누적에 의해 게이트 구동 장치가 출력한 게이트 구동 신호의 정확도가 낮아진다는 과제를 해결하기 위해 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 실시예가 제공하는 쉬프트 레지스터 유닛으로서,

[0007] 드레인이 제1 클럭 신호 입력단에 접속되고, 소스가 제1 신호 출력단에 접속되는 제1 박막 트랜지스터와,

[0008] 드레인이 제1 신호 출력단에 접속되고, 게이트가 리셋 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속되는 제2 박막 트랜지스터와,

[0009] 드레인이 상기 제1 클럭 신호 입력단에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 게이트에 접속되고, 소

스가 제2 신호 출력단에 접속되는 제3 박막 트랜지스터와,

[0010] 드레인이 상기 제3 박막 트랜지스터의 드레인에 접속되고, 게이트가 제2 클럭 신호 입력단에 접속되고, 소스가 로우 레벨 신호 입력단에 접속되는 제4 박막 트랜지스터와,

[0011] 게이트와 드레인이 모두 스타트 신호 입력단에 접속되고, 소스가 상기 제1 박막 트랜지스터의 게이트에 접속되는 제5 박막 트랜지스터와,

[0012] 양단이 각각 상기 제1 박막 트랜지스터의 게이트와 소스에 접속되는 콘텐서,를 구비하고,

[0013] 상기 제1 클럭 신호 입력단이 클럭 신호를 입력하고, 상기 제2 클럭 신호 입력단이 상기 제1 클럭 신호 입력 신호와 역위상이 되는 클럭 신호를 입력하고, 상기 리셋 신호 입력단이 리셋 신호를 입력하고, 상기 스타트 신호 입력단이 스타트 신호를 입력하고, 상기 로우 레벨 신호 입력단이 로우 레벨 신호를 입력하고, 상기 제1 신호 출력단이 게이트 구동 신호를 출력하고, 상기 제2 신호 출력단이 인접한 다음 쉬프트 레지스터 유닛에 제어 신호를 제공한다.

[0014] 본 발명이 더 제공하는 액정 디스플레이 게이트 구동 장치로서, 차례대로 접속하는 n개의 상기 쉬프트 레지스터 유닛을 구비하고, 단, n이 자연수이고,

[0015] 1번째 쉬프트 레지스터 유닛과 n번째 쉬프트 레지스터 유닛 이외에 다른 각 쉬프트 레지스터 유닛의 제2 신호 출력단은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 인접한 다음 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

[0016] 1번째 쉬프트 레지스터 유닛의 제2 신호 출력단이 2번째 쉬프트 레지스터 유닛의 스타트 신호 입력단에 접속되고,

[0017] 최후의 쉬프트 레지스터 유닛의 제2 신호 출력단이 n-1번째 쉬프트 레지스터 유닛의 리셋 신호 입력단, 및 자신의 리셋 신호 입력단에 접속되어 있다.

[0018] 본 발명이 더 제공하는 액정 디스플레이로서, 상기 액정 디스플레이 게이트 구동 장치를 구비한다.

발명의 효과

[0019] 본 발명이 제공하는 쉬프트 레지스터 유닛, 게이트 구동 장치 및 액정 디스플레이는, 제1 박막 트랜지스터의 게이트와 제3 박막 트랜지스터의 게이트는 모두 제5 박막 트랜지스터의 소스에 접속되고, 제1 박막 트랜지스터의 드레인과 제3 박막 트랜지스터의 소스는 모두 제1 클럭 신호 입력단에 접속되고, 제3 박막 트랜지스터의 드레인이 제2 신호 출력단에 접속되고, 제1 박막 트랜지스터의 소스가 제1 신호 출력단에 접속되어 있다. 이와 같은 접속 방법에 의해 제1 신호 출력단이 출력하는 신호가 제2 신호 출력단이 출력하는 신호와 대체로 동일해지도록 보장할 수 있고, 또한 제2 신호 출력단이 화소 영역의 게이트 라인에 접속되지 않기 때문에 화소 영역의 부하에 의한 영향을 받지 않고, 제2 신호 출력단이 출력하는 신호는 제1 신호 출력단이 출력하는 신호에 비해 지연이 더욱 적다. 제2 신호 출력단이 출력하는 신호를, 인접한 다음 쉬프트 레지스터 유닛에서 필요한 제어 신호로 함으로써 지연 누적에 의해 초래된, 게이트 구동 장치가 출력한 게이트 구동 신호의 정확도가 낮아진다는 문제를 해결할 수 있어 게이트 구동 신호의 정확도를 향상시킨다.

도면의 간단한 설명

[0020] 본 발명의 실시예 또는 종래 기술의 기술안을 더욱 명료하게 설명하기 위해, 이하에서는 실시예 또는 종래 기술의 설명에 필요한 도면을 간단히 설명하기로 한다. 하기 도면은 명백히 본 발명의 일부 실시예에 관한 것에 불과하며, 당업자라면 이들 도면에 기초하여 다른 도면을 얻을 수 있다.

도 1은, 본 발명의 제1 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다.

도 2는, 도 1에 도시한 쉬프트 레지스터 유닛이 생성하는 게이트 구동 신호의 모식도이다.

도 3은, 본 발명의 제2 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다.

도 4는, 본 발명의 제3 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다.

도 5는, 본 발명에 관한 액정 디스플레이의 게이트 구동 장치의 구성 모식도이다.

도 6은, 도 5에 도시한 액정 디스플레이의 게이트 구동 장치가 입/출력하는 신호의 시퀀스도이다.

도 7은, 도 4에 도시한 쉬프트의 레지스터 유닛이 입/출력하는 신호의 시퀀스도이다.

도 8은, 본 발명의 제4 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다.

도 9는, 본 발명의 제5 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시예의 목적, 기술안 및 장점을 더욱 명료하게 하기 위해, 이하 본 발명의 실시예의 도면을 결합하여 본 발명의 실시예의 기술안을 명료하고 완전하게 설명하기로 한다. 하기 실시예는 명백히 본 발명의 일부 실시예에 불과하며 전부의 실시예에 포함되지는 않는다. 본 발명의 실시예에 기초하여 당업자가 특별한 노력 없이 얻는 다른 실시예도 본 발명이 보호하는 범위에 속한다.
- [0022] 도 1은, 본 발명의 제1 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다. 이 쉬프트 레지스터 유닛은, 제1 박막 트랜지스터 T1과, 제2 박막 트랜지스터 T2와, 제3 박막 트랜지스터 T3과, 제4 박막 트랜지스터 T4와, 제5 박막 트랜지스터 T5와, 콘덴서 C1을 구비한다.
- [0023] 제1 박막 트랜지스터 T1의 드레인이 제1 클럭 신호 입력단(CLKIN)에 접속되고, 소스가 제1 신호 출력단(OUT1)에 접속된다.
- [0024] 제2 박막 트랜지스터 T2의 드레인이 제1 신호 출력단(OUT1)에 접속되고, 게이트가 리셋 신호 입력단(RESETIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0025] 제3 박막 트랜지스터 T3의 드레인이 제1 클럭 신호 입력단(CLKIN)에 접속되고, 게이트가 제1 박막 트랜지스터 T1의 게이트에 접속되고, 소스가 제2 신호 출력단(OUT2)에 접속된다.
- [0026] 제4 박막 트랜지스터 T4의 드레인이 제3 박막 트랜지스터 T3의 소스에 접속되고, 게이트가 제2 클럭신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0027] 제5 박막 트랜지스터 T5의 게이트와 드레인이 모두 스타트 신호 입력단(STVIN)에 접속되고, 소스가 제1 박막 트랜지스터 T1의 게이트에 접속된다.
- [0028] 콘덴서 C1의 양단이 각각 제1 박막 트랜지스터 T1의 게이트와 소스에 접속된다.
- [0029] 단, 제1 클럭 신호 입력단(CLKIN)은 클럭 신호를 입력한다. 제2 클럭 신호 입력단(CLKBIN)은 제1 클럭 신호의 입력 신호와 역위상이 되는 클럭 신호를 입력한다. 리셋 신호 입력단(RESETIN)은 리셋 신호를 입력한다. 스타트 신호 입력단(STVIN)은 프레임 스타트 신호를 입력한다. 로우 레벨 신호 입력단(VSSIN)은 로우 레벨 신호를 입력한다. 제1 신호 출력단(OUT1)은 게이트 구동 신호를 출력한다. 제2 신호 출력단(OUT2)는 인접한 다음 쉬프트 레지스터 유닛에 제어 신호를 제공한다.
- [0030] 본 발명의 제1 실시예가 제공하는 쉬프트 레지스터 유닛은 제1 신호 출력단과 제2 신호 출력단을 구비한다. 상기 제1 신호 출력단은 게이트 구동 신호를 출력한다. 즉, 제1 신호 출력단이 화소 영역의 게이트 라인에 접속된다. 제2 신호 출력단은 인접한 다음 쉬프트 레지스터 유닛에 제어 신호를 제공한다. 상기 인접한 다음 쉬프트 레지스터 유닛에 필요한 제어 신호는 리셋 신호와 프레임 스타트 신호를 구비해도 좋다. 인접한 1개 전의 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 인접한 다음 쉬프트 레지스터 유닛의 제어 신호로 해도 좋다.
- [0031] 제1 실시예에서는, 제1 박막 트랜지스터의 게이트와 제3 박막 트랜지스터의 게이트는 모두 제5 박막 트랜지스터의 소스에 접속되고, 제1 박막 트랜지스터의 드레인과 제3 박막 트랜지스터의 소스는 모두 제1 클럭 신호 입력단에 접속되고, 제3 박막 트랜지스터의 드레인은 제2 신호 출력단에 접속되고, 제1 박막 트랜지스터의 소스는 제1 신호 출력단에 접속된다. 이와 같은 접속 방법에 의해 제1 신호 출력단이 출력하는 신호는 제2 신호 출력단이 출력하는 신호와 대체로 같고, 또한 제2 신호 출력단이 화소 영역의 게이트 라인에 접속되지 않기 때문에 화소 영역의 부하에 영향을 받지 않으므로 제2 신호 출력단이 출력하는 신호는 제1 신호 출력단이 출력하는 신호에 비해 지연이 보다 적다. 제2 신호 출력단이 출력하는 신호를 인접한 다음 쉬프트 레지스터 유닛에 필요한 제어 신호로 함으로써 지연 누적에 의해 게이트 구동 장치가 출력하는 게이트 구동 신호의 정확도가 낮아진다는 과제를 해결할 수 있고, 또한 게이트 구동 신호의 정확도를 향상시킬 수 있다.
- [0032] 제1 실시예가 제공하는 쉬프트 레지스터 유닛은, 실제로 쉬프트 레지스터 유닛이 생성하는 제어 신호와 게이트 구동 신호를 분리하여 게이트 구동 신호가 게이트 라인을 구동할 때에만 사용되고, 인접한 다음 쉬프트 레지스터 유닛이 게이트 구동 신호를 생성하도록 제어하는 기능은 제2 신호 출력단이 출력하는 신호에 의해 실현되는

데, 종래 기술과 같이 하나의 신호 출력단이 생성하는 게이트 구동 신호는 게이트 라인을 구동하기 위해서도 사용되고, 인접한 다음 쉬프트 레지스터 유닛이 게이트 구동 신호를 생성하도록 제어하기 위해서도 사용되는 것은 아니다.

[0033] 도 2는 도 1에 도시한 쉬프트 레지스터 유닛이 생성하는 게이트 구동 신호의 모식도이다. 액정 디스플레이에서는, 1행의 게이트 라인을 온하도록 제어할 필요가 있을 때 이 행의 게이트 라인에 접속되는 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 하이 레벨이다. 이 행의 게이트 라인을 오프하도록 제어할 필요가 있을 때 이 행의 게이트 라인에 접속되는 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 로우 레벨이다. 액정 디스플레이가 차례대로 주사를 채용할 경우에 게이트 라인이 a행이고, 액정 디스플레이의 1프레임의 표시 시간이 T라고 하면 게이트 구동 신호가 하이 레벨로 유지된 시간은 T/a이다.

[0034] 그러나 제1 신호 출력단이 출력하는 게이트 구동 신호는 로우 레벨로 유지되는 단계에서, 클럭 신호의 영향에 의해 하이 레벨이 될 가능성이 있고, 이로써 액정 디스플레이의 정상 표시에 영향을 준다. 도 1을 예로 들면, 제1 박막 트랜지스터 T1의 드레인이 제1 클럭 신호 출력단에 접속되고 게이트 구동 신호가 로우 레벨로 유지되는 단계에서, 제1 클럭 신호 입력단(CLKIN)에 입력되는 신호는 여전히 하이 레벨이 된다. 제1 클럭 신호 입력단(CLKIN)에 입력되는 신호가 하이 레벨이 되는 것은, 게이트 구동 신호도 하이 레벨이 되도록 초래하는 가능성이 있다. 제2 박막 트랜지스터는 게이트 구동 신호의 레벨을 낮추는 레벨 폴다운 역할을 담당할 수 있는데, 제2 박막 트랜지스터는 리셋 신호 입력단(RESETIN)에 입력되는 리셋 신호가 하이 레벨인 경우에 비로소 레벨을 폴다운하는 역할을 담당한다. 제2 박막 트랜지스터가 오프되는 경우에 게이트 구동 신호를 로우 레벨로 확실하게 유지되도록 보장할 수 없다.

[0035] 도 3은 본 발명의 제2 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다. 이 실시예에서는, 제1 실시예에 더해 폴다운 모듈(11)이 추가된다. 이 폴다운 모듈은, 제1 신호 출력단(OUT1)에 접속되고 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 구동 신호의 레벨을 로우 레벨로 폴다운하도록 제어한다.

[0036] 폴다운 모듈(11)은 구동 유닛(11a)와 폴다운 유닛(11b)을 구비해도 좋다. 구동 유닛(11a)은 제1 클럭 신호 입력단(CLKIN)과 제2 클럭 신호 입력단(CLKBIN)과 제2 신호 출력단(OUT2)에 접속될 수 있고, 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 폴다운 유닛을 동작시키도록 구동한다. 폴다운 유닛(11b)이 구동 유닛(11a)과 제1 신호 출력단(OUT1)에 접속되고, 구동 유닛(11a)의 제어에 의해 제1 신호 출력단(OUT1)이 출력하는 게이트 구동 신호를 로우 레벨로 폴다운한다.

[0037] 도 4는, 본 발명의 제3 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다. 이 실시예에서, 구동 유닛(11a)은 제9 박막 트랜지스터 T9과 제10 박막 트랜지스터 T10과 제11 박막 트랜지스터 T11을 구비한다. 제9 박막 트랜지스터 T9의 드레인과 게이트가 제1 클럭 신호 입력단(CLKIN)에 접속된다. 제10 박막 트랜지스터 T10의 드레인이 제1 클럭 신호 입력단(CLKIN)에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 제9 박막 트랜지스터 T9의 소스에 접속된다. 제11 박막 트랜지스터 T11의 드레인이 제9 박막 트랜지스터 T9의 소스와 제10 박막 트랜지스터 T10의 소스에 접속되고, 게이트가 제3 박막 트랜지스터 T3의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.

[0038] 폴다운 유닛(11b)은 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8을 구비한다. 제6 박막 트랜지스터 T6의 드레인이 제5 박막 트랜지스터 T5의 소스에 접속되고, 게이트가 제9 박막 트랜지스터 T9의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다. 제7 박막 트랜지스터 T7의 드레인이 제1 신호 출력단(OUT1)에 접속되고, 게이트가 제9 박막 트랜지스터 T9의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다. 제8 박막 트랜지스터 T8의 드레인이 제1 신호 출력단(OUT1)에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.

[0039] 도 5는, 본 발명에 관한 액정 디스플레이 게이트 구동 장치의 구성 모식도이다. 이 장치는 차례대로 접속되는 n개의 상기 각 실시예에 기재된 쉬프트 레지스터 유닛을 구비한다. 단, n은 자연수이다. 각 쉬프트 레지스터 유닛은 각각 SR₁, SR₂, ..., SR_n으로 표시된다.

[0040] 1번째 쉬프트 레지스터 유닛 SR₁과 n번째 쉬프트 레지스터 유닛 SR_n 이외에 각 쉬프트 레지스터 유닛의 제2 신호 출력단(OUT2)은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 리셋 신호 입력단(RESETIN), 및 인접한 다음 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)에 접속된다.

[0041] 1번째 쉬프트 레지스터 유닛 SR₁의 제2 신호 출력단(OUT2)이 2번째 쉬프트 레지스터 유닛의 스타트 신호 입력단

(STVIN)에 접속된다.

- [0042] 최후의 쉬프트 레지스터 유닛 SR_n 의 제2 신호 출력단(OUT2)이 $n-1$ 개째 쉬프트 레지스터 유닛의 리셋 신호 입력단(RESETIN), 및 자신의 리셋 신호 입력단(RESETIN)에 접속된다.
- [0043] 각 쉬프트 레지스터 유닛이 출력하는 게이트 구동 신호는 각각 GL_1, GL_2, \dots, GL_n 으로 표시된다.
- [0044] 도 5 및 전술한 각 쉬프트 레지스터 유닛의 실시예를 결합하여, 본 발명이 제공하는 게이트 구동 장치에서의 각 쉬프트 레지스터 유닛의 접속 관계를 명료하게 나타낸다. 이하, 단독의 쉬프트 레지스터 유닛에서 입/출력 신호간의 시퀀스 관계, 및 액정 디스플레이의 게이트 구동 장치에서 입/출력 신호간의 시퀀스 관계를 설명한다.
- [0045] 도 6은 도 5에 도시한 액정 디스플레이 게이트 구동 장치가 신호를 입/출력하는 시퀀스를 도시한 도면이다. STV는 프레임 스타트 신호로서, 1개째 쉬프트 레지스터 유닛 SR_1 의 스타트 신호 입력단(STVIN)에 입력된다. 다른 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)은 모두 인접한 1개 전의 쉬프트 레지스터 유닛의 제2 신호 출력단(OUT2)에 접속되고, 즉, 다른 쉬프트 레지스터 유닛의 스타트 신호 입력단(STVIN)에 입력되는 것은, 인접한 1개 전의 쉬프트 레지스터 유닛의 제2 신호 출력단(OUT2)이 출력하는 신호이다. 쉬프트 레지스터 유닛의 제2 신호 출력단(OUT2)이 출력하는 신호는 인접한 다음 쉬프트 레지스터 유닛의 프레임 스타트 신호가 된다.
- [0046] 각 쉬프트 레지스터 유닛의 제1 신호 출력단(OUT1)이 하나의 게이트 구동 신호를 출력하여 액정 디스플레이의 1행의 게이트 라인을 구동한다.
- [0047] 로우 레벨 신호(VSS)(도 6에서 VSS가 미도시됨)가 각 쉬프트 레지스터 유닛의 로우 레벨 신호 입력단(VSSIN)에 입력된다.
- [0048] 홀수째 쉬프트 레지스터 유닛은, 제1 클럭 신호 입력단(CLKIN)이 제1 클럭 신호(CLK)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)이 제2 클럭 신호(CLKB)를 입력한다. 짝수째 쉬프트 레지스터 유닛은, 제1 클럭 신호 입력단(CLKIN)이 제2 클럭 신호(CLKB)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)이 제1 클럭 신호(CLK)를 입력한다. 상기 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB)는 서로 역위상의 신호이다.
- [0049] 도 7은, 도 4에 도시한 쉬프트 레지스터 유닛이 입/출력하는 신호의 시퀀스도이다. 스타트 신호 입력단(STVIN)이 프레임 스타트 신호(STV)를 입력하고, 제1 클럭 신호 입력단(CLKIN)이 제1 클럭 신호(CLK)를 입력하고, 제2 클럭 신호 입력단(CLKBIN)이 제2 클럭 신호(CLKB)를 입력하고, 로우 레벨 신호 입력단(VSSIN)이 로우 레벨 신호(VSS)를 입력하고, 리셋 신호 입력단(RESETIN)이 리셋 신호(RESET)를 입력하고, 제1 신호 출력단(OUT1)이 게이트 구동 신호(GL_1)을 출력하고, 제2 신호 출력단(OUT2)이 2개째 쉬프트 레지스터 유닛을 제어하기 위한 제어 신호(OUTPUT2)를 출력한다. 도 7에 로우 레벨 신호(VSS)가 도시되지 않았으나, 로우 레벨 신호(VSS)는 쪽 로우 레벨로 유지되는 신호이다.
- [0050] 도 4에 도시한 쉬프트 레지스터 유닛에서, 제3 박막 트랜지스터 T3의 게이트와, 제1 박막 트랜지스터 T1의 게이트와, 콘덴서 C1의 일단과, 제6 박막 트랜지스터 T6의 드레인과, 제5 박막 트랜지스터 T5의 소스를 접합하는 부분에는 P접합점이 형성된다. 제9 박막 트랜지스터 T9의 소스와, 제10 박막 트랜지스터 T10의 소스와, 제11 박막 트랜지스터 T11의 드레인과, 제6 박막 트랜지스터 T6의 게이트와, 제7 박막 트랜지스터 T7의 게이트를 접합하는 부분에는 M접합점이 형성된다. 도 7에는 M접합점과 P접합점의 시퀀스가 함께 도시되어 있다.
- [0051] 이하, 도 4와 도 5와 도 7을 결합하여 본 발명이 제공하는 쉬프트 레지스터 유닛의 동작 원리를 설명하기로 한다.
- [0052] 도 7에 도시한 시퀀스 도면의 일부를 선택하고 그 중 5개의 단계를 선택하여 A,B,C,D,E로 표시하였다.
- [0053] A단계에서는, 제2 클럭 신호(CLKB)는 하이 레벨로서 제10 박막 트랜지스터 T10은 온된다. 제1 클럭 신호(CLK)는 로우 레벨이기 때문에 M접합점 레벨이 로우 레벨로 풀다운되고, 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7이 오프된다. 프레임 스타트 신호(STV)는 하이 레벨로서, 제5 박막 트랜지스터 T5가 온되고 P접합점 레벨이 하이 레벨로 풀업되기 때문에 제1 박막 트랜지스터 T1과 제3 박막 트랜지스터 T3이 온된다. 제2 클럭 신호(CLKB)는 하이 레벨이기 때문에 제8 박막 트랜지스터가 온된다. 그래서 제1 신호 출력단이 출력하는 신호(GL_1)은 로우 레벨이 된다. 제1 클럭 신호(CLK)는 로우 레벨로서, 또한 제3 박막 트랜지스터 T3가 온되기 때문에 제2 신호 출력단이 출력하는 신호(OUTPUT2)는 로우 레벨이 된다. 콘덴서 C1의 양단의 충전 전압은 하이 레벨의 레벨치와 로우 레벨의 레벨치간의 차의 값이다.

- [0054] B단계에서는, 리셋 신호(RESET)와 제2 클럭 신호(CLKB)가 로우 레벨이고, 프레임 스타트 신호(STV)가 로우 레벨이기 때문에 제2 박막 트랜지스터 T2, 제5 박막 트랜지스터 T5, 제8 박막 트랜지스터 T8 및 제10 박막 트랜지스터 T10은 오프된다. 콘덴서 C1의 전하 유지 작용에 의해 P접합점 레벨은 여전히 하이 레벨로 유지되고 제1 박막 트랜지스터 T1과 제3 박막 트랜지스터 T3는 온 상태로 유지된다. 제1 클럭 신호(CLK)가 하이 레벨이고 또한 제3 박막 트랜지스터 T3가 온되기 때문에 제2 신호 출력단이 출력하는 신호(OUTPUT2)는 하이 레벨이 되고 제11 박막 트랜지스터 T11이 온된다. 제1 클럭 신호(CLK)가 하이 레벨이기 때문에 제9 박막 트랜지스터가 온되는데, 제11 박막 트랜지스터 T11도 온되기 때문에 M접합점 레벨은 로우 레벨로 풀다운되고, 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7은 오프된다. 제1 클럭 신호(CLK)가 하이 레벨로서 제1 박막 트랜지스터 T1이 온되고 제2 박막 트랜지스터 T2가 오프되기 때문에 제1 신호 출력단이 출력하는 신호(GL₁)는 하이 레벨이다.
- [0055] 또 B단계에서는, 콘덴서 C1의 결합 작용에 의해 P접합점 레벨은 하이 레벨의 레벨치의 2배와 로우 레벨의 레벨간의 차의 값으로 더욱 풀업되고, 즉, 제1 박막 트랜지스터 T1의 게이트 전압을 향상시켜 제1 박막 트랜지스터 T1의 도통 전류를 증대시킨다. 이로써 제1 신호 출력단(OUT1)이 출력하는 게이트 구동 신호(GL₁)가 솟아있게 된다.
- [0056] B단계에서는, 제1 박막 트랜지스터 T1과 제3 박막 트랜지스터의 게이트는 모두 P접합점에 접속되고, 제1 박막 트랜지스터 T1의 드레인과 제3 박막 트랜지스터 T3의 소스는 모두 제1 클럭 신호 입력단(CLKIN)에 접속되기 때문에 제2 신호 출력단(OUT2)이 출력하는 신호(OUTPUT2)는 제1 신호 출력단(OUT1)이 출력하는 신호(GL₁)와 마찬가지로 하이 레벨이다. 이 쉬프트 레지스터 유닛이 B단계에 있는 경우에 인접한 다음 쉬프트 레지스터 유닛은 A 단계에 있다. 이와 같이 하여 제2 신호 출력단이 출력하는 신호(OUTPUT2)는 마침 인접한 다음 쉬프트 레지스터 유닛의 프레임 스타트 신호로 할 수 있다.
- [0057] C단계에서는, 프레임 스타트 신호(STV)가 로우 레벨로서, 제5 박막 트랜지스터 T5가 오프된다. 제2 클럭 신호(CLKB)가 하이 레벨로서, 제10 박막 트랜지스터 T10이 온된다. 제1 클럭 신호(CLK)가 로우 레벨로서, 제9 박막 트랜지스터 T9가 오프되고 M점의 레벨이 로우 레벨로 풀다운되고 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7이 오프된다. 제2 클럭 신호(CLKB)가 하이 레벨로서, 제8 박막 트랜지스터 T8이 온되고 제1 신호 출력단(OUT1)이 출력하는 신호(GL₁)은 로우 레벨이다. 제2 클럭 신호(CLKB)는 하이 레벨로서, 제4 박막 트랜지스터 T4가 온되고 제2 신호 출력단(OUT2)이 출력하는 신호(OUTPUT2)는 로우 레벨이다.
- [0058] 또 C단계에서는, 리셋 신호(RESET)가 하이 레벨로서, 제2 박막 트랜지스터 T2가 온되고 P접합점 레벨이 로우 레벨로 풀다운된다. 제2 박막 트랜지스터 T2가 온되는 것도, 또한 제1 신호 출력단(OUT)에서 출력하는 신호(GL₁)가 로우 레벨로 확실히 풀다운되도록 보장한다. 이것은, 제1 신호 출력단(OUT1)이 어레이 기관에서의 게이트 라인에 접속되어 보다 큰 기생 용량이 생성되기 때문이다. 가령 제2 박막 트랜지스터 T2가 온되면 기생 용량의 방전을 빠르게 할 수 있고, 이로써 제1 신호 출력단(OUT1)이 출력하는 신호(GL₁)를 로우 레벨로 빠르게 회복한다.
- [0059] D단계에서는, 리셋 신호(RESET)가 로우 레벨로서, 제2 박막 트랜지스터 T2가 오프된다. 제2 클럭 신호(CLKB)가 로우 레벨로서, 제10 박막 트랜지스터 T10이 오프되고 제11 박막 트랜지스터 T11이 오프된다. 제1 클럭 신호(CLK)가 하이 레벨로서, 제9 박막 트랜지스터 T9가 온되고 M접합점 레벨이 하이 레벨로 풀업되고 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7이 온되고, P접합점과 제1 신호 출력단(OUT)이 출력하는 신호(GL₁)이 로우 레벨로 풀다운된다. P접합점이 로우 레벨이기 때문에 제3 박막 트랜지스터 T3이 오프되고 제4 박막 트랜지스터 T4가 오프되고 제2 신호 출력단(OUT2)이 출력하는 신호(OUTPUT2)는 로우 레벨로 유지된다.
- [0060] E단계에서는, 제1 클럭 신호(CLK)가 로우 레벨로서, 제9 박막 트랜지스터 T9가 오프된다. 제2 클럭 신호(CLKB)가 하이 레벨로서, 제2 박막 트랜지스터 T10과 제8 박막 트랜지스터 T8이 온된다. 제1 클럭 신호(CLK)가 로우 레벨이기 때문에 M접합점 레벨이 로우 레벨로 풀다운되고 제6 박막 트랜지스터 T6과 제7 박막 트랜지스터 T7은 오프된다. 제8 박막 트랜지스터 T8이 온되기 때문에 제1 신호 출력단(OUT1)이 출력하는 신호(GL₁)은 로우 레벨이다. 제2 클럭 신호(CLKB)가 하이 레벨로서, 제4 박막 트랜지스터 T4가 온되고 제2 신호 출력단(OUT2)이 출력하는 신호(OUTPUT2)는 로우 레벨로 풀다운된다. 프레임 스타트 신호(STV)가 로우 레벨로서, 제5 박막 트랜지스터가 오프되어 P접합점이 로우 레벨로 유지되고, 제3 박막 트랜지스터 T3과 제4 박막 트랜지스터 T4는 오프로 유지된다.
- [0061] E단계 후에 프레임 스타트 신호(STV)가 로우 레벨로 유지되고 쉬프트 레지스터 유닛이 입/출력하는 시퀀스 신호는 D단계와 E단계의 시퀀스 신호를 반복한다. 제1 클럭 신호(CLK)와 제2 클럭 신호(CLKB)는 교대로 하이 레벨이

됨에 따라 제8 박막 트랜지스터 T8과 제7 박막 트랜지스터 T7은 제1 신호 출력단(OUT1)이 출력하는 신호(GL_1)을 교대로 로우 레벨로 풀다운한다.

- [0062] 프레임 스타트 신호(STV)의 다음 하이 레벨이 올 때 쉬프트 레지스터 유닛은 A-E단계의 시퀀스를 반복한다.
- [0063] 상기 A,B,C단계에서는, 쉬프트 레지스터 유닛이 하나의 게이트 구동 신호를 출력함으로써 이 쉬프트 레지스터 유닛의 제1 신호 출력단에 접속되는 게이트 라인은 1행의 TFT를 온시키도록 제어되고 액정 디스플레이의 소스 구동 전로(電路)의 데이터 신호가 화소 전극에 입력되어 화소 전극에 충전된다.
- [0064] 상기 동작 원리의 설명으로부터 알 수 있듯이, 도 3에서 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 게이트 구동 신호(GL_1)의 레벨을 풀다운하는 역할을 주로 담당하고, 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 게이트 구동 신호를 로우 레벨로 확실하게 유지하도록 보장할 수 있다.
- [0065] 도 4에 도시한 쉬프트 레지스터 유닛에서, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 쥘 온되는 것이 아니라 제1 클럭 신호와 제2 클럭 신호가 교대로 하이 레벨이 됨에 따라 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8 모두 교대로 온된다(도 7을 참조, CLKB와 M점의 시퀀스가 교대로 하이 레벨이 된다). 이와 같이 하여 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8의 게이트는 직류적인 바이어스 전압에 영향을 받지 않고 교류적인 바이어스 전압에 영향을 받기 때문에 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8과의 문턱값 전압 V_{th} 에 지나치게 큰 쉬프트를 발생시키는 것을 방지할 수 있다.
- [0066] 도 8은 본 발명의 제4 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다. 이 실시예에서 구동 유닛의 구성은 도 3과 다르다.
- [0067] 도 8에 도시한 실시예에서는, 구동 유닛(11a)은 제12 박막 트랜지스터 T12, 제13 박막 트랜지스터 T13, 및 제14 박막 트랜지스터 T14를 구비한다. 제12 박막 트랜지스터 T12의 드레인이 하이 레벨 신호 입력단(VDDIN)에 접속되고, 게이트가 제1 클럭 신호 입력단(CLKIN)에 접속된다. 하이 레벨 신호 입력단(VDDIN)은 하이 레벨 신호(VDD)를 입력한다. 하이 레벨 신호(VDD)는 하이 레벨로 쥘 유지되는 신호여도 좋고, 예를 들면 +25V로 유지되는 신호여도 좋다.
- [0068] 제13 박막 트랜지스터 T13의 드레인이 제12 박막 트랜지스터 T12의 소스에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0069] 제14 박막 트랜지스터 T14의 드레인이 제12 박막 트랜지스터 T12의 소스에 접속되고, 게이트가 제3 박막 트랜지스터 T3의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0070] 풀다운 유닛(11b)은 제6 박막 트랜지스터 T6와 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8을 구비한다.
- [0071] 제6 박막 트랜지스터 T6의 게이트가 제12 박막 트랜지스터 T12의 소스에 접속되고, 드레인이 제5 박막 트랜지스터 T5의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0072] 제7 박막 트랜지스터 T7의 드레인이 제1 신호 출력단(OUT1)에 접속되고, 게이트가 제12 박막 트랜지스터 T12의 소스에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0073] 제8 박막 트랜지스터 T8의 드레인이 제1 신호 출력단(OUT1)에 접속되고, 게이트가 제2 클럭 신호 입력단(CLKBIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0074] 도 8에 도시한 실시예에서, 제12 박막 트랜지스터 T12와 제13 박막 트랜지스터 T13과 제14 박막 트랜지스터 T14가 M접합점에서 제2 클럭 신호(CLKB)와 교대로 변화되는 신호를 생성함으로써, 제7 박막 트랜지스터 T7과 제8 박막 트랜지스터 T8은 게이트 구동 신호가 로우 레벨로 유지될 필요가 있는 단계에서 게이트 구동 신호를 교대로 풀다운하여 게이트 구동 신호가 로우 레벨로 확실하게 유지되도록 보장한다. 또한 제7 박막 트랜지스터와 제8 박막 트랜지스터와의 문턱값 전압 V_{th} 에 지나치게 큰 쉬프트를 발생시키지 않는다.
- [0075] 도 9는, 본 발명의 제5 실시예에 관한 쉬프트 레지스터 유닛의 구성 모식도이다. 이 실시예는, 도 3에 도시한 실시예에 제15 박막 트랜지스터 T15를 추가하였다. 상기 제15 박막 트랜지스터 T15의 드레인이 제5 박막 트랜지스터 T5의 소스에 접속되고, 게이트가 리셋 신호 입력단(RESETIN)에 접속되고, 소스가 로우 레벨 신호 입력단(VSSIN)에 접속된다.
- [0076] 도 9에 도시한 실시예에서는, 제15 박막 트랜지스터 T15가 제5 박막 트랜지스터 T5의 소스에 접속, 즉, P접합점에 접속된다. P접합점 레벨은 콘덴서의 결합 작용에 의해 매우 큰 레벨로 풀업되고(도 7에 도시한 시퀀스를 참

조), 제15 박막 트랜지스터 T15에 의해 P접합점 전하를 일찍 방전시켜 제1 신호 출력단(OUT1)이 출력하는 게이트 구동 신호(GL₁)의 하강 엣지가 솟아있게 된다.

[0077] 도 8에 도시한 쉬프트 레지스터 유닛에도 제15 박막 트랜지스터 T15가 추가되어도 좋다. 제15 박막 트랜지스터 T15가 다른 박막 트랜지스터 및 각 입력단과의 접속 관계가 도 9와 동일하다.

[0078] 본 발명의 각 실시예에서는, 제5 박막 트랜지스터 T5의 게이트와 드레인은 모두 스타트 신호 입력단(STVIN)에 접속되고, 입력된 프레임 스타트 신호(STV)가 하이 레벨인 경우에는 제1 박막 트랜지스터 T1에 프리차지하는 것에 상당한다.

[0079] 도 9에 도시한 실시예에서는, 각 박막 트랜지스터의 길이에 대한 폭의 비(width to length ratio)는 이하와 같아도 좋다. 즉,

[0080] 제1 박막 트랜지스터 T1:1800 μ m/4.5 μ m, 제2 박막 트랜지스터 T2:800 μ m/4.5 μ m, 제3 박막 트랜지스터 T3:200 μ m/4.5 μ m, 제4 박막 트랜지스터 T4:100 μ m/4.5 μ m, 제5 박막 트랜지스터 T5:100 μ m/4.5 μ m, 제6 박막 트랜지스터 T6:300 μ m/4.5 μ m, 제7 박막 트랜지스터 T7:100 μ m/4.5 μ m, 제8 박막 트랜지스터 T8:200 μ m/4.5 μ m, 제9 박막 트랜지스터 T9:50 μ m/4.5 μ m, 제10 박막 트랜지스터 T10:200 μ m/4.5 μ m, 제11 박막 트랜지스터 T11:200 μ m/4.5 μ m, 제12 박막 트랜지스터 T12:200 μ m/4.5 μ m, 제13 박막 트랜지스터 T13:50 μ m/4.5 μ m, 제14 박막 트랜지스터 T14:200 μ m/4.5 μ m, 제15 박막 트랜지스터 T15:200 μ m/4.5 μ m. 단, 제1 박막 트랜지스터 T1, 제2 박막 트랜지스터 T2, 제6 박막 트랜지스터 T6, 제7 박막 트랜지스터 T7, 및 제15 박막 트랜지스터 T15의 길이에 대한 폭의 비는, 이들 박막 트랜지스터의 구동 능력을 향상시키도록 필요에 따라 크게 해도 좋다.

[0081] 콘덴서 C1의 용량치는 0.3피코패럿(pF)이어도 좋다.

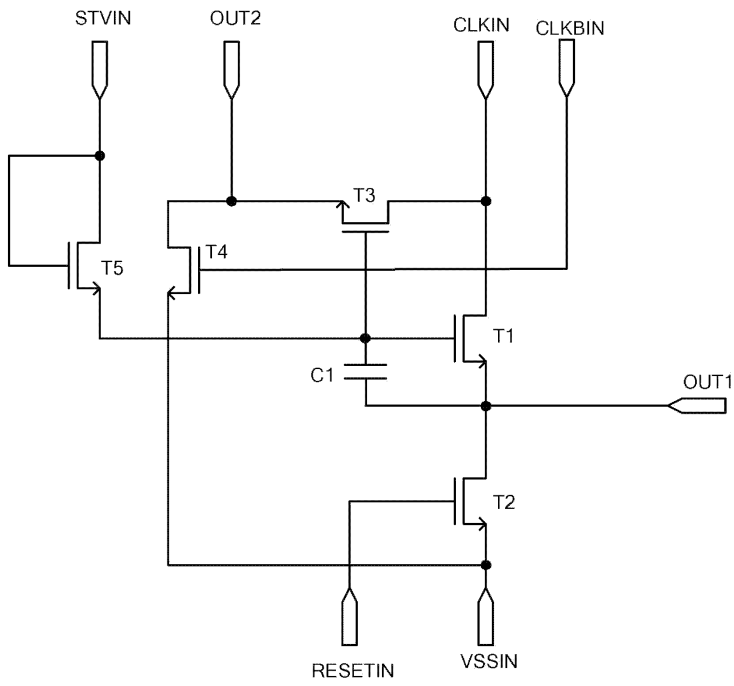
[0082] 본 발명이 제공하는 액정 디스플레이 게이트 구동 장치에서는, 쉬프트 레지스터 유닛은 본 발명의 각 실시예가 제공하는 쉬프트 레지스터 유닛을 채용할 수 있고, 예를 들면, 도 1, 도 3, 도 4, 도 8 또는 도 9에 도시한 쉬프트 레지스터 유닛을 채용할 수 있다.

[0083] 본 발명은 액정 디스플레이를 더 제공한다. 상기 액정 디스플레이는 상기 각 실시예의 액정 디스플레이 게이트 구동 장치를 구비할 수 있다. 액정 디스플레이 게이트 구동 장치에서의 각 박막 트랜지스터는 화소 영역의 박막 트랜지스터와 유사한 제조 공정에 의해 어레이 기판에 퇴적되어도 좋고, 어레이 기판의 주연에 퇴적되는 것이 바람직하다.

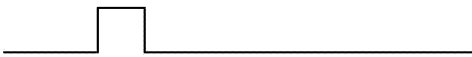
[0084] 마지막으로 이하와 같이 설명할 필요가 있다. 즉, 상기 실시형태는 본 발명의 기술안을 설명할 때 사용되는 것일 뿐 그것을 제한하지는 않는다. 바람직한 실시예를 참조하여 본 발명을 상세히 설명하였으나, 여전히 상기 각 실시예에 기재된 기술안을 보정하거나 또는 그 부분의 기술 특징을 동등하게 교체할 수 있으며, 이 보정 또는 교체가 보정 후의 기술안의 본질을 본 발명의 각 실시예의 기술안의 주요지와 범위에서 벗어나도록 하지 않는 것은 당업자가 이해할 수 있는 부분이다.

도면

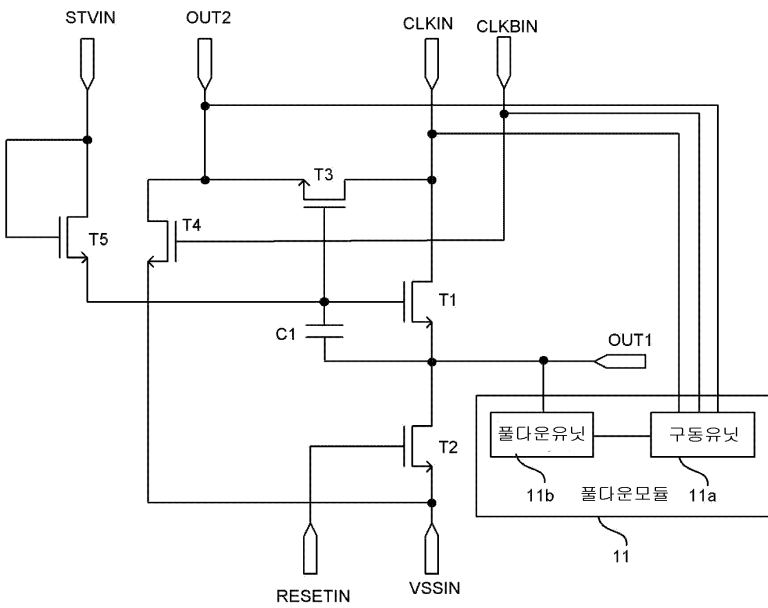
도면1



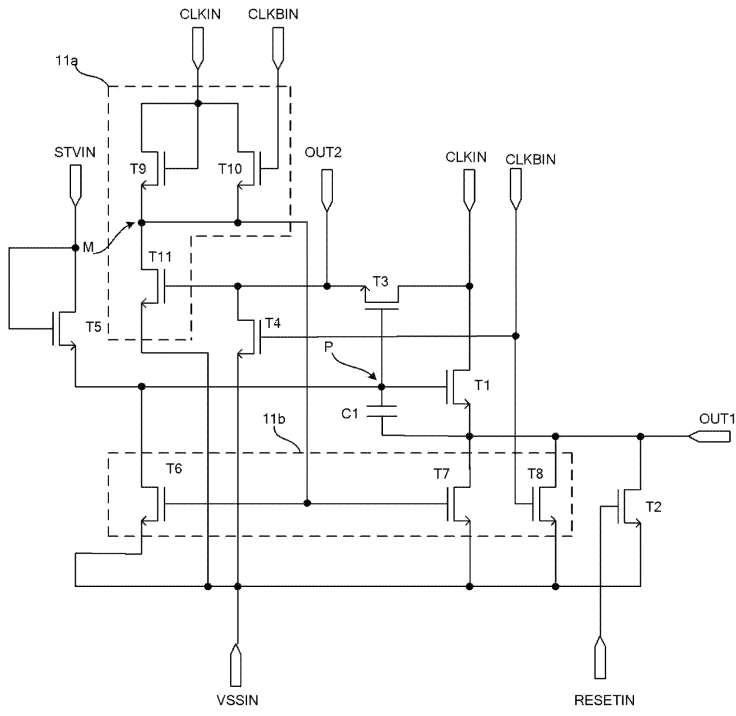
도면2



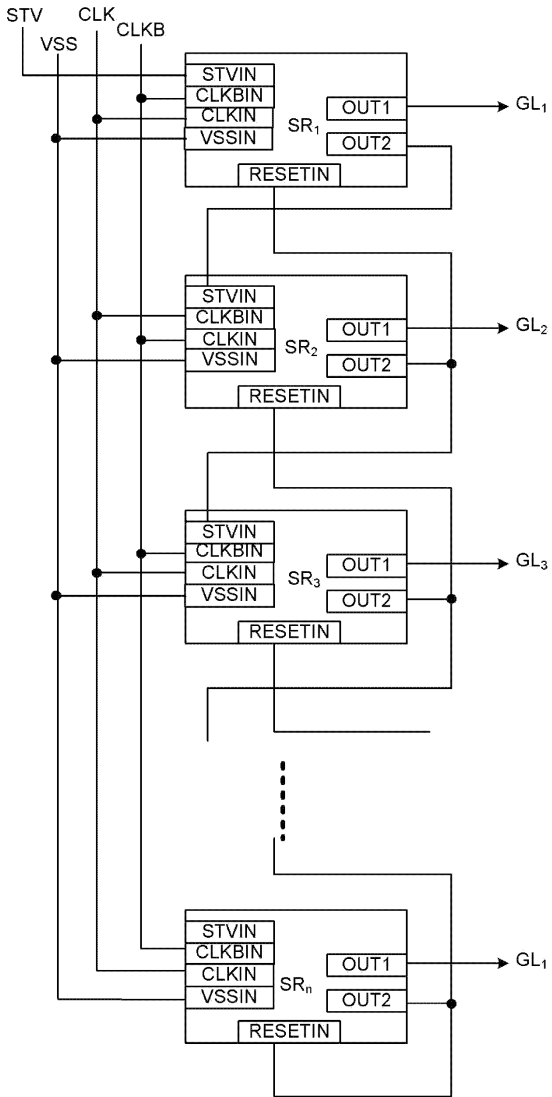
도면3



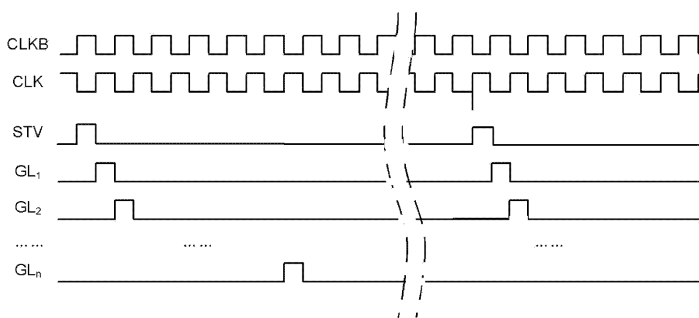
도면4



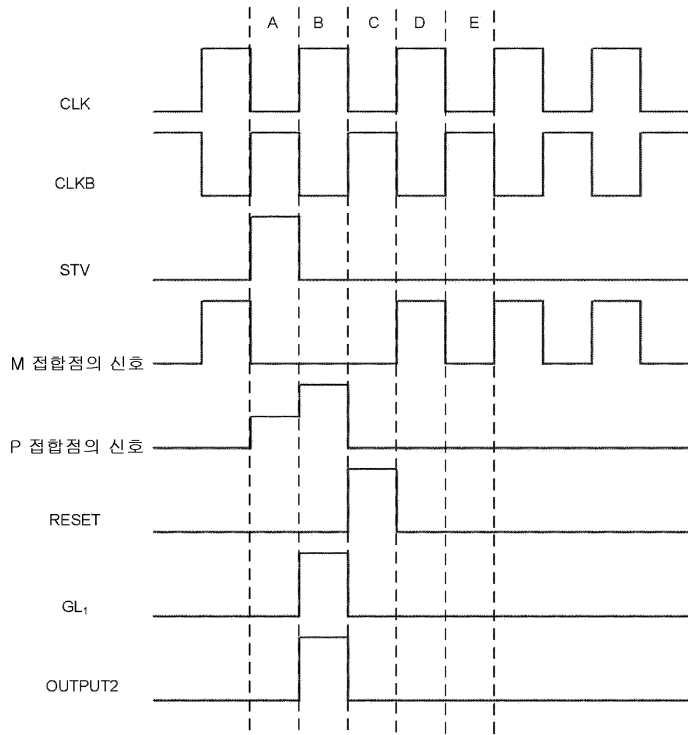
도면5



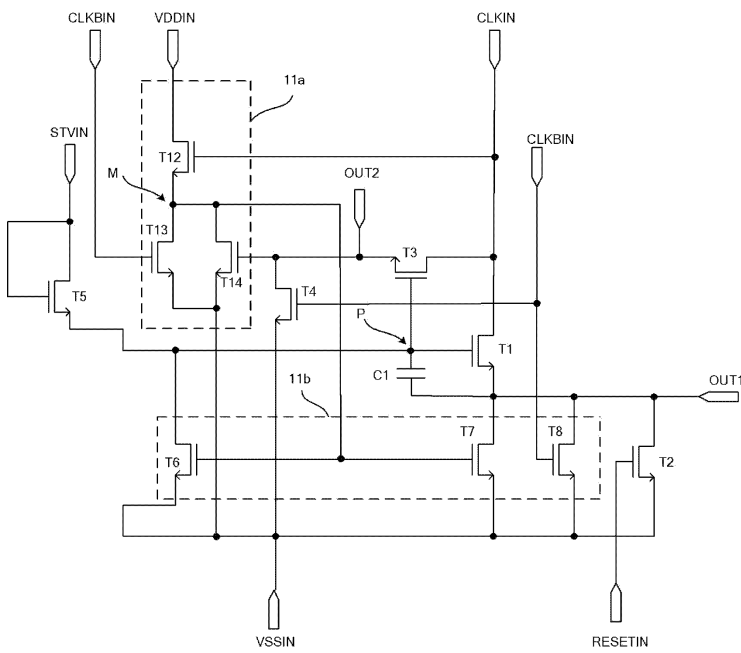
도면6



도면7



도면8



专利名称(译)	标题：移位寄存器单元，栅极驱动器器件和液晶显示器		
公开(公告)号	KR101301500B1	公开(公告)日	2013-08-29
申请号	KR1020110111336	申请日	2011-10-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	TAN WEN 탄원 QI XIAOJING 치시아오징 HUANG WEIYUN 후앙웨이윈		
发明人	탄원 치시아오징 후앙웨이윈		
IPC分类号	G09G3/36 G11C19/00		
CPC分类号	G09G3/3677 G09G2310/0286		
优先权	201010532020.5 2010-10-29 CN		
其他公开文献	KR1020120046062A		
外部链接	Espacenet		

摘要(译)

本发明提供一种移位寄存器单元，栅极驱动器和液晶显示器。移位寄存器单元包括五个薄膜晶体管。第一薄膜晶体管的漏极连接到第一时钟信号输入。第三薄膜晶体管的漏极连接到第一时钟信号输入端子，栅极连接到第一薄膜晶体管的栅极，源极连接到第二信号输出端子。第一信号输出级输出栅极驱动信号，第二信号输出级向与其相邻的相邻移位寄存器单元提供控制信号。一种移位寄存器单元，栅极驱动器和本发明所提供的液晶显示器中，由于用于控制相邻的栅极驱动信号通过累积的延迟解决的栅极驱动信号的精度劣化的问题以下的移位寄存器单元中的单独的控制信号可以。

