



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년04월11일

(11) 등록번호 10-1253497

(24) 등록일자 2013년04월05일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) *H01L* 29/786 (2006.01)

(21) 출원번호 10-2008-0051643

(22) 출원일자 2008년06월02일

심사청구일자 2011년11월02일

(65) 공개번호 10-2009-0125500

(43) 공개일자 2009년12월07일

(56) 선행기술조사문헌

KR1020060059582 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김석원

경기도 파주시 월롱면 덕은리 1007 정다운마을
102-419

호원준

충청북도 청주시 흥덕구 쌍샘로107번길 12, 금호
아파트 104동 1001호 (모충동)

(뒷면에 계속)

(74) 대리인!

특허법인네이트

전체 청구항 수 : 총 5 항

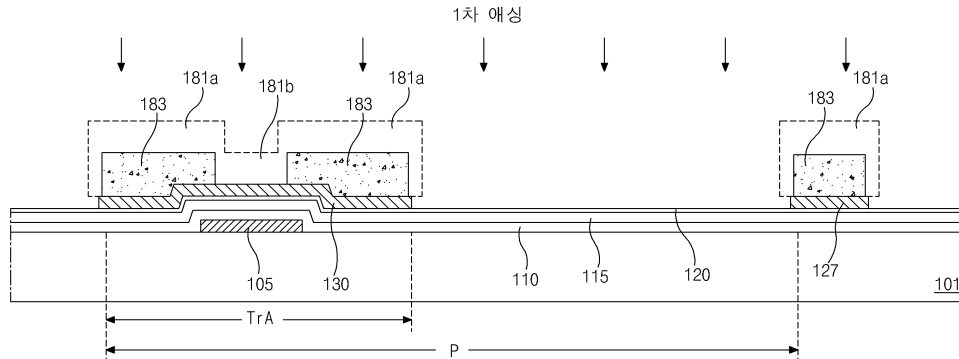
심사관 : 신창우

(54) 발명의 명칭 액정표시장치용 어레이 기판의 제조방법

(57) 요약

본 발명은 4마스크 공정에 의한 액정표시장치용 어레이 기관의 제조 방법에 관한 것으로, 새로운 제조 장비의 추가 또는 기존 장비 라인의 변경없이 구리 또는 구리합금 재질의 데이터 배선과 소스 및 드레인 전극 끝단 외부로 노출되는 반도체패턴 및 반도체층의 폭을 최소화함으로써 개구율 및 휘도를 향상시키는 것을 특징으로 하는 액정표시장치용 어레이 기관의 제조 방법을 제공한다.

대표도 - 도4e



(72) 발명자

권혁진

경기도 성남시 분당구 수내로 181, 306동 207호 (분당동, 샛별마을)

유창모

경기도 부천시 원미구 조마루로285번길 47, 미리내마을 921동 609호 (중동)

특허청구의 범위

청구항 1

기판 상에 일방향으로 연장하는 게이트 배선과 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 제 1 금속층을 순차적으로 형성하는 단계와;

상기 제 1 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층에 대해 1차 습식식각을 진행함으로써 상기 게이트 배선과 교차하는 데이터 배선을 형성하고, 동시에 상기 게이트 전극에 대응하여 소스 드레인 패턴을 형성하는 단계와;

1차 애싱(ashing)을 실시하여 상기 제 2 포토레지스트 패턴을 제거하고 동시에 상기 제 1 포토레지스트 패턴의 폭보다 작은 폭을 갖는 제 3 포토레지스트 패턴을 형성함으로써 상기 데이터 배선과 상기 소스 드레인 패턴 각각의 끝단이 상기 제 3 포토레지스트 패턴 외부로 노출시키는 단계와;

상기 순수 비정질 실리콘층과 상기 불순물 비정질 실리콘층에 대해 1차 드라이 에칭을 실시하여 상기 데이터 배선 하부로 동일한 형태 및 면적을 가지며 완전히 중첩하는 그 끝단이 일치하는 제 1 및 제 2 패턴을 형성하고, 동시에 상기 소스 드레인 패턴 하부로 동일한 형태 및 면적을 가지며 완전히 중첩하는 그 끝단이 일치하는 오믹콘택패턴 및 액티브층을 형성하는 단계와;

상기 제 3 포토레지스트 패턴 외부로 노출된 상기 소스 드레인 패턴을 제거함으로써 상기 오믹콘택패턴을 노출시키며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와;

2차 드라이 에칭을 실시하여 상기 소스 및 드레인 전극 사이로 노출된 상기 오믹콘택패턴을 제거함으로써 오믹콘택층을 형성하는 단계와;

상기 제 3 포토레지스트 패턴을 제거하는 단계와;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 노출된 드레인 전극과 접촉하는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 금속층은 구리 또는 구리합금으로 이루어지는 것이 특징인 액정표시장치용 어레이 기판의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 소스 및 드레인 전극을 형성하기 전에 등방성의 2차 애싱을 실시하여 상기 제 3 포토레지스트 패턴 끝단 외부로 상기 소스 드레인 패턴이 더 넓을 폭으로 노출되도록 하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 2차 드라이 에칭을 실시하여 상기 오믹콘택층을 형성하기 전에 3차 애싱을 실시하여 상기 제 3 포토레지스트 패턴 끝단 외부로 상기 소스 및 드레인 전극의 끝단이 노출되도록 하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 1차 및 3차 애싱(ashing)은 등방성 애싱(ashing)인 액정표시장치용 어레이 기판의 제조 방법.

청구항 6

삭제

청구항 7

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이며, 특히 4마스크 공정에 의한 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

배경 기술

- [0002] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- [0003] 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- [0004] 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.
- [0005] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 제 1 투명기판(12) 및 이의 상면으로 중형 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막 트랜지스터(Tr)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- [0006] 또한 이와 마주보는 상부의 컬러필터 기판(20)은 제 2 투명기판(22) 및 이의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(Tr) 등의 비표시영역을 가리도록 각 화소영역(P)을 두르는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터패턴(26a, 26b, 26c)을 포함하는 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 마련되어 있다.
- [0007] 그리고 도면상에 명확하게 도시되지는 않았지만, 이들 두 기판(10, 20)은 그 사이로 개재된 액정층(30)의 누설

을 방지하기 위하여 가장자리 따라 실링제 등으로 봉합(封函)된 상태에서 각 기관(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 부착된다.

- [0008] 더불어 액정패널 배면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(Tr)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터 배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0009] 도 2는 전술한 액정표시장치의 어레이 기관 내의 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 것이다.
- [0010] 도면에 나타나지 않았지만, 기관(59) 상에서 다수의 게이트 배선(미도시)과 데이터 배선(79)이 교차하여 정의되는 다수의 화소영역(P) 내의 스위칭 영역(TrA)에는 게이트 전극(63)이 형성되어 있으며, 상기 게이트 전극(63) 상부로 전면에 게이트 절연막(66)이 형성되어 있으며, 그 위에 순차적으로 액티브층(67)과 오믹콘택층(74)으로 구성된 반도체층(76)이 형성되어 있다.
- [0011] 상기 오믹콘택층(74) 위로는 소스 전극(82)과, 상기 게이트 전극(63)을 중심으로 상기 소스 전극(82)으로부터 소정간격 이격하여 마주 대하고 있는 드레인 전극(84)이 형성되어 있다. 이때 상기 스위칭 영역(TrA)에 순차 적층 형성된 게이트 전극(63)과 게이트 절연막(66)과 반도체층(76)과 소스 및 드레인 전극(82, 84)은 박막트랜지스터(Tr)를 이룬다.
- [0012] 또한, 상기 소스 및 드레인 전극(82, 84)과 노출된 액티브층(67) 위로 전면에 상기 드레인 전극(84)을 노출시키는 드레인 콘택홀(87)을 포함하는 보호층(86)이 형성되어 있으며, 상기 보호층(86) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(87)을 통해 상기 드레인 전극(84)과 접촉하는 화소전극(88)이 형성되어 있다.
- [0013] 이때, 전술한 구조를 갖는 종래의 액정표시장치용 어레이 기관(59)에 있어서 데이터 배선(79)과 소스 및 드레인 전극(82, 84)을 기준으로 그 외측으로 각각 반도체패턴(73)과 반도체층(76)이 각각 2 μ m 이상의 폭(A2, A1)을 가지며 노출되고 있음을 알 수 있다. 이는 어레이 기관(59)의 제조 과정에 있어 통상적인 5 마스크 공정에서 1개의 마스크 공정을 단축하여 4마스크 공정을 진행함에 기인한 것이다.
- [0014] 이러한 구조를 갖는 종래의 어레이 기관의 제조 방법에 대해 도면을 참조하여 설명한다.
- [0015] 도 3a 내지 도 3h는 종래의 액정표시장치용 어레이 기관의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 4마스크 공정에 따른 제조 단계별 공정 단면도이다.
- [0016] 우선, 도 3a에 도시한 바와 같이, 기관(59) 상에 제 1 금속물질을 증착한 후, 포토레지스트의 도포, 노광 마스크를 이용한 노광, 현상, 식각, 스트립 등 일련의 단계를 포함하는 제 1 마스크 공정을 진행함으로써 일방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 상기 게이트 배선(미도시)과 연결된 게이트 전극(63)을 형성한다.
- [0017] 다음 도 3b에 도시한 바와 같이, 상기 게이트 전극(63) 및 게이트 배선(미도시) 상부로 게이트 절연막(65)과 비정질 실리콘 물질층(69)과 불순물 비정질 물질층(70) 그리고 제 2 금속물질층(78)을 연속하여 형성한다. 이후, 상기 제 2 금속물질층(78) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성한 후, 회절 또는 하프톤 노광 마스크를 이용하여 상기 포토레지스트층(미도시)을 패터닝함으로써 데이터 배선과 소스 및 드레인 전극이 형성되어야 할 부분에 대해서는 제 1 두께의 제 1 포토레지스트 패턴(91a)을, 서로 이격하는 소스 및 드레인 전극 사이의 영역에 대응해서는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴(91b)을 형성한다. 나머지 영역의 포토레지스트층(미도시)은 제거되어 상기 제 2 금속물질층(78)이 노출된다.
- [0018] 다음, 도 3c에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(91a, 91b) 외부로 노출된 제 2 금속물질층(도 3b의 78)을 식각액을 이용한 습식식각함으로써 데이터 배선(79)과 이와 연결된 소스 드레인 패턴(80)을 형성한다. 이때 상기 제 2 금속물질층(도 3b의 78)은 통상적으로 저저항 금속물질 예를들면 구리, 구리 합금, 알루미늄, 알루미늄 합금으로 이루어지고 있으며, 특히 구리 또는 구리합금으로 이루어진 경우, 구리의 식각액에 대한 식각 비율이 상대적으로 타 금속물질 대비 매우 빠른 진행 특성을 갖는다. 따라서 통상적으로 이러한 제 2 금속물질층(도 3b의 78)의 식각 진행시 최종적으로 남게되는 데이터 배선(79)과 이와 연결된 소스 드레인 패턴(80)은 상기 제 1 및 제 2 포토레지스트 패턴(91a, 91b)에 대해 언더컷 형태를 이루게 된다. 즉, 상기 데이터 배선(79)과 소스 드레인 패턴(80)은 그 상부에 위치한 제 1 및 제 2 포토레지스트 패턴(91a, 91b)의 폭보다

작은 폭을 가지며 형성되게 된다.

- [0019] 이러한 상태에서 다음, 도 3d에 도시한 바와 같이, 상기 데이터 배선(79)과 소스 드레인 패턴(80)이 형성된 기판(59)에 대해 드라이 에칭을 실시함으로써 상기 제 1 및 제 2 포토레지스트 패턴(91a, 91b) 외부로 노출된 상기 불순물 비정질 실리콘층(도 3c의 70)과 그 하부의 순수 비정질 실리콘층(도 3c의 69)을 제거하여 스위칭 영역(TrA)에 있어서는 액티브층(67)과, 그 상부로 연결된 상태의 오믹콘택패턴(71)을 형성하고 상기 데이터 배선(79)에 대응해서는 그 하부로 제 1 패턴(72)과 제 2 패턴(68)의 이중층 구조의 반도체패턴(73)을 형성한다. 이때, 상기 액티브층(67)과 상기 오믹콘택패턴(71)은 그 상부에 형성된 소스 드레인 패턴(80)보다 더 큰 폭을 가지며 형성되게 된다. 이는 상기 드라이 에칭은 현 상태에서 가장 큰 폭을 갖는 상기 제 1 및 제 2 포토레지스트 패턴(91a, 91b) 끝단을 기준으로 그 외측에 형성된 불순물 및 순수 비정질 실리콘층(도 3c의 70, 69)에 대해 식각이 진행되기 때문이다.
- [0020] 다음, 도 3e에 도시한 바와 같이, 애싱을 진행함으로써 상기 제 2 두께의 제 2 포토레지스트 패턴(91b)을 제거하여 상기 소스 및 드레인 패턴(80)을 일부를 노출시킨다. 이때 상기 제 2 포토레지스트 패턴(91b) 제거를 위한 애싱 진행 시 상기 제 1 포토레지스트 패턴(91a) 또한 그 두께가 줄어들게 됨으로써 상기 제 3 포토레지스트 패턴(92)을 형성하게 된다. 이때 상기 제 3 포토레지스트 패턴(92)은 그 끝단이 그 하부에 위치한 오믹콘택패턴(71)과 제 1 패턴(72)의 끝단과 일치하거나 애싱의 영향으로 소정폭 줄어들게 되어 내측에 위치하게 될 수도 있다.
- [0021] 이후 도 3f에 도시한 바와 같이, 상기 제 2 포토레지스트 패턴(도 3e의 91b)이 제거됨으로써 새롭게 노출된 상기 소스 및 드레인 패턴(도 3e의 80)에 대해 식각액에 노출을 통한 습식식각을 진행하여 제거한다. 따라서 이 공정 진행에 의해 스위칭 영역(TrA)에 있어서는 서로 이격하는 소스 및 드레인 전극(82, 84)이 형성되게 된다. 이때, 상기 습식식각에 의해서도 그 식각이 상대적으로 빨리 진행되는 바, 상기 제 3 포토레지스트 패턴(92) 끝단을 기준으로 상기 데이터 배선(79)과 소스 및 드레인 전극(82, 84)의 끝단은 더욱더 그 내측에 위치하게 된다.
- [0022] 다음, 도 3g에 도시한 바와같이, 상기 소스 및 드레인 전극(82, 84)이 형성됨으로써 새롭게 노출된 오믹콘택패턴(도 3f의 71)을 드라이 에칭을 실시하여 제거함으로써 상기 소스 및 드레인 전극(82, 84) 하부로 서로 이격하는 형태의 오믹콘택층(74)을 형성한다. 이때 상기 액티브층(67)과 상기 오믹콘택층(74)은 반도체층(76)을 이루며, 상기 스위칭 영역(TrA)의 게이트 전극(63)과 게이트 절연막(66)과 반도체층(76)과 소스 및 드레인 전극(82, 84)은 박막트랜지스터(Tr)를 이룬다.
- [0023] 다음, 도 3h에 도시한 바와같이, 상기 제 3 포토레지스트 패턴(도 3g의 92)을 스트립하여 제거하고, 상기 드레인 전극(84)을 노출시키는 드레인 콘택홀(87)을 갖는 보호층(86)을 형성한 후, 상기 보호층(86) 상부로 상기 드레인 콘택홀(87)을 통해 상기 드레인 전극(84)과 접촉하는 화소전극(88)을 형성함으로써 어레이 기판(59)을 완성하고 있다.
- [0024] 이러한 구성을 갖는 어레이 기판(59)의 경우, 상기 데이터 배선(79) 하부로 상기 데이터 배선(79)의 끝단을 기준으로 각각 2 μ m 이상의 더 큰 폭을 가져 상기 데이터 배선(79) 외부로 노출되는 반도체패턴(73)이 형성되고 있다.
- [0025] 따라서 이를 반영하여 화소전극(88) 등을 상기 데이터 배선(79)의 끝단이 아닌 상기 노출된 반도체패턴(73)의 끝단을 기준으로 적정간격을 이격시켜 형성해야 하는 바, 개구율이 저하되고 있다.

발명의 내용

해결 하고자하는 과제

- [0026] 본 발명은 전술한 문제를 해결하기 위한 것으로, 단위 공정의 증가없이, 나아가 새로운 장비의 투자없이 기존 4 마스크 공정 진행을 위한 장비를 그대로 이용하면서 상기 데이터 배선 외부로 노출되는 반도체패턴의 폭을 최소화할 수 있는 어레이 기판의 제조 방법을 제공함으로써, 종래의 4마스크 공정에 의한 어레이 기판 대비 개구율을 향상시키는 것을 그 목적으로 한다.

과제 해결수단

[0027] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판의 제조 방법은, 기판 상에 일방향으로 연장하는 게이트 배선과 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부로 전면에 게이트 절연막과 순수 비정질 실리콘층과, 불순물 비정질 실리콘층과 제 1 금속층을 순차적으로 형성하는 단계와; 상기 제 1 금속층 위로 제 1 두께의 제 1 포토레지스트 패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층에 대해 1차 습식식각을 진행함으로써 상기 게이트 배선과 교차하는 데이터 배선을 형성하고, 동시에 상기 게이트 전극에 대응하여 소스 드레인 패턴을 형성하는 단계와; 1차 애싱(ashing)을 실시하여 상기 제 2 포토레지스트 패턴을 제거하고 동시에 상기 제 1 포토레지스트 패턴의 폭보다 작은 폭을 갖는 제 3 포토레지스트 패턴을 형성함으로써 상기 데이터 배선과 상기 소스 드레인 패턴 각각의 끝단이 상기 제 3 포토레지스트 패턴 외부로 노출시키는 단계와; 상기 순수 비정질 실리콘층과 상기 불순물 비정질 실리콘층에 대해 1차 드라이 에칭을 실시하여 상기 데이터 배선 하부로 동일한 형태 및 면적을 가지며 그 끝단이 일치하는 제 1 및 제 2 패턴을 형성하고, 동시에 상기 소스 드레인 패턴 하부로 동일한 형태 및 면적을 가지며 그 끝단이 일치하는 오믹 콘택패턴 및 액티브층을 형성하는 단계와; 상기 제 3 포토레지스트 패턴 외부로 노출된 상기 소스 드레인 패턴을 제거함으로써 상기 오믹콘택패턴을 노출시키며 서로 이격하는 소스 및 드레인 전극을 형성하는 단계와; 2차 드라이 에칭을 실시하여 상기 소스 및 드레인 전극 사이로 노출된 상기 오믹콘택패턴을 제거함으로써 오믹콘택층을 형성하는 단계와; 상기 제 3 포토레지스트 패턴을 제거하는 단계와; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 노출된 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함한다.

[0028] 상기 제 1 금속층은 구리 또는 구리합금으로 이루어지는 것이 특징이다.

[0029] 또한, 상기 소스 및 드레인 전극을 형성하기 전에 등방성의 2차 애싱을 실시하여 상기 제 3 포토레지스트 패턴 끝단 외부로 상기 소스 드레인 패턴이 더 넓은 폭으로 노출되도록 하는 단계를 포함한다.

[0030] 상기 2차 드라이 에칭을 실시하여 상기 오믹콘택층을 형성하기 전에 3차 애싱을 실시하여 상기 제 3 포토레지스트 패턴 끝단 외부로 상기 소스 및 드레인 전극의 끝단이 노출되도록 하는 단계를 포함한다. 이때, 상기 1차 및 3차 애싱(ashing)은 등방성 애싱(ashing)인 것이 바람직하다.

[0031] 본 발명에 따른 액정표시장치용 어레이 기판은, 기판상에 일방향으로 연장하는 게이트 배선과, 상기 게이트 배선과 연결된 게이트 전극과; 상기 게이트 배선과 게이트 전극 상부에 형성된 게이트 절연막과; 상기 게이트 절연막 상부로 상기 게이트 배선과 교차하여 화소영역을 정의하며 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선과 연결되며 형성되며, 순차 적층된 형태로서 상기 게이트 전극과, 상기 게이트 절연막과, 액티브층과, 오믹콘택층과, 서로 이격하는 소스 및 드레인 전극으로 포함하는 박막트랜지스터와; 상기 박막트랜지스터 상부로 상기 드레인 전극을 노출시키며 형성된 보호층과; 상기 보호층 상부로 상기 드레인 전극과 접촉하며 상기 화소영역에 형성된 화소전극을 포함하며, 상기 데이터 배선 하부로 그 끝단이 노출되며 상기 오믹콘택층을 이루는 동일한 물질로 제 1 패턴이 형성되며, 상기 제 1 패턴 하부로 그 끝단이 노출되며 상기 액티브층을 이루는 동일한 물질로 제 2 패턴이 형성되어 순차적층된 상기 제 2 패턴과 제 1 패턴 및 상기 데이터 배선이 계단형태를 갖는 특징이다.

[0032] 이때, 상기 오믹콘택층과 상기 액티브층은 그 끝단이 각각 상기 소스 및 드레인 전극 외부로 노출되며, 상기 순차 적층된 액티브층과 오믹콘택층과 소스 및 드레인 전극은 그 끝단이 계단 형태를 이루는 것이 특징이다.

효 과

[0033] 이와 같이, 본 발명에 따른 4 마스크의 액정표시장치용 어레이 기판 제조방법에 의해 소스 및 드레인 전극과 데이터 배선 끝단 외부로 노출되는 반도체층 및 반도체 패턴의 폭을 최소화함으로써 상기 데이터 배선과 화소전극과의 이격간격을 좁혀 개구율을 향상함과 동시에 휘도를 향상시키는 효과가 있다.

[0034] 종래의 4마스크 공정에 따른 액정표시장치용 어레이 기판의 제조에 사용되는 제조 설비를 그대로 그 레이아웃 변경없이 사용하게 되는 바, 추가적인 제조 설비 투자가 필요 없으며, 제조 라인 변경에 따른 설비의 가동 중단 등을 필요로 하지 않는 장점이 있다.

[0035] 또한, 순수 및 불순물 비정질 실리콘층이 게이트 절연막을 덮고 있는 상태에서 제 2 포토레지스트 패턴을 제거

를 위한 애싱을 진행할 수 있으므로, 절연과피 및 정전기 등에 의한 쇼트 발생 영향이 작아 큰 과워로서 진행할 수 있는 바, 게이트 절연막이 노출된 상태에서 애싱을 진행하는 종래의 제조방법 대비 애싱 시간을 단축시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0036] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- [0037] 도 4a 내지 도 4j는 본 발명에 따른 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 4마스크 공정에 따른 제조 단계 공정 단면도이다. 이때, 설명의 편의를 위해 각 화소영역(P) 내의 박막트랜지스터(Tr)가 형성될 부분을 스위칭 영역(TrA)이라 정의한다.
- [0038] 우선, 도 4a에 도시한 바와 같이, 투명한 기판(101)상에 금속물질을 증착하여 제 1 금속층(미도시)을 형성한 후, 포토레지스트의 도포, 마스크를 이용한 노광, 포토레지스트의 현상, 식각, 포토레지스트의 스트립(strip) 등의 공정을 포함하는 제 1 마스크 공정을 진행하여 일 방향으로 연장하는 게이트 배선(미도시)을 형성하고, 동시에 상기 스위칭 영역(TrA)에 상기 게이트 배선(미도시)과 연결된 게이트 전극(105)을 형성한다.
- [0039] 이때, 상기 제 1 금속층(미도시)을 서로 다른 금속물질을 연속 증착하여 이중층 이상으로 형성함으로써, 이중층 또는 다중층 구조의 게이트 배선(미도시)과 게이트 전극(105)이 될 수도 있다. 도면에서는 편의상 단일층 구조를 갖는 게이트 배선(미도시) 및 게이트 전극(105)으로 나타내었다.
- [0040] 다음, 도 4b에 도시한 바와 같이, 상기 게이트 배선(미도시)과 게이트 전극(105)이 형성된 기판(101)의 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)을 증착하여 게이트 절연막(110)을 형성한다. 이후 연속하여 상기 게이트 절연막(110) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘을 연속하여 증착함으로써 순수 비정질 실리콘층(115)과 불순물 비정질 실리콘층(120)을 형성하고, 상기 불순물 비정질 실리콘층(120) 상부로 제 2 금속물질 예를들면 구리, 구리합금, 알루미늄, 알루미늄 합금 중에서 선택되는 하나 물질로서 제 2 금속층(125)을 형성한다.
- [0041] 이후, 상기 제 2 금속층(125) 위로 포토레지스트를 도포하여 포토레지스트층(180)을 형성한다. 이때, 본 발명에서는 상기 포토레지스트층(180)은 빛을 받은 부분이 현상 시 제거되는 특성을 갖는 포지티브 타입(positive type)을 사용하는 것을 예로서 설명한다. 하지만 이와 반대의 특성을 갖는 즉, 빛을 받은 부분이 현상 시 남게되는 네가티브 타입(negative type)인 경우도 이후 설명할 노광 마스크(190)에 있어 투과영역(TA)과 차단영역(BA)의 위치를 바꾼 형태의 노광 마스크를 이용하면 동일한 결과를 얻을 수 있다.
- [0042] 다음, 상기 포토레지스트층(180)이 형성된 기판(101)의 상부에 빛의 투과영역(TA)과 차단영역(BA), 그리고 슬릿형태로 구성되거나 또는 다중의 코팅막을 더욱 구비하여 통과하는 빛량을 조절함으로써 그 빛 투과도가 상기 투과영역(TA)보다는 작고 상기 차단영역(BA)보다는 큰 반투과영역(HTA)으로 구성된 노광 마스크(190)를 위치시킨다. 이후, 상기 노광 마스크(190)를 통한 노광을 실시한다.
- [0043] 이때, 상기 노광은 상기 노광 마스크(190)의 차단영역(BA)은 데이터 배선과 소스 및 드레인 전극이 형성될 부분에 대응하도록, 그리고 반투과영역(HTA)은 상기 스위칭 영역(TrA) 내의 소스 및 드레인 전극 사이의 이격된 영역이 형성되는 부분에 대응하도록, 그리고 나머지 영역에 대응해서는 투과영역(TA)이 대응되도록 한 상태에서 진행한다.
- [0044] 다음, 도 4c에 도시한 바와 같이, 상기 노광된 포토레지스트층(도 4b의 180)에 대해 현상을 실시한다.
- [0045] 이때, 상기 현상 공정에 의해 상기 제 2 금속층(125) 위로 데이터 배선이 형성될 부분과 소스 및 드레인 전극이 형성될 부분에 대응해서는 제 1 두께의 제 1 포토레지스트 패턴(181a)이 형성되고, 소스 및 드레인 전극 사이의 이격영역이 될 부분 즉 게이트 전극(105)이 형성된 부분에 대응해서는 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트 패턴(181b)이 형성된다. 그 이외의 영역에 대응해서는 상기 포토레지스트층(도 4b의 180)은 제거되어 상기 제 2 금속층(125)을 노출시키게 된다.
- [0046] 다음, 도 4d에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(181a, 181b) 외부로 노출된 제 2 금속층(도 4c의 125)에 대해 식각액을 이용한 습식식각을 진행하여 제거함으로써 데이터 배선(127)을 형성하고, 상기 스위칭 영역(TrA)에는 상기 데이터 배선(127)과 연결된 소스 드레인 패턴(130)을 형성한다. 이때, 상

기 제 2 금속층(도 4c의 125)이 구리 또는 구리합금으로 이루어진 경우, 그 식각율이 커 다른 금속물질을 이루어진 경우보다 빠른 식각이 이루어지게 되는 바, 상기 데이터 배선(127)과 소스 드레인 패턴(130)은 그 상부에 위치한 상기 제 1 포토레지스트 패턴(181a)에 대해 언더컷 형태를 이루며 더 작은 폭을 가지며 형성되게 된다.

[0047] 다음, 도 4e에 도시한 바와 같이, 상기 제 1 및 제 2 포토레지스트 패턴(181a, 181b)보다 작은 폭을 가지며 그 하부에 형성된 데이터 배선(127)과 소스 드레인 패턴(130)을 포함하는 기관(101)에 대해 1차 애싱(ashing)을 실시한다. 이 경우 상기 1차 애싱(ashing)은 등방성 특성을 갖는 애싱(ashing)인 것이 특징이다. 이는 상기 제 2 포토레지스트 패턴(181b)의 제거와 더불어 상기 제 1 포토레지스트 패턴(181a)의 폭 또한 줄이기 위함이다.

[0048] 따라서, 상기 1차 애싱(ashing) 진행에 의해 상기 제 2 두께의 제 2 포토레지스트 패턴(181b)은 제거됨으로써 상기 소스 드레인 패턴(130)을 노출시키며, 동시에 상기 제 1 포토레지스트 패턴(181a)은 그 두께와 폭이 줄어들음으로써 제 3 포토레지스트 패턴(183)을 이루게 된다. 이 경우 상기 제 3 포토레지스트 패턴(183)은 상기 1차 애싱(ashing)에 의해 상기 제 1 포토레지스트 패턴(181a)의 폭 줄어들음으로써 형성되게 되는 바, 그 하부에 위치한 소스 드레인 패턴(130)과 데이터 배선(127) 끝단을 노출시키는 것이 특징이다.

[0049] 이때, 상기 1차 애싱(ashing)은 이를 진행하는 챔버의 파워를 높임으로써 종래의 애싱(ashing) 진행 시간보다 빨리 진행할 수 있는 것이 특징이다. 이는 종래 방법에 있어서는, 상기 제 2 포토레지스트 패턴(도 3e의 91b) 제거를 위한 애싱(ashing)은 게이트 절연막(도 3e의 66)이 노출된 상태에서 진행했다. 하지만, 본 발명의 경우, 불순물 비정질 실리콘층(120)이 노출된 상태에서 상기 제 1 차 애싱(ashing)이 진행되기 때문이다. 게이트 절연막(110)을 이루는 물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)은 정전기 등에 취약한 특성을 갖는 바, 파워를 높여 진행하면 게이트 절연막(110) 자체가 손상되어 절연 파괴에 의해 상기 게이트 절연막(110)을 사이에 두고 형성된 게이트 배선(미도시) 및 게이트 전극(105)과, 데이터 배선(127)과 소스 드레인 패턴(130)간의 쇼트가 발생할 수 있다. 따라서 종래의 방법에 있어서의 애싱(ashing)은 챔버의 파워를 적절한 수준에서 조절하여 진행함으로써 상대적으로 시간이 많이 걸리게 된다. 하지만, 본 발명에 있어서는 상기 게이트 절연막(110)을 이루는 물질보다 상대적으로 컨덕티브한 특성을 갖는 순수 비정질 실리콘층(115)과 불순물 비정질 실리콘층(120)이 상기 게이트 절연막(110)을 덮고 있는 상태에서 상기 1차 애싱(ashing)이 진행되므로 상대적으로 정전기 발생과 절연 파괴가 발생하지 않는다. 따라서 높은 파워를 가지고 애싱(ashing)을 진행해도 종래에서와 같은 정전기에 의한 쇼트 발생 등은 발생하지 않으므로 장비가 구동될 수 있는 최대 파워로서 진행함으로써 그 시간(애싱시간)을 종래대비 단축시킬 수 있는 장점이 있다.

[0050] 다음, 도 4f에 도시한 바와 같이, 상기 1차 애싱(ashing) 진행에 의해 제 3 포토레지스트 패턴(183) 외부로 그 끝단이 노출된 소스 드레인 패턴(130)과 데이터 배선(127)이 형성된 기관(101)에 대해 연속하여 1차 드라이 에칭을 실시함으로써 상기 데이터 배선(127)과 소스 드레인 패턴(130) 외부로 노출된 상기 불순물 비정질 실리콘층(도 4e의 120)과 그 하부의 순수 비정질 실리콘층(도 4e의 115)을 제거한다. 따라서, 스위칭 영역(Tr A)에 있어서는 상기 소스 드레인 패턴(130) 하부로 이와 동일한 형태로 동일한 면적을 가지며 완전히 중첩하는 형태로서 오믹콘택패턴(121)과 순수 비정질 실리콘의 액티브층(116)이 형성된다. 따라서, 현 단계에서 순차 적층되어 형성된 상기 액티브층(116)과 오믹콘택패턴(121) 및 소스 드레인 패턴(130)은 그 끝단이 일치하는 형태가 된다.

[0051] 또한, 상기 데이터 배선(127) 하부에는 상기 데이터 배선(127)과 동일한 형태로 동일한 면적을 가지며 완전히 중첩하는 형태로 불순물 비정질 실리콘의 제 1 패턴(122)과 순수 비정질 실리콘의 제 2 패턴(117)으로 구성된 반도체패턴(124)이 형성된다. 따라서 현 단계에서 순차 적층되어 형성된 상기 제 2 패턴(117)과 제 1 패턴(122) 및 데이터 배선(127)은 그 끝단이 일치하는 형태가 된다.

[0052] 다음, 도면에는 나타내지 않았지만, 상기 액티브층(116)과 오믹콘택패턴(121)과 반도체패턴(124)이 형성된 기관(101)에 대해 연속하여 등방성의 2차 애싱(ashing)을 진행한다. 이는 드라이 에칭에 의해 상기 제 3 포토레지스트 패턴(183) 끝단 외부로 노출된 상기 소스 드레인 패턴(130)이 영향을 받아 습식식각 진행시 그 패터닝이 불규칙적으로 발생할 수 있는 바, 패터닝 되는 부분이 직선형태로 잘 진행될 수 있도록 상기 제 3 포토레지스트 패턴(183)의 폭을 소량 더 줄여 드라이 에칭에 영향을 받지 않은 소스 드레인 패턴(130)이 소정폭 더 노출되도록 하기 위함이다. 하지만 이러한 2차 애싱은 생략할 수 있다.

[0053] 다음, 도 4g에 도시한 바와 같이, 상기 오믹콘택패턴(121)이 형성된 기관(101)에 대해 습식식각을 진행함으로써 상기 제 3 포토레지스트 패턴(183) 외부로 노출된 소스 드레인 패턴(도 4f의 130)을 제거함으로써 서로 이격하는 소스 드레인 전극(133, 135)을 형성한다. 이 경우도 상기 소스 드레인 패턴(도 4f의 130) 및 데이

터 배선(127)을 이루는 금속물질이 구리 또는 구리합금인 경우 그 식각이 다른 금속대비 상대적으로 매우 빠른 속도로 진행됨으로써 상기 소스 및 드레인 전극(133, 135)과 데이터 배선(127)은 상기 제 3 포토레지스트 패턴(183)에 대해 최종적으로는 언더컷 형태를 이루게 된다.

[0054] 다음, 도 4h에 도시한 바와 같이, 상기 소스 및 드레인 전극(133, 135)이 형성된 기판(101)에 대해 2차 드라이 에칭을 실시하여 상기 소스 및 드레인 전극(133, 135) 사이의 이격영역의 노출된 오믹콘택패턴(도 4g의 121)을 제거함으로써 상기 액티브층(116)을 노출시키며 상기 소스 및 드레인 전극(133, 135) 하부에 서로 이격하는 오믹콘택층(123)을 형성한다. 이때 상기 2차 드라이 에칭은 상기 제 3 포토레지스트 패턴(183)을 블로킹 마스크로 하여 진행되므로 상기 제 3 포토레지스트 패턴(183)의 끝단을 기준으로 그 외측에 위치하는 부분의 오믹콘택패턴(도 4g의 121) 및 제 1 패턴(도 4g의 122)이 제거되게 된다.

[0055] 따라서 본 발명의 제조 방법적 특징에 따른 어레이 기판(101)의 경우, 데이터 배선(127)에 대해서는 그 하부로 상기 데이터 배선(127)의 폭보다 넓은 폭을 가지며 불순물 비정질 실리콘의 제 1 패턴(122)이 형성되며, 상기 제 1 패턴(122) 하부로 이보다 더 넓은 폭을 가지며 순수 비정질 실리콘의 제 2 패턴(117)이 형성된다.

[0056] 또한 스위칭 영역(TrA)에 있어서는 상기 소스 및 드레인 전극(133; 135) 하부로 이보다 넓은 폭을 가지며 오믹콘택층(123)이 형성되어 있으며, 상기 오믹콘택층(123) 하부로 상기 오믹콘택층(123)보다 넓은 폭을 가지며 액티브층(116)이 형성된다. 이때 상기 데이터 배선(127) 외측으로 노출되는 순수 비정질 실리콘의 제 2 패턴(117)은 그 폭이 $2\mu\text{m}$ 보다 작은 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 가 되며, 상기 불순물 비정질 실리콘의 제 1 패턴(122)은 상기 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 보다도 더 작은 폭이 상기 데이터 배선(127) 외측으로 노출되게 된다.

[0057] 또한, 소스 및 드레인 전극(133, 135) 외부 더욱 정확히는 상기 소스 및 드레인 전극(133, 135)의 마주하는 끝단 이외의 타끝 외측으로 노출되는 액티브층(116)의 폭 또한 $2\mu\text{m}$ 보다 작은 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 가 되며, 상기 액티브층(116) 상부에 위치한 오믹콘택층(123)은 상기 소스 및 드레인 전극(133, 135) 외부로 상기 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 보다는 더 작은 범위를 갖는 폭이 노출되게 된다.

[0058] 이 경우, 상기 소스 및 드레인 전극(133, 135)의 타끝단은 액티브층(116)과 오믹콘택층(123)과 상기 소스 및 드레인 전극(133, 135)이 순차적으로 그 폭이 작아지며 계단 형태를 갖게되며, 데이터 배선(127)의 양끝단도 제 2 패턴(117)과 제 1 패턴(122)과 데이터 배선(127)이 순차적으로 그 폭이 작아지며 계단 형태를 갖게되는 것이 특징이다.

[0059] 한편, 변형예로서, 도면에 나타내지는 않았지만, 상기 소스 및 드레인 전극이 형성된 기판에 대해 2차 드라이 에칭을 실시하기 전에, 등방성의 3차 애칭을 진행하여 상기 제 3 포토레지스트 패턴의 폭을 줄임으로써 상기 소스 및 드레인 전극과 데이터 배선의 끝단이 상기 제 3 포토레지스트 패턴 끝단의 외측으로 노출되도록 한 상태에서 상기 2차 드라이 에칭을 진행할 수도 있다. 이 경우, 상기 소스 및 드레인 전극과 데이터 배선이 블로킹 마스크로 작용하여 이들의 외측으로 노출된 오믹콘택패턴과 제 1 패턴이 제거되므로, 상기 소스 및 드레인 전극과 오믹콘택층은 동일한 형태 및 면적을 가지며 완전 중첩하는 형태가 되며, 데이터 배선의 경우도 그 하부에 위치한 제 1 패턴은 상기 데이터 배선과 동일한 형태 및 면적을 갖게되며 완전 중첩한 형태가 된다. 따라서, 이러한 변형예에 따른 어레이 기판의 제조에 의해서는 상기 소스 및 드레인 전극 타끝단 외부로는 액티브층만이 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 의 폭으로써 노출되며, 데이터 배선의 양끝단으로는 제 2 패턴만이 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 의 폭으로써 노출되게 된다.

[0060] 한편 스위칭 영역(TrA)에 있어 상기 오믹콘택층(123)과 그 하부의 액티브층(116)은 반도체층(126)을 이루며, 상기 게이트 전극(105)과 게이트 절연막(110)과 반도체층(126)과 소스 및 드레인 전극(133, 135)은 박막 트랜지스터(Tr)를 이룬다.

[0061] 다음, 도 4i에 도시한 바와 같이, 상기 소스 및 드레인 전극(133, 135) 하부로 오믹콘택층(123)이 형성된 기판(101)에 대해 스트립(strip)을 진행하여 상기 제 3 포토레지스트 패턴(도 4h의 183)을 제거한다. 이후 상기 소스 및 드레인 전극(133, 135)과 데이터 배선(127) 위로 무기절연물질 예를들면, 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 보호층(140)을 형성하고, 이를 마스크 공정을 진행하여 스위칭 영역(TrA)에 있어 상기 드레인 전극(135)을 노출시키는 드레인 콘택홀(143)을 형성한다.

[0062] 다음, 도 4j에 도시한 바와 같이, 상기 드레인 콘택홀(143)을 갖는 보호층(140) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드 또는 인듐-징크-옥사이드를 전면 증착하여 투명 도전성 물질층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 상기 드레인 콘택홀(143)을 통해 상기 드레인 전극(135)과 접촉하는 화소전극(150)을 형성함으로써 본 발명에 따른 액정표시장치용 어레이 기판(101)을 완성할 수 있다. 이

때 상기 화소전극(150)은 각 화소영역(P)별로 분리되며, 전단의 게이트 배선(미도시)과 중첩하도록 형성함으로써 상기 중첩된 부분이 스토리지 커패시터(미도시)를 이루도록 한다.

[0063] 한편, 전술한 바와 같이 진행하여 제조한 액정표시장치용 어레이 기판(도 4j의 101)과 종래의 제조 방법에 의한 어레이 기판(도 2의 59)을 비교하면, 본 발명에 따른 어레이 기판(도 4j의 101)에서 소스 및 드레인 전극(133, 135)의 끝단 외부로 노출된 반도체층(126)의 폭(B1)과 데이터 배선(127) 외부로 노출된 반도체 패턴(124)의 폭(B2)의 크기가 현저히 작아졌음을 알 수 있다.

[0064] 종래의 4마스크 공정에 따른 액정표시장치용 어레이 기판의 경우, 도 2를 참조하면, 소스 드레인 전극(82, 84)의 끝단 및 데이터 배선(79)의 끝단을 기준으로 통상 $2\mu\text{m}$ 내지 $2.5\mu\text{m}$ 정도의 폭(A1, A2)을 가지며 오믹 콘택층(74)과 불순물 비정질 실리콘의 제 1 패턴(72)이 노출되는데 반해, 본 발명에 따른 어레이 기판에 있어서는 도 4j를 참조하면 액티브층(116) 및 제 2 패턴(117)이 소스 및 드레인 전극(133, 135)과 데이터 배선(127)의 끝단에 대해 $1.5\mu\text{m}$ 내지 $1.8\mu\text{m}$ 정도의 폭(B1, B2)을 가지며 노출됨으로써 종래의 4마스크 공정에 따른 액정표시장치용 어레이 기판 대비 $0.2\mu\text{m}$ 내지 $0.7\mu\text{m}$ 정도 더 작은 노출 폭(A1>B1, A2>B2)을 갖게 되는 것이 특징이다. 이 경우 데이터 배선(127)과 화소전극(150)간의 이격거리를 줄여 형성할 수 있고, 이에 의해 개구율 향상의 효과가 있다.

[0065] 이는 반도체층(126)과 소스 및 드레인 전극(133, 135)을 형성하는 제조 과정 중 드라이 에칭과 애싱(ashing) 진행의 차이에 기인한다 할 것이다.

[0066] 종래의 구리 또는 구리합금을 이용한 4마스크 공정에 따른 어레이 기판의 제조에 있어서는, 도 3a 내지 도 3g를 참조하면 소스 및 드레인 전극(82, 84)과 반도체층(76)을 형성하는 과정에서 상기 구리 또는 구리 합금으로 이루어진 제 2 금속층(78)에 대해 습식식각을 통한 패터닝을 실시하여 소스 드레인 패턴(80)과 데이터 배선(79)을 형성한 후, 바로 드라이 에칭을 실시하여 비정질 실리콘으로 이루어지는 액티브층(67) 및 제 2 패턴(68)을 형성하게 된다. 따라서 이 경우 상기 액티브층(67) 및 제 2 패턴(68)의 끝단은 이후에는 그 폭이 줄어드는 등의 변함이 없게 되며, 상기 액티브층(67) 상부에 위치하는 소스 및 드레인 전극(82, 84)의 끝단과 상기 제 1 패턴(72) 상부에 위치하는 데이터 배선(79)은 오믹콘택층(74) 형성을 위해 1회 더 습식식각을 진행함으로써 상기 액티브층(67) 및 제 1 패턴(72)의 끝단을 기준으로 그 내측으로 2 μ m 내지 2.5 μ m 정도의 폭을 이격하며 형성되게 된다.

[0067] 하지만, 도 4a 내지 도 4j를 참조하면, 본 발명의 따른 어레이 기관(101)의 제조 방법에 의해서는 소스 드레인 패턴(130)과 데이터 배선(127)의 형성 후, 액티브층(116)과 오믹콘택패턴(121)과 제 1 및 제 2 패턴(117, 122)을 형성을 위한 드라이 에칭을 실시하기 전에 우선적으로 등방성의 1차 애싱(ashing)을 진행한다. 따라서, 상기 1차 애싱(ashing) 진행에 의해 제 2 포토레지스트 패턴을 제거함과 동시에, 소스 및 드레인 전극(133, 135)과 데이터 배선(127) 상부에 위치한 제 1 포토레지스트 패턴의 폭을 줄여 제 3 포토레지스트 패턴(183)을 형성한다. 따라서, 상기 소스 및 드레인 전극(133, 135)과 데이터 배선(127)의 끝단이 상기 제 3 포토레지스트 패턴(183) 외측으로 노출되도록 한 상태에서 드라이 에칭을 실시함으로써 제 2 금속층(125)의 습식식각에 의한 과 식각된 부분의 차이로 발생하게 되는 액티브층(116) 및 제 2 패턴(117)의 소스 및 드레인 전극(133, 135)과 데이터 배선(127) 끝단 외부로의 노출폭을 최소화 하는 것이다.

도면의 간단한 설명

[0068] 도 1은 일반적인 액정표시장치의 분해사시도.

[0069] 도 2는 종래의 4마스크 공정에 의해 제조된 액정표시장치용 어레이 기관의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.

[0070] 도 3a 내지 도 3h는 종래의 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 4마스크 공정에 따른 제조 단계별 공정 단면도.

[0071] 도 4a 내지 도 4j는 본 발명에 따른 액정표시장치용 어레이 기판의 박막트랜지스터를 포함하는 하나의 화소영역에 대한 4마스크 공정에 따른 제조 단계 공정 단면도.

[0072] < 도면의 주요 부분에 대한 부호의 설명 >

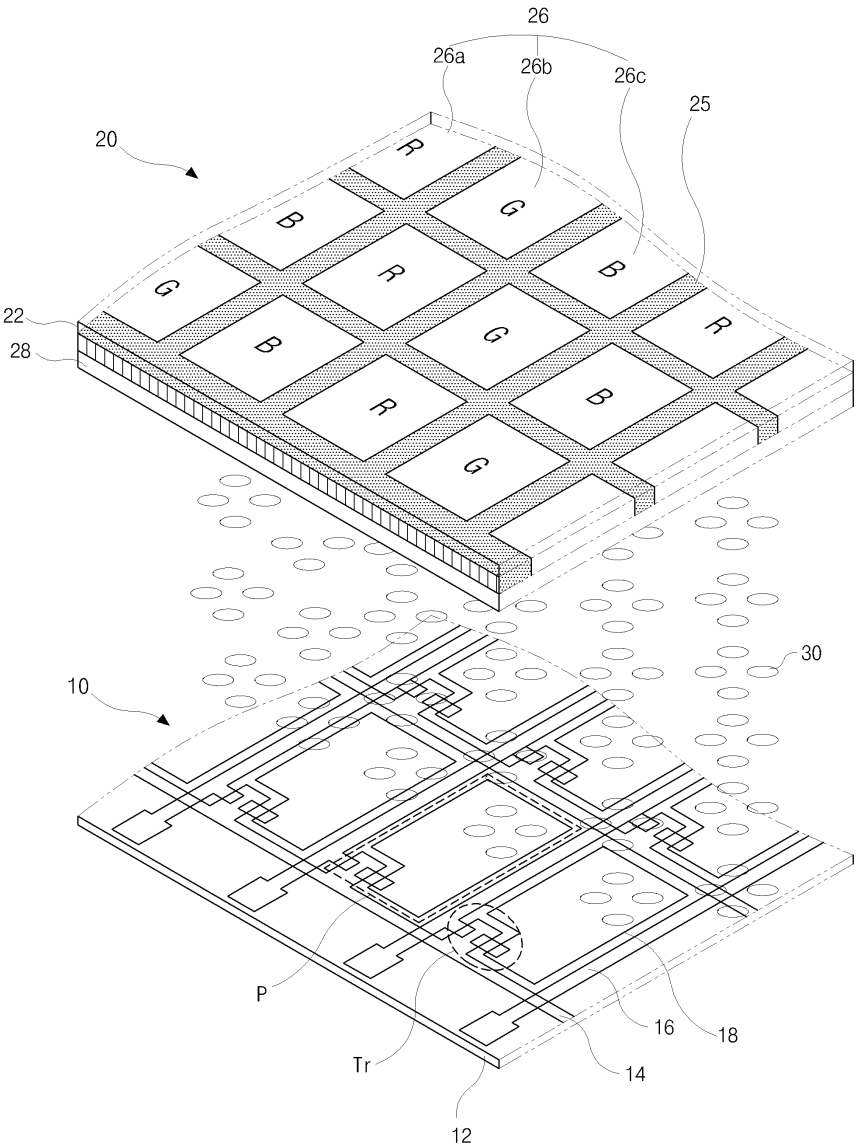
[0073] 101 : 기판 105 : 게이트 전극

[0074] 110 : 게이트 절연막 115 : 순수 비정질 실리콘층

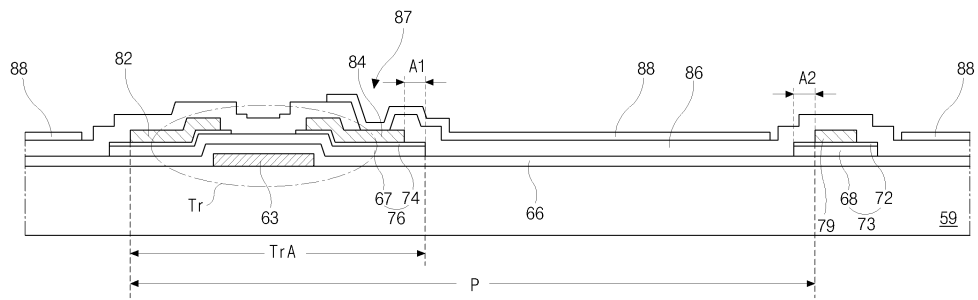
- [0075] 120 : 불순물 비정질 실리콘층 127 : 데이터 배선
- [0076] 130 : 소스 드레인 패턴 181a, 181b : 제 1, 2 포토레지스트 패턴
- [0077] 183 : 제 3 포토레지스트 패턴
- [0078] P : 화소영역 TrA : 스위칭 영역

도면

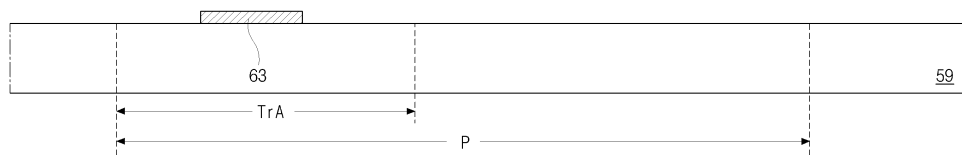
도면1



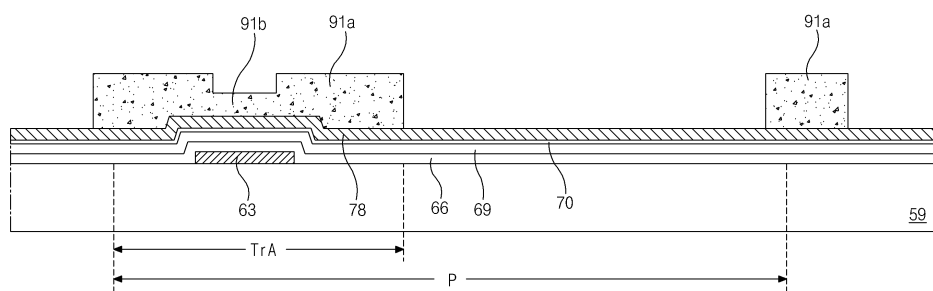
도면2



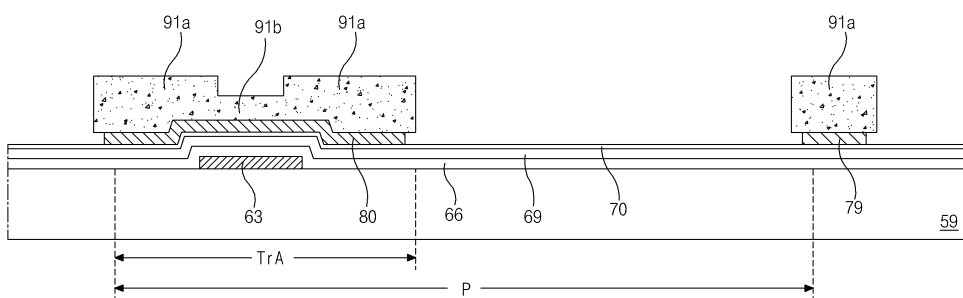
도면3a



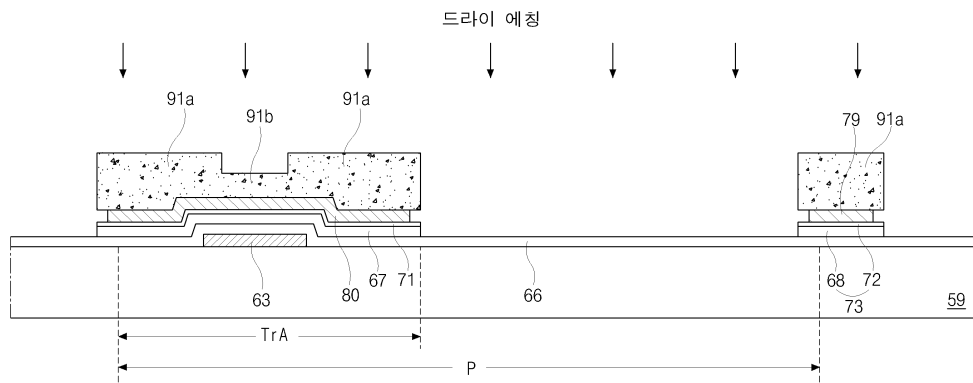
도면3b



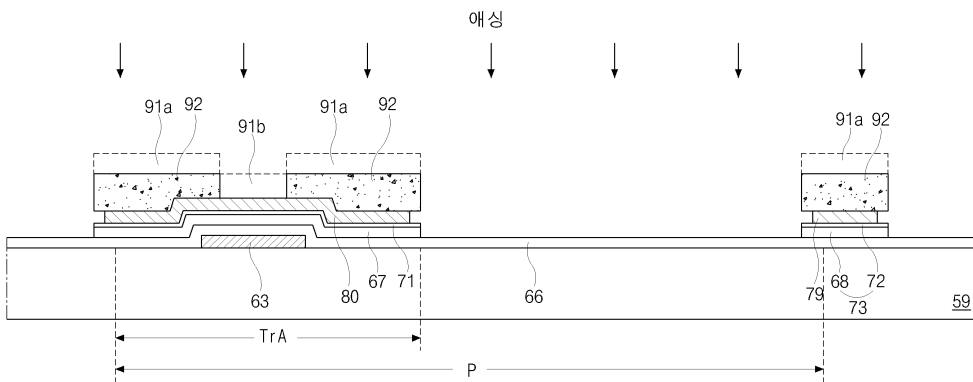
도면3c



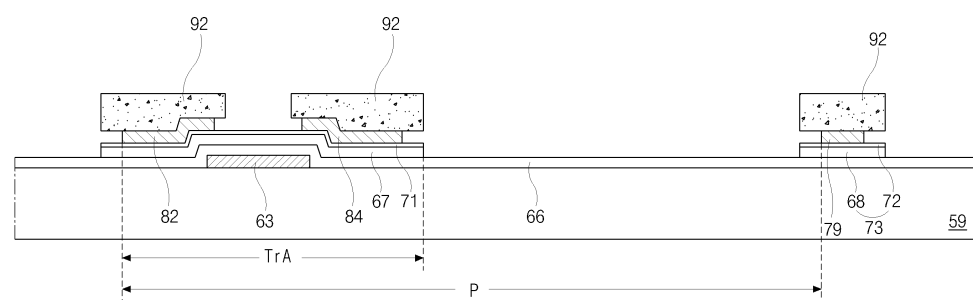
도면3d



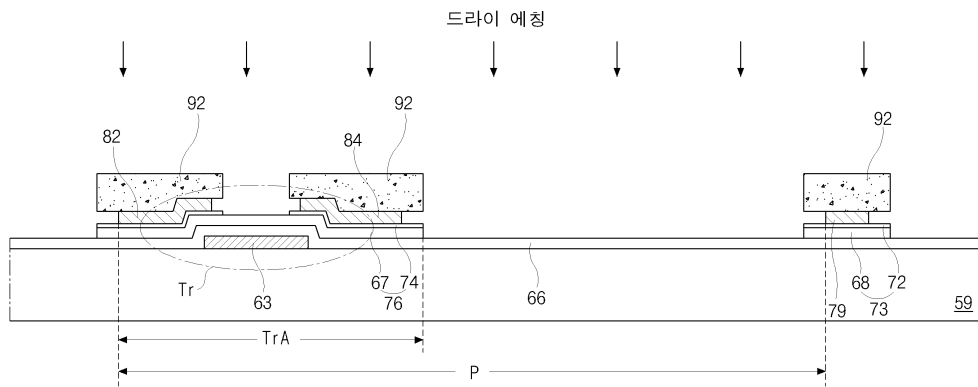
도면3e



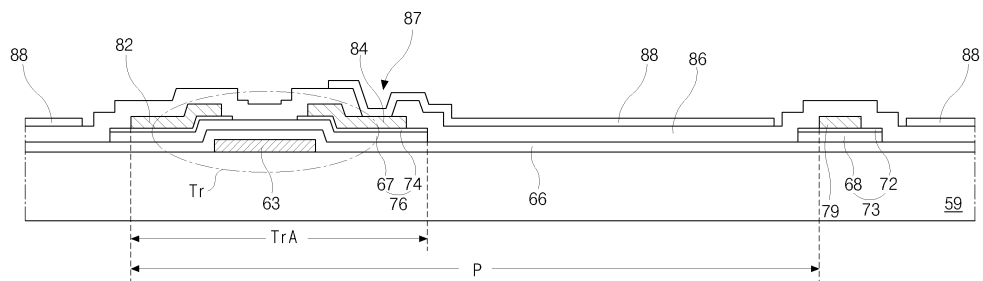
도면3f



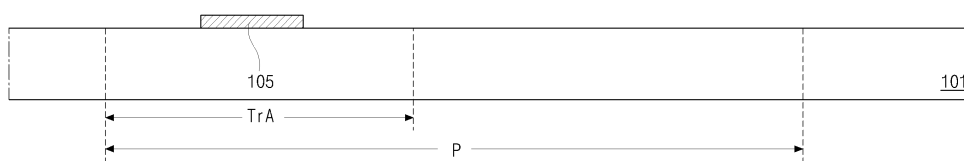
도면3g



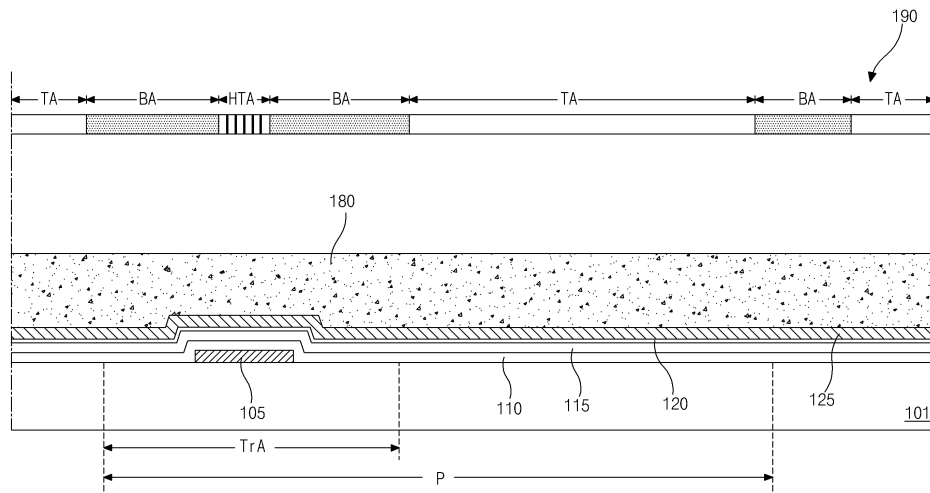
도면3h



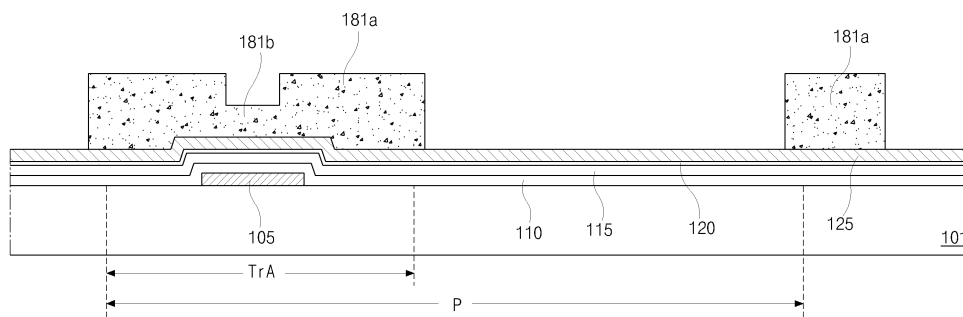
도면4a



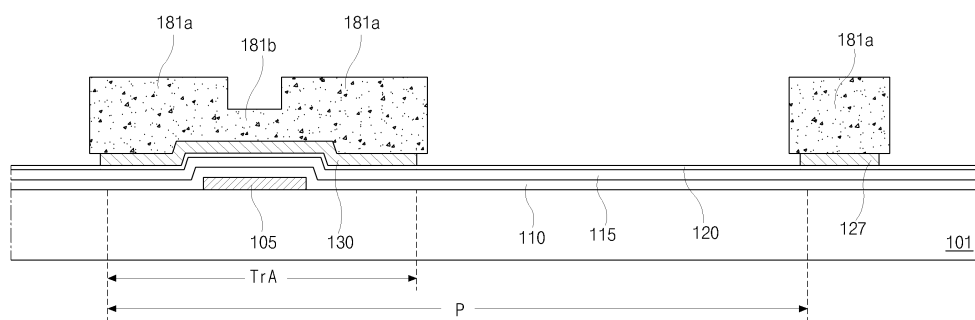
도면4b



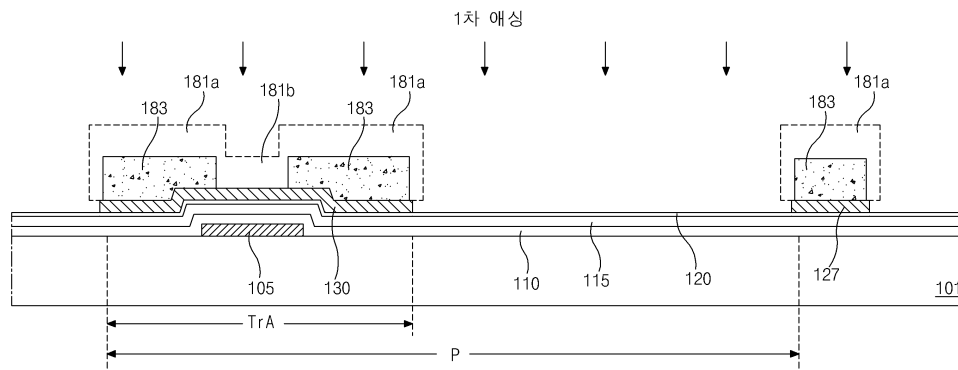
도면4c



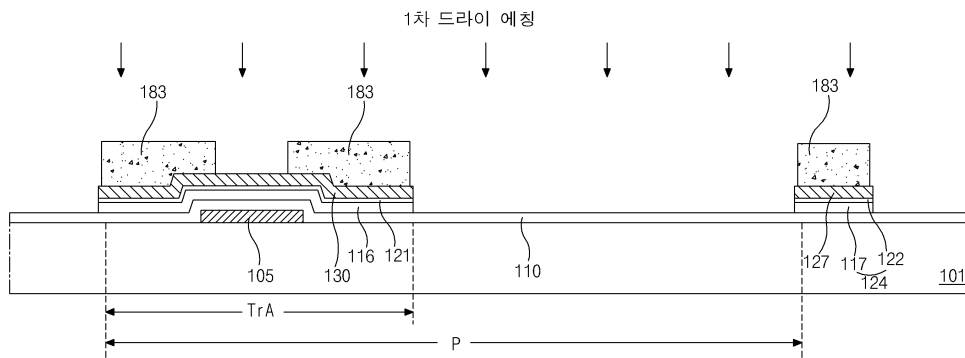
도면4d



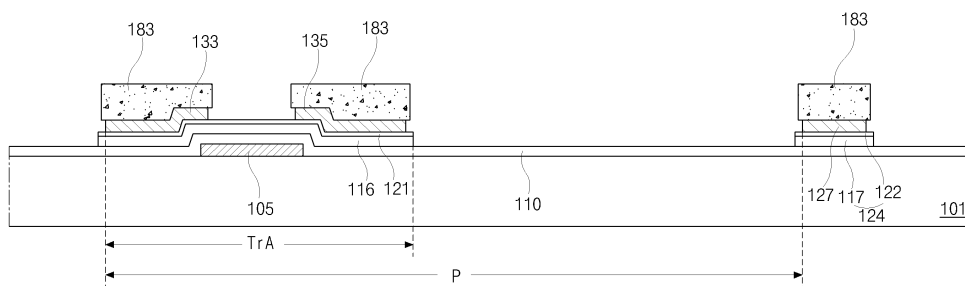
도면4e



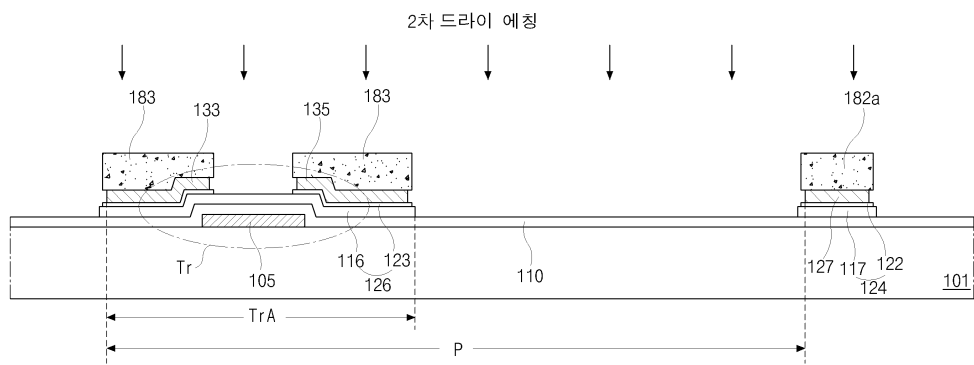
도면4f



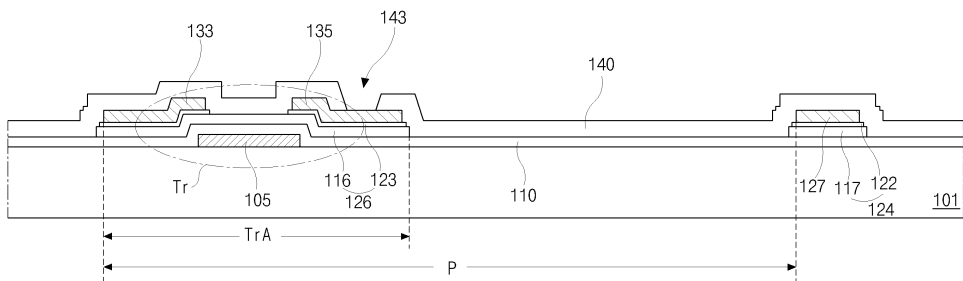
도면4g



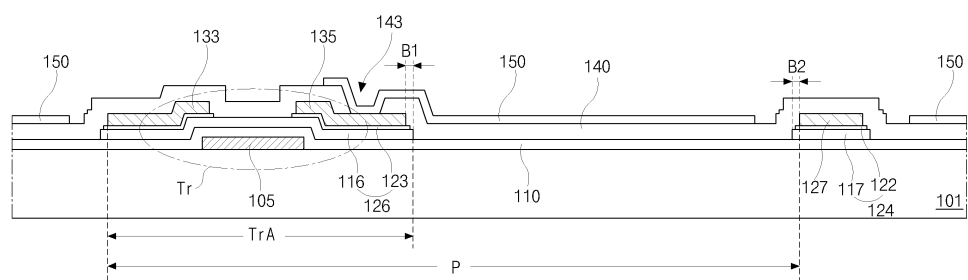
도면4h



도면4i



도면4j



专利名称(译)	一种制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	KR101253497B1	公开(公告)日	2013-04-11
申请号	KR1020080051643	申请日	2008-06-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SEOK WON 김석원 HO WON JOON 호원준 KWON HYUK JIN 권혁진 YOO CHANG MO 유창모		
发明人	김석원 호원준 권혁진 유창모		
IPC分类号	G02F1/136 G02F H01L29/786 H01L		
CPC分类号	G02F1/1368 G02F2001/136236 H01L27/1288 H01L27/1214 G02F2201/40 G03F7/427 G03F7/40 H01L27/124		
其他公开文献	KR1020090125500A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种通过4掩模工艺制造液晶显示器阵列基板的方法，铜或铜合金材料的数据布线以及源和漏电极的外部，无需修改现有设备线 其特征在于，通过最小化暴露的半导体图案和半导体层的宽度来改善开口率和亮度 提供一种制造用于显示装置的阵列基板的方法。 代表人物 - 图 4e

