



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년03월26일  
 (11) 등록번호 10-1246042  
 (24) 등록일자 2013년03월15일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G09G 3/20 (2006.01)  
 G02F 1/133 (2006.01)  
 (21) 출원번호 10-2011-0047446  
 (22) 출원일자 2011년05월19일  
 심사청구일자 2011년05월23일  
 (65) 공개번호 10-2011-0127622  
 (43) 공개일자 2011년11월25일  
 (30) 우선권주장  
 201010181646.6 2010년05월19일 중국(CN)  
 (56) 선행기술조사문헌  
 KR1020090109257 A  
 KR1020090050358 A

(73) 특허권자  
 베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드  
 중국 베이징 100176 비디에이 시환중로 8호  
 (72) 발명자  
 상 구양리양  
 중국 베이징 100176 비디에이 시환중로 8호  
 한승우  
 중국 베이징 100176 비디에이 시환중로 8호  
 (74) 대리인  
 리앤목특허법인

전체 청구항 수 : 총 16 항

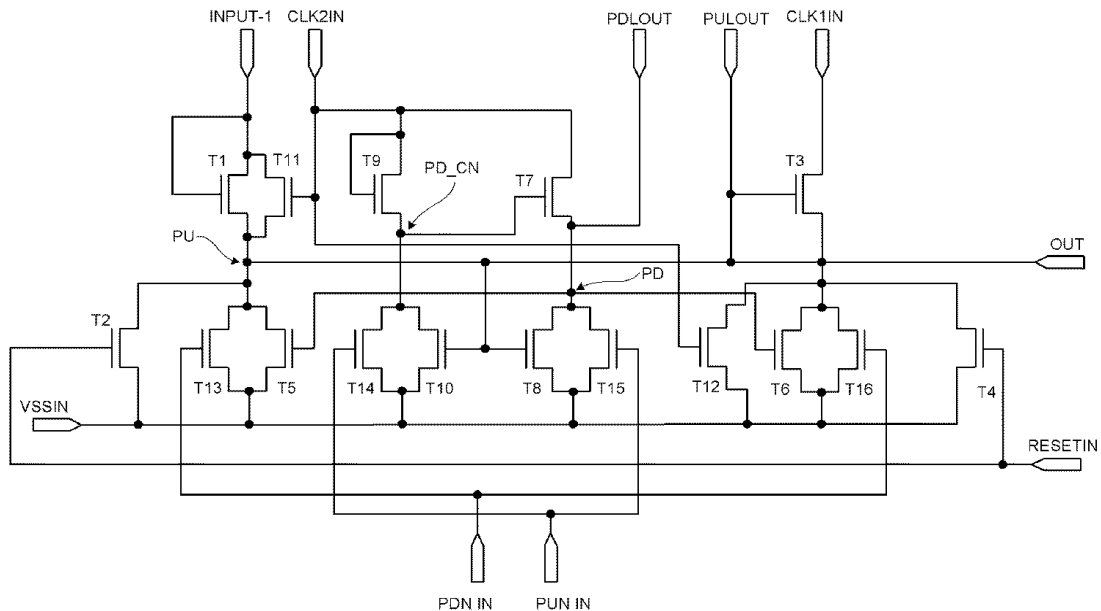
심사관 : 이성현

**(54) 발명의 명칭 시프트·레지스터 유닛, 디스플레이용 게이트 구동 장치 및 액정 디스플레이**

**(57) 요약**

본 발명은, 시프트·레지스터 유닛, 디스플레이용 게이트 구동 장치 및 액정 디스플레이를 개시하고 있다. 상기 시프트·레지스터 유닛은, 제2 클럭 신호 또는 제3 클럭 신호를 입력하고, 또한 프레임 개시 신호와 제1 클럭 신호와 저전압 신호와 리셋 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호를 입력하는 입력 모듈; 게이트 구동 신호를 생성하고, 또한 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호가 로우 레벨을 유지하는 프레임 간격에 있어서 로우 레벨로 유지시키는 처리 모듈; 처리 모듈이 생성한 게이트 구동 신호를 송신하는 출력 모듈;을 구비한다.

**대표도**



**특허청구의 범위**

**청구항 1**

시프트·레지스터 유닛으로서,

1프레임 또는 복수의 프레임의 표시 시간을 구비하는 하나의 프레임 간격에 있어서, 제2 클럭 신호가 제1 클럭 신호의 반전 신호와 같고, 제3 클럭 신호가 로우 레벨을 유지하며, 인접하는 다음 프레임 간격에 있어서, 제3 클럭 신호가 제1 클럭 신호와 같고, 제2 클럭 신호가 로우 레벨을 유지하고 있으며, 제2 클럭 신호 또는 제3 클럭 신호를 입력하고, 또한 프레임 개시 신호, 제1 클럭 신호, 저전압 신호, 리셋 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호를 입력하는 입력 모듈;

상기 입력 모듈에 접속되고, 적어도 2개의 박막 트랜지스터를 구비하며, 상기 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호에 기초하여, 또한 프레임 개시 신호, 제1 클럭 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성하고, 또한 상기 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 상기 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호가 로우 레벨을 유지하는 프레임 간격에 있어서 로우 레벨로 유지시키는 처리 모듈;

상기 처리 모듈에 접속되고, 상기 처리 모듈이 생성한 게이트 구동 신호를 송신하는 출력 모듈;을 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 2**

제1항에 있어서,

상기 처리 모듈은,

상기 입력 모듈에 접속되고, 적어도 2개의 박막 트랜지스터를 구비하며, 상기 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호에 기초하여, 또한 프레임 개시 신호, 제1 클럭 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성하는 게이트 구동 신호 생성 유닛;

상기 게이트 구동 신호 생성 유닛에 접속되고, 상기 게이트 구동 신호 생성 유닛 중의 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 상기 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호가 로우 레벨을 유지하는 프레임 간격에 있어서 로우 레벨로 유지시키는 레벨 제어 유닛;을 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 3**

제2항에 있어서,

상기 입력 모듈은,

프레임 개시 신호를 입력하는 개시 신호 입력단;

제1 클럭 신호를 입력하는 제1 클럭 신호 입력단;

제2 클럭 신호 또는 제3 클럭 신호를 입력하는 제2 클럭 신호 입력단;

이 시프트·레지스터 유닛에 인접하는 다음 시프트·레지스터 유닛이 입력한 제1 신호를 입력하는 제1 신호 입력단;

이 시프트·레지스터 유닛에 인접하는 다음 시프트·레지스터 유닛이 입력한 제2 신호를 입력하는 제2 신호 입력단;

저전압 신호를 입력하는 저전압 신호 입력단;

리셋 신호를 입력하는 리셋 신호 입력단;을 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 4**

제3항에 있어서,

상기 게이트 구동 신호 생성 유닛은,

드레인과 게이트가 모두 개시 신호 입력단에 접속된 제1 박막 트랜지스터;

드레인이 상기 제1 박막 트랜지스터의 소스에 접속되고, 게이트가 리셋 신호 입력단에 접속되며, 소스가 저전압 신호 입력단에 접속된 제2 박막 트랜지스터;

드레인이 제1 클록 신호 입력단에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 자신의 게이트와 출력 모듈에 접속된 제3 박막 트랜지스터;

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 리셋 신호 입력단에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제4 박막 트랜지스터;

드레인이 상기 제1 박막 트랜지스터의 소스에 접속되고, 소스가 상기 저전압 신호 입력단에 접속된 제5 박막 트랜지스터;

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 소스가 상기 저전압 신호 입력단에 접속된 제6 박막 트랜지스터;

소스가 각각 상기 제5 박막 트랜지스터의 게이트와 상기 제6 박막 트랜지스터의 게이트에 접속된 제7 박막 트랜지스터;

드레인이 상기 제7 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제8 박막 트랜지스터;

소스가 상기 제7 박막 트랜지스터의 게이트에 접속된 제9 박막 트랜지스터;

드레인이 상기 제9 박막 트랜지스터의 소스에 접속되고, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제10 박막 트랜지스터;

드레인이 상기 제1 박막 트랜지스터의 드레인에 접속되고, 소스가 상기 제1 박막 트랜지스터의 소스에 접속되며, 게이트가 제2 클록 신호 입력단에 접속된 제11 박막 트랜지스터;

드레인이 상기 제3 박막 트랜지스터의 소스에 접속되고, 소스가 상기 저전압 신호 입력단에 접속되며, 게이트가 제2 클록 신호 입력단에 접속된 제12 박막 트랜지스터;를 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

#### 청구항 5

제4항에 있어서,

제7 박막 트랜지스터의 소스, 제8 박막 트랜지스터의 드레인, 제5 박막 트랜지스터의 게이트 및 제6 박막 트랜지스터의 게이트가 접속하는 개소는 제1 노드를 형성하는 것을 특징으로 하는 시프트·레지스터 유닛.

#### 청구항 6

제5항에 있어서,

상기 레벨 제어 유닛은,

드레인이 상기 제5 박막 트랜지스터의 드레인에 접속되고, 게이트가 상기 제1 신호 입력단에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제13 박막 트랜지스터;

드레인이 상기 제10 박막 트랜지스터의 드레인에 접속되고, 게이트가 상기 제2 신호 입력단에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제14 박막 트랜지스터;

드레인이 상기 제8 박막 트랜지스터의 드레인에 접속되고, 게이트가 상기 제2 신호 입력단에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제15 박막 트랜지스터;

드레인이 상기 제6 박막 트랜지스터의 드레인에 접속되고, 게이트가 상기 제1 신호 입력단에 접속되며, 소스가 상기 저전압 신호 입력단에 접속된 제16 박막 트랜지스터;를 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 7**

제6항에 있어서,

상기 제9 박막 트랜지스터의 게이트와 드레인 및 제7 박막 트랜지스터의 드레인이 상기 제1 클록 신호 입력단에 접속되고,

또는, 상기 제9 박막 트랜지스터의 게이트와 드레인 및 제7 박막 트랜지스터의 드레인이 상기 제2 클록 신호 입력단에 접속되는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 8**

제7항에 있어서,

양단이 각각 상기 제3 박막 트랜지스터의 게이트와 소스에 접속된 콘덴서를 더 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 9**

제7항에 있어서,

상기 제7 박막 트랜지스터의 채널의 폭/길이 비와 제8 박막 트랜지스터의 채널의 폭/길이 비의 비는 1/1~1/50 이고, 상기 제9 박막 트랜지스터의 채널의 폭/길이 비와 제10 박막 트랜지스터의 채널의 폭/길이 비의 비는 1/1~1/50인 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 10**

제7항에 있어서,

상기 출력 모듈은,

상기 제3 박막 트랜지스터의 소스에 접속되고, 상기 처리 모듈이 생성한 게이트 구동 신호를 송신하는 게이트 구동 신호 출력단;

상기 제7 박막 트랜지스터의 소스에 접속되고, 제3 신호를 이 시프트·레지스터 유닛에 인접하는 전의 시프트·레지스터 유닛에 출력하는 제1 신호 출력단;

상기 제3 박막 트랜지스터의 게이트와 소스에 접속되고, 제4 신호를 이 시프트·레지스터 유닛에 인접하는 전의 시프트·레지스터 유닛에 출력하는 제2 신호 출력단;을 구비하는 것을 특징으로 하는 시프트·레지스터 유닛.

**청구항 11**

디스플레이용 게이트 구동 장치에 있어서,

순차적으로 접속된 n+1개의 제1항에 기재된 시프트·레지스터 유닛을 구비하고, 여기서, n이 자연수이며,

1번째의 시프트·레지스터 유닛과 n+1번째의 시프트·레지스터 유닛 이외에 각 시프트·레지스터 유닛의 출력 모듈은, 모두 인접하는 전의 시프트·레지스터 유닛의 입력 모듈과 인접하는 다음 시프트·레지스터 유닛의 입력 모듈에 접속되고, 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 전의 시프트·레지스터 유닛의 리셋 신호로서 인접하는 전의 시프트·레지스터 유닛으로 송신되며, 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 다음 시프트·레지스터 유닛의 프레임 개시 신호로서 인접하는 다음 시프트·레지스터 유닛으로 송신되고,

1번째의 시프트·레지스터 유닛의 출력 모듈은 2번째의 시프트·레지스터 유닛의 입력 모듈에 접속되고, 1번째의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 2번째의 시프트·레지스터 유닛의 프레임 개시 신호로서 2번째의 시프트·레지스터 유닛에 입력되며,

마지막의 시프트·레지스터 유닛의 출력 모듈은 n번째의 시프트·레지스터 유닛의 입력 모듈에 접속되고, 마지막의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 n번째의 시프트·레지스터 유닛의 리셋 신호로서 n번째의 시프트·레지스터 유닛으로 송신되며,

마지막의 시프트·레지스터 유닛의 출력 모듈은 자신의 입력 모듈에 접속되고, 마지막의 시프트·레지스터 유닛

이 출력한 게이트 구동 신호는 자신의 리셋 신호로서 자신의 입력 모듈로 송신되는 것을 특징으로 하는 디스플레이용 게이트 구동 장치.

**청구항 12**

제11항에 있어서,

1번째의 시프트·레지스터 유닛과 마지막의 시프트·레지스터 유닛 이외에, 각 시프트·레지스터 유닛의 게이트 구동 신호 출력단은 모두 인접하는 전의 시프트·레지스터 유닛의 리셋 신호 입력단과 인접하는 다음 시프트·레지스터 유닛의 개시 신호 입력단에 접속되고,

1번째의 시프트·레지스터 유닛의 게이트 구동 신호 출력단은 2번째의 시프트·레지스터 유닛의 개시 신호 입력단에 접속되며,

n+1번째의 시프트·레지스터 유닛의 게이트 구동 신호 출력단은 각각 인접하는 n번째의 시프트·레지스터 유닛의 리셋 신호 입력단과 자신의 리셋 신호 입력단에 접속되는 것을 특징으로 하는 디스플레이용 게이트 구동 장치.

**청구항 13**

제11항에 있어서,

1번째의 시프트·레지스터 유닛과 n+1번째의 시프트·레지스터 유닛 이외에, 각 시프트·레지스터 유닛의 제1 신호 출력단은 모두 인접하는 전의 시프트·레지스터 유닛의 제1 신호 입력단에 접속되고, 제2 신호 출력단은 모두 인접하는 전의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되며, 제1 신호 입력단은 모두 인접하는 다음 시프트·레지스터 유닛의 제1 신호 출력단에 접속되고, 제2 신호 입력단은 모두 인접하는 다음 시프트·레지스터 유닛의 제2 신호 출력단에 접속되며,

1번째의 시프트·레지스터 유닛의 제1 신호 입력단은 2번째의 시프트·레지스터 유닛의 제1 신호 출력단에 접속되고, 제2 신호 입력단은 2번째의 시프트·레지스터 유닛의 제2 신호 출력단에 접속되며,

n+1번째의 시프트·레지스터 유닛의 제1 신호 출력단과 제1 신호 입력단은 모두 n번째의 시프트·레지스터 유닛의 제1 신호 입력단에 접속되고, 제2 신호 출력단과 제2 신호 입력단은 모두 n번째의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되는 것을 특징으로 하는 디스플레이용 게이트 구동 장치.

**청구항 14**

제12항에 있어서,

n+1이 짝수인 경우,

i번째의 시프트·레지스터 유닛의 제1 신호 입력단은 i+1번째의 시프트·레지스터 유닛의 제1 신호 출력단에 접속되고, i번째의 시프트·레지스터 유닛의 제2 신호 입력단은 i+1번째의 시프트·레지스터 유닛의 제2 신호 출력단에 접속되며, 여기서, i가 홀수이고,  $i \in [1, n]$ ,

i번째의 시프트·레지스터 유닛의 제1 신호 출력단은 i+1번째의 시프트·레지스터 유닛의 제1 신호 입력단에 접속되고, i번째의 시프트·레지스터 유닛의 제2 신호 출력단은 i+1번째의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되며,

n+1이 홀수인 경우,

i번째의 시프트·레지스터 유닛의 제1 신호 입력단은 i+1번째의 시프트·레지스터 유닛의 제1 신호 출력단에 접속되고, i번째의 시프트·레지스터 유닛의 제2 신호 입력단은 i+1번째의 시프트·레지스터 유닛의 제2 신호 출력단에 접속되며, 여기서, i가 홀수이고,  $i \in [1, n-1]$ ,

i번째의 시프트·레지스터 유닛의 제1 신호 출력단은 i+1번째의 시프트·레지스터 유닛의 제1 신호 입력단에 접속되고, i번째의 시프트·레지스터 유닛의 제2 신호 출력단은 i+1번째의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되며,

n+1번째의 시프트·레지스터 유닛의 제1 신호 입력단과 제1 신호 출력단은 모두 n번째의 시프트·레지스터 유닛의 제1 신호 입력단에 접속되고, n+1번째의 시프트·레지스터 유닛의 제2 신호 입력단과 제2 신호 출력단은 n번째의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되고,

개의 시프트·레지스터 유닛의 제2 신호 입력단에 접속되는 것을 특징으로 하는 디스플레이용 게이트 구동 장치.

**청구항 15**

제14항에 있어서,

i번째의 시프트·레지스터 유닛은, 제1 클록 신호 입력단이 제1 클록 신호를 입력하는 것에 이용되고, 제2 클록 신호 입력단이 제2 클록 신호를 입력하는 것에 이용되며,

i+1번째의 시프트·레지스터 유닛은, 제1 클록 신호 입력단이 제1 클록 신호의 반전 신호를 입력하는 것에 이용되고, 제2 클록 신호 입력단이 제3 클록 신호를 입력하는 것에 이용되는 것을 특징으로 하는 디스플레이용 게이트 구동 장치.

**청구항 16**

액정 디스플레이로서, 제11항에 기재된 디스플레이용 게이트 구동 장치를 구비하는 것을 특징으로 하는 액정 디스플레이.

**명세서**

**기술분야**

[0001] 본 발명은 시프트·레지스터 유닛, 디스플레이용 게이트 구동 장치 및 액정 디스플레이에 관한 것이다.

**배경기술**

[0002] 표시의 목표를 달성하기 위해, 어떤 디스플레이에는 게이트 구동 장치가 이용되고 있다.

[0003] 액정 디스플레이를 예로 들어 설명한다. 일반적으로는, 액정 디스플레이가 화상을 표시할 때에 순차 주사를 채용한다. 각 행의 서브 화소 영역의 박막 트랜지스터(Thin Film Transistor, TFT를 약칭함)의 온/오프가 1개의 게이트 라인으로 제어되어 있다. 각 박막 트랜지스터의 게이트를 구동하기 위한 게이트 구동 신호는 게이트 구동 장치에 의해 생성되어 있다. 게이트 구동 장치는 일반적으로 복수의 시프트·레지스터 유닛을 구비한다.

[0004] 시프트·레지스터 유닛은 일반적으로 복수의 박막 트랜지스터를 구비한다. 복수의 박막 트랜지스터는 입력된 클록 신호, 프레임 개시 신호 및 리셋 신호 등에 기초하여 게이트 구동 신호를 생성하고 있다. 게이트 구동 신호는 어레이 기판 상의 서브 화소 영역에서의 박막 트랜지스터로 송신된다.

[0005] 이들 박막 트랜지스터 중에서 적어도 2개는 하나의 노드를 형성할 수 있다. 그 중에서 어떤 노드의 레벨은 장시간 하이 레벨을 유지하고 있다. 이와 같이, 게이트가 이들 노드에 접속된 어떤 박막 트랜지스터는 장시간 보다 큰 바이어스 전압에 놓이기 때문에, 게이트가 이들 노드에 접속된 박막 트랜지스터의 수명이 저감되어 시프트·레지스터 유닛의 안정성에 영향을 준다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은, 박막 트랜지스터의 수명을 연장하면서 시프트·레지스터 유닛의 안정성을 향상시킬 수 있는 시프트·레지스터 유닛, 디스플레이용 게이트 구동 장치 및 액정 디스플레이를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0007] 본 발명이 제공하는 시프트·레지스터 유닛은, 1프레임 또는 복수의 프레임의 표시 시간을 구비하는 하나의 프레임 간격에 있어서, 제2 클록 신호가 제1 클록 신호의 반전 신호와 같고, 제3 클록 신호가 로우 레벨을 유지하며, 인접하는 다음 프레임 간격에 있어서, 제3 클록 신호가 제1 클록 신호와 같고, 제2 클록 신호가 로우 레벨을 유지하고 있으며, 제2 클록 신호 또는 제3 클록 신호를 입력하고, 또한 프레임 개시 신호, 제1 클록 신호, 저전압 신호, 리셋 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호를 입력하는 입력 모듈; 상기 입력 모듈에 접속되고, 적어도 2개의 박막 트랜지스터를 구비하며, 상기 입력 모듈이 입력한 제2 클록 신호 또는 제3 클록 신호에 기초하여, 또한 프레임 개시 신호, 제1 클록 신호 및 인접하는 다음 시프트·

레지스터 유닛이 송신한 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성하고, 또한 상기 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 상기 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호가 로우 레벨을 유지하는 프레임 간격에 있어서 로우 레벨로 유지시키는 처리 모듈; 상기 처리 모듈에 접속되고, 상기 처리 모듈이 생성한 게이트 구동 신호를 송신하는 출력 모듈;을 구비한다.

[0008] 본 발명이 더 제공하는 디스플레이용 게이트 구동 장치는, 순차적으로 접속된 n+1개의 상기 시프트·레지스터 유닛을 구비하고, 여기서, n이 자연수이며, 1번째의 시프트·레지스터 유닛과 n+1번째의 시프트·레지스터 유닛 이외에, 각 시프트·레지스터 유닛의 출력 모듈은 모두 인접하는 전의 시프트·레지스터 유닛의 입력 모듈과 인접하는 다음 시프트·레지스터 유닛의 입력 모듈에 접속되고, 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 전의 시프트·레지스터 유닛의 리셋 신호로서 인접하는 전의 시프트·레지스터 유닛으로 송신되며, 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 다음 시프트·레지스터 유닛의 프레임 개시 신호로서 인접하는 다음 시프트·레지스터 유닛으로 송신되고, 1번째의 시프트·레지스터 유닛의 출력 모듈은 2번째의 시프트·레지스터 유닛의 입력 모듈에 접속되며, 1번째의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 2번째의 시프트·레지스터 유닛의 프레임 개시 신호로서 2번째의 시프트·레지스터 유닛에 입력되고, 마지막의 시프트·레지스터 유닛의 출력 모듈은 n번째의 시프트·레지스터 유닛의 입력 모듈에 접속되며, 마지막의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 n번째의 시프트·레지스터 유닛의 리셋 신호로서 n번째의 시프트·레지스터 유닛으로 송신되고, 마지막의 시프트·레지스터 유닛의 출력 모듈은 자신의 입력 모듈에 접속되며, 마지막의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 자신의 리셋 신호로서 자신의 입력 모듈로 송신된다.

[0009] 본 발명이 더 제공하는 액정 디스플레이는, 상기 디스플레이용 게이트 구동 장치를 구비한다.

[0010] 이하는, 도면과 실시예를 통해 본 발명의 기술 방안을 더 상세하게 설명한다.

**도면의 간단한 설명**

- [0011] 도 1은, 본 발명의 실시예에 관한 시프트·레지스터 유닛의 구조 모식도.
- 도 2는, 본 발명의 실시예에 관한 시프트·레지스터 유닛의 제1 실시예의 구조 모식도.
- 도 3a는, 본 발명의 실시예에 관한 시프트·레지스터 유닛의 제2 실시예의 구조 모식도.
- 도 3b는, 도 5a에서의 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)의 입력 신호와 출력 신호의 시퀀스도.
- 도 4는, 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 구조 모식도.
- 도 5a는, 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제1 실시예의 구조 모식도.
- 도 5b는, 도 5a에 도시된 디스플레이용 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도.
- 도 5c는, 도 5b의 간략 시퀀스도.
- 도 6a는, 본 발명의 실시예에 관한 시프트·레지스터 유닛의 제3 실시예의 구조 모식도.
- 도 6b는, 도 6a에 도시된 시프트·레지스터 유닛의 입력 신호와 출력 신호의 시퀀스도.
- 도 7은, 본 발명의 실시예에 관한 시프트·레지스터 유닛의 제4 실시예의 구조 모식도.
- 도 8은, 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제2 실시예의 구조 모식도.
- 도 9는, 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제3 실시예의 구조 모식도.

**발명을 실시하기 위한 구체적인 내용**

[0012] 본 발명의 하기 각 실시예에 있어서 주로 액정 디스플레이를 예로서 설명하지만, 본 발명의 실시예에서의 시프트·레지스터 유닛 및 게이트 구동 장치는 액정 디스플레이에 한정되지 않고, 다른 각종 디스플레이, 예를 들면 유기 발광 다이오드(OLED) 디스플레이에 이용되고 있다.

[0013] 도 1은 본 발명의 실시예에 관한 시프트·레지스터 유닛의 구조 블록 모식도이다. 이 시프트·레지스터 유닛은, 입력 모듈(11)과 처리 모듈(12)과 출력 모듈(13)을 구비한다. 입력 모듈(11)은, 제2 클럭 신호 또는 제3 클럭 신호를 입력하고, 또한 프레임 개시 신호, 제1 클럭 신호, 저전압 신호, 리셋 신호 및 인접하는 다음 시프트·

레지스터 유닛이 송신한 제1 신호와 제2 신호를 입력하기 위해 이용된다. 하나의 프레임 간격으로 제2 클록 신호는 제1 클록 신호의 반전 신호와 같고, 제3 클록 신호는 로우 레벨을 유지하고 있다. 인접하는 다음 프레임 간격으로 제3 클록 신호는 제1 클록 신호와 같고, 제2 클록 신호는 로우 레벨을 유지하고 있다. 하나의 프레임 간격은 하나의 프레임 또는 복수의 프레임의 표시 시간을 포함한다. 처리 모듈(12)은 입력 모듈(11)에 접속되고, 적어도 2개의 박막 트랜지스터를 구비하며, 입력 모듈(11)이 입력한 제2 클록 신호 또는 제3 클록 신호에 기초하여, 또한 프레임 개시 신호, 제1 클록 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성하고, 또한 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 입력 모듈(11)이 입력한 제2 클록 신호 또는 제3 클록 신호가 로우 레벨을 유지하는 프레임 간격으로 로우 레벨로 유지시킨다. 출력 모듈(13)은 처리 모듈(12)에 접속되고, 처리 모듈(12)이 생성한 게이트 구동 신호를 송신한다.

[0014] 도 2는 본 발명의 시프트·레지스터 유닛의 제1 실시예의 구조 모식도이다. 이 실시예에 있어서, 처리 모듈(12)은 게이트 구동 신호 생성 유닛(121)과 레벨 제어 유닛(122)을 구비한다. 게이트 구동 신호 생성 유닛(121)은 입력 모듈(11)에 접속되고, 적어도 2개의 박막 트랜지스터를 구비하며, 입력 모듈(11)이 입력한 제2 클록 신호 또는 제3 클록 신호에 기초하여, 또한 프레임 개시 신호, 제1 클록 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신한 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성한다. 레벨 제어 유닛(122)은 게이트 구동 신호 생성 유닛(121)에 접속되고, 게이트 구동 신호 생성 유닛(121)에서의 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 입력 모듈(11)이 입력한 제2 클록 신호 또는 제3 클록 신호가 로우 레벨을 유지하는 프레임 간격으로 로우 레벨로 유지시킨다.

[0015] 도 3a는 본 발명의 시프트·레지스터 유닛의 제2 실시예의 구조 모식도이다. 이 실시예에 있어서, 입력 모듈(11)은 개시 신호 입력단(INPUT-1), 제1 클록 신호 입력단(CLK1IN), 제2 클록 신호 입력단(CLK2IN), 제1 신호 입력단(PDNIN), 제2 신호 입력단(PUNIN), 저전압 신호 입력단(VSSIN) 및 리셋 신호 입력단(RESETIN)을 구비한다. 개시 신호 입력단(INPUT-1)은 프레임 개시 신호를 입력한다. 제1 클록 신호 입력단(PDNIN)은 제1 클록 신호를 입력한다. 제2 클록 신호 입력단(CLK2IN)은 제2 클록 신호 또는 제3 클록 신호를 입력한다. 제1 신호 입력단(PDNIN)은 이 시프트·레지스터 유닛에 인접하는 다음 시프트·레지스터 유닛이 입력한 제1 신호를 입력한다. 제2 신호 입력단(PUNIN)은 이 시프트·레지스터 유닛에 인접하는 다음 시프트·레지스터 유닛이 입력한 제2 신호를 입력한다. 저전압 신호 입력단(VSSIN)은 저전압 신호를 입력한다. 리셋 신호 입력단(RESETIN)은 리셋 신호를 입력한다.

[0016] 출력 모듈(13)은 게이트 구동 신호 출력단(OUT)과 제1 신호 출력단(PDLOUT)과 제2 신호 출력단(PULOUT)을 구비한다. 게이트 구동 신호 출력단(OUT)은 처리 모듈이 생성한 게이트 구동 신호를 송신한다. 제1 신호 출력단(PDLOUT)은 제3 신호를 이 시프트·레지스터 유닛에 인접하는 전의 시프트·레지스터 유닛에 출력한다. 제2 신호 출력단(PULOUT)은 제4 신호를 이 시프트·레지스터 유닛에 인접하는 전의 시프트·레지스터 유닛에 출력한다.

[0017] 게이트 구동 신호 생성 유닛(121)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제8 박막 트랜지스터(T8), 제9 박막 트랜지스터(T9), 제10 박막 트랜지스터(T10), 제11 박막 트랜지스터(T11), 제12 박막 트랜지스터(T12)를 구비한다.

[0018] 제1 박막 트랜지스터(T1)의 게이트와 드레인은 모두 개시 신호 입력단(INPUT-1)에 접속되어 있다. 제2 박막 트랜지스터(T2)의 드레인은 제1 박막 트랜지스터(T1)의 소스에 접속되고, 제2 박막 트랜지스터(T2)의 게이트는 리셋 신호 입력단(RESETIN)에 접속되며, 제2 박막 트랜지스터(T2)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제3 박막 트랜지스터(T3)의 드레인은 제1 클록 신호 입력단(CLK1IN)에 접속되고, 제3 박막 트랜지스터(T3)의 게이트와 소스는 제2 신호 출력단(PULOUT)에 접속되며, 제3 박막 트랜지스터(T3)의 소스는 자신의 게이트와 게이트 구동 신호 출력단(OUT)에도 접속되어 있다. 제4 박막 트랜지스터(T4)의 게이트는 리셋 신호 입력단(RESETIN)에 접속되고, 제4 박막 트랜지스터(T4)의 드레인은 제3 박막 트랜지스터(T3)의 소스에 접속되며, 제4 박막 트랜지스터(T4)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제5 박막 트랜지스터(T5)의 드레인은 제1 박막 트랜지스터(T1)의 소스에 접속되고, 제5 박막 트랜지스터(T5)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제6 박막 트랜지스터(T6)의 드레인은 제3 박막 트랜지스터(T3)의 소스에 접속되고, 제6 박막 트랜지스터(T6)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제7 박막 트랜지스터(T7)의 소스는 각각 제5 박막 트랜지스터(T5)의 게이트와 제6 박막 트랜지스터(T6)의 게이트와 제1 신호 출력단(PDLOUT)에 접속되어 있다. 제8 박막 트랜지스터(T8)의 게이트는 제1 박막 트랜지스터(T1)의 소스에 접속되고, 제8 박막 트랜

지스터(T8)의 드레인은 제7 박막 트랜지스터(T7)의 소스에 접속되며, 제8 박막 트랜지스터(T8)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제9 박막 트랜지스터(T9)의 소스는 제7 박막 트랜지스터(T7)의 게이트에 접속되어 있다. 제10 박막 트랜지스터(T10)의 게이트는 제1 박막 트랜지스터(T1)의 소스에 접속되고, 제10 박막 트랜지스터(T10)의 드레인은 제9 박막 트랜지스터(T9)의 소스에 접속되며, 제10 박막 트랜지스터(T10)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제11 박막 트랜지스터(T11)의 소스는 개시 신호 입력단(INPUT-1)에 접속되고, 드레인은 제1 박막 트랜지스터(T1)의 소스에 접속되며, 게이트는 제2 클록 신호 입력단(CLK2IN)에 접속되어 있다. 제12 박막 트랜지스터(T12)의 드레인은 제3 박막 트랜지스터(T3)의 소스에 접속되고, 소스는 저전압 신호 입력단(VSSIN)에 접속되며, 게이트는 제2 클록 신호 입력단(CLK2IN)에 접속되어 있다. 제1 박막 트랜지스터(T1)의 소스와 제2 박막 트랜지스터(T2)의 드레인과 제5 박막 트랜지스터(T5)의 드레인과 제10 박막 트랜지스터(T10)의 게이트와 제8 박막 트랜지스터(T8)의 게이트와 제3 박막 트랜지스터(T3)의 게이트가 접속하는 개소는 제2 노드를 형성하고 있다. 본 발명의 각 실시예에 있어서, 제2 노드는 PU노드라고 불린다. 제7 박막 트랜지스터(T7)의 소스와 제8 박막 트랜지스터(T8)의 드레인과 제5 박막 트랜지스터(T5)의 게이트와 제6 박막 트랜지스터(T6)의 게이트가 접속하는 개소는 제1 노드를 형성하고 있다. 본 발명의 각 실시예에 있어서, 제1 노드는 PD노드라고 불린다. 제9 박막 트랜지스터(T9)의 소스와 제7 박막 트랜지스터(T7)의 게이트가 접속하는 개소는 제3 노드를 형성하고 있다. 본 발명의 각 실시예에 있어서, 제3 노드는 PD\_CN노드라고 불리고 있다.

[0019] 도 3a에서, 레벨 제어 유닛(122)은 제13 박막 트랜지스터(T13), 제14 박막 트랜지스터(T14), 제15 박막 트랜지스터(T15) 및 제16 박막 트랜지스터(T16)를 구비한다.

[0020] 제13 박막 트랜지스터(T13)의 게이트는 제1 신호 입력단(PDNIN)에 접속되고, 드레인은 제5 박막 트랜지스터(T5)의 드레인과 제1 박막 트랜지스터(T1)의 소스에 접속되며, 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제14 박막 트랜지스터(T14)의 게이트는 제2 신호 입력단(PUNIN)에 접속되고, 드레인은 제10 박막 트랜지스터(T10)의 드레인과 제9 박막 트랜지스터(T9)의 소스에 접속되며, 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제15 박막 트랜지스터(T15)의 게이트는 제2 신호 입력단(PUNIN)에 접속되고, 드레인은 제8 박막 트랜지스터(T8)의 드레인과 제7 박막 트랜지스터(T7)의 소스에 접속되며, 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다. 제16 박막 트랜지스터(T16)의 게이트는 제1 신호 입력단(PDNIN)에 접속되고, 드레인은 제6 박막 트랜지스터(T6)의 드레인과 제3 박막 트랜지스터(T3)의 소스에 접속되며, 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있다.

[0021] 도 4는 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 구조 모식도이다. 도 4에 도시된 바와 같이, 이 장치는 순차적으로 접속된 n+1개의 시프트·레지스터 유닛을 구비한다. 이 n+1개의 시프트·레지스터 유닛은 각각 SR<sub>1</sub>, SR<sub>2</sub>, …, SR<sub>n+1</sub>로 표식(標識)된다. 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)과 n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>) 이외에, 각 시프트·레지스터 유닛의 출력 모듈(13)은 모두 인접하는 전의 시프트·레지스터 유닛의 입력 모듈(11)과 인접하는 다음 시프트·레지스터 유닛의 입력 모듈(11)에 접속되어 있다. 이에 따라, 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 전의 시프트·레지스터 유닛의 리셋 신호로서 인접하는 전의 시프트·레지스터 유닛으로 송신되어 있다. 각 시프트·레지스터 유닛이 출력한 게이트 구동 신호는 모두 인접하는 다음 시프트·레지스터 유닛의 프레임 개시 신호로서 인접하는 다음 시프트·레지스터 유닛에 입력되어 있다. 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 출력 모듈(13)은 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 입력 모듈(11)에 접속되고, 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)이 출력한 게이트 구동 신호는 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 프레임 개시 신호로서 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)으로 송신되어 있다. 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>)의 출력 모듈(13)은 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)의 입력 모듈(11)에 접속되고, 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>)이 출력한 게이트 구동 신호는 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)의 리셋 신호로서 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)으로 송신되어 있다. 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>)의 출력 모듈(13)은 자신의 입력 모듈(11)에 접속되고, 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>)이 출력한 게이트 구동 신호는 자신의 리셋 신호로서 자신의 입력 모듈(11)로 송신되어 있다.

[0022] 도 5a는 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제1 실시예의 구조 모식도이다. 이 실시예에 있어서, n+1개의 도 3a에 도시된 시프트·레지스터 유닛을 구비하고, 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)과 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>) 이외에, 각 시프트·레지스터 유닛의 게이트 구동 신호 출력단(OUT)은 모두 인접하는 전의 시프트·레지스터 유닛의 리셋 신호 입력단(RESETIN)과 인접하는 다음 시프트·레지스터

유닛의 개시 신호 입력단(INPUT-1)에 접속되어 있다. 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 게이트 구동 신호 출력단(OUT)은 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 개시 신호 입력단(INPUT-1)에 접속되고, n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>)의 게이트 구동 신호 출력단(OUT)은 각각 인접하는 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)의 리셋 신호 입력단(RETSETIN)과 자신의 리셋 신호 입력단(RETSETIN)에 접속되어 있다. 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)과 마지막의 시프트·레지스터 유닛(SR<sub>n+1</sub>) 이외에, 각 시프트·레지스터 유닛의 제1 신호 출력단(PDLOUT)은 모두 인접하는 전의 시프트·레지스터 유닛의 제1 신호 입력단(PDNIN)에 접속되고, 제2 신호 출력단(PULOUT)은 모두 인접하는 전의 시프트·레지스터 유닛의 제2 신호 입력단(PUNIN)에 접속되며, 제1 신호 입력단(PDNIN)은 모두 인접하는 다음 시프트·레지스터 유닛의 제1 신호 출력단(PDLOUT)에 접속되고, 제2 신호 입력단(PUNIN)은 모두 인접하는 다음 시프트·레지스터 유닛의 제2 신호 출력단(PULOUT)에 접속되어 있다. 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 제1 신호 입력단(PDNIN)은 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 제1 신호 출력단(PDLOUT)에 접속되고, 제2 신호 입력단(PUNIN)은 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 제2 신호 출력단(PULOUT)에 접속되어 있다. n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>)의 제1 신호 출력단(PDLOUT)과 제1 신호 입력단(PDNIN)은 모두 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)의 제1 신호 입력단(PDNIN)에 접속되고, 제2 신호 출력단(PULOUT)과 제2 신호 입력단(PUNIN)은 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)의 제2 신호 입력단(PUNIN)에 접속되어 있다.

[0023] 도 3a와 도 5a를 결합하면 본 발명의 실시예의 디스플레이용 게이트 구동 장치에서의 각 시프트·레지스터 유닛의 접속 관계가 명확히 도시될 수 있다. 이하는, 단독 시프트·레지스터 유닛에서의 입력 신호와 출력 신호 간의 시퀀스 관계 및 디스플레이용 게이트 구동 장치에서의 입력 신호와 출력 신호 간의 시퀀스 관계를 설명한다.

[0024] 도 5b는 도 5a에 도시된 디스플레이용 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도이다. 도 5b는 액정 디스플레이의 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도로서, 다른 디스플레이의 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도도 이것과 유사하므로, 액정 디스플레이의 게이트 구동 장치의 원리를 참조하여 이해할 수 있다. STV는 프레임 개시 신호이다. 이 STV신호는 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 개시 신호 입력단(INPUT-1)에 입력되고, 다른 시프트·레지스터 유닛의 개시 신호 입력단(INPUT-1)은 모두 인접하는 전의 시프트·레지스터 유닛의 게이트 구동 신호 출력단(OUT)에 접속되며, 즉 다른 시프트·레지스터 유닛의 개시 신호 입력단(INPUT-1)에 입력된 것은 인접하는 전의 시프트·레지스터 유닛이 출력한 게이트 구동 신호(OUTPUT)이다. 하나의 시프트·레지스터 유닛이 출력한 게이트 구동 신호는, 인접하는 다음 시프트·레지스터 유닛의 프레임 개시 신호가 된다. 도 5b에서는, INPUT는 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>) 이외의 다른 각 시프트·레지스터 유닛의 개시 신호 입력단(INPUT-1)에 입력된 신호이다. 각 시프트·레지스터 유닛은 하나의 게이트 구동 신호(OUTPUT)를 출력하여 구동 액정 디스플레이의 한 행의 게이트 라인에 이용되고 있다. 저전압 신호(VSS)(도 5b 중 VSS를 도시하지 않음)는 각 시프트·레지스터 유닛의 저전압 신호 입력단(VSSIN)에 입력되고, i번째의 시프트·레지스터 유닛(SR<sub>i</sub>)의 제1 클록 신호 입력단(CLK1IN)에는 제1 클록 신호(CLK1)가 입력되며, 제2 클록 신호 입력단(CLK2IN)에는 제2 클록 신호(CLK2)가 입력된다. 단, i는 홀수이다. n+1이 홀수이면, i=1,3,5,……,n+1이다. i가 짝수이면, i=1,3,5,……,n이다. i+1번째의 시프트·레지스터 유닛(SR<sub>i+1</sub>)의 제1 클록 신호 입력단(CLK1IN)에는 제1 클록 신호의 반전 신호(CLK1B)가 입력되고, 제3 클록 신호 입력단(CLK2IN)에는 제3 클록 신호(CLK3)가 입력된다.

[0025] 도 3b는 도 5a에서의 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)의 입력 신호와 출력 신호의 시퀀스도이다. 도 3b는 액정 디스플레이의 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도로서, 다른 디스플레이의 게이트 구동 장치의 입력 신호와 출력 신호의 시퀀스도는 그것과 유사하므로, 액정 디스플레이의 게이트 구동 장치의 원리를 참조하여 이해할 수 있다. 개시 신호 입력단(INPUT-1)은 신호(INPUT)를 입력하고, 제1 클록 신호 입력단(CLK1IN)은 제1 클록 신호(CLK1)를 입력하며, 제2 클록 신호 입력단(CLK2IN)은 제2 클록 신호(CLK2)를 입력하고, 저전압 신호 입력단(VSSIN)은 저전압 신호(VSS)를 입력하며, 리셋 신호 입력단(RESETIN)은 리셋 신호(RESET)를 입력하고, 게이트 구동 신호 출력단(OUT)은 게이트 구동 신호(OUTPUT)를 출력한다. 도 3b에서 저전압 신호(VSS)가 도시되지 않고, 저전압 신호(VSS)는 저전압을 계속 유지하고 있는 신호이다. 4번째의 시프트·레지스터 유닛(SR<sub>4</sub>)의 제1 신호 출력단(PDLOUT)은 신호(PDN)를 출력하고 있다. 이 신호(PDN)는 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)의 제1 신호 입력단(PDLIN)에 입력되고, 제1 신호라고 간주될 수 있다. 4번째의 시프트·레지스터 유닛(SR<sub>4</sub>)의

제2 신호 출력단(PULOUT)은 신호(PUN)를 출력하고 있다. 이 신호(PUN)는 3번째의 시프트·레지스터(SR<sub>3</sub>)의 제2 신호 입력단(PUNIN)에 입력되고, 제2 신호라고 간주될 수 있다. 3번째의 시프트·레지스터(SR<sub>3</sub>)의 제1 신호 출력단(PDLOUT)이 출력한 신호(PDL)는 2번째의 시프트·레지스터(SR<sub>2</sub>)의 제1 신호 입력단(PDNIN)에 입력되고, 제3 신호라고 간주될 수 있다. 3번째의 시프트·레지스터(SR<sub>3</sub>)의 제2 신호 출력단(PULOUT)이 출력한 신호(PUL)는 2번째의 시프트·레지스터(SR<sub>2</sub>)의 제2 신호 입력단(PUNIN)에 입력되고, 제4 신호라고 간주될 수 있다.

[0026] 3번째의 시프트·레지스터(SR<sub>3</sub>)에 대해서는, 제2 클록 신호 입력단(CLK2IN)에 입력되는 것은 제2 클록 신호(CLK2)인데, 3번째의 시프트·레지스터(SR<sub>3</sub>)에는 4번째의 시프트·레지스터(SR<sub>4</sub>)가 생성한 신호(PDN과 PUN을 포함함)가 입력될 필요가 있고, 신호(PDN과 PUN을 포함함)의 생성은 제3 클록 신호(CLK3)에 따르므로, 도 3b에서 제3 클록 신호(CLK3)를 함께 도시하고 있다.

[0027] 본 발명의 실시예에서 T<sub>hold</sub>로 프레임 간격을 표시하고 있다. 프레임 간격은 하나의 프레임 또는 복수의 프레임의 표시 시간을 포함한다. 즉, 프레임 간격은 프레임 개시 신호(STV)의 하나의 상승의 개시 시각부터 나중의 어떤 하강의 개시 시각까지의 간격이다. 일반적으로 T<sub>hold</sub>는 디스플레이의 1 프레임의 화상을 주사하는 시간 간격의 정수배로서, 최소한 1배, 많게는 수십 내지 백배에 이른다. 도 5b에 도시된 바와 같이, 다른 프레임 간격에 있어서 제2 클록 신호(CLK2)와 제3 클록 신호(CLK3)는 형상이 다르다. 도 5b와 도 3b에 도시된 바와 같이, 인접하는 2개의 프레임 간격은 각각 Th1과 Th2이다.

[0028] 도 3b에서 보이는 바와 같이, Th1에서 제2 클록 신호(CLK2)는 제1 클록 신호의 반전 신호(CLK1B)와 같고, Th2에서 제2 클록 신호(CLK2)는 로우 레벨을 유지하고 있다. Th1에서 제3 클록 신호(CLK3)는 로우 레벨을 유지하고 있다. Th2에서 제3 클록 신호(CLK3)는 제1 클록 신호(CLK1)와 같다.

[0029] 도 5c는 도 5b의 간략 시퀀스도이다. 도 5c로부터, 제2 클록 신호(CLK2)와 제3 클록 신호(CLK3)와 프레임 개시 신호(STV) 간의 관계가 명확히 보인다.

[0030] 이하는, 도 3a와 3b를 결합하여 본 발명의 실시예에서의 시프트·레지스터 유닛의 동작 원리를 설명한다.

[0031] 본 발명의 실시예에 있어서, 프레임 간격은 하나 또는 복수의 프레임의 표시 시간을 포함할 수 있지만, 일단 프레임 간격의 길이를 확정된 후에 각 프레임 간격의 길이는 같다. 즉, 도 3b에서 Th1과 Th2의 길이가 같다.

[0032] Th1부터 5개의 단계를 잡고 각각 I-1, I-2, I-3, I-4 및 I-5로 표시한다. Th2부터 5개의 단계를 잡고 각각 II-1, II-2, II-3, II-4 및 II-5로 표시한다.

[0033] (1)Th1에서

[0034] 도 3a와 도 5a의 구조를 결합하여 알 수 있는 바와 같이, Th1의 시간 간격에서 제3 클록 신호(CLK3)가 로우 레벨을 유지하고 있으므로, 3번째의 시프트·레지스터(SR<sub>3</sub>)가 입력한 신호(PDN)는 로우 레벨을 유지하고, 3번째의 시프트·레지스터(SR<sub>3</sub>)에서의 제13 박막 트랜지스터(T13)와 제14 박막 트랜지스터(T14)는 오프되어 있다.

[0035] 1. I-1단계에서

[0036] 신호(INPUT)는 하이 레벨이고 리셋 신호(RESET)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 온되고, PU노드의 신호는 하이 레벨, 즉 3번째의 시프트·레지스터(SR<sub>3</sub>)가 출력한 신호(PUL)는 하이 레벨이다. PU노드의 신호가 하이 레벨이므로, 제3 박막 트랜지스터(T3)와 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 온되어 있다.

[0037] 신호(PUN)는 로우 레벨로서, 제15 박막 트랜지스터(T15)와 제14 박막 트랜지스터(T14)는 오프되어 있다.

[0038] 제1 클록 신호(CLK1)는 로우 레벨이고, 제2 클록 신호(CLK2)는 하이 레벨로서, 제7 박막 트랜지스터(T7)와 제9 박막 트랜지스터(T9)와 제11 박막 트랜지스터(T11)와 제12 박막 트랜지스터(T12)는 온되어 있다. 제7 박막 트랜지스터(T7)의 채널의 폭/길이 비와 제8 박막 트랜지스터의 채널의 폭/길이 비의 비레 및 제9 박막 트랜지스터(T9)의 채널의 폭/길이 비와 제10 박막 트랜지스터의 채널의 폭/길이 비의 비레를 설정함으로써, PD노드의 신호가 로우 레벨이 될 수 있다. 이에 따라, 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)가 오프된다. 제7 박막 트랜지스터(T7)의 채널의 폭/길이 비와 제8 박막 트랜지스터(T8)의 채널의 폭/길이 비의 비레는 1/1~1/50 이어도 되고, 제9 박막 트랜지스터(T9)의 채널의 폭/길이 비와 제10 박막 트랜지스터(T10)의 채널의 폭/길이 비

의 비례는 1/1~1/50이어도 되는 것이다.

- [0039] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)가 오프되어 있으므로, 게이트 구동 신호(OUTPUT)는 로우 레벨, 신호(PDL)는 로우 레벨, 신호(PUL)는 하이 레벨이다.
- [0040] 2. I-2단계에서
- [0041] 신호(INPUT)는 로우 레벨이 되어 제1 박막 트랜지스터(T1)가 오프되고, 리셋 신호(RESET)는 로우 레벨로서, PU노드의 신호는 하이 레벨을 유지하고 있다. 즉, 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)이 출력한 신호(PUL)는 여전히 하이 레벨이다. PU노드의 신호는 하이 레벨을 유지하고 있으므로, 제3 박막 트랜지스터(T3)와 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 온되는 상태를 유지하고 있다.
- [0042] 신호(PUN)는 하이 레벨이므로, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)가 온된다.
- [0043] 제2 클럭 신호(CLK2)는 로우 레벨로서, 제7 박막 트랜지스터(T7)와 제9 박막 트랜지스터(T9)와 제11 박막 트랜지스터(T11)와 제12 박막 트랜지스터(T12)는 오프되고, PD노드의 신호는 로우 레벨을 유지하고 있다. 이에 따라, 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)는 오프된다.
- [0044] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프된다.
- [0045] 제1 클럭 신호(CLK1)는 하이 레벨로서, 제3 박막 트랜지스터(T3)는 온되므로, 게이트 구동 신호(OUTPUT)는 하이 레벨이다. 신호(PUL)는 하이 레벨이고, 신호(PDL)는 로우 레벨이다.
- [0046] 3. I-3단계에서
- [0047] 신호(INPUT)는 로우 레벨이고, 리셋 신호(RESET)는 하이 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 온되고, PU노드의 신호는 로우 레벨이 된다. 이에 따라, 제3 박막 트랜지스터(T3)와 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.
- [0048] 신호(PUN)는 하이 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 온되는 상태를 유지한다.
- [0049] 제2 클럭 신호(CLK2)는 하이 레벨로서, 제7 박막 트랜지스터(T7)와 제9 박막 트랜지스터(T9)와 제11 박막 트랜지스터(T11)와 제12 박막 트랜지스터(T12)는 온되어 있는데, 이 때의 신호(PUN)는 하이 레벨이면, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 온되고, 제9 박막 트랜지스터(T9)와 제14 박막 트랜지스터(T14)의 폭/길이 비의 비례 및 제7 박막 트랜지스터(T7)와 제15 박막 트랜지스터(T15)의 폭/길이 비의 비례를 설정, 예를 들면 폭/길이 비의 비례를 1/1~1/50으로 설정함으로써, PD노드의 신호를 로우 레벨로 유지한다. 이에 따라, 제5 박막 트랜지스터와 제6 박막 트랜지스터는 오프되는 상태를 유지한다.
- [0050] 제1 클럭 신호(CLK1)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 온되어 있다. 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)의 소스는 저전압 신호 입력단(VSSIN)에 접속되어 있으므로, 게이트 구동 신호(OUTPUT)는 로우 레벨이 된다. 신호(PDL)는 로우 레벨을 유지하고, 신호(PUL)는 로우 레벨이 된다.
- [0051] 4. I-4단계에서
- [0052] 신호(INPUT)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 오프되어 있다. 리셋 신호(RESET)는 로우 레벨이고, PU노드의 신호는 로우 레벨로서, 즉 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)이 출력한 신호(PUL)는 로우 레벨이다. PU노드의 신호는 로우 레벨이므로, 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.
- [0053] 신호(PUN)는 로우 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 오프된다.
- [0054] 제2 클럭 신호(CLK2)는 로우 레벨로서, 제7 박막 트랜지스터(T7)와 제9 박막 트랜지스터(T9)와 제11 박막 트랜지스터(T11)와 제12 박막 트랜지스터(T12)는 오프되고, PD노드의 신호는 로우 레벨을 유지한다. 이에 따라, 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)는 오프된다.
- [0055] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프되고, 게이트 구동 신호(OUTPUT)는 로우 레벨을 유지한다. 신호(PUL)는 로우 레벨이고, 신호(PDL)는 로우 레벨이다.
- [0056] 5. I-5단계에서

- [0057] 신호(INPUT)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 오프되어 있다. 리셋 신호(RESET)는 로우 레벨로서, PU노드의 신호는 로우 레벨을 유지하고, 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.
- [0058] 신호(PUN)는 로우 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 오프된다.
- [0059] 제2 클록 신호(CLK2)는 하이 레벨로서, 제7 박막 트랜지스터(T7)와 제9 박막 트랜지스터(T9)와 제11 박막 트랜지스터(T11)와 제12 박막 트랜지스터(T12)는 온되고, PD노드의 신호는 하이 레벨이다. 이에 따라, 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)는 온된다.
- [0060] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프되고, 게이트 구동 신호(OUTPUT)가 로우 레벨을 유지한다.
- [0061] 도 3b는 시프트·레지스터 유닛의 일부의 시퀀스도만을 도시한다. 디스플레이는 1프레임의 화상을 표시할 때마다, 어떤 한 행의 액정 화소를 제어하는 시프트·레지스터 유닛은 하나의 하이 레벨의 게이트 구동 신호를 출력하고, 신호(INPUT), 리셋 신호(RESET), 제1 클록 신호(CLK1) 및 제2 클록 신호(CLK2)는 모두 I-1, I-2, I-3단계의 시퀀스를 1회 반복한다. 디스플레이는 1프레임의 화상을 표시하는 시간 중에서 I-1, I-2, I-3단계 이외의 시간에서, 신호(INPUT), 리셋 신호(RESET), 제1 클록 신호(CLK1) 및 제2 클록 신호(CLK2)는 모두 I-4 및 I-5단계와 같은 시퀀스를 1회 반복한다.
- [0062] (2)Th2에서
- [0063] 도 3a와 도 5a의 구조를 결합하여 보이는 바와 같이, Th2에서 제2 클록 신호(CLK2)는 로우 레벨을 유지하므로, 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제9 박막 트랜지스터(T9), 제11 박막 트랜지스터(T11) 및 제12 박막 트랜지스터(T12)는 오프되고, PD노드의 신호는 로우 레벨을 유지하며, 제3 박막 트랜지스터(SR<sub>3</sub>)가 출력한 신호(PDL)도 로우 레벨을 유지한다.
- [0064] 1. II-1단계에서
- [0065] 신호(INPUT)는 하이 레벨이고, 리셋 신호(RESET)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 온되고, PU노드의 신호는 하이 레벨이다. 즉, 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)이 출력한 신호(PUL)는 하이 레벨이다. PU노드의 신호는 하이 레벨이므로, 제3 박막 트랜지스터(T3)와 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 온된다.
- [0066] 신호(PUN)는 로우 레벨로서, 제15 박막 트랜지스터(T15)와 제14 박막 트랜지스터(T14)는 오프된다.
- [0067] 신호(PDN)는 로우 레벨로서, 제13 박막 트랜지스터(T13)와 제16 박막 트랜지스터(T16)는 오프된다.
- [0068] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 (T4)는 오프되고, 또한 제1 클록 신호(CLK1)는 로우 레벨이므로, 게이트 구동 신호(OUTPUT)는 로우 레벨이다. 신호(PDL)는 로우 레벨이고, 신호(PUL)는 하이 레벨이다.
- [0069] 2. II-2단계에서
- [0070] 신호(INPUT)는 로우 레벨이 되어 제1 박막 트랜지스터(T1)는 오프되고, 리셋 신호(RESET)는 로우 레벨로서, PU노드의 신호는 하이 레벨을 유지한다. 즉, 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)이 출력한 신호(PUL)는 하이 레벨이다. PU노드의 신호는 하이 레벨을 유지하므로, 제3 박막 트랜지스터(T3)와 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 온된다.
- [0071] 신호(PUN)는 하이 레벨이므로, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 온된다.
- [0072] 신호(PDN)는 로우 레벨로서, 제13 박막 트랜지스터(T13)와 제16 박막 트랜지스터(T16)는 오프된다.
- [0073] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프된다.
- [0074] 제1 클록 신호(CLK1)는 하이 레벨로서, 제3 박막 트랜지스터(T3)는 온되므로, 게이트 구동 신호(OUTPUT)는 하이 레벨이다. 신호(PUL)는 하이 레벨이고, 신호(PDL)는 로우 레벨이다.
- [0075] 3. II-3단계에서
- [0076] 신호(INPUT)는 로우 레벨이고, 리셋 신호(RESET)는 하이 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 온되고, PU노드의 신호는 로우 레벨이 된다. 이에 따라, 제3 박막 트랜지스터(T3)와 제8 박막 트랜

지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.

- [0077] 신호(PUN)는 하이 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 온된다.
- [0078] 신호(PDN)는 로우 레벨로서, 제13 박막 트랜지스터(T13)와 제16 박막 트랜지스터(T16)는 오프되는 상태를 유지한다.
- [0079] 제1 클록 신호(CLK1)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 온되어 있다. 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)의 소스가 저전압 신호 입력단(VSSIN)에 접속되어 있으므로, 게이트 구동 신호(OUTPUT)는 로우 레벨이 된다. 신호(PDL)는 로우 레벨을 유지하고, 신호(PUL)는 로우 레벨이 된다.
- [0080] 4. II-4단계에서
- [0081] 신호(INPUT)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 오프되는 상태를 유지한다. 리셋 신호(RESET)는 로우 레벨이고, PU노드의 신호는 로우 레벨이다. 즉, 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)이 출력한 신호(PUL)는 로우 레벨이다. PU노드의 신호는 로우 레벨이므로, 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.
- [0082] 신호(PUN)는 로우 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 오프된다.
- [0083] 신호(PDN)는 하이 레벨로서, 제13 박막 트랜지스터(T13)와 제16 박막 트랜지스터(T16)는 온된다.
- [0084] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프되고, 게이트 구동 신호(OUTPUT)는 로우 레벨을 유지한다. 신호(PUL)는 로우 레벨이고, 신호(PDL)는 로우 레벨이다.
- [0085] 5. II-5단계에서
- [0086] 신호(INPUT)는 로우 레벨로서, 제1 박막 트랜지스터(T1)는 오프된다. 리셋 신호(RESET)는 로우 레벨로서, PU노드의 신호는 로우 레벨을 유지하고, 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 오프된다.
- [0087] 신호(PUN)는 로우 레벨로서, 제14 박막 트랜지스터(T14)와 제15 박막 트랜지스터(T15)는 오프된다.
- [0088] 리셋 신호(RESET)는 로우 레벨로서, 제2 박막 트랜지스터(T2)와 제4 박막 트랜지스터(T4)는 오프되고, 게이트 구동 신호(OUTPUT)는 로우 레벨을 유지한다.
- [0089] 도 3b에는 시프트·레지스터 유닛의 일부의 시퀀스도만을 도시한다. 디스플레이는 1프레임의 화상을 표시할 때마다, 어떤 한 행의 액정 화소를 제어하는 시프트·레지스터 유닛은 하나의 하이 레벨의 게이트 구동 신호를 출력하고, 신호(INPUT), 리셋 신호(RESET), 제1 클록 신호(CLK1) 및 제2 클록 신호(CLK2)는 모두 II-1, II-2, II-3단계의 시퀀스를 1회 반복한다. 디스플레이가 1프레임의 화상을 표시하는 시간 중에서 II-1, II-2, II-3단계 이외의 시간에서, 신호(INPUT), 리셋 신호(RESET), 제1 클록 신호(CLK1) 및 제2 클록 신호(CLK2)는 모두 II-4와 II-5단계와 같은 시퀀스를 1회 반복한다.
- [0090] 본 발명의 실시예가 제공한 시프트·레지스터 유닛은, Th2, 즉 제2 클록 신호(CLK2)가 로우 레벨을 유지하는 프레임 간격에 있어서 PD노드의 신호는 계속 로우 레벨을 유지한다. 이에 따라, 게이트가 PD노드에 접속된 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)의 온 시간이 짧아져 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)의 수명을 연장할 수 있다.
- [0091] 도 3b 3번째의 시프트·레지스터 유닛(SR<sub>3</sub>)의 입력 신호와 출력 신호의 시퀀스도를 도시한다. 다른 시프트·레지스터 유닛에 대해서는, 제2 클록 신호 입력단(CLK2IN)에 입력된 것은 제3 클록 신호이면, 제3 클록 신호는 로우 레벨을 유지하는 프레임 간격에 있어서 PD노드의 신호는 로우 레벨을 유지한다. 이에 따라, 게이트가 PD노드에 접속된 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)의 온 시간은 짧아져 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)의 수명을 연장할 수 있다. 다른 각 시프트·레지스터 유닛의 입력 신호와 출력 신호의 시퀀스도는 도 3b와 유사하므로, 상세는 생략한다.
- [0092] 도 6a는 본 발명의 시프트·레지스터 유닛의 제3 실시예에서의 구조 모식도이다. 도 6b는 도 6a에서의 시프트·레지스터 유닛의 입력 신호와 출력 신호의 시퀀스도이다. 이 실시예가 도 3a에 도시된 제2 실시예와 구별하는 바는 콘덴서(C1)를 추가하는 것이다. 이 콘덴서(C1)의 일단은 제3 박막 트랜지스터(T3)의 소스에 접속되고, 타단은 제3 박막 트랜지스터(T3)의 게이트에 접속되어 있다. 도 6b에 도시된 시퀀스도가 도 3b에 도시된 시퀀스도와 구별하는 바는 I-2단계와 II-2단계이다. 콘덴서(C1)의 커플링 작용에 따라, 도 6b에서의 PU노드의 신호의 레

벨은 도 3b보다도 높은 것이다.

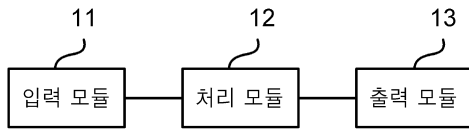
- [0093] 도 7은 본 발명의 제4 실시예의 시프트·레지스터 유닛의 구조 모식도이다. 이 실시예가 도 3a에 도시된 제2 실시예와 구별하는 바는, 도 7에 도시된 제4 실시예의 시프트·레지스터 유닛에 있어서 제9 박막 트랜지스터(T9)의 게이트와 드레인 및 제7 박막 트랜지스터(T7)의 드레인은 모두 제1 클록 신호 입력단(CLK1IN)에 접속되어 있지만, 도 3a에서 제9 박막 트랜지스터(T9)의 게이트와 드레인 및 제7 박막 트랜지스터(T7)의 드레인은 모두 제2 클록 신호 입력단(CLK2IN)에 접속되어 있는 것이다.
- [0094] 도 3a에 도시된 시프트·레지스터 유닛은, I-2와 II-2단계에서 제1 클록 신호(CLK)는 PU노드가 출력한 신호와 함께 하이 레벨인데, 제9 박막 트랜지스터(T9)의 게이트가 제2 클록 신호 입력단(CLK2IN)에 접속되므로, 제9 박막 트랜지스터(T9)는 오프된다. 제7 박막 트랜지스터(T7)의 게이트는 PD\_CN노드에 접속되어 있는데, PD\_CN노드의 신호는 I-2단계에서도 로우 레벨이므로, 제7 박막 트랜지스터(T7)는 오프된다. 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)는 I-2단계에서 온되고, 제8 박막 트랜지스터(T8)의 소스와 제10 박막 트랜지스터(T10)의 소스가 모두 저전압 신호 입력단(CLKBIN)에 접속되어 있으므로, 제8 박막 트랜지스터(T8)와 제10 박막 트랜지스터(T10)의 소스는 로우 레벨이다. I-2단계에서, 제2 클록 신호(CLK2)는 로우 레벨이다. 이에 따라, 제9 박막 트랜지스터(T9)의 드레인과 제10 박막 트랜지스터(T10)의 소스는 모두 로우 레벨이므로, 제9 박막 트랜지스터(T9)와 제10 박막 트랜지스터(T10)에서 누설 전류가 생기지 않고, 제7 박막 트랜지스터(T7)의 드레인과 제8 박막 트랜지스터(T8)의 소스가 모두 로우 레벨이므로, 제7 박막 트랜지스터(T7)와 제8 박막 트랜지스터(T8)에서도 누설 전류가 생기지 않는 것이다. 이에 따라, 시프트·레지스터 유닛의 소비전력을 저감할 수 있다.
- [0095] 도 7에 도시된 시프트·레지스터 유닛은, I-2와 II-2단계에서 제1 클록 신호(CLK1)는 PU노드가 출력한 신호와 함께 하이 레벨로서, 제7 박막 트랜지스터(T7)와 제8 박막 트랜지스터(T8)와 제9 박막 트랜지스터(T9)와 제10 박막 트랜지스터(T10)는 동시에 온되므로, 누설 전류가 보다 커서 시프트·레지스터 유닛의 소비전력도 보다 커진다.
- [0096] 도 7에 도시된 시프트·레지스터 유닛에 콘텐츠가 추가될 수 있다. 이 콘텐츠의 양단은 각각 제3 박막 트랜지스터의 게이트와 소스에 접속되어 있다.
- [0097] 이하는, 도 5a와 도 5b를 결합하여 본 발명의 실시예가 제공한 디스플레이용 게이트 구동 장치의 동작 원리를 설명한다.
- [0098] 액정 디스플레이를 예로 들어 설명한다. 액정 디스플레이는 순차 주사를 이용하여 동일 행에서 액정 화소와 직렬로 접속되는 박막 트랜지스터의 게이트는 모두 동일한 시프트·레지스터 유닛에 접속되고, 디스플레이용 게이트 구동 장치에서의 시프트·레지스터 유닛은 동일 행 전부의 박막 트랜지스터의 온/오프를 제어할 수 있다.
- [0099] 액정 디스플레이 패널에서 n행의 액정 화소가 존재하면, 도 5b에 도시된 시퀀스도를 참조하여 Th1에는 제1 단계에서 프레임 개시 신호가 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 개시 신호 입력단(INPUT-1)에 입력되고, 제2 단계에서 1번째의 시프트·레지스터 유닛(SR<sub>1</sub>)의 게이트 구동 신호 출력단(OUT)이 하이 레벨의 게이트 구동 신호(OUTPUT<sub>1</sub>)를 출력함과 동시에, 이 하이 레벨의 게이트 구동 신호(OUTPUT<sub>1</sub>)는 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 개시 신호 입력단(INPUT-1)에 입력되며, 제3 단계에서 2번째의 시프트·레지스터 유닛(SR<sub>2</sub>)의 게이트 구동 신호 출력단(OUT)이 하이 레벨의 게이트 구동 신호(OUTPUT<sub>2</sub>)를 출력한다. 이에 따라 유추하면, 각 시프트·레지스터 유닛은 하이 레벨의 게이트 구동 신호를 순차적으로 출력하고, 이 시프트·레지스터 유닛에 접속된 동일 행의 박막 트랜지스터의 온을 제어한다. 그 원리는 제2, 3단계와 같다. 제4 단계에서 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)은 하이 레벨의 게이트 구동 신호(OUTPUT<sub>n</sub>)를 출력함과 동시에, n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)이 출력한 게이트 구동 신호(OUTPUT<sub>n</sub>)는 n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>)의 개시 신호 입력단(INPUT-1)의 입력 신호가 된다. 제5 단계에서 n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>)은 하이 레벨의 신호(OUTPUT<sub>n+1</sub>)를 출력하고, 이 게이트 구동 신호(OUTPUT<sub>n+1</sub>)는 부하를 구동하는 것에 이용되지 않으며, 즉 n+1번째의 시프트·레지스터 유닛(SR<sub>n+1</sub>)은 한 행의 박막 트랜지스터를 구동하지 않고, 그것이 출력한 하이 레벨의 신호(OUTPUT<sub>n+1</sub>)는 n번째의 시프트·레지스터 유닛(SR<sub>n</sub>)과 그 자신의 리셋 신호로서 이용된다.
- [0100] 도 5a에 도시된 디스플레이용 게이트 구동 장치는 도 3a, 도 6a와 도 7에 도시된 시프트·레지스터 유닛을 구비한다.

- [0101] 도 8은 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제2 실시예의 구조 모식도이다. 이 실시예가 도 5a에 도시된 제1 실시예와 구별되는 바는, 이 실시예에서의 각 시프트·레지스터 유닛의 제1 신호 입력단과 제1 신호 출력단과 제2 신호 입력단과 제2 신호 출력단이 다른 시프트·레지스터 유닛에 접속되는 방식은 도 5a에 도시된 실시예와 다르다는 것이다. 이 실시예에 있어서, 2개마다 시프트·레지스터 유닛이 1세트를 구성하고, 1세트에서의 2개의 시프트·레지스터 유닛의 각 신호 입력단과 출력단 간에 접속 관계가 있다. 구체적인 접속 관계는 이하와 같다.
- [0102]  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제1 신호 입력단(PDNIN)은  $i+1$ 번째의 시프트·레지스터 유닛( $SR_{i+1}$ )의 제1 신호 출력단(PDLOUT)에 접속되고,  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제2 신호 입력단(PUNIN)은  $i+1$ 번째의 시프트·레지스터 유닛( $SR_{i+1}$ )의 제2 신호 출력단(PULOUT)에 접속되어 있다.  $i$ 는 홀수로서,  $i \in [1, n]$ 이다.  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제1 신호 출력단(PDLOUT)은  $i-1$ 번째의 시프트·레지스터 유닛( $SR_{i-1}$ )의 제1 신호 입력단(PDNIN)에 접속되고,  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제2 신호 출력단(PULOUT)은  $i-1$ 번째의 시프트·레지스터 유닛( $SR_{i-1}$ )의 제2 신호 입력단(PUNIN)에 접속되어 있다.
- [0103] 도 9는 본 발명의 실시예에 관한 디스플레이용 게이트 구동 장치의 제3 실시예에서의 구조 모식도이다. 이 실시예가 도 9에 도시된 제3 실시예와 구별하는 바는, 이 실시예에서  $n+1$ 이 홀수이므로, 마지막의 시프트·레지스터 유닛의 각 신호 입력단과 신호 출력단의 접속 관계는 도 9에 도시된 실시예와 다르다. 구체적인 접속 관계는 이하와 같다.
- [0104]  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제1 신호 입력단(PDNIN)은  $i+1$ 번째의 시프트·레지스터 유닛( $SR_{i+1}$ )의 제1 신호 출력단(PDLOUT)에 접속되고,  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제2 신호 입력단(PUNIN)은  $i+1$ 번째의 시프트·레지스터 유닛의 제2 신호 출력단(PULOUT)에 접속되어 있다.  $i \in [1, n-1]$ 이다.  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제1 신호 출력단(PDLOUT)은  $i-1$ 번째의 시프트·레지스터 유닛( $SR_{i-1}$ )의 제1 신호 입력단(PDNIN)에 접속되고,  $i$ 번째의 시프트·레지스터 유닛( $SR_i$ )의 제2 신호 출력단(PULOUT)은  $i-1$ 번째의 시프트·레지스터 유닛( $SR_{i-1}$ )의 제2 신호 입력단(PUNIN)에 접속되어 있다.  $n+1$ 번째의 시프트·레지스터 유닛( $SR_{n+1}$ )의 제1 신호 입력단(PDNIN)과 제1 신호 출력단(PDLOUT)은 모두  $n$ 번째의 시프트·레지스터 유닛( $SR_n$ )의 제1 신호 입력단(PDNIN)에 접속되고,  $n+1$ 번째의 시프트·레지스터 유닛( $SR_{n+1}$ )의 제2 신호 입력단(PUNIN)과 제2 신호 출력단(PULOUT)은  $n$ 번째의 시프트·레지스터 유닛( $SR_n$ )의 제2 신호 입력단(PUNIN)에 접속되어 있다.
- [0105] 도 5a, 도 8과 도 9에서의  $n+1$ 번째의 시프트·레지스터 유닛( $SR_{n+1}$ )은 부하를 구동하는 데에 이용되지 않고, 여분의 시프트·레지스터 유닛으로 간주할 수 있다. 도 5a, 도 8과 도 9에 도시된 게이트 구동 장치는 하나뿐인 여분의 시프트·레지스터 유닛을 구비하는데, 실제로 보다 많은 여분의 시프트·레지스터 유닛을 구비해도 된다. 디스플레이용 게이트 구동 장치를 더 확실히 리셋하도록 각 여분의 시프트·레지스터 유닛을 조합할 수 있다.
- [0106] 본 발명의 실시예는 상기 각 실시예의 상기 디스플레이용 게이트 구동 장치를 구비하는 액정 디스플레이를 더 제공한다.
- [0107] 본 발명의 실시예가 제공한 시프트·레지스터 유닛, 디스플레이용 게이트 구동 장치 및 액정 디스플레이에 있어서, 처리 모듈은, 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호에 기초하여, 또한 프레임 개시 신호와 제1 클럭 신호 및 인접하는 다음 시프트·레지스터 유닛이 송신하는 제1 신호와 제2 신호에 기초하여 게이트 구동 신호를 생성할 뿐만 아니라, 또 적어도 2개의 박막 트랜지스터가 형성한 적어도 하나의 제1 노드의 레벨을 입력 모듈이 입력한 제2 클럭 신호 또는 제3 클럭 신호가 로우 레벨을 유지하는 프레임 간격에서 로우 레벨로 유지시킬 수 있다. 이에 따라, 제1 노드가 하이 레벨을 유지하는 시간은 짧아져 게이트가 제1 노드에 접속된 각 박막 트랜지스터의 수명을 연장할 수 있어 시프트·레지스터 유닛의 안정성을 향상시킨다.
- [0108] 마지막으로 이하와 같이 설명할 필요가 있다. 즉, 상기한 실시형태는 본 발명의 기술안을 설명하는 데에 이용되는 것뿐으로, 이를 제한하는 것은 아니다. 적합한 실시예를 참조하여 본 발명을 상세하게 설명하였지만, 여전히 본 발명의 기술안을 보정하거나 또는 동등한 교체를 행할 수 있고, 이 보정 또는 교체가 보정 후의 기술안의 본질을 본 발명의 각 실시예의 기술안의 주지와 범위에서 벗어나게 하지 않는 것은 당업자에게 있어서 이해하는

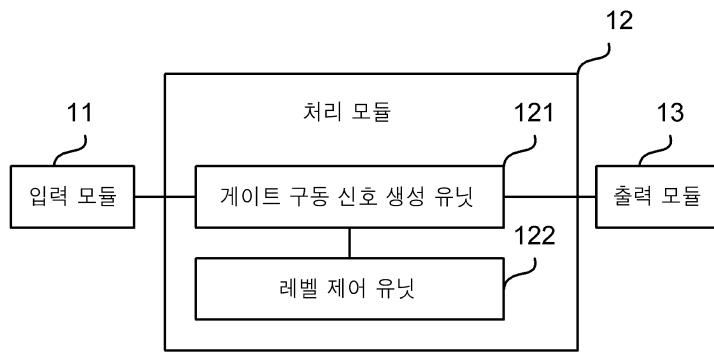
바이다.

도면

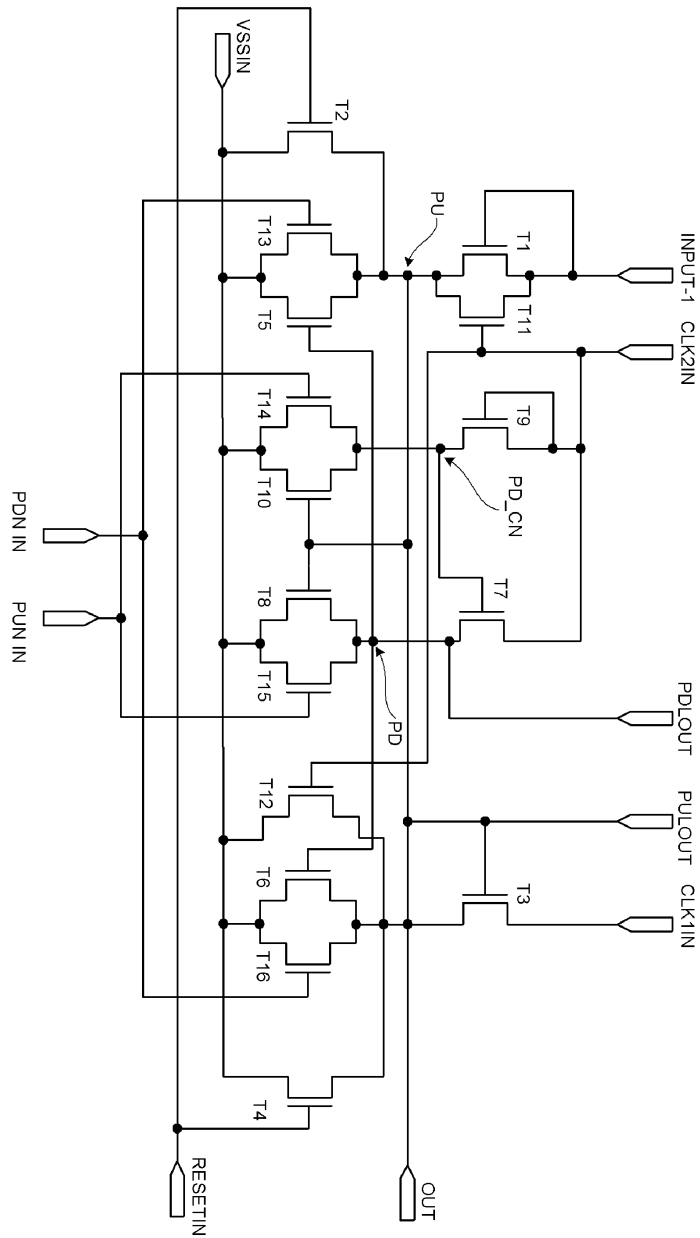
도면1



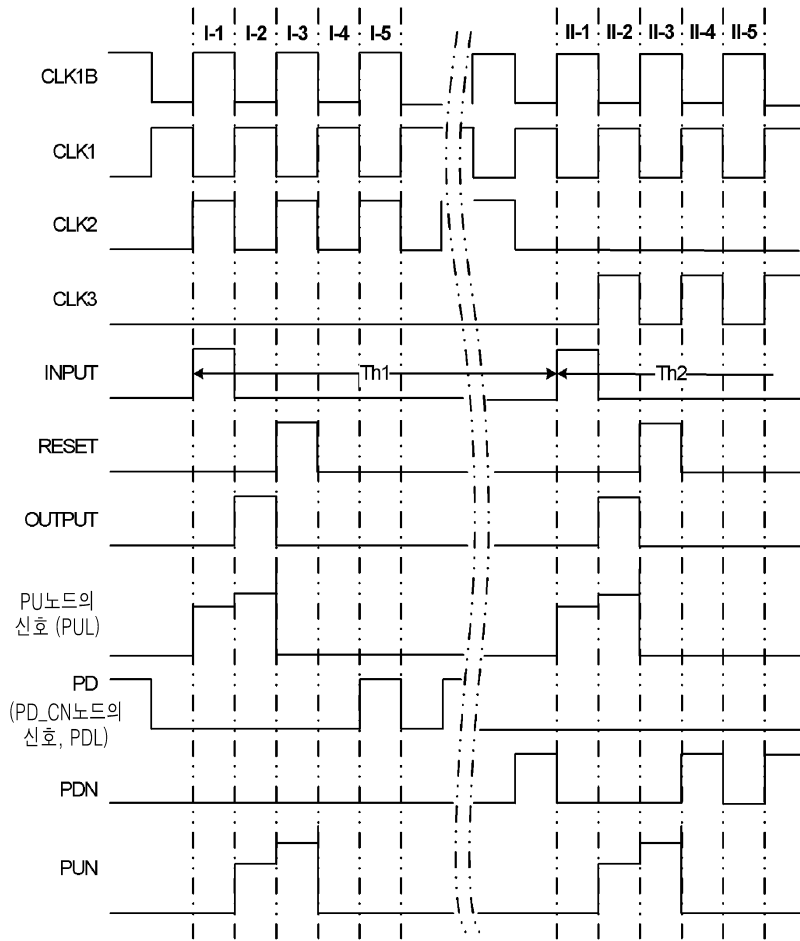
도면2



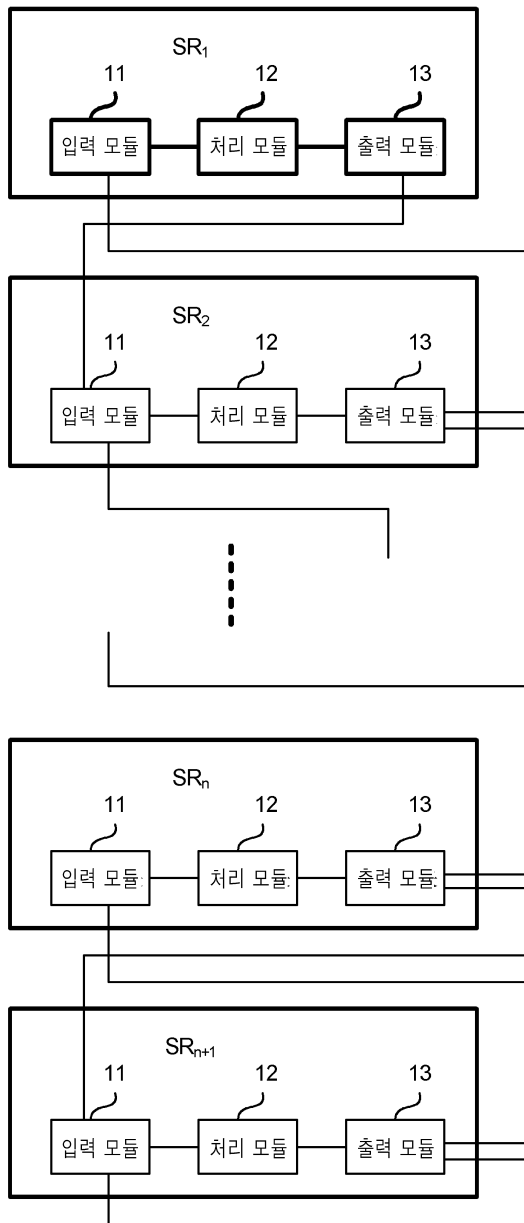
도면3a



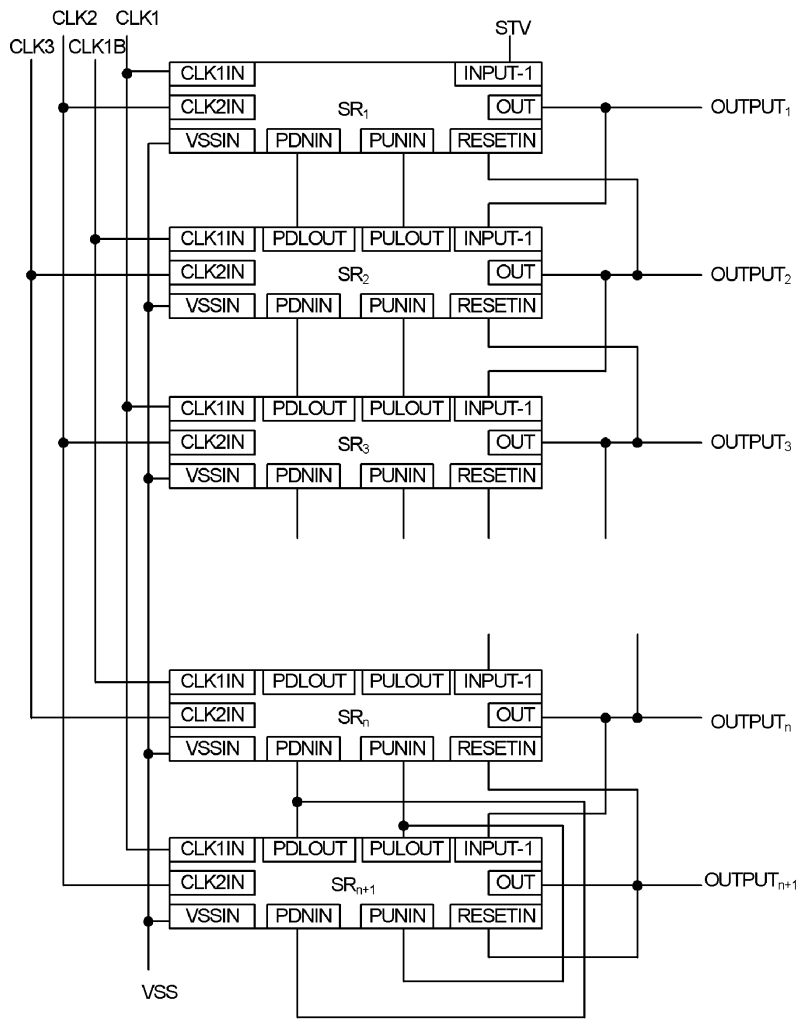
도면3b



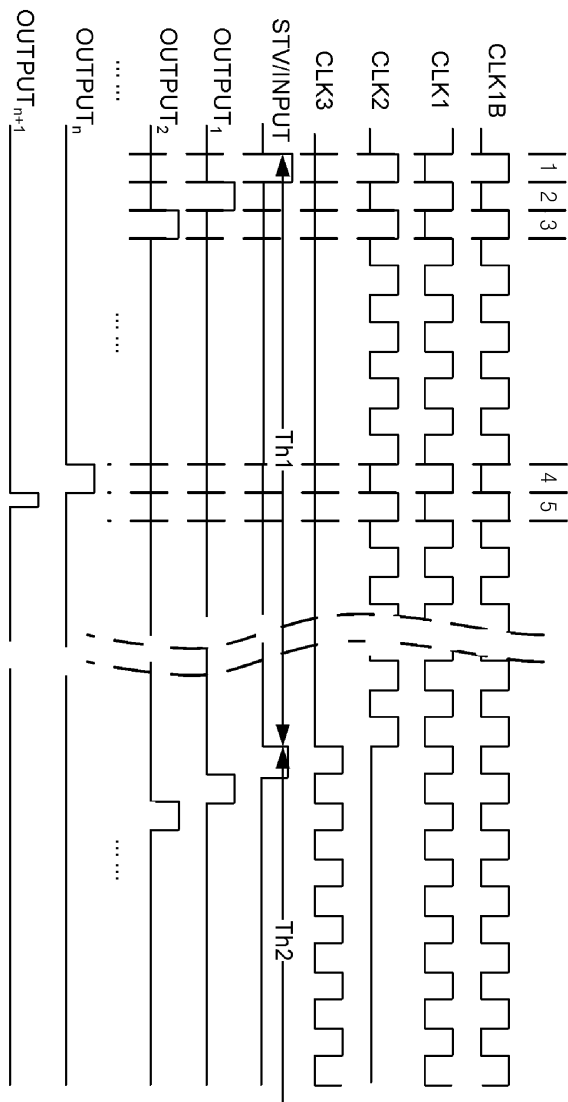
도면4



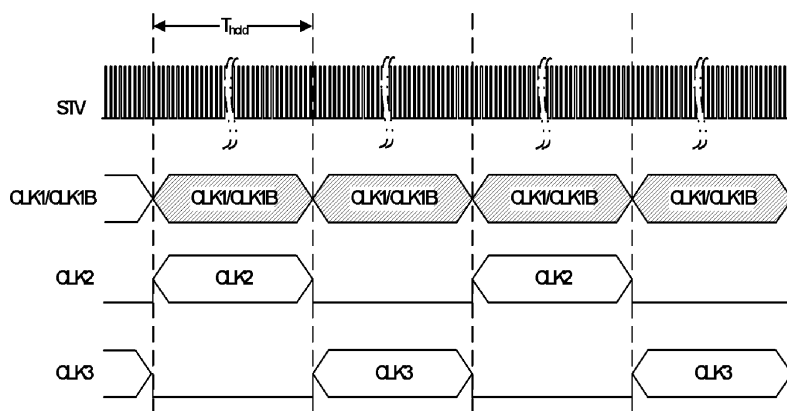
도면5a



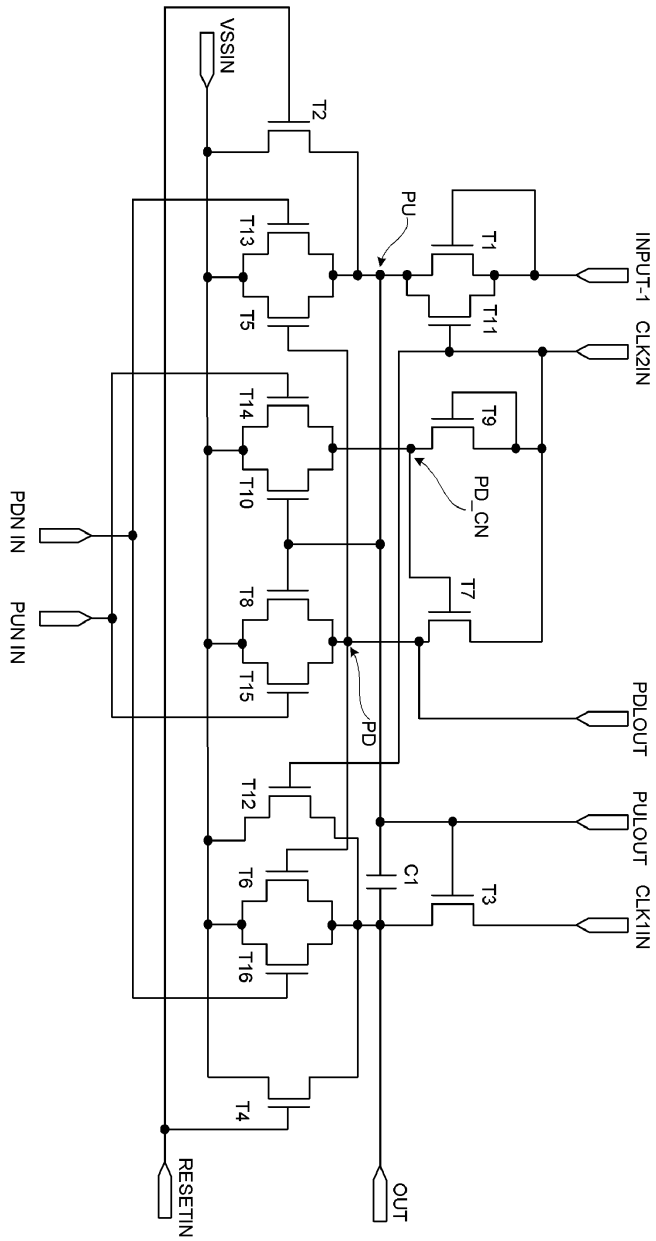
도면5b



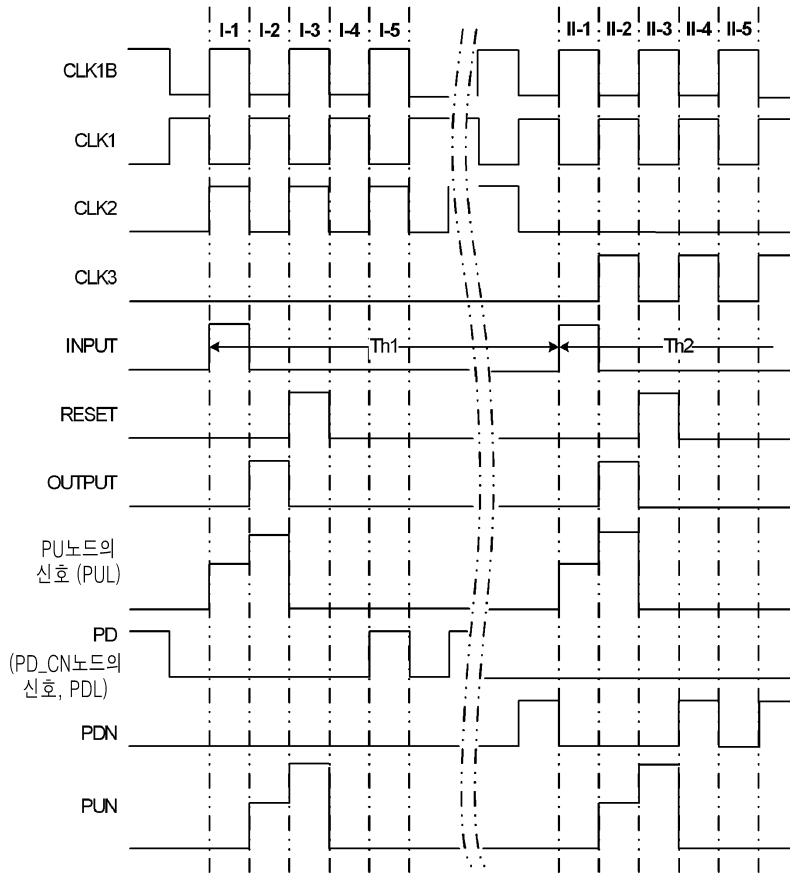
도면5c



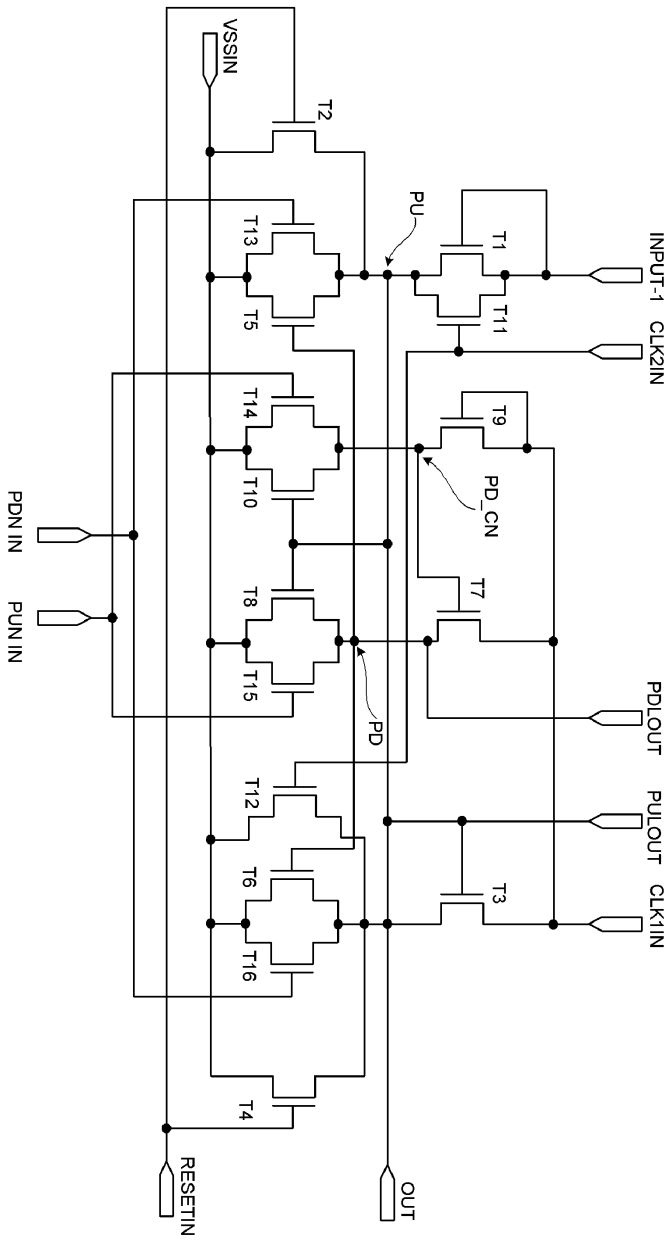
도면6a



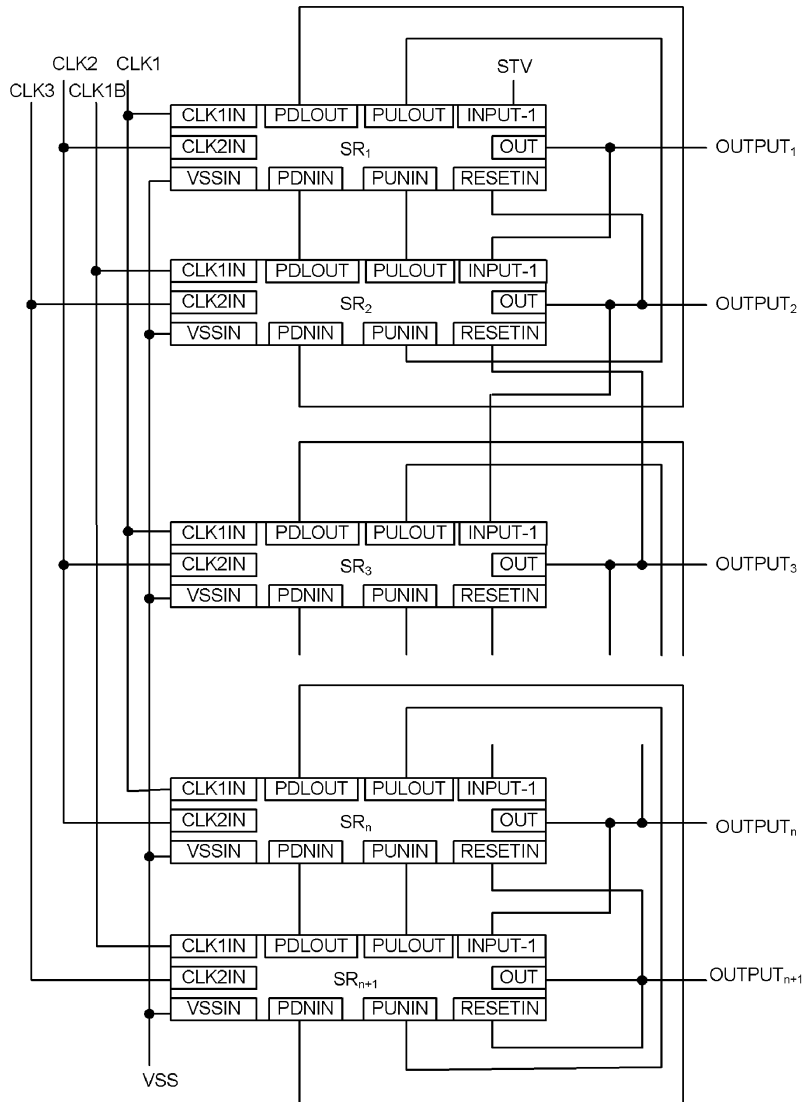
도면6b



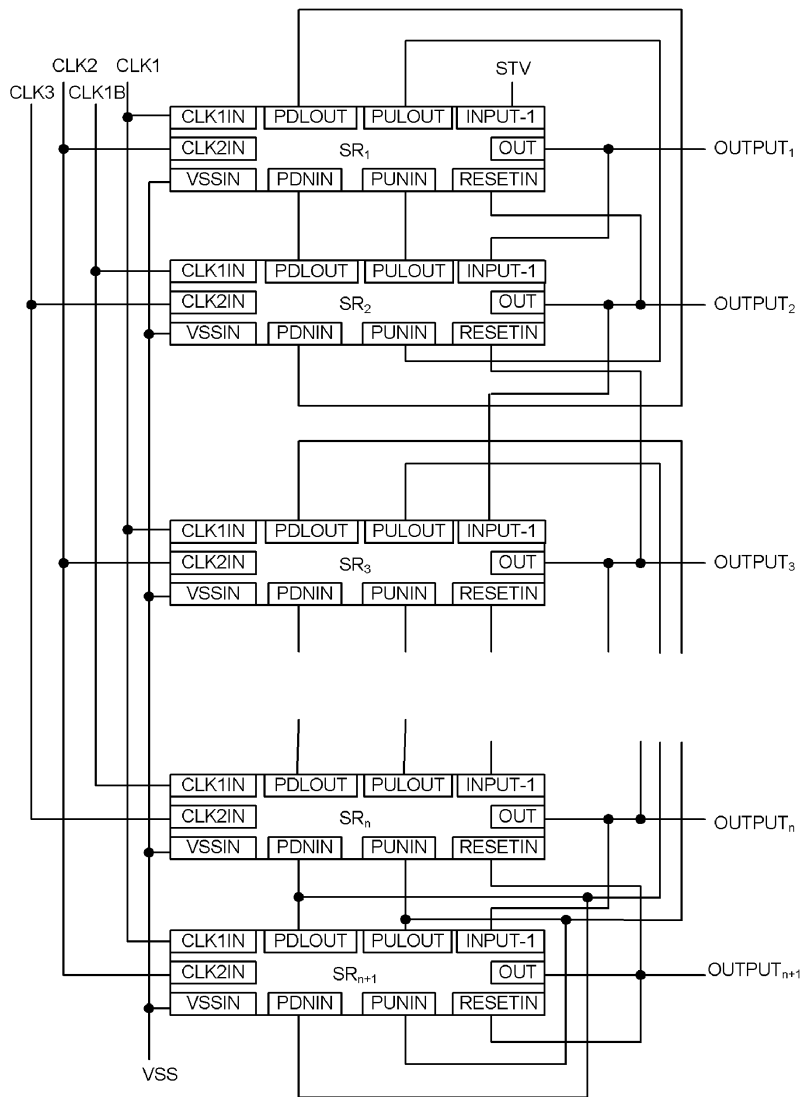
도면7



도면8



도면9



专利名称(译)	标题：移位寄存器单元，用于显示的栅极驱动装置和液晶显示器		
公开(公告)号	<a href="#">KR101246042B1</a>	公开(公告)日	2013-03-26
申请号	KR1020110047446	申请日	2011-05-19
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	SHANG GUANGLIANG 상구양리양 HAN SEUNG WOO 한승우		
发明人	상구양리양 한승우		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G09G3/3677 G11C19/28 G09G2310/0286		
优先权	201010181646.6 2010-05-19 CN		
其他公开文献	KR1020110127622A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供移位寄存器单元，用于显示器的栅极驱动装置和液晶显示器，通过在第一节点保持高电平短路的同时产生持续时间来延长薄膜晶体管的寿命。组成：在移位寄存器单元，用于显示器的栅极驱动设备和液晶显示器，启动信号输入端 ( INPUT-1 ) 输入帧启动信号。第一时钟信号输入端 ( PDNIN ) 输入第一时钟信号。第二时钟信号输入端 ( CLK2IN ) 输入第二或第三时钟信号。第一信号输入端 ( PUNIN ) 输入第一信号。第二信号输入端子 ( PUNIN ) 输入第二信号。低压信号输入端子 ( VSSIN ) 输入低压信号。复位信号输入端 ( RESETIN ) 输入复位信号。

