



등록특허 10-2068962



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월22일

(11) 등록번호 10-2068962

(24) 등록일자 2020년01월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0116809
(22) 출원일자 2013년09월30일
심사청구일자 2018년08월17일
(65) 공개번호 10-2015-0037302
(43) 공개일자 2015년04월08일
(56) 선행기술조사문헌
KR1020060046241 A
KR1020060118063 A
KR1020130003399 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정의현
경기 고양시 일산서구 강선로 71, 삼환마을 707동 2204호 (주엽동, 강선마을7단지아파트)
김가경
경기 파주시 책향기로 441, 1012동 1301호 (동패동, 책향기마을동문굿모닝힐아파트)
조성준
경기도 파주시 월롱면 덕은리 파주LCD산업단지 엘씨디로 231,H동 403호(LG디스플레이 정다운마을)
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 8 항

심사관 : 신창우

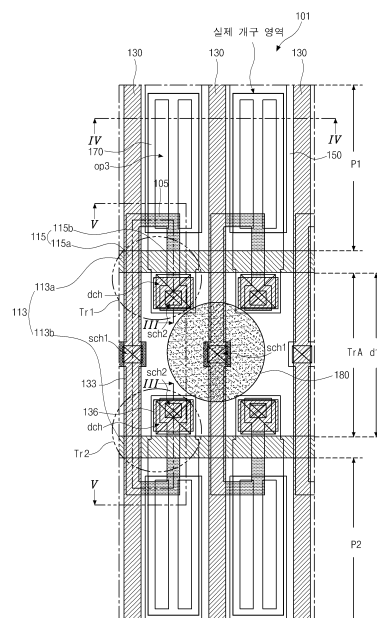
(54) 발명의 명칭 액정표시장치용 어레이 기판

(57) 요약

본 발명은, 상하로 서로 이웃한 제 1 및 제 2 화소영역이 정의되며, 상기 제 1 및 제 2 화소영역 사이에 하나의 스위칭 영역이 정의된 기판과; 상기 기판 상의 상기 각 스위칭 영역에 형성된 하나의 폴리실리콘의 반도체층과; 상기 폴리실리콘의 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 제 1 간격 이격하는 한 쌍

(뒷면에 계속)

대표도 - 도2



으로 구성되며, 제 2 간격 이격하며 형성된 다수 쌍의 게이트 배선과; 상기 다수 쌍의 게이트 배선 위로 상기 하나의 폴리실리콘의 반도체층에 대해 상기 폴리실리콘의 반도체층을 각각 노출시키는 제 1, 2, 3 반도체층 콘택홀이 구비된 층간절연막과; 상기 층간절연막 위로, 상기 다수 쌍의 게이트 배선과 교차하여 상기 제 1 및 제 2 화소영역 및 스위칭 영역을 정의하며 형성된 다수의 데이터 배선과, 상기 데이터 배선과 이격하여 상기 각 스위칭 영역에 2개씩 형성된 드레인 전극과; 상기 각 드레인 전극과 접촉하며 상기 제 1 및 제 2 화소영역에 각각 형성된 화소전극을 포함하며, 상기 데이터 배선은 상기 폴리실리콘의 반도체층과 중첩 형성되며, 그 자체로 하나의 소스 전극을 이루며, 상기 소스 전극은 상기 각 스위칭 영역에 구비된 상기 제 1 반도체층 콘택홀을 통해 상기 폴리실리콘의 반도체층과 접촉하며, 상기 각 스위칭 영역에 구비된 상기 2개의 드레인 전극은 각각 상기 제 2 및 제 3 반도체층 콘택홀을 통해 상기 폴리실리콘의 반도체층과 접촉하는 것이 특징인 어레이 기판을 제공한다.

명세서

청구범위

청구항 1

상하로 서로 이웃한 복수의 제 1 및 제 2 화소영역과, 상기 제 1 및 제 2 화소영역 사이에 배치된 스위칭 영역을 포함하는 기관과;

상기 기관 상의 상기 각 스위칭 영역에 형성되고 제1영역 및 제2영역을 포함하는 폴리실리콘 반도체층과;

상기 폴리실리콘 반도체층이 형성된 기관 전체에 걸쳐 형성된 게이트 절연막과;

상기 게이트 절연막 위에 배치되며, 한 쌍이 제 1 간격 이격되어 배치되고 상기 한쌍이 다른 쌍과 제 2 간격 이격되어 배치되는 다수의 게이트 배선과;

상기 게이트절연막 위의 상기 폴리실리콘 반도체층의 제1영역 및 제2영역에 대응하는 영역에 각각 적어도 하나씩 배치된 게이트전극과;상기 다수의 게이트 배선 및 게이트전극이 형성된 상기 기관 위에 형성되며, 상기 스위칭 영역에 상기 폴리실리콘 반도체층을 각각 노출시키는 제 1, 2, 3 반도체층 콘택홀이 형성된 층간절연막과;

상기 층간절연막 위에 배치되어 상기 다수 쌍의 게이트 배선과 교차하여 상기 제 1 및 제 2 화소영역과 스위칭 영역을 정의하는 다수의 데이터 배선과;

상기 폴리실리콘 반도체층의 제1영역 및 제2영역 상부의 층간절연막 위에 각각 배치된 제1드레인 전극 및 제2드레인 전극과;상기 제 1 및 제 2 화소영역에 각각 형성되어 상기 제1 드레인전극 및 제2 드레인 전극과 각각 접속되는 제1화소전극 및 제2화소전극을 포함하며,

상기 데이터 배선은 상기 폴리실리콘 반도체층과 중첩 형성되어 그 자체로 하나의 소스 전극을 형성하며,

상기 제1반도체층 콘택홀은 폴리실리콘 반도체층의 제1영역과 제2영역 사이에 배치되며, 상기 소스전극은 상기 폴리실리콘 반도체층의 제1영역과 제2영역 상부의 층간절연막 위에 배치되어 상기 제1반도체층 콘택홀을 통해 상기 폴리실리콘 반도체층과 접속되며,

상기 제2반도체층 콘택홀 및 상기 제3반도체층 콘택홀은 각각 폴리실리콘 반도체층의 제1영역과 제2영역에 형성되어, 상기 제1드레인 전극 및 상기 제2드레인 전극이 각각 상기 제2반도체층 콘택홀 및 상기 제3반도체층 콘택홀을 통해 폴리실리콘 반도체층의 제1영역과 제2영역에 접속되는 것이 특징인 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 각 스위칭 영역에 구비된 폴리실리콘 반도체층은 상기 제 1 및 제 2 게이트 배선과 각각 2회씩 교차하는 형태를 이루도록 다수 절곡된 구조를 갖는 것이 특징인 어레이 기관.

청구항 3

제 2 항에 있어서,

상기 각 폴리실리콘 반도체층은 상기 스위칭 영역의 중앙부를 기준으로 상하 선대칭 구조를 이루는 것이 특징인 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 데이터 배선 위에 상기 각 드레인 전극을 노출시키는 드레인 콘택홀이 구비된 평탄화층이 구비되며, 상기 제1화소전극 및 제2화소전극은 각각 상기 평탄화층 상부에 상기 드레인 전극과 접촉하는 것이 특징인 어레이 기판.

청구항 5

제 4 항에 있어서,

상기 평탄화층 상부에 형성되며, 서로 좌우로 이웃하는 2개의 스위칭 영역에 구비된 4개의 드레인 콘택홀로 둘러싸인 영역에 배치된 패턴드 스페이서를 더 포함하는 것이 특징인 어레이 기판.

청구항 6

제 4 항에 있어서,

상기 평탄화층과 상기 화소전극 사이에는 순차적으로 상기 각 스위칭 영역에 대응하여 제 1 개구를 갖는 공통전극과 상기 공통전극을 덮는 보호층이 형성된 것이 특징인 어레이 기판.

청구항 7

제 6 항에 있어서,

상기 제 1 간격은 상기 스위칭 영역의 상하 폭이 되며, 상기 제 2 간격은 상기 제 1 및 제 2 화소영역을 합한 폭이 되는 것이 특징인 어레이 기판.

청구항 8

제 1 항에 있어서, 상기 게이트전극은 상기 폴리실리콘 반도체층의 제1영역 및 제2영역 상부에 각각 2개씩 배치된 이중게이트전극 구조를 형성하는 것이 특징인 어레이기판.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로, 특히 개구율을 향상시킬 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0003] 액정표시장치 중에서는 각 화소(pixel)별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터(Tr)가 구비된 어레이 기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.

[0004] 액정은 가늘고 긴 분자구조를 가지고 있어, 배향에 방향성을 가지며 전기장 내에 놓일 경우 그 크기 및 방향에 따라 분자배열 방향이 변화된다.

[0005] 따라서, 액정표시장치는 전계생성전극이 각각 형성된 두 기판 사이에 액정층이 위치하는 액정패널을 포함하며, 두 전극 사이에 생성되는 전기장의 변화를 통해서 액정분자의 배열방향을 인위적으로 조절하고, 이에 따른 광투과율을 변화시켜 여러 가지 화상을 표시한다.

- [0006] 이러한 구성을 갖는 액정표시장치는 액정의 구동 모드 또는 액정에 인가되는 전계의 특성에 따라 다양한 모드로 동작된다.
- [0007] 즉, 액정표시장치는 수직전계 모드, 횡전계 모드, 프린지 필드 스위칭 모드 등으로 동작된다.
- [0008] 이러한 다양한 구동을 하는 액정표시장치에 있어서 화소영역 각각을 온(on)/오프(off) 제거하기 위해서 필수적으로 스위칭 소자인 박막트랜지스터(Tr)를 구비한 어레이 기판이 구비된다.
- [0009] 한편, 근래 들어서는 전술한 다양한 모드 중 시야각 특성이 우수하며, 나아가 상대적으로 개구율 및 투과율이 뛰어난 프린지 필드 스위칭 모드 액정표시장치가 주로 이용되고 있다.
- [0010] 따라서 일례로 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 구성에 대해 설명한다.
- [0011] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 표시영역 일부에 대한 평면도이다.
- [0012] 도시한 바와 같이, 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(1)에는 일 방향을 따라 다수의 게이트 배선(43)이 형성되어 있으며, 상기 다수의 각 게이트 배선(43)과 교차하여 화소영역(P)을 정의하며 다수의 데이터 배선(51)이 형성되어 있다.
- [0013] 그리고 상기 각 게이트 배선(43)과 데이터 배선(51)에 의해 포획된 영역인 각 화소영역(P)에는 상기 게이트 배선(43) 및 데이터 배선(51)과 연결되는 박막트랜지스터(Tr)가 형성되어 있다.
- [0014] 상기 박막트랜지스터(Tr)는 폴리실리콘의 반도체층(41)과, 게이트 절연막(미도시)과, 이격하는 제 1 및 제 2 게이트 전극(44a, 44b)과, 상기 폴리실리콘의 반도체층(41)과 각각 접촉하며 서로 이격하는 소스 및 드레인 전극(55, 58)을 포함하여 구성되고 있다.
- [0015] 이때, 상기 박막트랜지스터(Tr)가 이격하는 형태로 2개의 게이트 전극(44a, 44b)을 구비한 구성을 이루는 것은, 반도체층(41)을 폴리실리콘으로 형성함으로써 비정질 실리콘을 반도체층으로 한 박막트랜지스터 대비 이동도 특성은 향상되지만 누설전류에 의한 오프 전류 또한 상대적으로 커지는 문제가 발생되므로 이러한 누설전류에 의한 오프 전류가 커지는 것을 억제시키기 위해 이중 게이트 전극(44a, 44b) 구조를 이루도록 하는 것이다.
- [0016] 그리고 이러한 제 1 및 제 2 게이트 전극(44a, 44b)이 구비되어 이중 게이트 전극(44) 구조를 이루도록 하기 위해 상기 폴리실리콘의 반도체층(41)은 'U'자 형태를 이루며, 각 화소영역(P)을 정의하는 각 게이트 배선(43)을 기준으로 상기 폴리실리콘의 반도체층(41)이 구비되어야 할 기준 화소영역(P)과 더불어 상기 기준 화소영역(P) 하부에 위치하는 이웃 화소영역(NP)까지 연장되고 이러한 이웃한 화소영역(NP)에서 이단 절곡되어 기준 화소영역(SP)에 그 일끝단이 위치하는 형태가 되고 있다.
- [0017] 즉, 'U'자 형태를 이루는 상기 폴리실리콘의 반도체층(41)은 그 양끝단이 기준 화소영역(SP)에 위치하고 있지만, 절곡되는 부분은 하부에 이웃하는 화소영역(NP)에 형성되고 있다.
- [0018] 그리고 각 폴리실리콘의 반도체층(41)의 양 끝단에는 이들 폴리실리콘의 반도체층(41)과 소스 전극 및 드레인 전극(55, 58)이 각각 접촉하기 위해 반도체층 콘택홀(sch1, sch2)이 구비되고 있다.
- [0019] 한편, 상기 박막트랜지스터(Tr) 위로 포토아크릴로 이루어져 평탄한 표면을 갖는 평탄화층(미도시)이 구비되고 있으며, 상기 평탄화층(미도시) 위로 표시영역에 대응하여 공통전극(60)이 형성되어 있다.
- [0020] 이때, 상기 표시영역에 형성되는 상기 공통전극(60)에는 상기 각 화소영역(P)에 구비된 박막트랜지스터(Tr)에 대응해서 제 1 개구(미도시)가 형성되고 있는 것이 특징이다.
- [0021] 그리고, 상기 제 1 개구(미도시)를 구비한 공통전극(60) 위로 절연층(미도시)을 개재하여 각 화소영역(P)에는 상기 박막트랜지스터(Tr)와 연결되는 화소전극(70)이 형성되어 있다.
- [0022] 상기 화소전극(60)은 드레인 콘택홀(dch)을 통해 상기 박막트랜지스터(Tr)의 드레인 전극(58)과 접촉하며, 각 화소영역(P)에 있어서 상기 데이터 배선(51)과 평행한 바(bar) 형태를 갖는 다수의 제 2 개구(op)가 구비되고 있다.
- [0023] 한편, 전술한 구성을 갖는 프린지 필드 스위칭 모드 액정표시장치는 TV 등의 대형 표시장치에 이용되기도 하고, 또는 상대적으로 그 크기가 작은 표시영역을 포함하는 개인용 휴대기기 예를들면 스마트폰, 태블릿 PC 등에 이용되고 있다.
- [0024] 그리고 이러한 대형 및 소형 표시장치는 고해상도의 사양을 갖추므로써 표시품질이 우수한 제품이 선호되고 있

다.

- [0025] 표시장치에 있어서 해상도라 함은 단위 면적당 표시되는 화소수(PPI:pixel per inch)로 정의되며, 고해상도 제품이라 함은 통상 300PPI(pixel per inch) 이상인 제품을 의미하고 있으며, 최근에는 500PPI 이상의 초고해상도를 갖는 표시장치 또한 요구되고 있다.
- [0026] 한편, 표시장치에 있어서 고해상도를 구현하기 위해서는 단위면적당 구현되는 화소영역의 수를 늘려야 하므로 이를 실현시키기 위해서는 각 화소영역의 크기를 줄여야 하지만, 화소영역의 크기를 줄이는 것은 표시장치를 이루는 구성요소와 이들 구성요소의 배치 및 화소영역의 개구율 등이 고려되어야 하므로 어려움이 있는 실정이다.
- [0027] 특히, 표시장치 중 액정표시장치의 경우, 개구율은 고해상도를 구현하기 위한 매우 중요한 요소가 되고 있으며, 고해상도 제품 구현을 위해선 우선적으로 고개구율 특성이 확보되어야 한다.
- [0028] 하지만, 전술한 구성을 갖는 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(1)은 이중 게이트 전극(44a, 44b) 구현을 위해 폴리실리콘의 반도체층(41)이 기준 화소영역(SP)과 하부로 이웃하는 화소영역(NP)에 걸쳐 형성되며, 나아가 각 폴리실리콘의 반도체층(41)의 끝단과 소스 전극(55) 및 드레인 전극(58)이 각각 접촉하는 구성을 이루도록 하기 위해 반도체층 콘택홀(sch1, sch2)이 구비되고 있는 구성을 갖는다.
- [0029] 따라서, 각 화소영역(P) 내에서 박막트랜지스터(Tr)가 차지하는 영역이 상대적으로 매우 크게 됨으로서 각 화소영역(P)의 개구율을 저감시키는 요인이 되고 있다.
- [0030] 더불어 어레이 기관(1)과 이와 대향하는 대향기관(미도시) 간의 적정한 이격간격 유지를 위해 패턴드 스페이서(80)가 구비되고 있는데, 이러한 패턴드 스페이서(80)는 일정한 이격간격 유지를 위해 어레이 기관 상의 평탄한 면에 구비되어야 하며, 이를 위해 상기 패턴드 스페이서(80)는 드레인 콘택홀(dch) 외측으로 게이트 배선(43)과 중첩하도록 형성되고 있다.
- [0031] 이때, 상기 패턴드 스페이서(80)는 각 화소영역(P)이 고해상도와 됨으로서 각 화소영역(P) 내에서 차지하는 상대 면적이 증가되고 있으며, 이러한 패턴드 스페이서(80)와 중첩하는 영역 또한 개구율을 저하시키고 있는 실정이다.
- [0032] 따라서, 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(1)은 고해상도 구현에 필수적인 고개구율 구조를 이루는 것이 요구되고 있는 실정이다.
- [0033] 그리고 이러한 고해상도 구현 시 문제가 되는 화소영역의 개구율 저하의 문제는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관에만 국한된 것이 아니라 그 이외의 즉 구동 모드를 달리하는 액정표시장치의 어레이 기관에도 동일하게 발생되고 있다.

발명의 내용

해결하려는 과제

- [0034] 본 발명은 이러한 문제를 해결하기 위해 안출된 것으로, 개구율을 향상시킬 수 있는 구성을 갖는 액정표시장치용 어레이 기관을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0035] 전술한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 어레이 기관은, 상하로 서로 이웃한 제 1 및 제 2 화소영역이 정의되며, 상기 제 1 및 제 2 화소영역 사이에 하나의 스위칭 영역이 정의된 기관과; 상기 기관 상의 상기 각 스위칭 영역에 형성된 하나의 폴리실리콘의 반도체층과; 상기 폴리실리콘의 반도체층 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 제 1 간격 이격하는 한 쌍으로 구성되며, 제 2 간격 이격하며 형성된 다수 쌍의 게이트 배선과; 상기 다수 쌍의 게이트 배선 위로 상기 하나의 폴리실리콘의 반도체층에 대해 상기 폴리실리콘의 반도체층을 각각 노출시키는 제 1, 2, 3 반도체층 콘택홀이 구비된 층간절연막과; 상기 층간절연막 위로, 상기 다수 쌍의 게이트 배선과 교차하여 상기 제 1 및 제 2 화소영역 및 스위칭 영역을 정의하며 형성된 다수의 데이터 배선과, 상기 데이터 배선과 이격하여 상기 각 스위칭 영역에 2개씩 형성된 드레인 전극과; 상기 각 드레인 전극과 접촉하며 상기 제 1 및 제 2 화소영역에 각각 형성된 화소전극을 포함하며, 상기 테

이터 배선은 상기 폴리실리콘의 반도체층과 중첩 형성되며, 그 자체로 하나의 소스 전극을 이루며, 상기 소스 전극은 상기 각 스위칭 영역에 구비된 상기 제 1 반도체층 콘택홀을 통해 상기 폴리실리콘의 반도체층과 접촉하며, 상기 각 스위칭 영역에 구비된 상기 2개의 드레인 전극은 각각 상기 제 2 및 제 3 반도체층 콘택홀을 통해 상기 폴리실리콘의 반도체층과 접촉하는 것이 특징이다.

[0036] 이때, 상기 각 스위칭 영역에 구비된 하나의 폴리실리콘의 반도체층은 상기 제 1 및 제 2 게이트 배선과 각각 2 회씩 교차하는 형태를 이루도록 다수 절곡된 구조를 갖는 것이 특징이며, 상기 각 폴리실리콘의 반도체층은 상기 스위칭 영역의 중앙부를 기준으로 상하 선대칭 구조를 이루는 것이 특징이다.

[0037] 그리고 상기 데이터 배선 위로 상기 각 드레인 전극을 노출시키는 드레인 콘택홀이 구비된 평탄화층이 구비되며, 상기 화소전극은 상기 평탄화층 상부에 상기 드레인 전극과 접촉하며 형성된 것이 특징이며, 이때, 상기 평탄화층 상부로 서로 좌우로 이웃하는 2개의 스위칭 영역의 상기 2개의 스위칭 영역에 구비된 4개의 드레인 콘택홀로 둘러싸인 영역에 패턴드 스페이서가 형성된 것이 특징이다.

[0038] 또한, 상기 평탄화층과 상기 화소전극 사이에는 순차적으로 상기 각 스위칭 영역에 대응하여 제 1 개구를 갖는 공통전극과 상기 공통전극을 덮으며 보호층이 형성된 것이 특징이며, 나아가 상기 제 1 간격은 상기 스위칭 영역의 상하 폭이 되며, 상기 제 2 간격은 상기 제 1 및 제 2 화소영역을 합한 폭이 되는 것이 특징이다.

발명의 효과

[0039] 본 발명에 따른 액정표시장치용 어레이 기판은, 상하로 이웃한 제 1 및 제 2 화소영역 사이에 하나의 스위칭 영역이 구비되며, 각 박막트랜지스터의 일 구성요소인 폴리실리콘의 반도체층은 동일한 스위칭 영역에 구비되는 제 1 및 제 2 박막트랜지스터에 있어 서로 연결된 형태를 이루며, 나아가 소스 전극 또한 데이터 배선 자체로 이루어져 상기 제 1 및 제 2 박막트랜지스터간 공유하는 구성이 되며, 상기 폴리실리콘의 반도체층을 접촉시키기 위한 반도체층 콘택홀 또한 각 스위칭 영역에 있어 하나만이 형성되는 구성에 의해 상기 스위칭 영역에 구비되는 제 1 및 제 2 박막트랜지스터에 있어서는 종래의 어레이 기판 대비 하나의 반도체층 콘택홀이 생략됨으로서 박막트랜지스터의 면적이 상대적으로 줄어들게 되는 장점을 갖는다.

[0040] 따라서 박막트랜지스터의 형성 면적이 줄어들음에 의해 개구율을 향상시키는 효과가 있다.

[0041] 본 발명에 따른 어레이 기판은 스위칭 영역은 제 1 화소영역과 제 1 화소영역이 공통으로 사용할 수 있도록 서로 상하로 이웃하는 제 1 및 제 2 화소영역 사이에 구비되고 있다.

[0042] 이러한 구성적 특징에 의해 이러한 본 발명에 따른 스위칭 영역은 종래의 하나의 화소영역 내에 구비되는 스위칭 영역 대비 큰 면적을 갖지만, 각각의 화소영역 내에 구비되는 스위칭 영역을 2개 합산한 면적보다는 작은 면적을 갖는다.

[0043] 따라서, 스위칭 영역의 총 합산 면적은 종래의 어레이 기판 대비 줄어들게 되므로 개구율이 향상되는 효과를 가지며, 동시에 각 화소영역에 각각 구비되는 스위칭 영역의 면적보다는 크므로 이러한 스위칭 영역 내에 패턴드 스페이서를 형성하는 것은 충분한 면적이 되며, 더욱이 패턴드 스페이서는 데이터 배선 및 상기 데이터 배선 상에 형성된 반도체층 콘택홀과 중첩하며 형성됨으로서 화소영역으로의 침범을 원천적으로 막아 개구율을 더욱 향상시키는 효과가 있다.

[0044] 나아가 본 발명에 따른 액정표시장치용 어레이 기판은 개구율이 향상됨으로서 고해상도의 표시장치를 구현할 수 있는 장점이 있다.

[0045] 또한, 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판은, 폴리실리콘의 반도체층을 일 구성요소로 함으로서 비정질 실리콘을 반도체층으로 하는 박막트랜지스터를 구비한 어레이 기판 대비 캐리어의 이동도 특성이 향상되는 효과가 있으며, 폴리실리콘의 반도체층을 구비한 박막트랜지스터를 구성하면서도 이중 게이트 구조를 구현함으로써 누설전류에 의한 오프 전류 값이 증가되는 것을 억제시키는 효과를 갖는다.

도면의 간단한 설명

[0046] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 표시영역 일부에 대한 평면도.

도 2는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 다수의 화소영역이 정의된 표시영역 일부에 대한 평면도

도 3은 도 2를 절단선 III-III를 따라 절단한 부분에 대한 단면도.

도 4는 도 2를 절단선 IV-IV를 따라 절단한 부분에 대한 단면도.

도 5는 도 2를 절단선 V-V를 따라 절단한 부분에 대한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0047] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [0048] 도 2는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 다수의 화소영역이 정의된 표시영역 일부에 대한 평면도이다.
- [0049] 도시한 바와 같이, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)에는 제 1 방향으로 연장하며 저저항 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 몰리브덴합금(MoTi) 중 어느 하나로 이루어져 단일층 구조를 이루거나, 또는 둘 이상의 물질로 이루어져 다중층 구조를 이루는 다수의 게이트 배선(113(113a, 113b))이 제 1 간격(d1) 및 제 2 간격(미도시)이 교대하도록 이격하며 형성되어 있는 것이 일 특징이다.
- [0050] 이렇게 게이트 배선(113(113a, 113b))이 서로 다른 2개의 이격간격(d1, 미도시)을 가지며 배치되는 것은 각 화소영역(P1, P2)에서 개구율을 향상시키기 위함이다.
- [0051] 본 발명에 따른 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101) 있어서 게이트 배선(113a, 113b)은 2개가 한 쌍으로 이루어져 제 1 간격(d1)을 유지하며 이격하며, 이러한 제 1 간격(d1)을 가지며 이격하는 한 쌍의 게이트 배선(113(113a, 113b))이 상기 제 1 간격보다 큰 제 2 간격을 가지며 배치된 것이 특징이다.
- [0052] 이때, 쌍으로 이루어진 게이트 배선(113(113a, 113b))을 각각 제 1 게이트 배선(113a) 및 제 2 게이트 배선(113b)이라 정의하면, 상기 제 1 게이트 배선(113a)은 이를 기준으로 상부에 위치하는 제 1 화소영역(P1)에 신호를 인가하며, 상기 제 2 게이트 배선(113b)은 이를 기준으로 하부에 위치하는 제 2 화소영역(P2)에 신호를 인가하는 역할을 한다.
- [0053] 따라서 제 1 및 제 2 게이트 배선(113a, 113b)이 전술한 바와 같은 배치 구성에 따라 상기 제 2 간격(미도시)은 실질적으로 서로 상하로 이웃하는 2개의 화소영역을 합한 길이 만큼이 된다.
- [0054] 한편, 상기 저저항 금속 물질로서 단일층 또는 다중층 구조를 이루며 상기 제 1 방향과 교차하는 제 2 방향으로 연장하며 일정간격 이격하는 다수의 데이터 배선(130)이 형성되고 있다.
- [0055] 이때, 상기 제 1 및 제 2 방향으로 연장함으로서 서로 교차하는 다수의 한 쌍의 게이트 배선(113(113a, 113b)) 및 상기 데이터 배선(130)에 의해 포획되는 영역이라 정의되는 다수의 제 1 및 제 2 화소영역(P1, P2)이 구비되고 있다.
- [0056] 이때, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)의 특성 상 상기 제 1 및 제 2 화소영역(P1, P2)은 제 2 간격(미도시)에 대응하는 부분에 위치하며, 서로 최 인접한 한 쌍의 제 1 및 제 2 게이트 배선(113a, 113b)에 의해 구획된 제 1 간격(d1)에 대응되는 부분은 화소영역(P1, P2)이 되지 않으며, 이러한 제 1 간격(d1)에 대해 제 1 및 제 2 게이트 배선(113a, 113b)과 이와 교차하는 데이터 배선(130)에 의해 포획되는 영역은 스위칭 영역(TrA)이 된다.
- [0057] 따라서, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판은 각 화소영역(P1, P2)과 각 화소영역(P1, P2)을 콘트롤하는 박막트랜지스터(Tr1, Tr2)가 형성되는 스위칭 영역(TrA)이 서로 분리 형성되고 있으며, 이때, 상기 스위칭 영역(TrA)은 서로 이웃한 제 1 화소영역(P1)과 제 2 화소영역(P2)에 대해 통합되어 구성됨을 또 다른 특징으로 한다.
- [0058] 따라서 상기 제 1 및 제 2 화소영역(P1, P2) 사이에 구비되는 하나의 각 스위칭 영역(TrA)에는 상기 제 1 화소영역(P1)을 콘트롤할 수 있도록 제 1 게이트 배선(113a) 및 데이터 배선(130)과 연결된 제 1 박막트랜지스터(Tr1)가 구비되며, 동시에 상기 제 2 화소영역(P2)을 콘트롤 할 수 있도록 제 2 게이트 배선(113b) 및 데이터

배선(130)과 연결된 제 2 박막트랜지스터(Tr2)가 구비되고 있다.

- [0059] 이때, 상기 각 스위칭 영역(TrA)에 구비되는 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)는 이격하는 제 1 및 제 2 게이트 전극(115a, 115b)이 구비되어 이중 게이트 전극 구조를 이루는 것이 특징이며, 나아가 폴리실리콘의 반도체층(105)이 구비됨으로서 비정질 실리콘의 반도체층을 구비한 박막트랜지스터 대비 이동도 특성이 향상된 것이 특징이다.
- [0060] 한편, 폴리실리콘의 반도체층(105)을 구비한 박막트랜지스터(Tr)의 경우, 이동도 특성이 비정질 실리콘의 반도체층을 구비한 박막트랜지스터 대비 수 배 내지 수 백 배 더 우수하지만, 오프 전류가 커지는 경향이 있으며, 이러한 오프 전류가 커지는 현상을 억제하기 위해 전술한 바와같이 각 화소영역(P1, P2) 내에 제 1 및 제 2 게이트 전극(115a, 115b)이 구비된 이중 게이트 전극 구조를 이루도록 한 것이다.
- [0061] 이때, 상기 스위칭 영역(TrA)에 구비되는 각 박막트랜지스터(Tr)에 있어 이들 각 박막트랜지스터의 일 구성요소인 제 1 게이트 전극(115a) 및 제 2 게이트 전극(115b)은 모두 각 게이트 배선(113a, 113b) 자체의 일 부분이 되고 있는 것이 특징이다.
- [0062] 그리고 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 또 다른 특징적인 구성 중 하나로서 상기 각 박막트랜지스터(Tr1, Tr2)의 소스 전극(133)은 데이터 배선(130) 자체의 일부가 되는 것이다.
- [0063] 이렇게 데이터 배선(130) 자체로서 그 일부가 소스 전극(133)을 이루는 경우 데이터 배선(130) 자체는 서로 좌우 방향으로 이로 이웃하는 화소영역(P1 또는 P2)의 경계에 위치하게 되며 이러한 데이터 배선(130)은 개구율을 저하시키는 구성요소가 되지 않으므로 개구율을 향상시키는 효과를 갖는다.
- [0064] 그리고 상기 각 박막트랜지스터(Tr1, Tr2)의 일 구성요소인 폴리실리콘의 반도체층(105)은 동일한 스위칭 영역(TrA)에 구비되는 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)에 있어 서로 연결된 형태를 이루며, 나아가 각 박막트랜지스터제 1 및 제 2 게이트 전극(115a, 115b)의 일 구성요소인 소스 전극(133)과 상기 폴리실리콘의 반도체층(105)을 접촉시키기 위한 반도체층 콘택홀(sch1) 또한 각 스위칭 영역(TrA)에 있어 하나만이 형성되고 있다는 것이 또 다른 특징이 되고 있다.
- [0065] 이러한 구성적 특징에 의해 상기 스위칭 영역(TrA)에 구비되는 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)에 있어서는 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(도 1의 1)에 있어 각 화소영역(도 1의 P)에 2개씩 구비되어 서로 이웃한 2개의 화소영역(도 1의 P)에는 4개씩 구비되던 반도체층 콘택홀(도 1의) 것을 서로 상하로 이웃한 2개의 제 1 및 제 2 화소영역(P1, P2)에 대해 3의 반도체층 콘택홀(sch1, sch2)이 구비되어 하나의 반도체층 콘택홀이 생략됨으로서 박막트랜지스터(Tr1, Tr2)의 면적이 상대적으로 줄어들게 되는 장점을 갖는다.
- [0066] 한편, 상기 박막트랜지스터(Tr1, Tr2) 상부로 상기 화상을 표시하는 표시영역에 대응하여 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 특성상 공통전극(150)과 화소전극(170)간의 이격간격의 균일성 확보를 위해 상기 게이트 및 데이터 배선(113, 130)과 박막트랜지스터(Tr1, Tr2)의 형성에 의한 단차의 영향을 최소화하기 위한 구성요소로서 평탄한 표면을 갖는 평탄화층(미도시)이 구비되고 있다.
- [0067] 또한, 이때, 상기 평탄화층(미도시)에는 상기 스위칭 영역(TrA)에 대해 상기 각 박막트랜지스터(Tr1, Tr2)의 각 드레인 전극(133)을 노출시키는 드레인 콘택홀(dch)이 구비되고 있다.
- [0068] 그리고 이러한 평탄화층(미도시) 상부에는 표시영역 전면에 대응하여 투명한 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어진 공통전극(150)이 구비되고 있다.
- [0069] 이때, 상기 공통전극(150)에는 각 스위칭 영역(TrA) 대응해서는 제 1 개구(미도시)가 구비되고 있다.
- [0070] 이렇게 공통전극(150)에 있어서 제 1 개구(미도시)가 형성된 것은, 추후 상기 공통전극(150) 상부에 형성되는 화소전극(170)이 각 스위칭 영역(TrA)에 구비되는 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)의 각 드레인 전극(136)과 접촉하는 구성을 이루도록 하는 경우, 상기 화소전극(170)과의 쇼트를 방지하기 위함이며, 나아가 박막트랜지스터(Tr1, Tr2)를 구성하는 전극 즉, 게이트 전극(115a, 115b)과 소스 및 드레인 전극(133, 136)과 중첩됨으로서 발생하는 기생용량을 억제하기 위함이다.
- [0071] 이때, 도면에 나타내지 않았지만, 상기 공통전극(150)에는 상기 제 1 개구 (미도시) 이외에 데이터 배선(130)과의 중첩 또한 최소화하기 위해 상기 데이터 배선(130)과 중첩하는 부분에 대응해서도 제거됨으로서 제 2 개구

(미도시)가 더욱 구비될 수도 있다.

- [0072] 이 경우, 상기 제 2 개구(미도시)는 데이터 배선(130) 전체에 대응하여 형성될 수도 있지만, 일부에 대해 형성될 수도 있으며, 상기 제 2 개구(미도시)가 구비된다 하더라도 상기 공통전극(150)은 표시영역 전면에 있어서 전기적으로 연결된 상태를 이루는 것이 특징이다.
- [0073] 한편, 상기 제 2 개구(미도시)가 각 데이터 배선(130) 전면에 대해 형성되는 경우, 상기 공통전극(150)은 데이터 배선(130)에 의해 표시영역 내에서 분리된 형태를 이루게 됨으로서 전기적 단절이 발생하는 것처럼 보이지만, 이 경우는 표시영역 외측의 비표시영역에서 연결된 상태를 이룸으로서 실질적으로는 표시영역 내에서 전기적으로 연결된 상태가 된다.
- [0074] 다음, 상기 공통전극(150) 위로 절연물질로 이루어진 보호층(미도시)이 표시영역 전면에 구비되고 있으며, 상기 보호층(미도시) 위로 각 화소영역(P) 별로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어진 판 형태의 화소전극(170)이 형성되고 있다.
- [0075] 이때, 상기 각 화소영역(P1, P2) 별로 분리 형성되는 화소전극(170)에는 바(bar) 형태를 갖는 다수의 제 3 개구(op3)가 일정간격 이격하며 형성되고 있으며, 또한, 상기 화소전극(170)은 상기 스위칭 영역(TrA)에 구비된 박막트랜지스터(Tr1, Tr2)의 드레인 전극(136)과 연결되고 있다.
- [0076] 그리고 상기 평탄화층(미도시) 또는 공통전극(170) 위로 상기 스위칭 영역(TrA)에는 서로 상하로 이격하여 형성된 드레인 콘택홀(dch)을 사이에 두고 패턴드 스페이서(180)가 형성되고 있다.
- [0077] 이러한 패턴드 스페이서(180)는 도면에 있어서는 서로 좌우 방향으로 이웃하는 2개의 스위칭 영역(TrA)에 대응하여 하나씩 형성되고 있으며, 데이터 배선(130) 및 상기 데이터 배선(130) 상에 형성된 반도체층 콘택홀(sch 1)과 중첩하며 형성되는 것이 특징이다.
- [0078] 이러한 구성적 특징에 의해 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)은 개구율이 종래대비 월등히 향상되는 효과를 갖는다.
- [0079] 즉, 상기 스위칭 영역(TrA)에는 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(도 1의 1)에 있어 화소영역(도 1의 P)에서 실질적으로 비표시되는 구성요소 일례로 박막트랜지스터(도 1의 Tr)와 드레인 콘택홀(도 1의 dch)에 대응되는 드레인 전극(도 1의 58)과 반도체층 콘택홀(도 1의 sch)이 구비되고 있으며, 이러한 각 화소영역 내에서 비표시되는 구성요소가 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)에 있어서는 서로 상하로 이웃하는 제 1 및 제 2 화소영역(P1, P2)의 사이에 위치하는 분리된 스위칭 영역(TrA)에 집중 구비되는 동시에 두 화소영역(P1, P2)에 각각 형성되어야 하는 구성요소를 하나로 통합하거나, 또는 둘 이상의 구성요소가 중첩되도록 구성됨으로서 비표시되는 구성요소가 차지하는 면적을 저감될 수 있는 있다.
- [0080] 따라서, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)에 구성된 상기 스위칭 영역(TrA)은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(도 1의 1)의 각 화소영역(도 1의 P)에 각각 구비되는 스위칭 영역을 2배한 면적 대비 작은 면적을 이루게 됨으로서 개구율을 향상시킬 수 있는 것이다.
- [0081] 더욱이 패턴드 스페이서(180)는 액정표시장치의 일 구성요소인 대향기관(미도시)의 지지 및 일정 셀갭 유지의 역할 수행을 하기 위해서 최소로 요구되는 면적 크기가 있으며, 일정한 셀갭 유지를 위해 어레이 기판(101) 상의 평탄한 표면을 갖는 구성요소 상에 형성된다.
- [0082] 따라서 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(도 1의 1) 경우, 드레인 콘택홀(도 1의 dch)이 형성되는 부분에는 형성될 수 없으므로 상기 드레인 콘택홀(도 1의 dch)과 이격하여 형성되고 있다. 이 경우, 상기 패턴드 스페이서의 면적에 의해 화소영역(도 1의 P) 내의 실제 개구영역(비표시되는 구성요소 외측의 화소전극이 형성되는 영역)까지 침범함으로서 각 화소영역(도 1의 P)에서 개구율을 저하시키는 요인이 되고 있다.
- [0083] 하지만, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)의 경우, 서로 상하로 이웃한 화소영역(P1, P2)의 사이 영역에 비표시 구성요소가 구비되는 스위칭 영역(TrA)이 구비되며, 이러한 스위칭 영역(TrA)에 실질적으로 일반적인 어레이 기판의 각 화소영역 구비되는 비표시 구성요소(일례로 박막트랜지스터, 패턴드 스페이서)가 상기 제 1 및 제 2 화소영역(P1, P2)간 마주하도록 배치된 구성이 된다.

- [0084] 따라서 이러한 구성적 특징에 의해 즉, 화소영역(P1, P2)과 분리 구성된 상기 스위칭 영역(TrA)에 패턴드 스페이서(180)가 형성됨으로서 이웃하는 화소영역(P1, P2)으로 침범하는 것을 원천적으로 방지할 수 있다.
- [0085] 따라서 실제 화상을 표시하는 영역 즉, 화소전극(170)이 각 화소영역(P1, P2) 내에서 형성될 수 있는 면적이 증가함으로서 개구율이 향상되는 효과를 갖는다.
- [0086] 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(도 1의 1)의 개구율은 24%정도가 되지만, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 경우 37%의 개구율이 됨을 알 수 있었으며, 종래 대비 약 33%의 개구율 향상이 이루어짐을 알 수 있다.
- [0087] 이후에는 전술한 평면 구성을 갖는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 단면 구성에 대해 설명한다.
- [0088] 도 3은 도 2를 절단선 III-III를 따라 절단한 부분에 대한 단면도이며, 도 4는 도 2를 절단선 IV-IV를 따라 절단한 부분에 대한 단면도이며, 도 5는 도 2를 절단선 V-V를 따라 절단한 부분에 대한 단면도이다. 제 1 간격 이격하는 한쌍의 게이트 배선의 상부 및 하부로 위치하는 화소영역을 각각 제 1 및 제 2 화소영역(P1, P2)이라 정의하며, 상기 제 1 및 제 2 화소영역(P1, P2) 사이의 제 1 간격에 대응하는 부분을 스위칭 영역(TrA)이라 정의한다.
- [0089] 도시한 바와같이, 투명한 절연기관(101) 예를들면 유리기관 또는 플라스틱 기관 상의 전면에 위로 스위칭 영역(TrA)에 있어서는 폴리실리콘의 반도체층(105)이 형성되어 있다.
- [0090] 이때, 도면에 나타나지 않았지만, 상기 폴리실리콘의 반도체층(105) 하부로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)로 이루어진 버퍼층(미도시)이 상기 기관(101) 전면에서 더욱 형성될 수도 있다.
- [0091] 이러한 버퍼층(미도시)은 비정질 실리콘을 폴리실리콘으로 결정화 할 경우, 레이저 조사 또는 가열에 발생하는 열로 인해 상기 기관(101) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온(K^+), 나트륨 이온(Na^+) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리실리콘으로 이루어진 반도체층(105)의 막특성이 저하되는 것을 방지하기 위함이다.
- [0092] 이때, 상기 버퍼층(미도시)은 반드시 형성될 필요는 없으며 상기 기관(101)이 어떠한 재질로 이루어지느냐에 따라 생략될 수 있다.
- [0093] 도면에서는 상기 버퍼층(미도시)이 생략된 것을 일례로 도시하였다.
- [0094] 한편, 상기 폴리실리콘의 반도체층(105)은 서로 이웃한 상기 제 1 및 제 2 화소영역(P1, P2) 사이의 상기 스위칭 영역(TrA)에서 하나로 길게 연결되며 양 끝단이 모두 상기 스위칭 영역(TrA)에 위치하며 각 게이트 배선(113a, 113b)과 2회 교차하도록 다수 절곡된 형태를 갖는 것이 특징이다.
- [0095] 이러한 폴리실리콘의 반도체층(105)은 상기 스위칭 영역(TrA)의 중앙부를 기준으로 상하 대칭 형태를 이루는 것이 특징이다.
- [0096] 이때, 상기 폴리실리콘의 반도체층(105) 중 상부에 이격하며 형성되는 제 1 및 제 2 게이트 전극(115a, 115b)에 대응하는 부분은 불순물이 도핑되지 않은 순수한 폴리실리콘으로 이루어진 액티브영역(105a)을 이루며, 상기 액티브영역(105a)의 사이 또는 상기 액티브영역(105a) 외측에 위치하는 부분은 n 타입 또는 p타입의 불순물이 도핑됨으로써 오믹영역(105b)을 이루고 있다.
- [0097] 다음, 이러한 구성을 갖는 상기 폴리실리콘의 반도체층(105) 위로 상기 기관(101) 전면에서 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)으로 이루어진 게이트 절연막(110)이 형성되어 있다.
- [0098] 또한, 상기 게이트 절연막(110) 위로 저저항 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 몰리브덴합금(MoTi) 중 어느 하나로 이루어져 단일층 구조를 갖거나, 또는 둘 이상의 물질로 이루어져 이중층 이상의 다중층 구조를 가지며, 화소영역(P) 및 스위칭 영역(TrA)을 정의하는 하나의 구성요소인 한 쌍의 게이트 배선(113a, 113b)이 제 1 방향으로 연장하여 제 2 간격 이격하여 다수 형성되어 있다.
- [0099] 이때, 상기 한 쌍의 게이트 배선(113a, 113b)은 제 1 및 제 2 게이트 배선(113a, 113b)이 되며, 상기 제 1 및

제 2 게이트 배선(113a, 113b) 간에는 상기 스위칭 영역(TrA)의 상하 간격인 제 1 간격(도 1의 d1) 이격하고 있다.

[0100] 한편, 상기 각 제 1 및 제 2 게이트 배선(113a, 113b)은 그 자체의 일부 더욱 정확히는 상기 각 제 1 및 제 2 게이트 배선(113a, 113b) 중 데이터 배선(130)과 교차하는 부분이 제 1 게이트 전극(115a)을 이루고 있으며, 상기 데이터 배선(130)과 이격하여 위치하는 각 제 1 및 제 2 게이트 배선(113a, 113b) 자체의 일부가 제 2 게이트 전극(115b)을 이룬다.

[0101] 다음, 상기 각 제 1 및 제 2 게이트 배선(113a, 113b) 위로 상기 기판(101) 전면에서 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)로 이루어진 층간절연막(120)이 형성되고 있다.

[0102] 이때, 상기 층간절연막(120)에는 각 스위칭 영역(TrA)에 대해 상기 폴리실리콘의 반도체층(105) 중 상기 액티브 영역(105a)을 제외한 오믹영역(105b) 중 일부를 각각 노출시키는 반도체층 콘택홀(sch1, sch2)이 구비되고 있다. 이러한 반도체층 콘택홀(sch1, sch2)은 상기 제 1 및 제 2 화소영역(P1, P2) 사이에 위치한 각 스위칭 영역(TrA)에 각각 구비된 하나의 폴리실리콘의 반도체층(105)에 대해 3개씩 형성되고 있는 것이 특징이다.

[0103] 이는 제 1 화소영역(P1)을 콘트롤하기 위한 제 1 박막트랜지스터(Tr1)와 제 2 화소영역(P2)을 콘트롤하기 위한 제 2 박막트랜지스터(Tr2)에 있어서 소스 전극(133)이 서로 연결된 형태를 이룸으로서 이러한 하나의 소스 전극(133)만이 상기 폴리실리콘의 반도체층(105)과 접촉하도록 구성하기 때문이다.

[0104] 따라서 상기 각 폴리실리콘의 반도체층(105)을 노출시키는 반도체층 콘택홀(sch1, sch2)은 상기 하나의 소스 전극(133)과 접촉시키기 위한 1개의 제 1 반도체층 콘택홀(sch1)과, 2개의 드레인 전극(136)을 각각 접촉시키기 위한 2개의 제 2 반도체층 콘택홀(sch2)로 총 3개가 구비된다.

[0105] 그리고 상기 제 1 및 제 2 반도체층 콘택홀(sch1, sch2)을 갖는 층간절연막(120) 위로 상기 제 1 방향과 교차하는 제 2 방향으로 연장하여 상기 게이트 배선(113a, 113b)과 더불어 제 1 및 제 2 화소영역(P1, P2)을 정의하며 저저항 금속물질로 이루어진 단일층 또는 다중층 구조의 데이터 배선(130)이 형성되어 있다.

[0106] 또한, 각 스위칭 영역(TrA)에는 상기 폴리실리콘의 반도체층(105)의 오믹영역(105b)을 노출시키는 반도체층 콘택홀(sch1, sch2)을 통해 상기 오믹영역(105b)과 각각 접촉하며 서로 이격하는 소스 전극(133)과 및 드레인 전극(136)이 형성되어 있다.

[0107] 이때, 상기 소스 전극(133)은 상기 데이터 배선(130) 자체의 일부로 이루어지는 것이 본 발명의 일 특징적인 구성이 되며, 상기 드레인 전극(136)은 상기 소스 전극(133)과 이격하여 아일랜드 형태로 각 스위칭 영역(TrA)에 2개씩 구성되고 있다.

[0108] 따라서 앞서 설명한 바와같이, 상기 소스 전극(133)이 상기 데이터 배선(130) 자체를 이용하여 구성됨으로서 화소영역(P1, P2) 내부로 연장 형성되는 부분이 없으므로 화소영역(P)의 개구율을 향상시키는 효과를 갖게 된다.

[0109] 한편, 각 스위칭 영역(TrA)에 순차 적층된 상기 폴리실리콘의 반도체층(105)과, 게이트 절연막(110)과, 제 1 및 제 2 게이트 전극(115a, 115b)과, 반도체층 콘택홀(sch1, sch2)이 구비된 층간절연막(120)과, 서로 이격하는 소스 및 드레인 전극(133, 136)은 스위칭 소자인 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)를 이룬다.

[0110] 이러한 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)는 서로 상하로 이웃하는 제 1 및 제 2 화소영역(P1, P2) 사이에 위치하는 스위칭 영역(TrA)에 상기 제 1 및 제 2 화소영역(P1, P2)을 각각 콘트롤 할 수 있도록 각각 형성되며 이들 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)는 각 스위칭 영역(TrA)에서 서로 소정간격 이격하여 상하로 마주하는 형태로 구비되고 있다.

[0111] 한편, 상기 데이터 배선(130)과 박막트랜지스터(Tr1, Tr2) 위로 표시영역 전면에는 유기절연물질 예를들면 포토아크릴로 이루어져 평탄한 표면을 갖는 평탄화층(140)이 형성되고 있다.

[0112] 이때, 상기 평탄화층(140)에는 각 스위칭 영역(TrA) 내에 서로 이격하며 형성된 2개의 아일랜드 형태의 드레인 전극(136)을 각각 노출시키는 2개의 드레인 콘택홀(dch)이 구비되고 있다.

[0113] 이러한 드레인 콘택홀(dch)은 상기 드레인 전극(136)과 폴리실리콘의 반도체층(105)이 접촉하는 구성을 이루도록 하기 상기 층간절연막(120)에 구비된 제 2 반도체층 콘택홀(sch2)과 각각 중첩하도록 형성되는 것이 특징이다.

[0114] 다음, 각 스위칭 영역(TrA) 별로 2개의 드레인 콘택홀(dch)이 구비된 평탄화층(140) 상부에는 표시영역 전면에서

투명 도전성 물질로 이루어진 공통전극(150)이 형성되고 있다.

- [0115] 이러한 공통전극(150)은 각 스위칭 영역(TrA)에 대해서는 제 1 개구(op1)가 형성되고 있다.
- [0116] 이때, 도면에 나타나지 않았지만 상기 공통전극(150)에는 상기 제 1 개구(op1) 이외에 상기 데이터 배선(130)에 대응해서도 제거됨으로써 제 2 개구(미도시)가 더욱 구비될 수도 있다.
- [0117] 도면에 있어서는 상기 공통전극(150)은 박막트랜지스터가 형성된 스위칭 영역(TrA)에 대해서만 제 1 개구(op1)가 구비되고 데이터 배선(130)에 대해서는 중첩하도록 형성된 것을 나타내었다.
- [0118] 다음, 상기 제 1 개구(op1)가 구비된 상기 공통전극(150) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)로 이루어진 보호층(160)이 형성되고 있다.
- [0119] 이때, 상기 보호층(160) 또한 상기 평탄화층(140)에 구비된 드레인 콘택홀(dch)에 대해 제거됨으로서 상기 드레인 콘택홀(dch)이 상기 보호층(160)까지 확장된 형태를 이룬다.
- [0120] 다음, 상기 보호층(160) 상부에는 투명 도전성 물질로 이루어지며 각 화소영역(P1, P2) 별로 분리되며 상기 보호층(160) 및 평탄화층(140)에 구비된 드레인 콘택홀(dch)을 통해 상기 각 드레인 전극(136)과 각각 접촉하며 상기 제 1 및 제 2 화소영역(P1, P2)까지 연장하는 화소전극(170)이 각각 형성되고 있다.
- [0121] 이때, 그리고 각 제 1 및 제 2 화소영역(P1, P2) 내에 형성된 각 화소전극(170)에는 바(bar) 형태의 다수의 제 3 개구(op3)가 일정간격 이격하며 형성되고 있다.
- [0122] 다음, 상기 보호층(160) 위로 좌우로 이웃한 2개의 스위칭 영역(TrA)의 중앙부에는 각각의 스위칭 영역(TrA)에 이격하며 구비된 2개의 드레인 콘택홀(dch)과 이격하며, 동시에 상기 서로 이웃한 2개의 스위칭 영역(TrA)의 중앙부에 구비된 데이터 배선(130)에 구비된 제 1 반도체층 콘택홀(sch1)과 중첩하며 패턴드 스페이서(180)가 형성되고 있다.
- [0123] 이러한 패턴드 스페이서(180)는 비표시영역인 스위칭 영역(TrA)에 형성됨으로서 각 화소영역(P1, P2)으로의 침범을 원천적으로 억제할 수 있으므로 개구율 저감을 억제하는 효과가 있다.
- [0124] 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(도 1의 1)과 같이 각 화소영역(도 1의 P) 내에 스위칭 영역이 구비되는 경우 스위칭 영역이 상대적으로 작으므로 상기 패턴드 스페이서(도 1의 80)는 스위칭 영역(도 1의 TrA)과 더불어 화소전극(도 1의 70)이 형성된 부분까지 침범하여 형성됨으로서 개구율을 저감시키는 요인이 되었다.
- [0125] 하지만, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 경우, 스위칭 영역(TrA)은 제 1 화소영역(P1)과 제 2 화소영역(P2)이 공통으로 사용할 수 있도록 서로 상하로 이웃하는 제 1 및 제 2 화소영역(P1, P2) 사이에 구비되고 있다.
- [0126] 이러한 구성적 특징에 의해 이러한 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)에 있어 상기 스위칭 영역(TrA)은 종래의 하나의 화소영역(도 1의 P) 내에 구비되는 스위칭 영역(도 1의 TrA) 대비 큰 면적을 갖지만, 각각의 화소영역(도 1의 P) 내에 구비되는 스위칭 영역(도 1의 TrA)을 2개 합산한 면적보다는 작은 면적을 갖는다.
- [0127] 따라서, 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 스위칭 영역(TrA)의 총 합산 면적은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관의 총 스위칭 영역 면적 대비 줄어들게 되므로 개구율이 향상되는 효과를 갖는다.
- [0128] 동시에 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)의 각 스위칭 영역(TrA)은 각 화소영역(도 1의 P)에 각각 구비되는 스위칭 영역(도 1의 TrA)의 면적보다는 크므로, 이러한 스위칭 영역(TrA) 내에 패턴드 스페이서(180)를 형성하는 것은 충분한 면적이 되므로 상기 패턴드 스페이서(180)가 상기 스위칭 영역과 이웃하는 제 1 및 제 2 화소영역(P1, P2)으로 침범될 여지는 없다.
- [0129] 따라서 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)은 패턴드 스페이서(180)의 형성에 따른 개구율 저하 또한 억제하는 효과가 있다.
- [0130] 한편, 전술한 구성을 갖는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기관(101)은 화소전극(170)이 공통전극(150) 상부에 위치하는 픽셀 탭 구조를 일례로 보이고 있지만, 그 변형예로서 공통전극(150)이 화소전극(170) 상부에 위치하는 커먼 탭 구조를 이룰 수도 있음은 자명하다 할 것이다.

[0131] 나아가, 본 발명의 실시예에 있어서는 일레로 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판을 일레로 하고 설명하였지만, 공통전극 대향기관에 형성됨으로서 어레이 기관 상에서는 생략된 구성을 갖는 수직전계 모드 또는 트위스트 네마틱 모드 액정표시장치용 어레이 기관에도 적용될 수 있음은 자명하다 할 것이다.

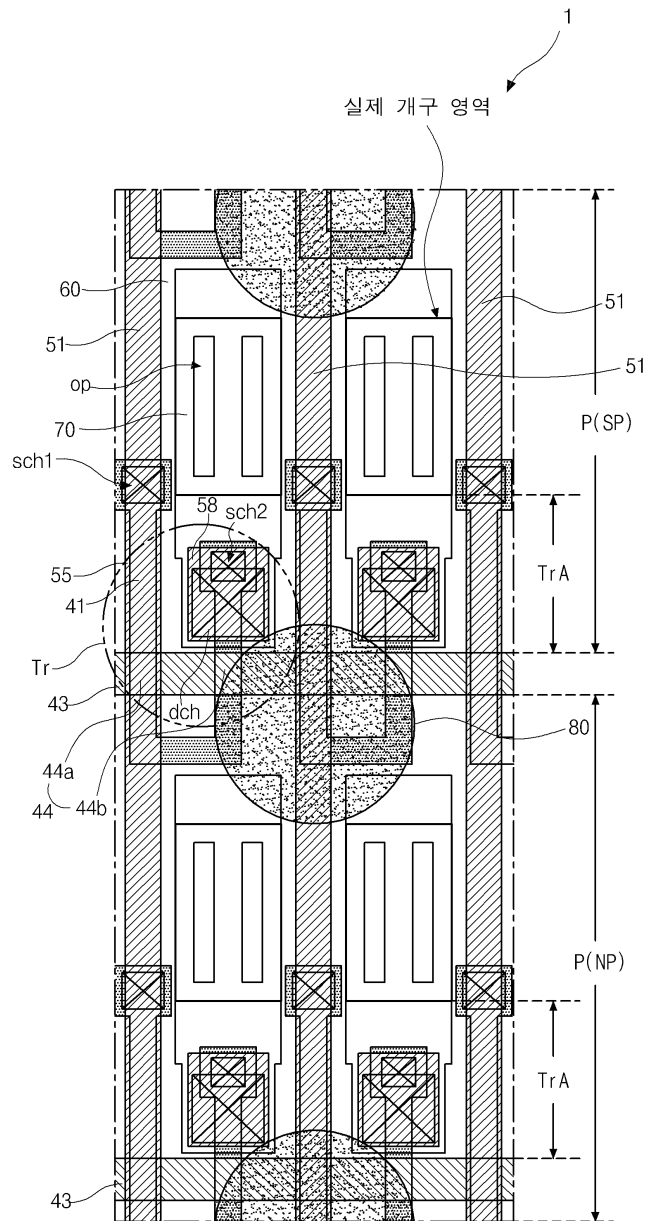
[0132] 본 발명은 전술한 실시예 및 변형예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

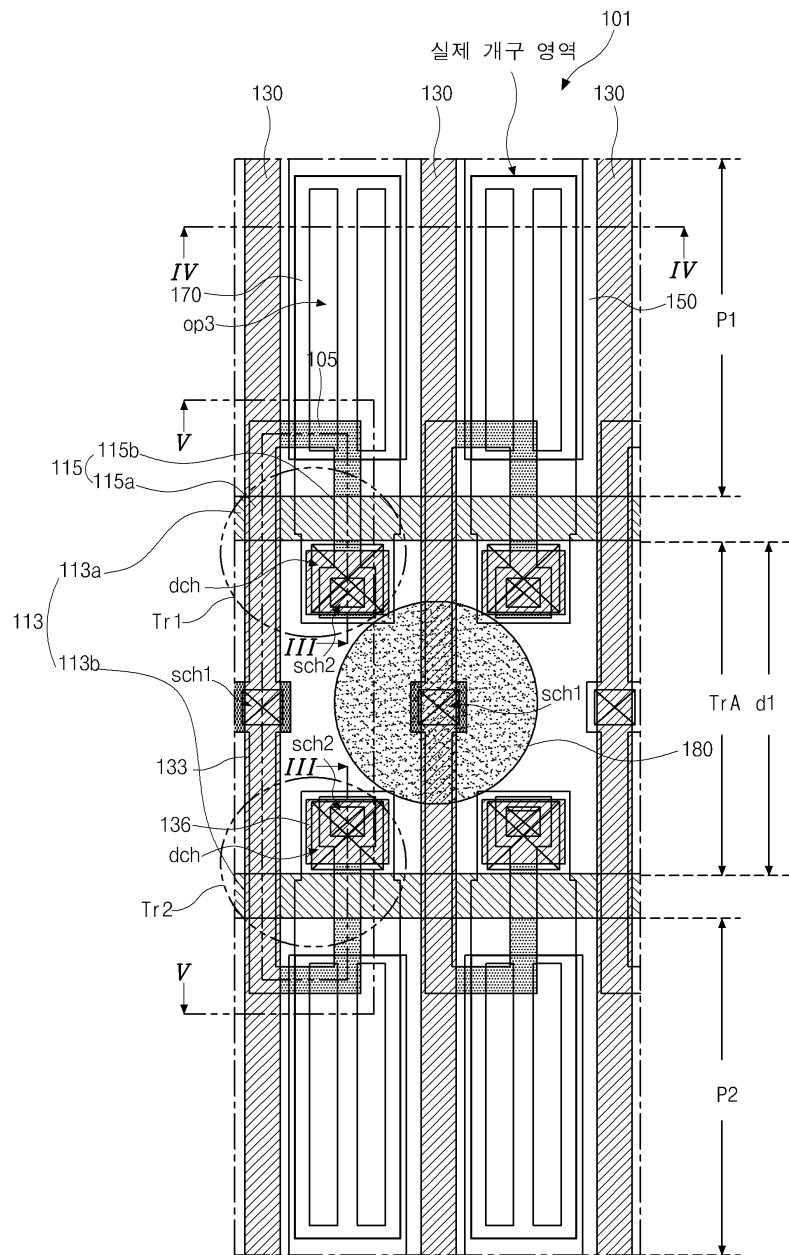
[0133] 101 : 어레이 기관
 105 : 폴리실리콘의 반도체층
 113a, 113b : 제 1 및 제 2 게이트 배선
 115a, 115b : 제 1 및 제 2 게이트 전극
 130 : 데이터 배선
 133 : 소스 전극
 136 : 드레인 전극
 150 : 공통전극
 170 : 화소전극
 dch : 드레인 콘택홀
 sch1, sch2 : 반도체층 콘택홀
 op3 : 제 3 개구
 P : 화소영역
 P1, P2 : 제 1 및 제 2 화소영역
 Tr1, Tr2 : 박막트랜지스터
 TrA : 스위칭 영역

도면

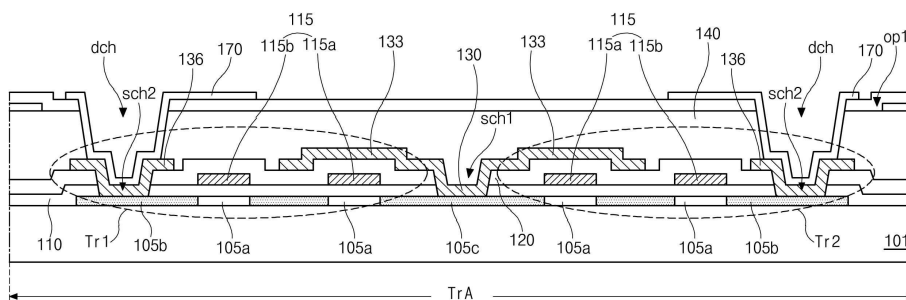
도면1



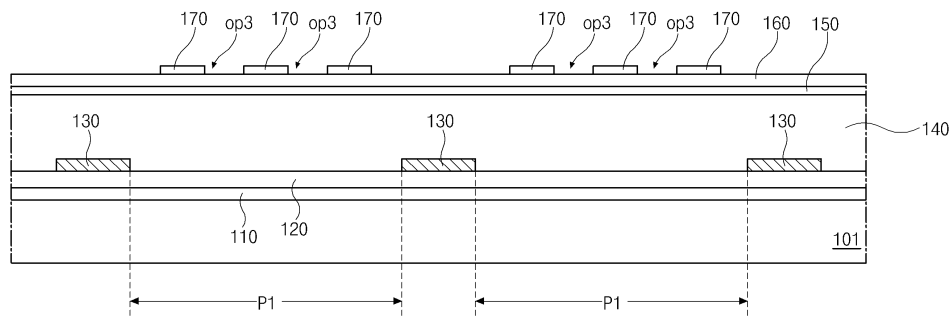
도면2



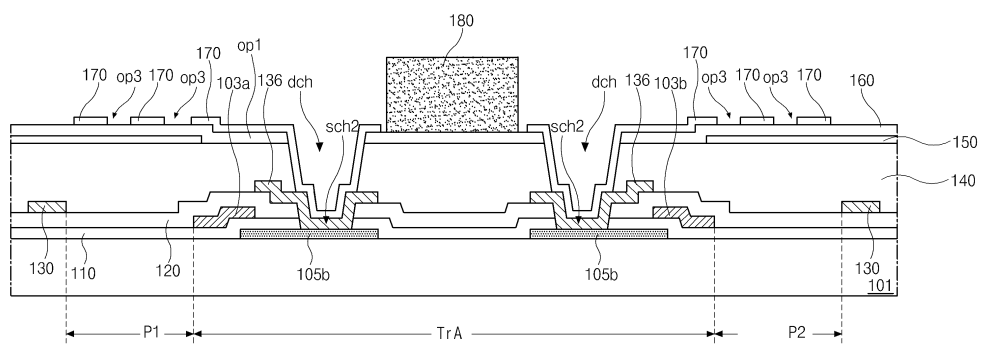
도면3



도면4



도면5



专利名称(译)	液晶显示装置的阵列基板		
公开(公告)号	KR102068962B1	公开(公告)日	2020-01-22
申请号	KR1020130116809	申请日	2013-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정의현 김가경 조성준		
发明人	정의현 김가경 조성준		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136286 H01L27/124 H01L27/1248 H01L29/41733 H01L29/78606		
审查员(译)	Sinchangwoo		
其他公开文献	KR1020150037302A		
外部链接	Espacenet		

摘要(译)

本发明包括：基板，其中，第一和第二像素区域被限定为彼此垂直相邻，并且在第一和第二像素区域之间限定了切换区域。在基板上的每个开关区域处形成的多晶硅半导体层；在多晶硅半导体层上形成的栅绝缘膜；多个栅极线，其包括在栅极绝缘膜上由第一间隙隔开并且由第二间隙隔开的一对导线；层间绝缘层，其中分别布置有第一，第二和第三半导体接触孔，以在多条栅极线上露出多晶硅半导体层；在层间绝缘层上与多条数据线相交的多条数据线，以限定第一和第二像素区域和开关区域，以及与数据线间隔开的两个漏电极分别形成哪些交换区；在第一像素区域和第二像素区域分别与将要形成的两个漏电极中的每一个接触的像素电极，其中形成多条数据线以与多晶硅半导体层交叠，多条数据线构成作为源电极本身，源电极经由布置在每个开关区域处的第一半导体层接触孔与多晶硅半导体层接触，并且布置在每个开关区域处的两个漏电极与多晶硅半导体层接触。多晶硅半导体层分别通过第二和第三半导体孔。

