



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0025614
(43) 공개일자 2017년03월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1343 (2006.01) G09G 3/36 (2006.01)
H01L 29/786 (2006.01)

(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/1343 (2013.01)

(21) 출원번호 10-2015-0122330
(22) 출원일자 2015년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
윤재웅
경기도 파주시 평화로 280, 106동 706호 (야동동, 대방아파트)

공인영
경기도 파주시 월롱면 옥돌내길 208-1, 404호

(74) 대리인
박영복

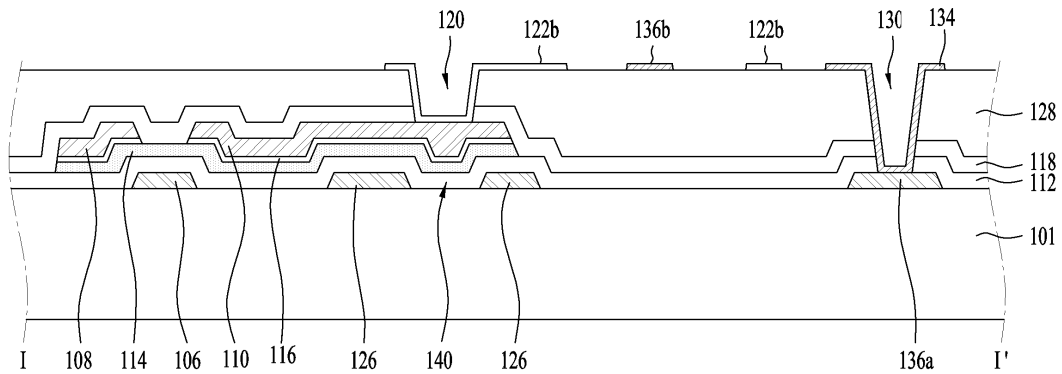
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 박막트랜지스터 기관 및 그를 가지는 액정 표시 패널

(57) 요약

본 발명은 개구율 감소없이 적절한 크기의 스토리지 커패시터의 용량값을 확보할 수 있는 박막트랜지스터 기관 및 그를 가지는 액정 표시 패널에 관한 것으로, 본 발명에 따른 박막트랜지스터 기관은 공통 전극과 접속된 제1 스토리지 전극과, 화소 전극과 접속된 제2 스토리지 전극이 중첩되는 영역에서 제1 및 제2 스토리지 전극 중 적어도 어느 하나를 관통하는 스토리지홀을 구비한다.

대표도 - 도2



(52) CPC특허분류

G09G 3/36 (2013.01)

H01L 29/786 (2013.01)

G02F 2001/133302 (2013.01)

G02F 2001/134318 (2013.01)

명세서

청구범위

청구항 1

기관 상에 위치하며, 공통 전극과 접속된 제1 스토리지 전극과;

상기 공통 전극과 전계를 이루는 화소 전극과 접속되며, 상기 제1 스토리지 전극과 중첩되어 스토리지 커패시터를 이루는 제2 스토리지 전극과;

상기 제1 및 제2 스토리지 전극이 중첩되는 영역에서 상기 제1 및 제2 스토리지 전극 중 적어도 어느 하나를 관통하는 스토리지홀을 구비하는 박막트랜지스터 기관.

청구항 2

제 1 항에 있어서,

상기 스토리지홀은 상기 공통 전극과 접속된 공통 라인인 상기 제1 스토리지 전극을 관통하는 박막트랜지스터 기관.

청구항 3

제 1 항에 있어서,

상기 스토리지홀은 상기 화소 전극과 접속된 박막트랜지스터의 드레인 전극인 상기 제2 스토리지 전극을 관통하는 박막트랜지스터 기관.

청구항 4

제 3 항에 있어서,

상기 드레인 전극과 상기 화소 전극 사이에 위치하는 적어도 한 층의 보호막을 관통하여 상기 드레인 전극을 노출시키는 화소 콘택홀을 더 구비하며,

상기 스토리지홀은 상기 화소 콘택홀과 엇갈리게 배치되는 박막트랜지스터 기관.

청구항 5

제 1 항에 있어서,

상기 스토리지홀은

상기 공통 전극과 접속된 공통 라인인 상기 제1 스토리지 전극을 관통하는 제1 스토리지홀과;

상기 화소 전극과 접속된 박막트랜지스터의 드레인 전극인 상기 제2 스토리지 전극을 관통하는 제2 스토리지홀을 구비하는 박막트랜지스터 기관.

청구항 6

제 5 항에 있어서,

상기 드레인 전극과 상기 화소 전극 사이에 위치하는 적어도 한 층의 보호막을 관통하여 상기 드레인 전극을 노출시키는 화소 콘택홀을 더 구비하며,

상기 제2 스토리지홀은 상기 화소 콘택홀과 엇갈리게 배치되는 박막트랜지스터 기관.

청구항 7

제 5 항에 있어서,

상기 드레인 전극과 상기 화소 전극 사이에 위치하는 적어도 한 층의 보호막을 관통하여 상기 드레인 전극을 노

출시키는 화소 컨택홀을 더 구비하며,

상기 제2 스토리지홀은 상기 화소 컨택홀보다 좁은 면적을 가지며 상기 화소 컨택홀 내에서 상기 드레인 전극을 관통하는 박막트랜지스터 기관.

청구항 8

액정층과,

상기 액정층을 구동하기 위해 전계를 이루는 화소 전극 및 공통 전극을 가지는 박막트랜지스터 기관을 구비하며,

상기 박막트랜지스터 기관은

상기 공통 전극과 접속된 제1 스토리지 전극과;

상기 화소 전극과 접속되며, 상기 제1 스토리지 전극과 중첩되어 스토리지 커패시터를 이루는 제2 스토리지 전극과;

상기 제1 및 제2 스토리지 전극이 중첩되는 영역에서 상기 제1 및 제2 스토리지 전극 중 적어도 어느 하나를 관통하는 스토리지홀을 구비하는 액정 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 박막트랜지스터 기관에 관한 것으로, 특히 개구율 감소없이 적절한 크기의 스토리지 커패시터의 용량 값을 확보할 수 있는 박막트랜지스터 기관 및 그를 가지는 액정 표시 패널에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치가 각광받고 있다.

[0003] 평판형 표시 장치 중 액정 표시 장치는 화소 전극과 공통 전극에 형성되는 전계에 의해 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 방식과 수평 전계 방식으로 구별된다. 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다. 수평 전계 방식의 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching; IPS) 모드의 액정을 구동한다. 이러한 수평 전계 방식의 액정 표시 장치는 시야각이 160도 정도로 수직 전계 방식에 비해 넓으며, 구동 속도가 빠르다는 장점을 가진다. 따라서, 더 좋은 표시 품질을 제공하는 수평 전계 방식의 액정표시장치에 대한 요구가 날로 증가하고 있다.

[0004] 이 수평 전계 방식의 액정 표시 장치는 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터와 접속된 액정 커패시터(Clc)와, 액정 커패시터(Clc)와 병렬로 접속된 스토리지 커패시터(Cst)를 포함한다.

[0005] 이러한 액정 표시 장치는 공정 기술의 비약적인 발전에 힘입어 각 화소 영역에서 핑거 형상으로 형성되는 화소 전극 및 공통 전극을 미세하게 형성할 수 있다. 이에 따라, 각 화소 영역에서 화소 전극 및 공통 전극의 간격이 가까워져 액정 커패시터의 용량이 증가하게 되며, 액정 커패시터의 용량이 커진만큼, 각 서브 화소의 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 증가하게 된다. 그 결과, 한 프레임동안 각 서브 화소에 충전해야 할 전체 커패시터의 용량의 증가로 충전 특성이 저하된다. 저하된 충전 특성을 보상하기 위해, 온 전류(Ion)에 비례하는 박막트랜지스터의 채널 폭을 증가시키게 되면 박막트랜지스터의 크기가 커져 박막트랜지스터가 차지하는 비투과 영역도 커지게 되어 개구율이 감소하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 개구율 감소없이 적절한 크기의 스토리지 커패시터의 용량값을 확보할 수 있는 박막트랜지스터 기관 및 그를 가지는 액정 표시 패널을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명에 따른 박막트랜지스터 기관은 공통 전극과 접속된 제1 스토리지 전극과, 화소 전극과 접속된 제2 스토리지 전극이 중첩되는 영역에서 제1 및 제2 스토리지 전극 중 적어도 어느 하나를 관통하는 스토리지홀을 구비한다.

발명의 효과

[0008] 본 발명에 따른 박막트랜지스터 기관 및 그를 가지는 액정 표시 패널은 제1 스토리지 전극인 공통 라인 및 제2 스토리지 전극인 드레인 전극이 중첩되는 영역에서 공통 라인 및 드레인 전극 중 적어도 어느 하나를 관통하는 스토리지홀을 구비한다. 이 스토리지홀에 의해, 드레인 전극과 공통 라인의 중첩면적을 줄일 수 있어 스토리지 커패시터의 용량이 종래보다 감소한다. 이에 따라, 각 서브 화소에서 스토리지 커패시터의 용량이 줄어든 만큼, 각 서브 화소의 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 감소하게 된다. 그 결과, 본 발명에서는 박막트랜지스터의 채널 폭(면적) 증가없이도 충전 특성을 확보할 수 있으므로, 박막트랜지스터로 인한 개구율 감소를 방지할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 제1 실시 예에 따른 박막트랜지스터 기관을 나타내는 평면도이다.
 도 2는 도 1에서 선 "I-I'"를 따라 절단한 박막트랜지스터 기관을 나타내는 단면도이다.
 도 3은 본 발명의 제2 실시 예에 따른 박막트랜지스터 기관을 나타내는 평면도이다.
 도 4는 도 3에서 선 "II-II'"를 따라 절단한 박막트랜지스터 기관을 나타내는 단면도이다.
 도 5는 본 발명의 제3 실시 예에 따른 박막트랜지스터 기관을 나타내는 단면도이다.
 도 6은 도 5에 도시된 제2 스토리지홀의 다른 실시 예를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

[0011] 도 1은 본 발명의 제1 실시 예에 따른 박막트랜지스터 기관을 나타내는 평면도이며, 도 2는 도 1에서 선 "I-I'"를 따라 절취한 박막트랜지스터 기관을 나타내는 단면도이다.

[0012] 도 1 및 도 2에 도시된 박막트랜지스터 기관은 게이트 라인(102), 데이터 라인(104), 박막트랜지스터, 화소 전극(122), 공통 전극(132) 및 스토리지 커패시터를 구비한다.

[0013] 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(112)을 사이에 두고 교차하여 각 화소 영역을 정의한다. 게이트 라인(102)은 각 화소 영역의 박막트랜지스터의 게이트 전극(106)에 스캔 신호를, 데이터 라인(104)은 각 화소 영역의 박막트랜지스터의 소스 전극(108)에 데이터 신호를 공급한다.

[0014] 박막 트랜지스터는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104)의 데이터 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터는 게이트 전극(106), 소스 전극(108), 드레인 전극(110), 활성층(114) 및 오믹접촉층(116)을 구비한다.

[0015] 게이트 전극(106)은 게이트 절연막(112)을 사이에 두고 활성층(114)의 채널과 중첩된다. 이러한 게이트 전극(106)은 기관(101) 상에 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다. 예를 들어, 게이트 전극(106)은 MoTi로 이루어진 제1 게이트 금속층과, Cu로 이루어진 제2 게이트 금속층이 적층된 구조로 형성된다.

[0016] 활성층(114)은 게이트 절연막(112) 상에 게이트 전극(106)과 중첩되게 형성되어 소스 및 드레인 전극(108,110)

사이에 채널을 형성한다. 오믹 접촉층(116)은 소스 및 드레인 전극(108,110) 각각과 활성층(114) 간의 오믹 접촉을 위해 채널을 제외한 활성층(114) 상에 형성된다. 이러한 활성층(114) 및 오믹 접촉층(116)은 소스 및 드레인 전극(108,110) 뿐만 아니라, 데이터 라인(104)과도 중첩되도록 형성된다.

- [0017] 소스 전극(108)은 오믹 접촉층(116) 상에 데이터 라인(104)과 접속된다. 이 소스 전극(108)은 채널을 사이에 두고 드레인 전극(110)과 마주한다. 이 소스 전극(108) 및 드레인 전극(110)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0018] 드레인 전극(110)은 제1 및 제2 보호막(118,128)을 관통하는 화소 콘택홀(120)을 통해 노출되어 화소 전극(122)과 전기적으로 접속된다. 제1 보호막(118)은 SiNx 또는 SiOx와 같은 무기 절연막으로 형성되어 외부로부터 유입되는 수분을 차단하여 박막트랜지스터를 구성하는 전극들의 부식을 방지한다. 제2 보호막(128)은 제1 보호막(118) 상에 포토아크릴과 같은 유기 절연막으로 형성되어 박막트랜지스터 기판의 표면을 평탄화한다.
- [0019] 화소 전극(122)은 박막트랜지스터의 드레인 전극(110)과 화소 콘택홀(120)을 통해 접속된다. 이에 따라, 화소 전극(122)은 박막트랜지스터를 통해 데이터 라인(104)으로부터의 데이터 신호가 공급된다. 이러한 화소 전극(122)은 공통 라인(126)과 나란한 화소 수평부(122a)와, 데이터 라인(104)과 나란하게 화소 수평부(122a)에서 화소 영역으로 신장된 화소 핑거부(122b)를 구비한다.
- [0020] 공통 전극(132)은 공통 라인(126)과 접속되어 공통 라인(126)을 통해 공통 전압이 공급된다. 이러한 공통 전극(132)은 공통 라인(126)과 나란하게 형성된 공통 수평부(134)와, 화소 핑거부(122b)와 나란하게 형성된 공통 핑거부(136)를 구비한다. 공통 핑거부(136)는 제1 및 제2 공통 핑거부(136a,136b)를 구비한다. 제1 공통 핑거부(136a)는 데이터 라인(104)과 인접하게 각 화소 영역의 양측에 위치한다. 이 제1 공통 핑거부(136a)는 공통 라인(126)으로부터 화소 영역으로 신장되어 형성되며 공통 콘택홀(130)을 통해 공통 수평부(134)와 전기적으로 접속된다. 제2 공통 핑거부(136b)는 화소 핑거부(122b)들 사이에 위치하며, 공통 수평부(134)로부터 화소 영역으로 신장되어 형성된다.
- [0021] 이러한 공통 전극(132)은 화소 전극(122)과 동일 평면 상에 동일 재질로 형성되거나 화소 전극(122)과 다른 평면 상에 다른 재질 또는 같은 재질로 형성된다. 본 발명에서는, 공통 라인(126) 및 제1 공통 핑거부(136a)가 기판(101) 상에 게이트 전극과 동일한 게이트 금속층으로 형성되고, 공통 수평부(134) 및 제2 공통 핑거부(136b)는 제2 보호막(128) 상에 화소 전극(122)과 동일한 투명 도전막으로 형성되는 경우를 예로 들어 설명하기로 한다.
- [0022] 한편, 공통 전압이 공급된 공통 전극(132)은 박막 트랜지스터를 통해 비디오 신호가 공급되는 화소 전극(122)과 수평 전계를 형성하여 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0023] 스토리지 커패시터(Cst)는 화소 전극(122)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 안정적으로 유지할 수 있게 된다. 이러한 스토리지 커패시터는 제1 스토리지 전극인 공통 라인(126)과, 제2 스토리지 전극인 드레인 전극(110)이 게이트 절연막(112), 활성층(114) 및 오믹 접촉층(116)을 사이에 두고 중첩됨으로써 형성된다.
- [0024] 공통 라인(126)은 드레인 전극(110)과 중첩되는 영역에서 기판(101)을 노출시키는 적어도 하나의 스토리지홀(140)을 구비한다. 이 스토리지홀(140)은 공통 라인(126)을 관통하도록 형성됨으로써 공통 라인(126)의 면적이 줄어든다. 이에 따라, 드레인 전극(110)과 공통 라인(126)의 중첩면적을 줄일 수 있어 스토리지 커패시터의 용량이 종래보다 감소한다. 이에 따라, 각 서브 화소에서 스토리지 커패시터의 용량이 줄어든 만큼, 각 서브 화소의 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 감소하게 된다. 그 결과, 본 발명에서는 박막트랜지스터의 채널 폭(면적) 증가없이도 충전 특성을 확보할 수 있으므로, 박막트랜지스터로 인한 개구율 감소를 방지할 수 있다.
- [0025] 도 3은 본 발명의 제1 실시 예에 따른 박막트랜지스터 기판을 나타내는 평면도이며, 도 4는 도 3에서 선"II-II'"를 따라 절취한 박막트랜지스터 기판을 나타내는 단면도이다.
- [0026] 도 3 및 도 4에 도시된 박막트랜지스터 기판은 도 1 및 도 2에 도시된 박막트랜지스터 기판과 대비하여 스토리지홀(140)이 제2 스토리지 전극인 드레인 전극(110) 내에 위치하는 것을 제외하고는 동일한 구성요소를 구비한

다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

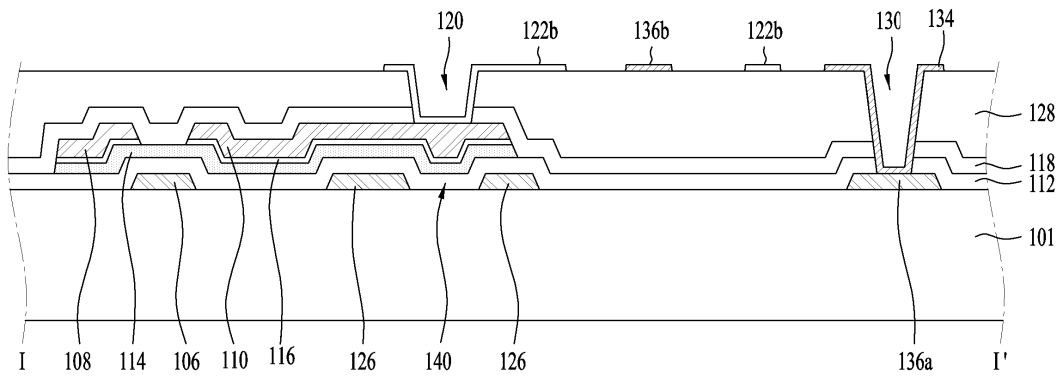
- [0027] 드레인 전극(110)은 공통 라인(126)과 중첩되는 영역에 위치하는 적어도 하나의 스토리지홀(140)을 구비한다. 이 스토리지홀(140)은 드레인 전극(100), 오믹 접촉층(116) 및 활성층(114)을 관통하여 게이트 절연막(112)을 노출시킨다. 이 때, 스토리지홀(140)은 드레인 전극(110)을 노출시키는 화소 컨택홀(120)과 엇갈리게 서로 다른 영역에 배치된다. 예를 들어, 화소 컨택홀(120)은 드레인 전극(110), 화소 전극(122) 및 공통 라인(126)이 중첩되는 영역에 형성되는 반면에, 스토리지홀(140)은 드레인 전극(110) 및 공통 라인(126)이 중첩되는 영역에 형성된다.
- [0028] 이와 같이, 스토리지홀(140)은 드레인 전극(110)을 관통하도록 형성됨으로써 드레인 전극(110)의 면적이 줄어든다. 이에 따라, 드레인 전극(110)과 공통 라인(126)의 중첩면적을 줄일 수 있어 스토리지 커패시터의 크기가 종래보다 감소한다. 이에 따라, 각 서브 화소에서 스토리지 커패시터의 용량이 줄어든 만큼, 각 서브 화소의 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 감소하게 된다. 그 결과, 본 발명에서는 박막 트랜지스터의 채널 폭(면적) 증가없이도 충전 특성을 확보할 수 있으므로, 박막트랜지스터로 인한 개구율 감소를 방지할 수 있다.
- [0029] 도 5 및 도 6은 본 발명의 제3 실시 예에 따른 박막트랜지스터 기판을 나타내는 단면도들이다.
- [0030] 도 5 및 도 6에 도시된 박막트랜지스터 기판은 도 1 및 도 2에 도시된 박막트랜지스터 기판과 대비하여 스토리지홀(140)이 드레인 전극(110) 및 공통 라인(126) 각각에 위치하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0031] 스토리지홀(140)은 공통 라인(126) 내에 위치하는 제1 스토리지홀(140a)과, 드레인 전극(110) 내에 위치하는 제2 스토리지홀(140b)을 구비한다.
- [0032] 제1 스토리지홀(140a)은 드레인 전극(110) 및 공통 라인(126)이 중첩되는 영역에서 공통 라인(126)을 관통하도록 형성되므로, 스토리지 커패시터 영역 내에서 공통 라인(126)의 면적을 최소화한다.
- [0033] 제2 스토리지홀(140b)은 드레인 전극(110) 및 공통 라인(126)이 중첩되는 영역에서 드레인 전극(110), 오믹 접촉층(116) 및 활성층(114)을 관통하도록 형성되므로, 스토리지 커패시터 영역 내에서 드레인 전극(110)의 면적을 최소화한다. 이 때, 제2 스토리지홀(140b)은 도 5에 도시된 바와 같이 화소 컨택홀(120)보다 작은 면적으로 화소 컨택홀(120) 내에 위치한다. 이에 따라, 화소 전극(122)은 화소 컨택홀(120)에 의해 노출된 드레인 전극(110)의 상부면과, 제2 스토리지홀(140b)에 의해 노출된 드레인 전극(110)의 측면과 접촉하게 된다.
- [0034] 이외에도 제2 스토리지홀(140b)은 도 6에 도시된 바와 같이 화소 컨택홀(120)과 엇갈리게 배치될 수도 있다.
- [0035] 이러한 제1 및 제2 스토리지홀(140a, 140b)에 의해 스토리지 커패시터의 영역 내에서 공통 라인(126) 및 드레인 전극(110) 각각의 면적이 줄어든다. 이에 따라, 드레인 전극(110)과 공통 라인(126)의 중첩면적을 줄일 수 있어 스토리지 커패시터의 크기가 종래보다 감소한다. 이에 따라, 각 서브 화소에서 스토리지 커패시터의 용량이 줄어든 만큼, 각 서브 화소의 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 감소하게 된다. 그 결과, 본 발명에서는 박막트랜지스터의 채널 폭(면적) 증가없이도 충전 특성을 확보할 수 있으므로, 박막트랜지스터로 인한 개구율 감소를 방지할 수 있다.
- [0036] 표 1은 종래와 본 발명의 액정 표시 패널의 스토리지 커패시터의 크기에 따른 충전 특성을 설명하기 표이다.

표 1

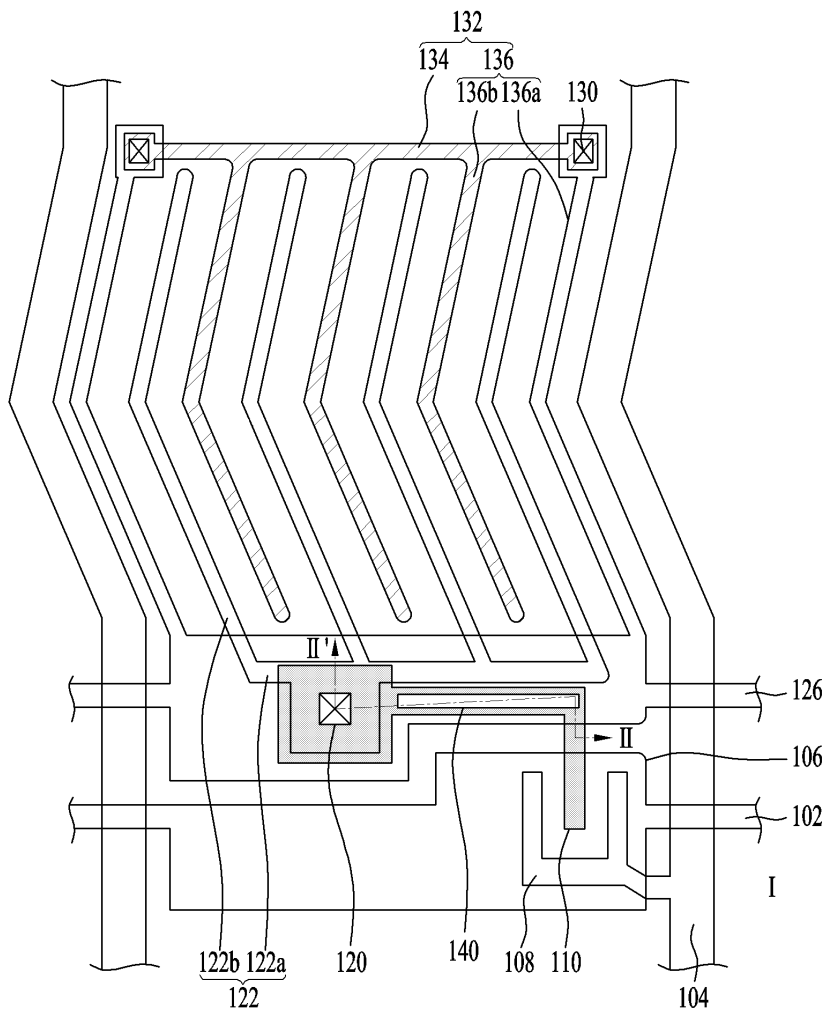
[0037]	종래1		종래2		본 발명	
Cst (fF)	115		115		30	
채널폭(μm)	20		30		20	
Charging Ration	96.1%	99.2%	98.3%	99.7%	98.6%	99.8%

- [0038] 표 1에 도시된 종래 1의 액정 표시 패널은 스토리지 커패시터(Cst)의 용량 증가로 인해, 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 증가하게 되어 충전 특성이 저하됨을 알 수 있다. 이 저하된 충전 특성을 보상하기 위해 종래 2의 액정 표시 패널은 온 전류에 비례하는 박막트랜지스터의 채널 폭을 증가시켜 충전 특성을 확보하였으나, 채널 폭 증가로 인해 개구율이 감소된다. 반면에 본 발명에서는 스토리지 커패시터(Cst)의 용량을 종래보다 작게 형성함으로써 전체 커패시터(=액정 커패시터+스토리지 커패시터)의 총 용량도 감

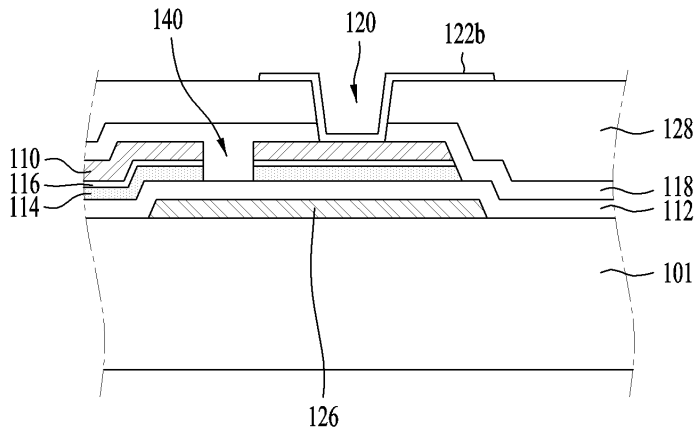
도면2



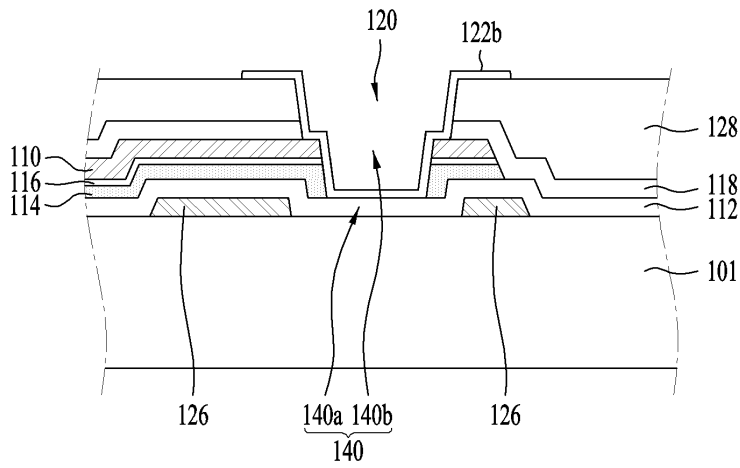
도면3



도면4



도면5



도면6

