



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0144081
(43) 공개일자 2016년12월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1343 (2006.01)
(52) CPC특허분류
G02F 1/1362 (2013.01)
G02F 1/133512 (2013.01)
(21) 출원번호 10-2015-0080381
(22) 출원일자 2015년06월08일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
손옥수
서울특별시 중구 마장로 34, 203호(신당동)
김동욱
서울특별시 도봉구 시루봉로 166, 동양파라곤아파트 102-601 (방학동)
(뒷면에 계속)
(74) 대리인
특허법인가산

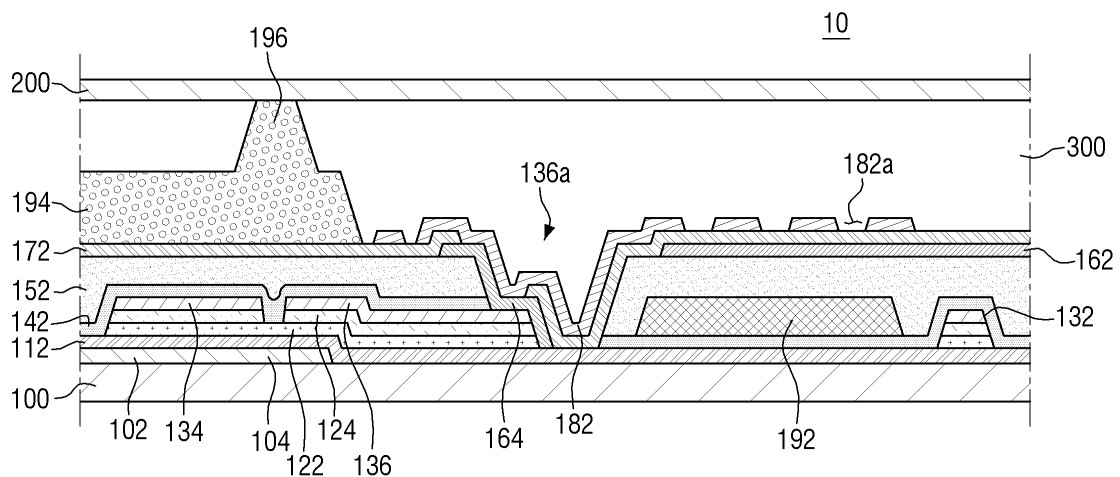
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치 및 그의 제조 방법

(57) 요약

AUA 발생 방지 구조를 가지는 액정 표시 장치가 개시된다. 본 발명의 일 실시예에 따른 액정 표시 장치는 서로 대향된 제1 기판 및 제2 기판, 상기 제1 기판 및 상기 제2 기판 사이에 배치된 액정층, 상기 제1 기판 상에 배치되고, 반도체층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터, 상기 박막 트랜지스터 상에 배치되고, 상기 드레인 전극의 적어도 일부를 노출하는 콘택홀을 포함하는 유기층, 상기 유기층 상에 배치되고, 상기 콘택홀에 의해 노출된 드레인 전극의 적어도 일부와 접촉된 도전층, 상기 유기층 상에 상기 도전층과 이격되어 배치된 공통 전극, 상기 도전층 및 상기 공통 전극 상에 배치되고, 상기 도전층의 적어도 일부를 노출하는 개구부를 포함하는 보호층, 및 상기 보호층 및 상기 도전층 상에 배치되고, 상기 개구부에 의해 노출된 도전층의 적어도 일부와 접촉된 화소 전극을 포함한다.

대표도 - 도3



(52) CPC특허분류

G02F 1/1343 (2013.01)

(72) 발명자

송진호

경기도 용인시 수지구 포은대로 219, 서원마을현대
아이파크아파트3단지 305동 1403호 (상현동)

장은제

경기도 화성시 동탄대로시범길 53, 시범대원칸타빌
아파트 1454동 1901호 (청계동)

정도현

경기도 수원시 팔달구 권선로 477, 대한대우아파트
114동 102호 (매산로2가)

명세서

청구범위

청구항 1

서로 대향된 제1 기관 및 제2 기관;

상기 제1 기관 및 상기 제2 기관 사이에 배치된 액정층;

상기 제1 기관 상에 배치되고, 반도체층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치되고, 상기 드레인 전극의 적어도 일부를 노출하는 컨택홀을 포함하는 유기층;

상기 유기층 상에 배치되고, 상기 컨택홀에 의해 노출된 드레인 전극의 적어도 일부와 접촉된 도전층;

상기 유기층 상에 상기 도전층과 이격되어 배치된 공통 전극;

상기 도전층 및 상기 공통 전극 상에 배치되고, 상기 도전층의 적어도 일부를 노출하는 개구부를 포함하는 보호층; 및

상기 보호층 및 상기 도전층 상에 배치되고, 상기 개구부에 의해 노출된 도전층의 적어도 일부와 접촉된 화소 전극을 포함하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 도전층 및 상기 보호층은 상기 화소 전극과 상기 유기층 사이에 배치되어 상기 화소 전극과 상기 유기층은 직접적으로 접촉하지 않는 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 개구부는 상기 도전층의 중앙 부분을 노출시키고, 상기 보호층은 도전층의 가장자리를 커버하는 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 도전층은 상기 컨택홀의 내벽 중 일부를 따라 연장되어 상기 유기층의 상부 표면까지 연장된 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 화소 전극은 상기 개구부에 의한 상기 도전층의 노출 부분 전부와 접촉하는 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 게이트 전극과 상기 드레인 전극 사이에 배치된 게이트 절연막을 더 포함하고,

상기 컨택홀은 상기 게이트 절연막의 적어도 일부를 노출시키는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 보호층은 상기 게이트 절연막과 직접적으로 접촉하는 액정 표시 장치.

청구항 8

제6항에 있어서,

상기 게이트 절연막과 상기 유기층 사이에 배치된 컬러 필터를 더 포함하는 액정 표시 장치.

청구항 9

제1항에 있어서,

상기 보호층 상에 배치된 차광 부재를 더 포함하는 액정 표시 장치.

청구항 10

제1 기판 상에 반도체층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 상에 상기 드레인 전극의 적어도 일부를 노출하는 컨택홀을 포함하는 유기층을 형성하는 단계;

상기 유기층 상에 상기 컨택홀에 의해 노출된 드레인 전극의 적어도 일부와 접촉된 도전층을 형성하고, 상기 유기층과 상에 상기 도전층과 이격하여 공통 전극을 형성하는 단계;

상기 도전층 및 상기 공통 전극 상에 상기 도전층의 적어도 일부를 노출하는 개구부를 포함하는 보호층을 형성하는 단계; 및

상기 보호층 및 상기 도전층 상에 상기 개구부에 의해 노출된 도전층의 적어도 일부와 접촉된 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 도전층 및 상기 보호층은 상기 화소 전극과 상기 유기층 사이에 배치되어 상기 화소 전극과 상기 유기층은 직접적으로 접촉하지 않는 액정 표시 장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 개구부는 상기 도전층의 중앙 부분을 노출시키고, 상기 보호층은 도전층의 가장자리를 커버하는 액정 표시 장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 도전층은 상기 컨택홀의 내벽 중 일부를 따라 연장되어 상기 유기층의 상부 표면까지 연장된 액정 표시 장치의 제조 방법.

청구항 14

제10항에 있어서,

상기 화소 전극은 상기 개구부에 의한 상기 도전층의 노출 부분 전부와 접촉하는 액정 표시 장치의 제조 방법.

청구항 15

제10항에 있어서,

상기 게이트 전극과 상기 드레인 전극 사이에 게이트 절연막을 형성하는 단계를 더 포함하고,
상기 컨택홀은 상기 게이트 절연막의 적어도 일부를 노출시키는 액정 표시 장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 보호층은 상기 게이트 절연막과 직접적으로 접촉하는 액정 표시 장치의 제조 방법.

청구항 17

제15항에 있어서,

상기 게이트 절연막과 상기 유기층 사이에 컬러 필터를 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 18

제10항에 있어서,

상기 보호층 상에 차광 부재를 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 차광 부재 상에 컬럼 스페이서를 형성하는 단계를 더 포함하고,

상기 차광 부재와 상기 컬럼 스페이서는 일체형으로 이루어진 액정 표시 장치의 제조 방법.

청구항 20

제10항에 있어서,

상기 도전층 및 상기 공통 전극은 하나의 마스크를 이용하여 동시에 형성하는 액정 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전기장의 세기에 따라 광투과도가 달라지는 액정의 전기-광학적 특성을 이용하여 영상을 구현하는 표시 장치이다. 액정 표시 장치는 복수의 화소를 포함한다. 각 화소에는 화소 전극과 색필터가 배치된다. 각 화소 전극은 박막 트랜지스터에 의해 구동된다.

[0003] 액정 표시 장치는 대향하는 제1 기판 및 제2 기판을 포함한다. 박막 트랜지스터와 화소 전극은 제1 기판에 형성된다. 전통적인 모드에서 색필터는 제2 기판에 형성되지만, 최근에는 박막 트랜지스터와 함께 제1 기판에 형성되는 COA(Color Filter On array) 구조도 소개되고 있다. 이러한 COA 구조에서는 통상 색필터 위에 덮개층(capping layer)을 두어서, 색필터가 들뜨는 현상을 방지한다. 일반적으로 색필터는 유기막으로 만들어지고 탄성이 어느 정도 있는 반면, 덮개층은 무기막으로 만들어지며 유기막인 색필터에 비해 탄성 및 압축성이 작다. 따라서, 부드러운 색필터 위에 딱딱한 덮개층이 형성될 때 덮개층에는 많은 스트레스(stress)가 발생할 수 있다.

[0004] 또한, 덮개층 및 색필터 사이에 존재하는 H₂, N₂ 등의 가스가 덮개층에 의해 외부로 배출되지 못하고 포집되어 있어서 액정을 충전한 이후에 외부로부터 열 또는 충격이 가해질 경우 박막 트랜지스터와 화소 전극을 연결하는 관통 구멍 주변에 크랙(crack)이 발생하기 쉽다. 이러한 크랙을 통해 가스가 액정층으로 유출되어 버블(bubble)로 성장하면 빛샘 현상이 발생하는 AUA(active unfilled area) 불량이 유발될 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 과제는 AUA 발생 방지 구조를 가지는 액정 표시 장치를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 다른 과제는 AUA 발생을 방지하기 위해 유기층과 화소 전극간 접촉하지 않도록 하는 액정 표시 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 서로 대향된 제1 기판 및 제2 기판, 상기 제1 기판 및 상기 제2 기판 사이에 배치된 액정층, 상기 제1 기판 상에 배치되고, 반도체층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터, 상기 박막 트랜지스터 상에 배치되고, 상기 드레인 전극의 적어도 일부를 노출하는 콘택홀을 포함하는 유기층, 상기 유기층 상에 배치되고, 상기 콘택홀에 의해 노출된 드레인 전극의 적어도 일부와 접촉된 도전층, 상기 유기층 상에 상기 도전층과 이격되어 배치된 공통 전극, 상기 도전층 및 상기 공통 전극 상에 배치되고, 상기 도전층의 적어도 일부를 노출하는 개구부를 포함하는 보호층, 및 상기 보호층 및 상기 도전층 상에 배치되고, 상기 개구부에 의해 노출된 도전층의 적어도 일부와 접촉된 화소 전극을 포함한다.
- [0008] 상기 도전층 및 상기 보호층은 상기 화소 전극과 상기 유기층 사이에 배치되어 상기 화소 전극과 상기 유기층은 직접적으로 접촉하지 않을 수 있다.
- [0009] 상기 개구부는 상기 도전층의 중앙 부분을 노출시키고, 상기 보호층은 도전층의 가장자리를 커버할 수 있다.
- [0010] 상기 도전층은 상기 콘택홀의 내벽 중 일부를 따라 연장되어 상기 유기층의 상부 표면까지 연장될 수 있다.
- [0011] 상기 화소 전극은 상기 개구부에 의한 상기 도전층의 노출 부분 전부와 접촉할 수 있다.
- [0012] 한편, 상기 게이트 전극과 상기 드레인 전극 사이에 배치된 게이트 절연막을 더 포함하고, 상기 콘택홀은 상기 게이트 절연막의 적어도 일부를 노출시킬 수 있다.
- [0013] 여기서, 상기 보호층은 상기 게이트 절연막과 직접적으로 접촉할 수 있다.
- [0014] 상기 게이트 절연막과 상기 유기층 사이에 배치된 컬러 필터를 더 포함할 수 있다.
- [0015] 한편, 상기 보호층 상에 배치된 차광 부재를 더 포함할 수 있다.
- [0016] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치 제조 방법은 제1 기판 상에 반도체층, 게이트 전극, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 상에 상기 드레인 전극의 적어도 일부를 노출하는 콘택홀을 포함하는 유기층을 형성하는 단계, 상기 유기층 상에 상기 콘택홀에 의해 노출된 드레인 전극의 적어도 일부와 접촉된 도전층을 형성하고, 상기 유기층과 상에 상기 도전층과 이격하여 공통 전극을 형성하는 단계, 상기 도전층 및 상기 공통 전극 상에 상기 도전층의 적어도 일부를 노출하는 개구부를 포함하는 보호층을 형성하는 단계, 및 상기 보호층 및 상기 도전층 상에 상기 개구부에 의해 노출된 도전층의 적어도 일부와 접촉된 화소 전극을 형성하는 단계를 포함한다.
- [0017] 상기 도전층 및 상기 보호층은 상기 화소 전극과 상기 유기층 사이에 배치되어 상기 화소 전극과 상기 유기층은 직접적으로 접촉하지 않을 수 있다.
- [0018] 상기 개구부는 상기 도전층의 중앙 부분을 노출시키고, 상기 보호층은 도전층의 가장자리를 커버할 수 있다.
- [0019] 상기 도전층은 상기 콘택홀의 내벽 중 일부를 따라 연장되어 상기 유기층의 상부 표면까지 연장될 수 있다.
- [0020] 상기 화소 전극은 상기 개구부에 의한 상기 도전층의 노출 부분 전부와 접촉할 수 있다.
- [0021] 한편, 상기 게이트 전극과 상기 드레인 전극 사이에 게이트 절연막을 형성하는 단계를 더 포함하고, 상기 콘택홀은 상기 게이트 절연막의 적어도 일부를 노출시킬 수 있다.
- [0022] 여기서, 상기 보호층은 상기 게이트 절연막과 직접적으로 접촉할 수 있다.
- [0023] 한편, 상기 게이트 절연막과 상기 유기층 사이에 컬러 필터를 형성하는 단계를 더 포함할 수 있다.

[0024] 한편, 상기 보호층 상에 차광 부재를 형성하는 단계를 더 포함할 수 있다.

[0025] 여기서, 상기 차광 부재 상에 컬럼 스페이서를 형성하는 단계를 더 포함하고, 상기 차광 부재와 상기 컬럼 스페이서는 일체형으로 이루어질 수 있다.

[0026] 상기 도전층 및 상기 공통 전극은 하나의 마스크를 이용하여 동시에 형성할 수 있다.

발명의 효과

[0027] 본 발명의 일 실시예에 따른 액정 표시 장치는 유기막과 화소 전극간 접촉하지 않는 구조를 가짐에 따라 AUA 발생을 방지할 수 있다.

[0028] 본 발명의 다른 실시예에 따른 액정 표시 장치의 제조 방법은 유기층과 화소 전극간 접촉하지 않도록 액정 표시 장치를 제작함에 따라 AUA 발생을 방지할 수 있다.

[0029] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기관의 평면도이다.

도 2는 도 1의 A 영역의 확대도이다.

도 3은 도 1의 III-III'선을 따라 절단한 단면도이다.

도 4 내지 도 14는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법의 공정 단계별 단면도들이다.

도 15는 본 발명의 다른 실시예에 따른 액정 표시 장치에 있어서 도 1의 A 영역에 대응되는 영역을 확대한 도면이다.

도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치에 있어서 도 1의 III-III'선에 대응되는 선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0033] 이하, 도면을 참조하여 본 발명에 대해 상세하게 설명한다.

[0034] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기관의 레이아웃도이다. 도 2는 도 1의 A 영역의 확대도이다. 구체적으로, 도 2는 도전층(164), 제1 보호층(172), 및 드레인 전극(136)간의 배치 관계를 설명하기 위한 도면이다. 도 3은 도 1의 III-III'선을 따라 절단한 단면도이다.

[0035] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 서로 대향하는 제1 기관(100) 및 제2 기관(200) 및 제1 기관(100)과 제2 기관(200) 사이에 개재된 액정층(300)을 포함한다.

[0036] 제1 기관(100) 및 제2 기관(200)은 투명한 유리, 석영, 세라믹, 실리콘 또는 투명 플라스틱 등의 절연 물질을 포함할 수 있으며, 당업자의 필요에 따라 적절히 선택할 수 있다. 제1 기관(100) 및 제2 기관(200) 상호 대향하여 배치될 수 있다.

[0037] 제1 기관(100) 상에는 게이트 배선(102, 104, 106)이 배치된다. 게이트 배선(102, 104, 106)은 알루미늄(Al)과

알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등으로 이루어질 수 있다. 또한, 게이트 배선(102, 104, 106)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다층막 구조를 가질 수 있다. 예를 들어, 하나의 도전막은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어지고, 다른 도전막은 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어질 수 있다. 이러한 조합의 예로는, 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(102, 104, 106)은 다양한 여러 가지 금속과 도전체로 형성될 수 있다.

[0038] 게이트 배선(102, 104, 106)은 복수의 게이트선(102), 복수의 게이트 전극(104), 및 복수의 게이트 패드(106)를 포함할 수 있다.

[0039] 복수의 게이트선(102)은 제1 방향, 예를 들어, 가로 방향으로 연장되도록 배치된다. 각 게이트선(102)에는 화소마다 적어도 하나의 게이트 전극(104)이 연결된다. 게이트 전극(104)은 게이트선(102)으로부터 박막 트랜지스터 측으로 분지되거나, 게이트선(102)이 확장되어 형성될 수 있다. 그러나, 이에 제한되는 것은 아니며, 게이트선(102)의 연장 경로 상에 박막 트랜지스터와 오버랩되는 영역에 게이트 전극(104)이 정의될 수도 있다.

[0040] 각 게이트선(102)의 적어도 일단에는 게이트 패드(106)가 배치될 수 있다. 게이트 패드(106)는 외부 회로 선과의 접촉 면적을 넓히기 위해 게이트선(102)에 비해 폭이 다소 확장될 수 있다. 게이트 패드(106)는 생략될 수도 있다. 이 경우, 게이트 신호는 게이트선(102)에 직접 인가될 것이다.

[0041] 게이트 신호는 게이트 패드(106)에 인가되어 게이트선(102)을 따라 전송되며, 게이트 전극(104)에 게이트 전압을 제공한다.

[0042] 게이트 절연막(112)은 게이트 배선(102, 104, 106) 상에 배치된다. 게이트 절연막(112)은 예를 들어, 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등으로 이루어질 수 있다. 게이트 절연막(112)은 게이트 배선(102, 104, 106)과 이들의 상부에 위치하는 데이터선(132) 등의 도전성 박막들과의 절연을 유지하는 역할을 한다.

[0043] 반도체층(122)은 게이트 절연막(112)상에 배치되며, 예를 들어, 수소화 비정질 실리콘(hydrogenated amorphous silicon) 또는 다결정 실리콘 등으로 이루어질 수 있다. 반도체층(122)은 게이트 전극(104)과 적어도 일부가 중첩되도록 배치된다. 반도체층(122)은 게이트 전극(104) 및 후술할 소스 전극(134), 드레인 전극(136)과 함께 박막 트랜지스터를 구성하며, 채널을 형성한다.

[0044] 반도체층(122)은 섬형 또는 선형 등 다양한 형상을 가질 수 있으며, 도 3은 반도체층(122)이 선형으로 형성된 경우를 예시하나, 이에 한정되는 것은 아니다. 반도체층(122)이 선형으로 형성된 경우, 반도체층(122)은 데이터 배선(132, 134, 136, 137)과 오버랩될 수 있다. 반도체층(122)은 소스 전극(134)과 드레인 전극(136)이 마주보며 이격되어 있는 공간에도 더 배치되어 채널 영역을 구성한다.

[0045] 반도체층(122) 상에는 n형 불순물이 고농도로 도핑된 n+ 수소화 비정질 실리콘 등으로 이루어진 저항성 접촉층(124)이 배치될 수 있다. 저항성 접촉층(124)은 하부의 반도체층(122)과 상부의 소스 전극(134) 및 드레인 전극(136)사이에 위치하여 접촉 저항을 감소시키는 역할을 한다. 저항성 접촉층(124)은 반도체층(122)과 유사하게 섬형 또는 선형 등 다양한 형상을 가질 수 있다. 반도체층(122)이 선형인 경우, 저항성 접촉층(124)도 선형으로 형성된다. 저항성 접촉층(124)은 데이터 배선(132, 134, 136, 137)과 오버랩되며, 데이터 배선(132, 134, 136, 137)과 실질적으로 동일한 패턴으로 형성될 수 있다. 따라서, 반도체층(122)과는 달리, 소스 전극(134)과 드레인 전극(136)이 마주보며 이격되어 있는 공간은 분리되어서 하부의 반도체층(122)을 노출한다.

[0046] 저항성 접촉층(124) 및 게이트 절연막(112) 상에는 데이터 배선(132, 134, 136, 137)이 배치된다. 데이터 배선(132, 134, 136, 137)은 게이트 배선(102, 104, 106)과 유사하게 알루미늄, 구리, 은, 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금으로 형성될 수 있으며, 내화성 금속 등의 하부막(미도시)과 그 위에 형성된 저저항 상부막(미도시)으로 이루어진 다층막 구조를 취할 수도 있으나 이에 제한되는 것은 아니다.

[0047] 데이터 배선(132, 134, 136, 137)은 복수의 데이터선(132), 복수의 소스 전극(134), 복수의 드레인 전극(136) 및 복수의 데이터 패드(137)를 포함할 수 있다.

[0048] 복수의 데이터선(132)은 제1 방향과 교차하는 제2 방향, 예를 들어, 세로 방향으로 연장되도록 배치된다. 각 데이터선(132)에는 화소마다 적어도 하나의 소스 전극(134)이 연결된다. 소스 전극(134)은 데이터선(132)으로부터 박막 트랜지스터 측으로 분지되거나, 데이터선(132)이 확장되어 형성될 수 있다. 그러나, 이에 제한되는 것은

아니며, 데이터선(132)의 연장 경로 상에 박막 트랜지스터와 오버랩되는 영역에 소스 전극(104)이 정의될 수도 있다.

- [0049] 드레인 전극(136)은 소스 전극(134)과 이격되도록 배치된다. 드레인 전극(136)은 후술할 도전층(164)을 통해 화소 전극(182)과 전기적으로 연결될 수 있다. 반도체층(122)의 적어도 일부는 드레인 전극(136)과 소스 전극(134) 사이로 노출될 수 있다.
- [0050] 각 데이터선(132)의 적어도 일단에는 데이터 패드(137)가 배치될 수 있다. 데이터 패드(137)는 외부 회로선과의 접촉 면적을 넓히기 위해 데이터선(132)에 비해 폭이 다소 확장될 수 있다.
- [0051] 데이터 신호는 데이터 패드(137)에 인가되어 데이터선(132)을 따라 전송되며, 소스 전극(134)에 데이터 전압을 제공한다. 데이터 전압이 제공된 소스 전극(134) 하부의 게이트 전극(102)에 게이트 온 전압이 인가되어 해당 박막 트랜지스터가 턴-온(turn-on)되면, 소스 전극(134)에 제공된 데이터 전압은 드레인 전극(136)으로 전달되고, 그에 전기적으로 연결된 화소 전극(182)에 데이터 전압을 충전할 수 있다.
- [0052] 데이터 배선(132, 134, 136, 137) 및 노출된 반도체층(122) 상에 제1 보호층(142)(passivation layer)이 배치된다. 제1 보호층(142)에는 드레인 전극(136)의 적어도 일부를 노출시키는 콘택홀(136a)이 형성될 수 있다.
- [0053] 제1 보호층(142)은 예를 들어, 질화 실리콘 또는 산화 실리콘 등의 무기물, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition: PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 물질 등을 포함할 수 있다.
- [0054] 제1 보호층(142) 상에는 컬러 필터(192)가 배치될 수 있다. 컬러 필터(192)는 R(red) 컬러 필터, G(green) 컬러 필터, 및 B(blue) 컬러 필터를 포함할 수 있다. 각각의 R, G, B 컬러 필터는 각각 하나의 화소에 형성되어 R, G, B 화소를 형성한다. 컬러 필터(192)는 화소 전극(182)과 오버랩되도록 배치될 수 있다. 컬러 필터(192)는 안료를 포함하는 감광성 유기물을 포함할 수 있다.
- [0055] 컬러 필터(192) 상에는 유기층(152)이 배치되어 R, G, B 컬러 필터의 단차를 평탄화할 수 있다. 유기층(152)은 드레인 전극(136)의 적어도 일부를 노출시키는 콘택홀(136a)을 포함할 수 있다. 구체적으로, 제1 보호층(142) 및 유기층(152)에 형성된 콘택홀(136a)에 의해 드레인 전극(136)의 적어도 일부가 노출될 수 있다. 유기층(152)은 평탄화 특성이 우수하며, 감광성(photosensitivity)을 가지는 물질을 포함할 수 있다.
- [0056] 컬러 필터(192)는 유기층(152)에 의해 커버될 수 있다. 즉, 컬러 필터(192)는 유기층(152)에 의해 커버되어 노출되는 부분이 없을 수 있다. 다만, 이는 예시적인 것으로 이에 제한되는 것은 아니다.
- [0057] 유기층(152) 상에는 공통 전극(162), 도전층(164), 및 제2 보호층(172)이 배치될 수 있다. 유기층(152)은 공통 전극(162), 도전층(164), 및 제2 보호층(172)에 의해 전체가 커버될 수 있다. 즉, 유기층(152) 상에는 공통 전극(162), 도전층(164), 및 제2 보호층(172) 중 적어도 하나가 배치되어 노출되는 부분이 없을 수 있다. 다만, 이는 예시적인 것으로 이에 국한되는 것은 아니다.
- [0058] 공통 전극(162)은 유기층(152) 상에 배치될 수 있다. 공통 전극(162)은 공통 전압을 인가 받아 화소 전극(182)과 함께 전계를 형성한다. 도 1 및 도 2에 도시된 바와 같이 공통 전극(162)은 박막 트랜지스터 및 콘택홀(136a)이 형성된 영역을 노출하는 사각 형상의 개구부(162a)를 포함할 수 있다. 다만, 이는 예시적인 것으로, 위 개구부(162a)의 형상 및 위치가 이에 제한되는 것은 아니다.
- [0059] 공통 전극(162)은 개구부(162a)를 제외한 게이트선(102)과 데이터선(132)으로 둘러싸인 화소 영역 전체에 걸쳐 형성될 수 있다.
- [0060] 도전층(164)은 제1 보호층(142) 및 유기층(152)에 형성된 콘택홀(136a)에 의해 노출된 드레인 전극(136)의 적어도 일부와 전기적으로 연결되도록 배치될 수 있다.
- [0061] 예를 들어, 도 2 및 도 3에 도시된 바와 같이, 제1 보호층(142) 및 유기층(152)에 형성된 콘택홀(136a)은 드레인 전극(136)의 일부와 게이트 절연막(112)의 일부를 노출시키는 형태로 구현될 수 있다. 다만, 이는 예시적인 것으로, 콘택홀(136a)은 드레인 전극(136)의 일부를 노출시키고 게이트 절연막(112)은 노출시키지 않는 형태로 구현될 수도 있다.
- [0062] 도전층(164)은 노출된 드레인 전극(136)의 적어도 일부와 접촉되도록 배치됨으로써 드레인 전극(136)과 전기적으로 연결/접속될 수 있다. 도전층(164)은 화소 전극(182)과도 전기적으로 연결/접속된다. 화소 전극(182)은 도전층(164)을 경유하여 드레인 전극(136)과 전기적으로 연결될 수 있다. 즉, 도전층(164)은 드레인 전극(136)과

화소 전극(182)간 전기적 연결을 매개하는 컨택 전극 또는 배선의 역할을 할 수 있다.

- [0063] 도 2의 실시예에서는 도전층(164)이 드레인 전극(136)의 노출 부분 전부와 접촉된 경우를 예시하였으나, 이에 제한되는 것은 아니며, 도전층(164)은 드레인 전극(136)과 도통할 수 있다면 다양한 형태로 배치될 수 있음은 물론이다.
- [0064] 도전층(164)은 도 3에 도시된 바와 같이 드레인 전극(136)의 노출 부분 전부와 접촉되고, 컨택홀(136a)의 내벽을 따라 연장되어 유기층(152)의 상부 표면까지 연장된 형상을 가질 수 있다. 즉, 도전층(164)의 일단은 유기층(152)의 상부 표면 상에 형성되고, 타단은 컨택홀(136a) 내 노출된 드레인 전극(136)의 적어도 일부와 접촉하는 구조일 수 있다. 다만, 이는 예시적인 것으로, 도전층(164)은 드레인 전극(136)과 도통할 수 있다면 다양한 형태로 배치될 수 있다.
- [0065] 도전층(164)은 드레인 전극(136)으로부터 데이터 전압을 인가 받기 때문에, 공통 전극(162)과는 전기적으로 연결되지 않도록 구현된다. 도전층(164)은 도 2에 도시된 바와 같이, 평면 시점에서 바라 보았을 때 공통 전극(162)과 연결되지 않은 사각 형상일 수 있다. 다만, 이는 예시적인 것으로, 드레인 전극(136)과 전기적으로 연결되면서 공통 전극(162)과는 전기적으로 분리된 구조라면, 도전층(164)은 예시한 형상에 국한되지 않고 다양한 형상으로 구현될 수 있음은 물론이다.
- [0066] 도 2에 도시된 도전층(164)의 크기는 예시적인 것으로, 도전층(164)의 크기 및 위치는 드레인 전극(136)과 전기적으로 연결되면서 공통 전극(162)과는 전기적으로 분리된 구조라면, 예시한 크기나 위치에 국한되지 않고 다양한 형태로 구현될 수 있다.
- [0067] 도전층(164)과 공통 전극(162)은 동일 레벨 상에 동일 물질로 구현될 수 있다. 예를 들어, 도전층(164)과 공통 전극(162)은 다결정, 단결정 또는 비정질의 ITO(indium tin oxide), 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 구현될 수 있다. 도전층(164)과 공통 전극(162)은 하나의 패터닝 공정을 통해 동시에 형성될 수 있다.
- [0068] 제2 보호층(172)은 공통 전극(162), 유기층(152), 및 도전층(164) 상에 배치되고, 도전층(164)의 적어도 일부를 노출시킬 수 있다. 즉, 제2 보호층(172)은 도전층(164)의 적어도 일부를 노출시키는 개구부를 포함할 수 있다. 제2 보호층(172)의 개구부를 통해 노출된 도전층(164)의 적어도 일부는 화소 전극(182)과 접촉될 수 있다. 이를 통해 도전층(164)과 화소 전극(182)은 전기적으로 연결/접속될 수 있다.
- [0069] 화소 전극(182)과 유기층(152)간의 접촉으로 인한 AUA(active unfilled area) 불량 발생을 방지하기 위해, 제2 보호층(172)과 도전층(164)은 화소 전극(182)과 유기층(152)의 사이에 배치될 수 있다. 즉, 유기층(152)과 화소 전극(182) 사이에는 제2 보호층(172) 또는 도전층(164)이 배치되어 있으므로, 화소 전극(182)은 유기층(152)과 직접적으로 접촉하지 않을 수 있고, 이에 따라 AUA(active unfilled area) 불량 발생을 방지할 수 있다.
- [0070] 예를 들어, 제2 보호층(172)의 개구부는 도 2 및 도 3에 도시된 바와 같이 도전층(164)의 중앙 부분을 노출시키는 형태로 구현될 수 있다. 달리 말해, 제2 보호층(172)은 도전층(164)의 가장자리를 커버하는 구조로 구현될 수 있다.
- [0071] 보다 구체적으로, 도 3에 도시된 바와 같이 도전층(164)이 노출된 드레인 전극(136)의 전부와 접촉되고, 컨택홀(136a)의 내벽 중 일부를 따라 연장되어 유기층(152)의 상부표면까지 연장된 형상으로 구현된 경우, 제2 보호층(172)은 유기층(152)의 상부 표면에 연장 형성된 도전층(164)의 일부와 중첩할 수 있고, 또한 컨택홀(136a) 내부에 형성된 도전층(164)의 다른 일부와도 중첩할 수 있다. 도 3의 실시예를 통해 확인할 수 있듯 제2 보호층(172)은 게이트 절연막(112)과 직접적으로 접촉할 수 있다.
- [0072] 제2 보호층(172)의 개구부는 도 2에 도시된 바와 같이, 평면 시점에서 바라 보았을 때 도전층(164)의 중앙 표면을 노출하는 사각 형상일 수 있다. 다만, 이는 예시적인 것으로, 제2 보호층(172) 및 도전층(164)에 의해 화소 전극(182)이 유기층(152)과 직접적으로 접촉되지 않는 구조라고 한다면, 제2 보호층(172)의 개구부는 위 예시된 형상에 국한되지 않고 다양한 형상으로 구현될 수 있음은 물론이다.
- [0073] 제2 보호층(172)은 무기 절연물일 수 있다. 예를 들어, 제2 보호층(172)은 질화규소, 산화규소, 질화 실리콘, 산화 실리콘 등을 포함할 수 있다.
- [0074] 화소 전극(182)은 공통 전극(162)과 함께 전계를 형성하여 액정층(300)에 포함된 액정 분자를 회전시키는 역할을 한다. 화소 전극(182)은 ITO 또는 IZO 등의 도전성 물질을 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [0075] 화소 전극(182)은 사각형, 폐곡선 또는 피시본(fish-bone) 형태 등 다양한 형태의 비어있는 복수의 절개 패턴(182a)을 포함할 수 있다. 도 1은 절개 패턴(182a)이 스트라이프 패턴인 경우를 예시하나 본 발명이 이에 한정되는 것은 아니며, 당업자의 필요에 따라 절개 패턴(182a)의 형상은 다양하게 선택될 수 있다. 화소 전극(182)에 데이터 전압이 인가되면, 화소 전극(182)으로부터 하부의 공통 전극(162) 방향으로 전계가 형성된다.
- [0076] 화소 전극(182)은 도전층(164) 및 제2 보호층(172) 상에 배치된다. 구체적으로, 화소 전극(182)은 제2 보호층(172)에 형성된 개구부를 통해 노출된 도전층(164)의 적어도 일부와 접촉될 수 있다. 이와 같은 접촉을 통해, 화소 전극(182)은 도전층(164)과 전기적으로 연결/접속될 수 있다. 또한, 화소 전극(182)은 도전층(164)을 경유하여 드레인 전극(136)과 전기적으로 연결될 수 있다. 즉, 화소 전극(182)은 도전층(164)을 매개하여 드레인 전극(136)과 전기적으로 연결될 수 있다.
- [0077] 도 2 및 도 3에 도시된 바와 같이 화소 전극(182)은 제2 보호층(172)에 형성된 개구부를 통해 노출된 도전층(164)의 전부를 커버/접촉하는 형태로 구현될 수 있다.
- [0078] 화소 전극(182)의 일부는 컨택홀(136a)의 내부에도 배치된다. 컨택홀(136a) 내부에 배치된 화소 전극(182)의 부분은 콘택을 구성한다. 화소 전극(182)과 공통 전극(162) 사이에는 제2 보호층(172)이 위치하여 화소 전극(182)과 공통 전극(162)을 상호 절연한다.
- [0079] 한편, 유기층(152)과 화소 전극(182) 사이에는 제2 보호층(172) 또는 도전층(164)이 개재되어 있으므로, 화소 전극(182)은 유기층(152)과는 직접적으로 접촉하지 않을 수 있다. 이에 따라, AUA(active unfilled area) 불량 발생을 방지할 수 있다.
- [0080] 제2 보호층(172) 상에는 차광 부재(194)가 배치될 수 있다. 차광 부재(194)는 빛샘을 방지하는 역할을 한다. 차광 부재(194)는 박막 트랜지스터 영역 및 비화소 영역(화소와 화소 사이, 게이트선 및 데이터선 영역)에 배치될 수 있다. 차광 부재(194)는 블랙 염료나 안료를 포함하는 블랙 유기 고분자 물질이나, 크롬, 크롬 산화물 등의 금속(금속 산화물) 등을 포함하여 이루어질 수 있다.
- [0081] 도 3의 실시예에서 차광 부재(194)가 제2 보호층(172) 상에 배치된 경우를 예시하였으나, 이에 국한되는 것은 아니며, 차광 부재(194)는 제2 기판(200) 상에 배치될 수도 있다.
- [0082] 컬럼 스페이서(column spacer)(196)는 셀 갭을 유지하기 위한 것으로 도 3에 도시된 바와 같이 차광 부재(194) 상에 형성될 수 있다. 컬럼 스페이서(196)는 도 3에 도시된 바와 같이 박막 트랜지스터에 대응되는 영역에 형성될 수 있다. 다만, 이는 예시적인 것으로 컬럼 스페이서(196)의 배치가 이에 국한되는 것은 아니다.
- [0083] 몇몇 실시예에서, 컬럼 스페이서(196)는 차광 부재(194)와 동일한 물질로 이루어질 수 있다. 나아가, 컬럼 스페이서(196)는 차광 부재(194)와 일체로 형성될 수 있다. 예를 들어, 하프톤 마스크나 슬릿 마스크 노광을 통해, 컬럼 스페이서(196)와 차광 부재(194)가 동일한 물질의 동일한 패턴링 공정을 통해 형성될 수 있다.
- [0084] 화소 전극(182), 제2 보호층(172), 차광 부재(194), 및 컬럼 스페이서(196) 상에는 액정층(300)을 배향할 수 있는 배향막(미도시)이 배치될 수 있다.
- [0085] 제1 기판(100)과 제2 기판(200)의 사이에는 양의 유전율 이방성 또는 음의 유전율 이방성을 가지는 액정 분자(미도시)를 포함하는 액정층(300)이 개재될 수 있다. 액정층(300)을 향하는 제2 기판(200)의 일면에는 배향막(미도시)이 배치될 수 있다.
- [0086] 컬럼 스페이서(196)의 단부는 제2 기판(200) 측에 맞닿을 수 있다. 컬럼 스페이서(196)와 제2 기판(200) 사이에는 제1 기판(100)의 배향막 및/또는 제2 기판(200)의 배향막이 개재될 수 있다.
- [0087] 다음으로, 상술한 바와 같은 본 발명의 일 실시예에 따른 액정 표시 장치(10)의 제조 방법에 대해 설명한다.
- [0088] 도 4 내지 도 15는 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기 위한 도면이다.
- [0089] 먼저, 도 1, 도 3, 및 도 4를 참조하면, 제1 기판(100) 상에 게이트 배선(102, 104, 106)을 형성한다.
- [0090] 투명한 물질, 예를 들어 유리 및 석영을 포함하는 제1 기판(100) 위에 제1 금속층(미도시)을 형성한다. 제1 금속층(미도시)은 알루미늄, 구리, 은, 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금 등으로 형성될 수 있으며, 물리적 성질이 다른 두 개 이상의 층으로 형성될 수 있다. 제1 금속층(미도시)은 일례로, 스퍼터링 공정에 의해 증착된다. 이어서, 제1 노광 마스크를 이용한 사진 식각 공정으로 제1 금속층(미도시)을 패턴링하여 게이트선(102) 및 게이트 전극(104)을 포함하는 게이트 배선(102, 104)을 형성한다. 게이트 전극(104)은 게이트선

(102)으로부터 분기된 돌기형태일 수 있다.

- [0091] 다음으로, 도 5를 참조하면, 게이트 배선(102, 104) 상에 게이트 절연막(112)을 형성한다. 게이트 절연막(112)은 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 방법을 통해 형성될 수 있으며, 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등을 포함할 수 있다.
- [0092] 다음으로, 도 6을 참조하면, 반도체층(122), 저항성 접촉층(124), 및 게이트선(102)과 교차하여 단위 화소를 정의하는 데이터선(132)과 소스 전극(134) 및 드레인 전극(136)을 포함하는 데이터 배선(132, 134, 136)을 게이트 절연막(112) 상에 형성한다. 데이터 배선(132, 134, 136)은 게이트 배선(102, 104, 106)과 유사하게 알루미늄, 구리, 은, 몰리브덴, 크롬, 티타늄, 탄탈륨 또는 이들의 합금 등으로 형성될 수 있다.
- [0093] 반도체층(122), 저항성 접촉층(124), 및 데이터 배선(132, 134, 136)은 하나의 마스크를 이용한 사진 식각 공정을 통해 형성할 수 있다. 이 경우, 도 6에 도시된 바와 같이 데이터선(132)의 하부에 반도체층(122) 및 저항성 접촉층(124)의 잔존물이 남을 수 있다. 다만, 이에 제한되는 것은 아니며, 반도체층(122) 및 저항성 접촉층(124)을 형성하기 위한 사진 식각 공정과 제2 금속 패턴(132, 134, 136)을 형성하기 위한 사진 식각 공정이 별개의 공정으로 수행될 수도 있다. 이 경우, 데이터선(132)은 게이트 절연막(112) 상에 직접 형성될 수 있다. 반도체층(122)은 게이트 전극(104), 소스 전극(134), 및 드레인 전극(136)과 함께 박막 트랜지스터를 구성하며, 채널을 형성한다. 반도체층(122), 저항성 접촉층(124), 및 데이터 배선(132, 134, 136)은 종래 알려진 다양한 공정을 통해 형성할 수 있는 바, 이에 관한 구체적인 설명은 생략한다.
- [0094] 다음으로, 도 7을 참조하면, 박막 트랜지스터가 형성된 제1 기판(100) 상에 제1 보호층(142)을 형성한다. 제1 보호층(142)은 드레인 전극(136)의 적어도 일부를 노출시키는 개구부를 포함할 수 있다.
- [0095] 구체적으로, 제1 보호층(142)을 형성하는 과정은 무기 절연물질 예를 들어 질화 실리콘 또는 산화 실리콘 등을 박막트랜지스터가 형성된 제1 기판(100) 상에 증착하는 과정 및 이를 패터닝하여 드레인 전극(136)의 적어도 일부를 노출하는 과정을 포함하여 수행할 수 있다.
- [0096] 다음으로, 도 8을 참조하면, 제1 보호층(142) 상에 컬러 필터(192)를 형성한다. 컬러 필터(192)는 화소 영역에 배치될 수 있으며, R(red) 필터, G(green) 필터, 및 B(blue) 필터를 포함할 수 있다. 예를 들어, 도 8에 도시된 컬러 필터(192)는 R(red) 필터, G(green) 필터, 및 B(blue) 필터 중 어느 하나의 필터일 수 있다. 컬러 필터(192)는 안료를 포함하는 감광성 유기물로 제작될 수 있다.
- [0097] 컬러 필터(192)는 사진 식각 공정이나 잉크젯 프린팅 방법 등에 의해 형성할 수 있으며, 이 외에도 다양한 방법이 적용될 수도 있다.
- [0098] 다음으로, 도 9를 참조하면, 제1 보호층(142) 및 컬러 필터(192) 상에 유기층(152)을 형성한다. 유기층(152)은 드레인 전극(136)의 적어도 일부를 노출시키는 개구부를 포함할 수 있다. 유기층(152)을 형성하는 과정은 제1 보호층(142) 및 컬러 필터(192) 상에 유기막을 형성하는 과정 및 형성된 유기막을 패터닝하는 과정을 포함하여 수행할 수 있다.
- [0099] 유기층(152)은 평탄화 특성이 우수하며, 감광성(photosensitivity)을 가지는 물질로 형성할 수 있다. 유기층(152)은 스핀 코팅(spin coating) 방법 또는 슬릿 코팅(slits coating) 방법으로 형성하거나 스핀 코팅과 슬릿 코팅 방법을 동시에 사용하여 형성할 수도 있다.
- [0100] 제1 보호층(142)의 개구부를 통한 드레인 전극(136)의 노출 부분과 유기층(152)의 개구부를 통한 드레인 전극(136)의 노출 부분은 도 9에 도시된 바와 같이 실질적으로 동일할 수 있다. 다만, 이는 예시적인 것으로, 이후 단계에서 형성될 도전층(164)이 드레인 전극(136)과 접촉할 수 있는 구조라면, 제1 보호층(142)의 개구부를 통한 드레인 전극(136)의 노출 부분과 유기층(152)의 개구부를 통한 드레인 전극(136)의 노출 부분은 다양한 형상으로 구현될 수 있다.
- [0101] 도 9의 단계를 참조하면, 제1 보호층(142)의 개구부 및 유기층(152)의 개구부를 통해 게이트 절연막(112)의 일부가 노출될 수 있다. 다만, 이는 예시적인 것으로, 제1 보호층(142)의 개구부 및 유기층(152)의 개구부를 통해 드레인 전극(136)의 일부만이 노출되고 게이트 절연막(112)은 노출되지 않을 수도 있다.
- [0102] 다음으로, 도 10을 참조하면, 제1 보호층(142)의 개구부 및 유기층(152)의 개구부를 통해 노출된 드레인 전극(136)의 일부와 접촉되도록 도전층(164)을 형성하고, 유기층(152)의 상부 표면 상에 도전층(164)과는 전기적으로 분리된 공통 전극(162)을 형성한다. 즉, 도전층(164)과 공통 전극(162)은 상호 연결되지 않고, 분리/이격되

어 형성될 수 있다. 도전층(164)과 공통 전극(162)은 동일한 사진 식각 공정을 통해 동시에 형성될 수 있다.

- [0103] 도전층(164)은 드레인 전극(136) 노출 부분 전부와 접촉될 수 있다. 다만, 이는 예시적인 것이며, 도전층(164)은 위 드레인 전극(136) 노출 부분의 일부와 접촉될 수도 있다.
- [0104] 다음으로, 도 11을 참조하면, 공통 전극(162), 유기층(152), 및 도전층(164) 상에 제2 보호층(172)을 형성한다. 제2 보호층(172)은 도전층(164)의 적어도 일부를 노출시키는 개구부를 포함할 수 있다.
- [0105] 제2 보호층(172)을 형성하는 과정은 무기 절연물질 예를 들어, 질화 실리콘 또는 산화 실리콘 등을 공통 전극(162) 및 도전층(164) 상에 증착하는 과정 및 이를 패터닝하여 도전층(164)의 적어도 일부를 노출하는 과정을 포함하여 수행할 수 있다.
- [0106] 다음으로, 도 12를 참조하면, 화소 전극(182)은 도전층(164) 및 제2 보호층(172) 상에 형성한다. 구체적으로, 화소 전극(182)을 제2 보호층(172)에 형성된 개구부를 통해 노출된 도전층(164)의 적어도 일부와 접촉할 수 있도록 형성할 수 있다. 이와 같은 접촉을 통해, 화소 전극(182)은 도전층(164)과 전기적으로 연결/접속될 수 있다. 또한, 화소 전극(182)은 도전층(164)을 경유하여 드레인 전극(136)과 전기적으로 연결될 수 있다. 즉, 화소 전극(182)은 도전층(164)을 매개하여 드레인 전극(136)과 전기적으로 연결될 수 있다.
- [0107] AUA(active unfilled area) 불량 발생을 방지하기 위해, 화소 전극(182)을 유기층(152)과 직접적으로 접촉하지 않도록 도전층(164)과 제2 보호층(172) 상에 형성할 수 있다. 즉, 화소 전극(182)과 유기층(152) 사이에는 제2 보호층(172)과 도전층(164)이 형성되어 있어 화소 전극(182)과 유기층(152)은 직접적으로 접촉하지 않을 수 있다.
- [0108] 다음으로, 도 13을 참조하면, 제2 보호층(172) 상에 차광 부재(194)를 형성한다. 차광 부재(194)는 액정층(300)에 포함된 액정 분자가 동작하지 않는 영역 예를 들어, 박막 트랜지스터 영역 및 비화소 영역(화소와 화소 사이, 게이트선 및 데이터선 영역)에 형성할 수 있다. 차광 부재(194)는 블랙 염료나 안료를 포함하는 블랙 유기 고분자 물질이나, 크롬, 크롬 산화물 등의 금속(금속 산화물) 등을 이용하여 형성할 수 있다.
- [0109] 다음으로, 차광 부재(194) 상에 컬럼 스페이서(196)를 형성한다. 컬럼 스페이서(196)를 도 13에 도시된 바와 같이, 차광 부재(194)와 일체형으로 이와 동시에 형성할 수 있다. 예를 들어, 하프톤 마스크나 슬릿 마스크 노광을 통해, 컬럼 스페이서(196)와 차광 부재(194)를 동일한 물질로 동일한 패터닝 공정을 통해 형성할 수 있다. 다만, 이는 예시적인 것으로 이에 국한되는 것은 아니다.
- [0110] 컬럼 스페이서(196)를 도 13에 도시된 바와 같이 박막 트랜지스터에 대응되는 영역에 형성할 수 있다. 다만, 이는 예시적인 것으로 컬럼 스페이서(196)의 형성 위치가 이에 국한되는 것은 아니다.
- [0111] 다음으로, 도 14를 참조하면, 제1 기판(100) 및 제2 기판(200) 각각에 배향막(미도시)을 형성한다. 다음으로, 제1 기판(100)에 양의 유전율 이방성 또는 음의 유전율 이방성을 가지는 액정 분자(미도시)를 도포하여 액정층(300)을 형성한다. 다음으로, 액정층(300)이 형성된 제1 기판(100)을 제2 기판(200)을 결합한다.
- [0112] 이하에서는 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- [0113] 도 15는 본 발명의 다른 실시예에 따른 액정 표시 장치에 있어서 도 1의 A 영역에 대응되는 영역을 확대한 도면이다. 도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치에 있어서 도 1의 III-III'선에 대응되는 선을 따라 절단한 단면도이다.
- [0114] 본 발명의 다른 실시예에 따른 액정 표시 장치(10-1)는 도 1 내지 도 3을 통해 상술한 액정 표시 장치(10)와 비교하여 도전층(164-1), 제2 보호층(172-1), 및 화소 전극(182-1) 구성이 상이하며, 이외의 구성은 동일하거나 유사하다. 이하에서는 중복된 부분을 제외한 차이점 위주로 설명한다.
- [0115] 도 15 및 도 16을 참조하면, 본 실시예에 따른 도전층(164-1)은 제1 보호층(142) 및 유기층(152)에 형성된 컨택홀(136a-1)에 의해 노출된 드레인 전극(136)의 적어도 일부와 접촉되도록 배치됨으로써 드레인 전극(136)과 전기적으로 연결/접속될 수 있다.
- [0116] 본 실시예에서 도전층(164-1)은 노출된 드레인 전극(136)의 전부와 접촉되고, 컨택홀(136a-1)의 내벽 전체를 커버하며 연장되어 유기층(152)의 상부 표면까지 연장된 형상을 가진다. 도전층(164-1)이 유기층(152)의 상부 표면까지 연장된 형상을 가지나 공통 전극(162)과는 이격/분리되어 배치될 수 있다.
- [0117] 제2 보호층(172-1)은 공통 전극(162), 유기층(152), 및 도전층(164-1) 상에 배치되고, 도전층(164-1)의 적어도

일부를 노출시킬 수 있다. 즉, 제2 보호층(172-1)은 도전층(164-1)의 적어도 일부를 노출시키는 개구부를 포함할 수 있다.

[0118] 제2 보호층(172-1)의 개구부는 도 15 및 도 16에 도시된 바와 같이 도전층(164-1)의 중앙 부분을 노출시키는 형태로 구현될 수 있다. 달리 말해, 제2 보호층(172-1)은 도전층(164-1)의 가장자리를 커버하는 구조로 구현될 수 있다.

[0119] 보다 구체적으로, 도 16에 도시된 바와 같이 도전층(164)이 노출된 드레인 전극(136)의 전부와 접촉되고, 컨택홀(136a-1)의 내벽 전체를 커버하며 연장되어 유기층(152)의 상부 표면까지 연장된 형상으로 구현된 경우, 제2 보호층(172-1)은 유기층(152)의 상부 표면에 연장 형성된 도전층(164)의 가장자리부와 중첩할 수 있다.

[0120] 화소 전극(182-1)은 도전층(164-1) 및 제2 보호층(172-1) 상에 배치된다. 구체적으로, 화소 전극(182-1)은 제2 보호층(172-1)에 형성된 개구부를 통하여 노출된 도전층(164-1)의 적어도 일부와 접촉될 수 있다. 이와 같은 접촉을 통해, 화소 전극(182-1)은 도전층(164-1)과 전기적으로 연결/접속될 수 있다. 또한, 화소 전극(182-1)은 도전층(164-1)을 경유하여 드레인 전극(136)과 전기적으로 연결될 수 있다. 즉, 화소 전극(182-1)은 도전층(164-1)을 매개하여 드레인 전극(136)과 전기적으로 연결될 수 있다.

[0121] 도 15 및 도 16에 도시된 바와 같이 화소 전극(182-1)은 제2 보호층(172-1)에 형성된 개구부를 통해 노출된 도전층(164-1)의 전부를 커버하는 형태로 구현될 수 있다.

[0122] 화소 전극(182-1)의 일부는 컨택홀(136a-1)의 내부에도 배치된다. 컨택홀(136a-1) 내부에 배치된 화소 전극(182-1)의 부분은 컨택을 구성한다. 화소 전극(182-1)과 공통 전극(162) 사이에는 제2 보호층(172-1)이 위치하여 화소 전극(182-1)과 공통 전극(162)을 상호 절연한다.

[0123] 한편, 유기층(152)과 화소 전극(182-1) 사이에는 제2 보호층(172-1) 또는 도전층(164-1)이 개재되어 있으므로, 화소 전극(182-1)은 유기층(152)과 직접적으로 접촉하지 않을 수 있다. 이에 따라, AUA(active unfilled area) 불량 발생을 방지할 수 있다.

[0124] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

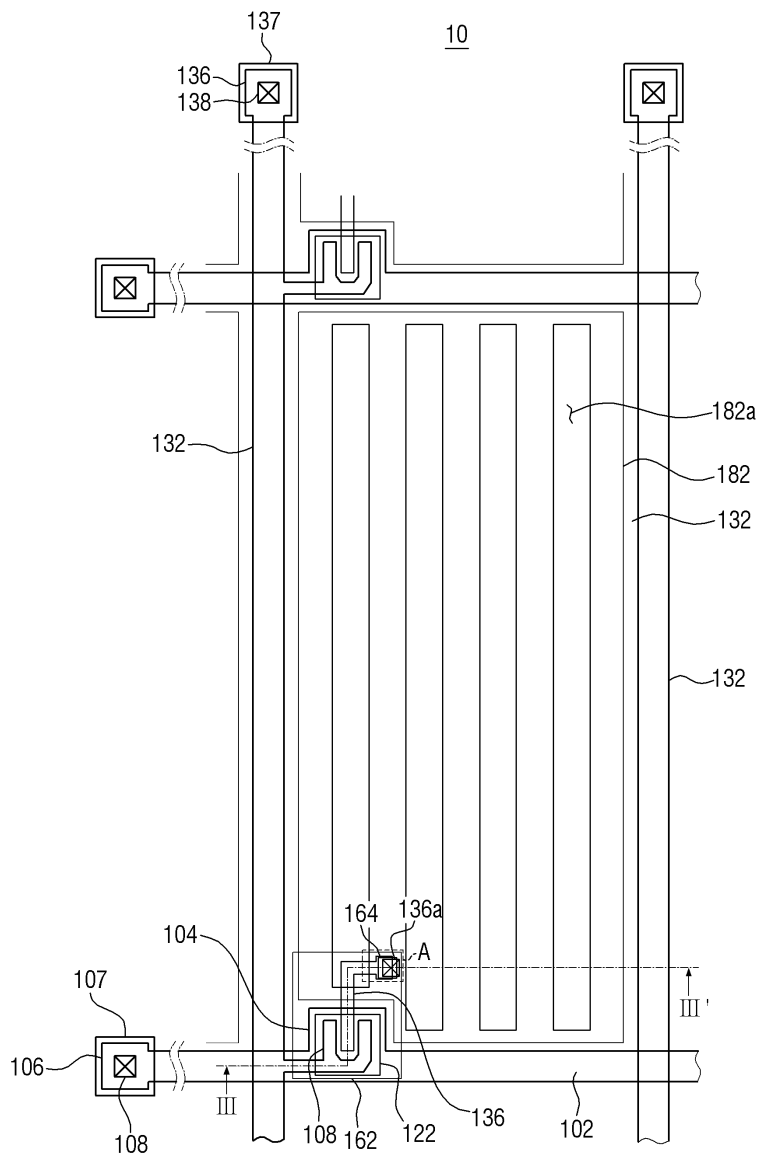
부호의 설명

- [0125]
- 100: 제1 기판
 - 200: 제2 기판
 - 192: 컬러 필터
 - 194: 차광 부재
 - 196: 컬럼 스페이서
 - 300: 액정층
 - 102: 게이트선
 - 104: 게이트 전극
 - 112: 게이트 절연막
 - 122: 반도체층
 - 124: 저항성 접촉층
 - 132: 데이터선
 - 134: 소스 전극
 - 136: 드레인 전극

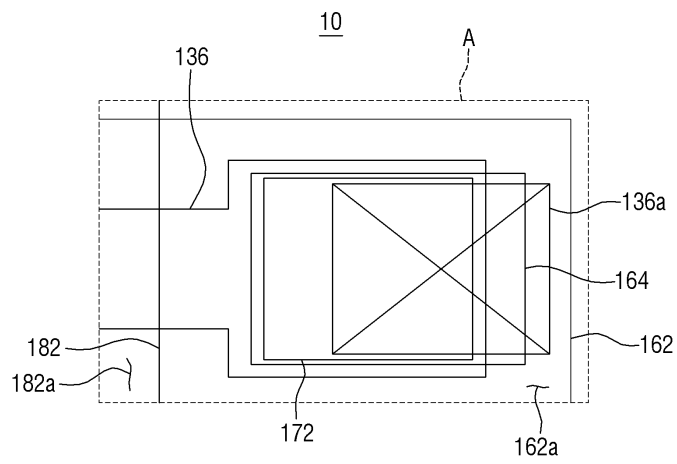
- 142: 제1 보호층
- 152: 유기층
- 162: 공통 전극
- 164: 도전층
- 172: 제2 보호층
- 182: 화소 전극

도면

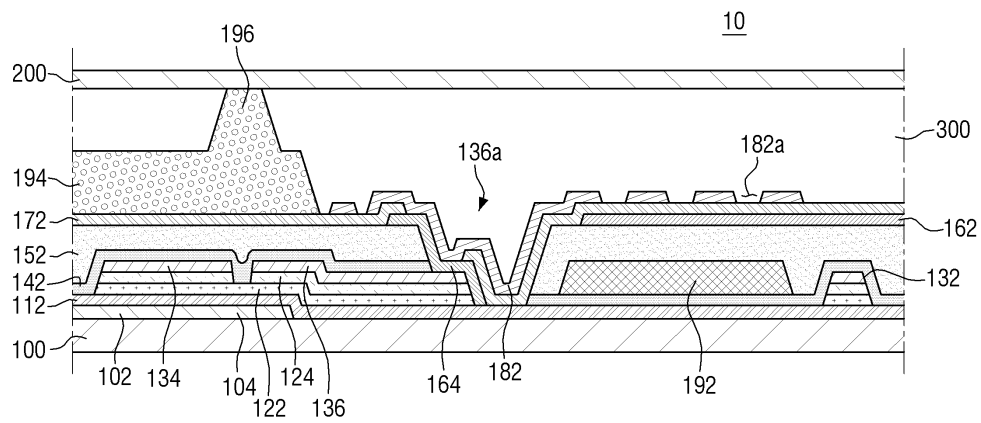
도면1



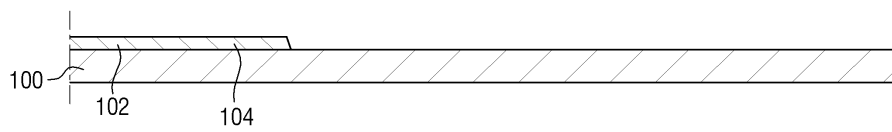
도면2



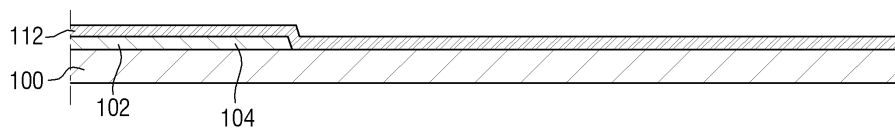
도면3



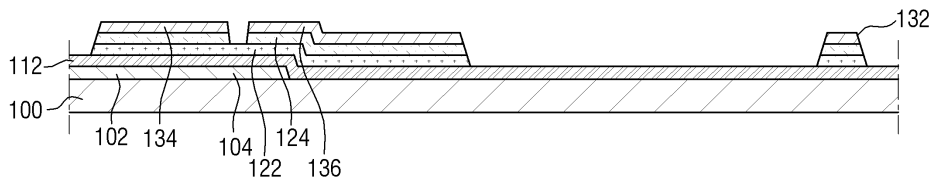
도면4



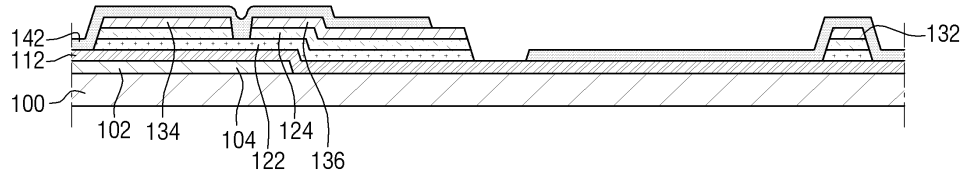
도면5



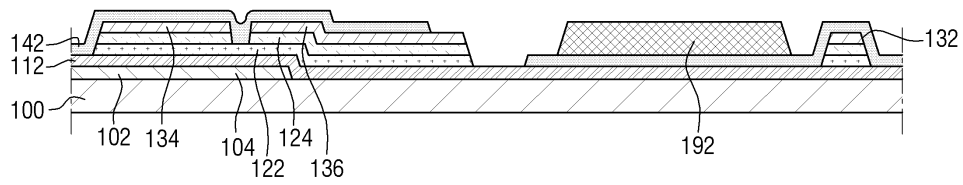
도면6



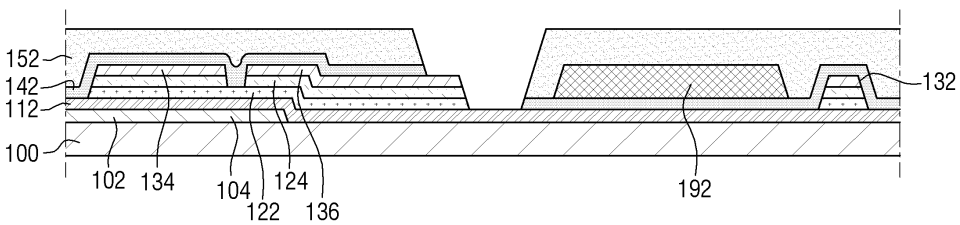
도면7



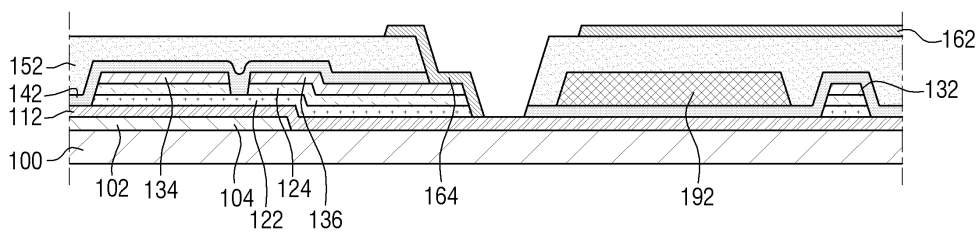
도면8



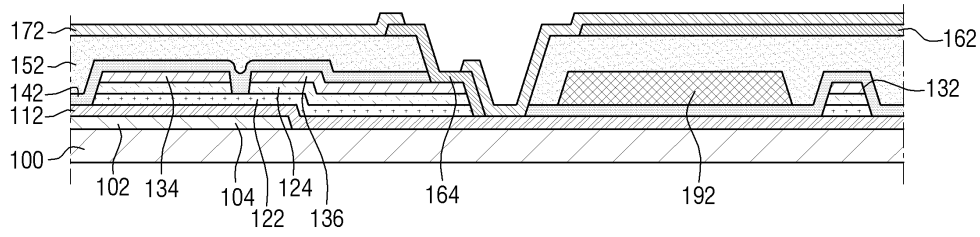
도면9



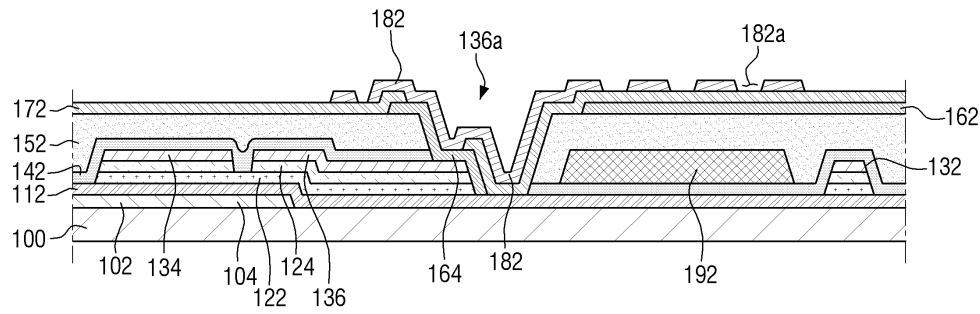
도면10



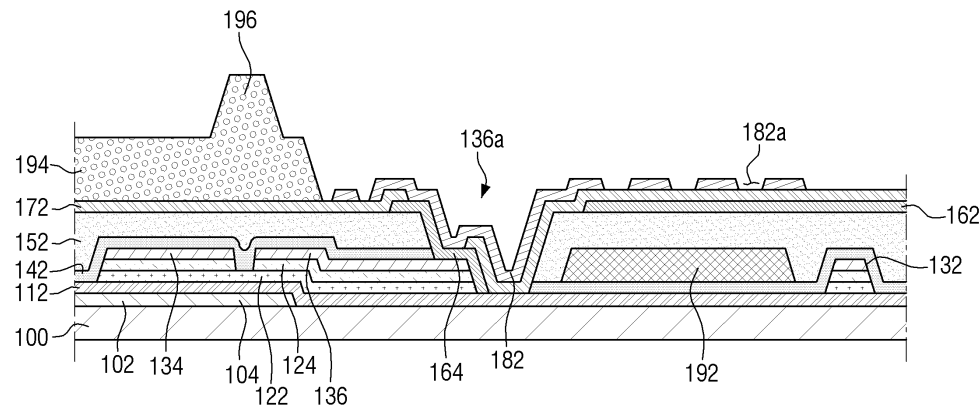
도면11



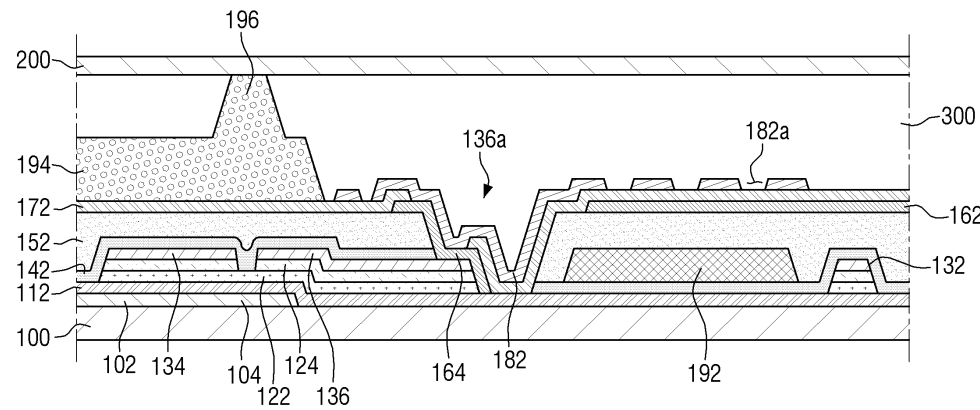
도면12



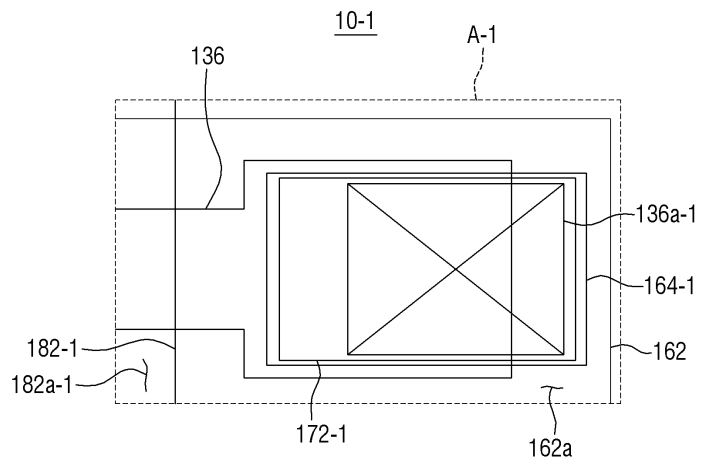
도면13



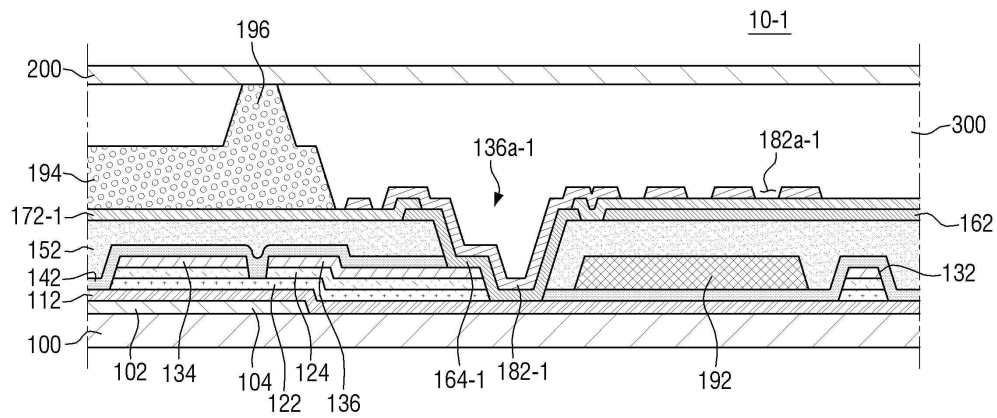
도면14



도면15



도면16



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020160144081A	公开(公告)日	2016-12-16
申请号	KR1020150080381	申请日	2015-06-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SON OCK SOO 손옥수 KIM DONG WOOK 김동욱 SONG JEAN HO 송진호 JANG EUN JE 장은제 JUNG DO HYUN 정도현		
发明人	손옥수 김동욱 송진호 장은제 정도현		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1335		
CPC分类号	G02F1/1362 G02F1/1343 G02F1/133512 G02F1/136227 G02F2001/134372 G02F2001/136222		
外部链接	Espacenet		

摘要(译)

公开了具有AUA防止结构的液晶显示装置。根据本发明的实施例的液晶显示装置，包括第一基板和相互对置的第二基板，在第一基板和设置在液晶层上，所述设置在第二基片和半导体层之间的第一基板，栅电极，源电极，并包括一漏电极的薄膜晶体管，设置在薄膜晶体管中，有机层包括至少暴露所述漏电极的一部分的接触孔，被设置在有机层上时，通过接触孔与漏极电极露出在与零件接触至少一个导电层，在有机层导电层和从共用电极，导电层隔开并且被布置在保护层上，以及在保护层和包括设置在公共电极的开口的导电层，露出至少所述导电层的一部分在与由露出的导电层的至少一部分接触的像素电极的所述开口它包括在内。

