



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0086284
(43) 공개일자 2016년07월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G06F 3/041 (2006.01)
G06F 3/044 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G06F 3/0416 (2013.01)
(21) 출원번호 10-2016-0001715
(22) 출원일자 2016년01월06일
심사청구일자 2016년01월06일
(30) 우선권주장
JP-P-2015-003700 2015년01월09일 일본(JP)

(71) 출원인
가부시키가이샤 재팬 디스플레이
일본국 도쿄도 미나토쿠 니시신바시 3초메 7반 1
고
(72) 발명자
미즈하시 히로시
일본 도쿄도 미나토쿠 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내
테라니시 야스유키
일본 도쿄도 미나토쿠 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내
(뒷면에 계속)
(74) 대리인
장수길, 이중희

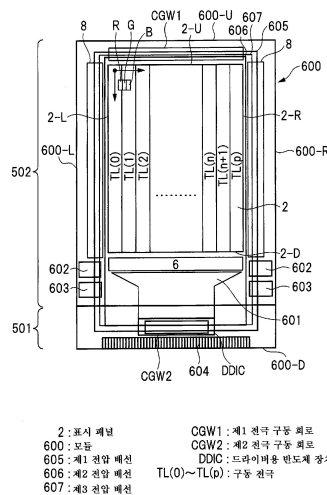
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

구동 능력의 저하를 억제하면서 프레임폭 협소화가 가능한 터치 검출 기능을 구비한 액정 표시 장치를 제공한다. 액정 표시 장치는, 행렬 형상으로 배치된 액정 표시 소자를 갖는 액정 소자 배열과, 액정 소자 배열의 각 행에 배치되고, 대응하는 행의 액정 표시 소자에 주사 신호를 공급하는 주사선과, 액정 소자 배열의 각 열에 배치되고, 대응하는 열의 액정 표시 소자에, 화상 신호를 공급하는 신호선과, 액정 소자 배열의 열에 배치되고, 터치를 검출하기 위한 구동 신호가 공급되는 구동 전극과, 액정 소자 배열의 행과 평행한, 액정 소자 배열의 한 쪽 변을 따라서 배치되고, 화상 신호를 형성하는 신호선 구동 회로와, 액정 소자 배열의 다른 쪽 변을 따라서 배치되고, 구동 신호를 형성하는 제1 전극 구동 회로를 구비한다.

대표도 - 도6



(52) CPC특허분류

G06F 3/044 (2013.01)

G09G 3/3696 (2013.01)

G09G 2230/00 (2013.01)

(72) 발명자

후쿠시마 도시아끼

일본 도쿄도 미나토꾸 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내

이또 다이스께

일본 도쿄도 미나토꾸 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내

고이테 겐

일본 도쿄도 미나토꾸 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내

가즈다 다다요시

일본 도쿄도 미나토꾸 니시신바시 3-7-1 가부시키
가이샤 재팬 디스플레이 내

명세서

청구범위

청구항 1

행렬 형상으로 배치된 복수의 액정 표시 소자를 갖는 액정 소자 배열과,

상기 액정 소자 배열의 각 행에 배치되고, 대응하는 행에 배치된 복수의 액정 표시 소자에 주사 신호를 공급하는 복수의 주사선과,

상기 액정 소자 배열의 각 열에 배치되고, 대응하는 열에 배치된 복수의 액정 표시 소자에, 화상 신호를 공급하는 복수의 신호선과,

상기 액정 소자 배열의 열에 배치되고, 터치를 검출하기 위한 구동 신호가 공급되는 복수의 구동 전극과,

상기 액정 소자 배열의 행과 평행한, 상기 액정 소자 배열의 한쪽 변을 따라서 배치되고, 상기 화상 신호를 형성하는 신호선 구동 회로와,

상기 액정 소자 배열의 행과 평행한, 상기 액정 소자 배열의 다른 쪽 변을 따라서 배치되고, 상기 구동 신호를 형성하는 제1 전극 구동 회로

를 구비하고,

상기 액정 소자 배열의 열에 배치된 구동 전극에는, 상기 액정 소자 배열의 상기 다른 쪽 변에 있어서, 상기 제1 전극 구동 회로로부터 구동 신호가 공급되는, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 액정 표시 장치는, 제1 전압을 공급하는 제1 전압 배선, 제2 전압을 공급하는 제2 전압 배선 및 제3 전압을 공급하는 제3 전압 배선을 구비하고,

상기 제1 전극 구동 회로는, 상기 제1 전압 배선, 상기 제2 전압 배선 및 상기 제3 전압 배선에 접속되고, 상기 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 상기 제1 전압 배선에 있어서의 전압에 기초한 전압과 상기 제2 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고,

상기 제1 전극 구동 회로는, 상기 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 상기 제3 전압 배선에 있어서의 전압에 기초한 전압을 공급하는, 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 전압 배선, 상기 제2 전압 배선 및 상기 제3 전압 배선의 각각은, 상기 액정 소자 배열의 상기 다른 쪽 변을 따라서 배치되어 있는, 액정 표시 장치.

청구항 4

제3항에 있어서,

상기 제2 전압과 상기 제3 전압은, 동일한 전압 값인, 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제3 전압 배선의 선 폭은, 상기 제2 전압 배선의 선 폭보다도 좁은, 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 액정 표시 장치는, 상기 액정 소자 배열의 상기 한쪽 변을 따라서 배치되고, 상기 구동 신호를 형성하는 제2 전극 구동 회로를 구비하고,

상기 액정 소자 배열의 열에 배치된 구동 전극에는, 상기 액정 소자 배열의 상기 한쪽 변에 있어서, 상기 제2 전극 구동 회로로부터 구동 신호가 공급되고, 상기 액정 소자 배열의 상기 다른 쪽 변에 있어서, 상기 제1 전극 구동 회로로부터 구동 신호가 공급되는, 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 액정 표시 장치는, 제1 전압을 공급하는 제1 및 제2 전압 배선, 제2 전압을 공급하는 제3 및 제4 전압 배선 및 제3 전압을 공급하는 제5 및 제6 전압 배선을 구비하고,

상기 제1 전극 구동 회로는, 상기 제1 전압 배선, 상기 제3 전압 배선 및 상기 제5 전압 배선에 접속되고, 상기 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 상기 제1 전압 배선에 있어서의 전압에 기초한 전압과 상기 제3 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고,

상기 제1 전극 구동 회로는, 상기 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 상기 제5 전압 배선에 있어서의 전압에 기초한 전압을 공급하고,

상기 제2 전극 구동 회로는, 상기 제2 전압 배선, 상기 제4 전압 배선 및 상기 제6 전압 배선에 접속되고, 상기 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 상기 제2 전압 배선에 있어서의 전압에 기초한 전압과 상기 제4 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고,

상기 제2 전극 구동 회로는, 상기 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 상기 제6 전압 배선에 있어서의 전압에 기초한 전압을 공급하는, 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 제2 전압과 상기 제3 전압의 전압값은 동일하고, 상기 제6 전압 배선의 선 폭은, 상기 제4 전압 배선의 선 폭보다도 좁은, 액정 표시 장치.

청구항 9

제6항에 있어서,

상기 액정 표시 장치는, 제1 전압을 공급하는 제1 및 제2 전압 배선, 제2 전압을 공급하는 제3 및 제4 전압 배선 및 제3 전압을 공급하는 제5 전압 배선을 구비하고,

상기 제1 전극 구동 회로는, 상기 제1 전압 배선, 상기 제3 전압 배선 및 상기 제5 전압 배선에 접속되고, 복수의 터치 검출 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 상기 제1 전압 배선에 있어서의 전압에 기초한 전압과 상기 제3 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고,

상기 제1 전극 구동 회로는, 상기 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 상기 제5 전압 배선에 있어서의 전압에 기초한 전압을 공급하고,

상기 제2 전극 구동 회로는, 상기 제2 전압 배선 및 상기 제4 전압 배선에 접속되고, 상기 복수의 터치 검출 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 상기 제2 전압 배선에 있어서의 전압에 기초한 전압과 상기 제4 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고,

상기 제2 전극 구동 회로는, 상기 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 하이 임피던스 상태로 되

는, 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 전극 구동 회로는, 상기 복수의 구동 전극의 각각에 대응하고, 상기 제1 전압 배선, 상기 제3 전압 배선 및 상기 제5 전압 배선에 접속된 복수의 제1 단위 전극 구동 회로를 구비하고,

상기 복수의 제1 단위 전극 구동 회로의 각각은, 대응하는 구동 전극과 상기 제1 전압 배선의 사이에 접속된 제1 스위치와, 대응하는 구동 전극과 상기 제3 전압 배선의 사이에 접속된 제2 스위치와, 대응하는 구동 전극과 상기 제5 전압 배선의 사이에 접속된 제3 스위치와, 제1 제어 회로를 구비하고,

상기 제1 제어 회로에 의해, 상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치는, 택일적으로 도통 상태가 되도록 제어되고,

상기 제2 전극 구동 회로는, 상기 복수의 구동 전극의 각각에 대응하고, 상기 제2 전압 배선 및 상기 제4 전압 배선에 접속된 복수의 제2 단위 전극 구동 회로를 구비하고,

상기 복수의 제2 단위 전극 구동 회로의 각각은, 대응하는 구동 전극과 상기 제2 전압 배선의 사이에 접속된 제4 스위치와, 대응하는 구동 전극과 상기 제4 전압 배선의 사이에 접속된 제5 스위치와, 제2 제어 회로를 구비하고,

상기 제2 제어 회로에 의해, 상기 제4 스위치 및 상기 제5 스위치의 각각이, 도통 상태 또는 비도통 상태가 되도록 제어되는, 액정 표시 장치.

청구항 11

제6항에 있어서,

상기 복수의 구동 전극의 각각은, 공통 전극이며,

상기 복수의 액정 표시 소자는, 표시 시, 상기 신호선과 상기 공통 전극의 사이에 접속되고, 상기 제1 전극 구동 회로 및 상기 제2 전극 구동 회로로부터, 상기 공통 전극에 소정의 전압이 공급되어, 화상 신호에 따라서 표시를 행하는, 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 액정 표시 장치는,

상기 액정 소자 배열의 행에 배치된 복수의 검출 전극과,

상기 복수의 검출 전극에 접속되고, 터치에 의해 발생하는 검출 전극에 있어서의 신호의 변화를 검출하는 터치 제어 장치

를 구비하는, 액정 표시 장치.

청구항 13

제12항에 있어서,

상기 제1 전극 구동 회로 및 상기 제2 전극 구동 회로의 각각은, 순차 선택 신호를 형성하는 스캔 회로를 구비하고,

상기 제1 전극 구동 회로 및 상기 제2 전극 구동 회로의 각각은, 상기 선택 신호에 기초하여, 상기 액정 소자 배열의 열에 배치된 구동 전극에, 순차, 구동 신호를 공급하는, 액정 표시 장치.

청구항 14

제11항에 있어서,

상기 액정 표시 장치는, 상기 구동 전극에의 구동 신호의 공급에 의해, 터치의 유무에 의해 발생하는 상기 구동

전극에 있어서의 신호의 변화를 검출하는 터치 제어 장치를 구비하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히 외부 근접 물체를 검출 가능한 터치 검출 기능을 구비한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 최근 들어, 소위 터치 패널이라고 불리는, 외부 근접 물체를 검출 가능한 터치 검출 장치가 주목받고 있다. 터치 패널은, 액정 표시 장치 등의 표시 장치 상에 장착 또는 일체화된다. 이와 같이, 터치 패널이 표시 장치 상에 장착 또는 일체화된 액정 표시 장치, 즉 터치 검출 기능을 구비한 액정 표시 장치는, 표시 장치에 각종 버튼 화상 등을 표시시켜, 외부 물체가 버튼 화상에 근접한 것을 터치 패널에서 검출한다. 이에 의해, 터치 패널을 통상의 기계식 버튼의 대신으로서, 정보 입력의 수단으로서 사용하는 것을 가능하게 하고 있다. 이러한 터치 검출 기능을 구비한 액정 표시 장치는, 키보드나 마우스와 같은 정보 입력의 수단을 반드시 필요로 하지는 않기 때문에, 컴퓨터 이외에, 휴대 전화와 같은 휴대 정보 단말기 등에서도 사용이 확대되는 경향이 있다.

[0003] 터치 검출 장치의 검출 방식으로서, 광학식, 저항식, 정전 용량식 등의 몇 가지의 방식이 존재한다. 이 중에서, 정전 용량식의 터치 검출 장치는, 비교적 단순한 구조를 갖고, 저소비 전력이기 때문에, 휴대 정보 단말기 등에 사용되고 있다. 특허문헌 1에는, 정전 용량식의 터치 검출 장치가 기재되어 있다.

[0004] 또한, 액정 표시 장치에 있어서는, 점점 프레임폭 협소화가 요구되고 있다. 즉, 액정 표시 장치의 표시면을 둘러싸는 프레임을 좁게 하는 것이 요구되고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허 공개 제2012-230657호 공보

발명의 내용

해결하려는 과제

[0006] 정전 용량식의 터치 검출 장치에 있어서는, 예를 들어 특허문헌 1에 개시되어 있는 바와 같이, 구동 전극과 검출 전극이 교차하는 교차 부분에 있어서의 용량의 값이, 손가락 등의 외부 물체가 근접(접촉을 포함함)함으로써 변화하는 것을 이용하여, 외부 물체의 근접을 검출하고 있다. 즉, 구동 전극에 구동 신호를 공급했을 때, 검출 전극에 발생하는 검출 신호에 기초하여, 외부 물체의 근접을 검출하고 있다. 터치 검출 장치에서는, 이러한 구동 전극과 검출 전극이, 각각 복수개 설치되어, 복수의 구동 전극은, 열 방향으로 순차 배치되고, 복수의 검출 전극은, 복수의 구동 전극과 교차하도록, 행 방향으로 순차 배치된다.

[0007] 한편, 구동 전극에 공급되는 구동 신호를 형성하는 구동 회로는, 프레임에 의해 덮이는 모듈의 부위에 배치된다. 그 때문에, 프레임폭 협소화가 진행됨에 따라, 구동 회로를 배치하는 부위가 작아져서, 구동 전극의 전압을 소정의 시간 내에서, 소정의 값으로 하기 위해서는, 구동 회로의 구동 능력이 부족한 경우를 생각할 수 있다.

[0008] 특허문헌 1에서는, 프레임폭 협소화에 의해 발생하는 구동 회로의 구동 능력 부족은 인식되어 있지 않다.

[0009] 본 발명의 목적은, 구동 능력의 저하를 억제하면서 프레임폭 협소화가 가능한 터치 검출 기능을 구비한 액정 표시 장치를 제공하는 데 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태에 관한 액정 표시 장치는, 행렬 형상으로 배치된 복수의 액정 표시 소자를 갖는 액정 소자 배열과, 액정 소자 배열의 각 행에 배치되고, 대응하는 행에 배치된 복수의 액정 표시 소자에 주사 신호를 공급

하는 복수의 주사선과, 액정 소자 배열의 각 열에 배치되고, 대응하는 열에 배치된 복수의 액정 표시 소자에, 화상 신호를 공급하는 복수의 신호선과, 액정 소자 배열의 열에 배치되고, 터치를 검출하기 위한 구동 신호가 공급되는 복수의 구동 전극과, 액정 소자 배열의 행과 평행한, 액정 소자 배열의 한쪽 변을 따라서 배치되고, 화상 신호를 형성하는 신호선 구동 회로와, 액정 소자 배열의 행과 평행한, 액정 소자 배열의 다른 쪽 변을 따라서 배치되고, 구동 신호를 형성하는 제1 전극 구동 회로를 구비하고, 액정 소자 배열의 열에 배치된 구동 전극에는, 액정 소자 배열의 다른 쪽 변에 있어서, 제1 전극 구동 회로로부터 구동 신호가 공급되는 것이다.

[0011] 또한, 다른 일 형태로서, 액정 표시 장치는, 제1 전압을 공급하는 제1 전압 배선, 제2 전압을 공급하는 제2 전압 배선 및 제3 전압을 공급하는 제3 전압 배선을 구비하고, 제1 전극 구동 회로는, 제1 전압 배선, 제2 전압 배선 및 제3 전압 배선에 접속되고, 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 제1 전압 배선에 있어서의 전압에 기초한 전압과 제2 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고, 제1 전극 구동 회로는, 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 제3 전압 배선에 있어서의 전압에 기초한 전압을 공급하는 것이다.

[0012] 또한, 다른 일 형태로서, 제1 전압 배선, 제2 전압 배선 및 제3 전압 배선 각각은, 액정 소자 배열의 다른 쪽 변을 따라서 배치되어 있는 것이다.

[0013] 또한, 다른 일 형태로서, 제2 전압과 제3 전압은, 동일한 전압 값인 것이다.

[0014] 또한, 다른 일 형태로서, 제3 전압 배선의 선 폭은, 제2 전압 배선의 선 폭보다도 좁은 것이다.

[0015] 또한, 다른 일 형태로서, 액정 표시 장치는, 액정 소자 배열의 한쪽 변을 따라서 배치되고, 구동 신호를 형성하는 제2 전극 구동 회로를 구비하고, 액정 소자 배열의 열에 배치된 구동 전극에는, 액정 소자 배열의 한쪽 변에 있어서, 제2 전극 구동 회로로부터 구동 신호가 공급되고, 액정 소자 배열의 다른 쪽 변에 있어서, 제1 전극 구동 회로로부터 구동 신호가 공급되는 것이다.

[0016] 또한, 다른 일 형태로서, 액정 표시 장치는, 제1 전압을 공급하는 제1 및 제2 전압 배선, 제2 전압을 공급하는 제3 및 제4 전압 배선 및 제3 전압을 공급하는 제5 및 제6 전압 배선을 구비하고, 제1 전극 구동 회로는, 제1 전압 배선, 제3 전압 배선 및 제5 전압 배선에 접속되고, 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 제1 전압 배선에 있어서의 전압에 기초한 전압과 제3 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고, 제1 전극 구동 회로는, 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 제5 전압 배선에 있어서의 전압에 기초한 전압을 공급하고, 제2 전극 구동 회로는, 제2 전압 배선, 제4 전압 배선 및 제6 전압 배선에 접속되고, 복수의 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 제2 전압 배선에 있어서의 전압에 기초한 전압과 제4 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고, 제2 전극 구동 회로는, 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 제6 전압 배선에 있어서의 전압에 기초한 전압을 공급하는 것이다.

[0017] 또한, 다른 일 형태로서, 제2 전압과 제3 전압의 전압값은 동일하고, 제6 전압 배선의 선 폭은, 제4 전압 배선의 선 폭보다도 좁은 것이다.

[0018] 또한, 다른 일 형태로서, 액정 표시 장치는, 제1 전압을 공급하는 제1 및 제2 전압 배선, 제2 전압을 공급하는 제3 및 제4 전압 배선 및 제3 전압을 공급하는 제5 전압 배선을 구비하고, 제1 전극 구동 회로는, 제1 전압 배선, 제3 전압 배선 및 제5 전압 배선에 접속되고, 복수의 터치 검출 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 제1 전압 배선에 있어서의 전압에 기초한 전압과 제3 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고, 제1 전극 구동 회로는, 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 제5 전압 배선에 있어서의 전압에 기초한 전압을 공급하고, 제2 전극 구동 회로는, 제2 전압 배선 및 제4 전압 배선에 접속되고, 복수의 터치 검출 구동 전극 중, 선택된 구동 전극에 대하여, 그 전압이, 제2 전압 배선에 있어서의 전압에 기초한 전압과 제4 전압 배선에 있어서의 전압에 기초한 전압의 사이에서, 주기적으로 변화하는 구동 신호를 공급하고, 제2 전극 구동 회로는, 복수의 구동 전극 중, 비선택의 구동 전극에 대하여 하이 임피던스 상태로 되는 것이다.

[0019] 또한, 다른 일 형태로서, 제1 전극 구동 회로는, 복수의 구동 전극 각각에 대응하고, 제1 전압 배선, 제3 전압 배선 및 제5 전압 배선에 접속된 복수의 제1 단위 전극 구동 회로를 구비하고, 복수의 제1 단위 전극 구동 회로 각각은, 대응하는 구동 전극과 제1 전압 배선의 사이에 접속된 제1 스위치와, 대응하는 구동 전극과 제3 전압 배선의 사이에 접속된 제2 스위치와, 대응하는 구동 전극과 제5 전압 배선의 사이에 접속된 제3 스위치와, 제1 제어 회로를 구비하고, 제1 제어 회로에 의해, 제1 스위치, 제2 스위치 및 제3 스위치는, 택일적으로 도통 상태

가 되도록 제어되고, 제2 전극 구동 회로는, 복수의 구동 전극 각각에 대응하고, 제2 전압 배선 및 제4 전압 배선에 접속된 복수의 제2 단위 전극 구동 회로를 구비하고, 복수의 제2 단위 전극 구동 회로 각각은, 대응하는 구동 전극과 제2 전압 배선의 사이에 접속된 제4 스위치와, 대응하는 구동 전극과 제4 전압 배선의 사이에 접속된 제5 스위치와, 제2 제어 회로를 구비하고, 제2 제어 회로에 의해, 제4 스위치 및 제5 스위치 각각이, 도통 상태 또는 비도통 상태가 되도록 제어되는 것이다.

[0020] 또한, 다른 일 형태로서, 복수의 구동 전극 각각은, 공통 전극이며, 복수의 액정 표시 소자는, 표시 시에, 신호선과 공통 전극의 사이에 접속되고, 제1 전극 구동 회로 및 제2 전극 구동 회로로부터, 공통 전극에 소정의 전압이 공급되어, 화상 신호에 따라서 표시를 행하는 것이다.

[0021] 또한, 다른 일 형태로서, 액정 표시 장치는, 액정 소자 배열의 행에 배치된 복수의 검출 전극과, 복수의 검출 전극에 접속되고, 터치에 의해 발생하는 검출 전극에 있어서의 신호의 변화를 검출하는 터치 제어 장치를 구비하는 것이다.

[0022] 또한, 다른 일 형태로서, 제1 전극 구동 회로 및 제2 전극 구동 회로 각각은, 순차 선택 신호를 형성하는 스캔 회로를 구비하고, 제1 전극 구동 회로 및 제2 전극 구동 회로 각각은, 선택 신호에 기초하여, 액정 소자 배열의 열에 배치된 구동 전극에, 순차, 구동 신호를 공급하는 것이다.

[0023] 또한, 다른 일 형태로서, 액정 표시 장치는, 구동 전극에의 구동 신호의 공급에 의해, 터치의 유무에 의해 발생하는 구동 전극에 있어서의 신호의 변화를 검출하는 터치 제어 장치를 구비하는 것이다.

도면의 간단한 설명

[0024] 도 1은 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치의 구성을 도시하는 블록도이다.

도 2의 (A) 내지 (C)는 정전 용량형 터치 검출(상호 용량 방식)의 기본 원리를 설명하기 위한 설명도이다.

도 3의 (A) 및 (B)는 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치를 실장한 모듈의 개략을 도시하는 평면도 및 단면도이다.

도 4의 (A) 내지 (C)는 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치를 실장한 모듈의 개략을 도시하는 평면도 및 단면도이다.

도 5는 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치를 실장한 모듈의 구성을 도시하는 평면도이다.

도 6은 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치를 실장한 모듈의 구성을 도시하는 평면도이다.

도 7은 실시 형태 1에 관한 액정 소자 배열의 구성을 도시하는 회로도이다.

도 8의 (A) 및 (B)는 실시 형태 1에 관한 제1 전극 구동 회로 및 제2 전극 구동 회로의 구성을 도시하는 블록도이다.

도 9는 실시 형태 1에 관한 표시 패널의 구성을 도시하는 블록도이다.

도 10은 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치의 구성을 도시하는 블록도이다.

도 11의 (A) 및 (B)는 실시 형태 1에 관한 제1 단위 전극 구동 회로의 구성을 도시하는 블록도 및 회로도이다.

도 12의 (A) 내지 (E)는 실시 형태 1에 관한 제1 전극 구동 회로 및 제2 전극 구동 회로의 동작을 나타내는 파형 도이다.

도 13의 (A) 및 (B)는 실시 형태 2에 관한 제1 단위 전극 구동 회로의 구성을 도시하는 블록도 및 회로도이다.

도 14의 (A) 내지 (F)는 제1 전극 구동 회로 및 제2 전극 구동 회로의 동작을 나타내는 파형 도이다.

도 15의 (A) 내지 (C)는 정전 용량형 터치 검출(자기 용량 방식)의 기본 원리를 설명하기 위한 설명도이다.

도 16은 실시 형태 3에 관한 터치용 반도체 장치의 구성을 도시하는 블록도이다.

도 17은 실시 형태 3에 관한 제1 단위 전극 구동 회로의 구성을 도시하는 회로도이다.

도 18은 실시 형태 4에 관한 제1 단위 전극 구동 회로의 구성을 도시하는 회로도이다.

도 19의 (A) 내지 (G)는 실시 형태 3에 관한 제1 전극 구동 회로 및 제2 전극 구동 회로의 동작을 나타내는 파형 도이다.

도 20의 (A) 내지 (H)는 실시 형태 4에 관한 제1 전극 구동 회로 및 제2 전극 구동 회로의 동작을 나타내는 파형 도이다.

도 21은 실시 형태 5에 관한 제1 단위 전극 구동 회로의 구성을 도시하는 회로도이다.

도 22는 실시 형태 5에 관한 제2 단위 전극 구동 회로의 구성을 도시하는 회로도이다.

도 23은 실시 형태 5에 관한 액정 표시 장치의 구성을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명의 각 실시 형태에 대해서, 도면을 참조하면서 설명한다. 또한, 개시는 어디까지나 일례에 지나지 않으며, 당업자에게 있어서, 발명의 주지를 유지한 적시 변경에 대해서 용이하게 상도할 수 있는 것에 대해서는, 당연히 본 발명의 범위에 함유되는 것이다. 또한, 도면은 설명을 보다 명확히 하기 위해서, 실제의 형태에 비해, 각 부의 폭, 두께, 형상 등에 대해서 모식적으로 표현되는 경우가 있지만, 어디까지나 일례이며, 본 발명의 해석을 한정하는 것이 아니다.

[0026] 또한, 본 명세서와 각 도면에 있어서, 기출 도면에 대해서 상술한 것과 마찬가지로의 요소에는, 동일한 부호를 부여하고, 상세한 설명을 적절히 생략하는 경우가 있다.

[0027] (실시 형태 1)

[0028] 실시 형태 1로서, 터치 검출 장치가, 표시 장치와 일체화된 인셀 타입의 터치 검출 기능을 구비한 액정 표시 장치에 적용한 예에 대해서 설명한다. 여기서, 인셀 타입의 터치 검출 기능을 구비한 액정 표시 장치란, 터치 검출 장치에 포함되는 구동 전극 및 검출 전극 중 적어도 한쪽이, 표시 장치의 액정을 개재해서 대향하는 한 쌍의 기관간에 설치된 터치 검출 기능을 구비한 액정 표시 장치를 의미한다. 실시 형태 1에서는, 터치 검출 장치에 포함되는 구동 전극이, 액정을 구동하는 구동 전극으로서도 사용되고 있는 경우를 설명한다.

[0029] <전체 구성>

[0030] 우선, 터치 검출 기능을 구비한 액정 표시 장치(1)의 전체 구성을, 도 1을 이용해서 설명한다. 도 1은, 터치 검출 기능을 구비한 액정 표시 장치(1)의 구성을 도시하는 블록도이다. 터치 검출 기능을 구비한 액정 표시 장치(1)는, 액정 패널(표시 패널)(2), 표시 제어 장치(5), 신호선 셀렉터(6), 터치 제어 장치(7) 및 게이트 드라이버(8)를 구비하고 있다. 도 1에서는, 도면을 보기 쉽게 하기 위해서, 액정 패널(2)은, 모식적으로 그려져 있고, 액정 패널부(표시 패널부)(3)와 터치 검출 패널부(4)를 구비하고 있다. 액정 패널(2)의 구성에 대해서는, 나중에 도 3, 도 4 및 도 5를 이용해서 설명한다.

[0031] 후술하지만, 이들 액정 패널부(3)와 터치 검출 패널부(4)는, 구동 전극 등 일부의 구성을 공용하고 있다. 액정 패널부(3)에는, 게이트 드라이버(8)로부터 주사 신호(Vs_0 내지 Vsp)가 공급되고, 또한 신호선 셀렉터(6)를 통해서 표시 제어 장치(5)로부터 화상 신호($SLd(0)$ 내지 $SLd(p)$)가 공급되어, 화상 신호($SLd(0)$ 내지 $SLd(p)$)에 따른 화상을 표시한다. 터치 검출 패널부(4)는, 표시 제어 장치(5)로부터 구동 신호($Tx(0)$ 내지 $Tx(p)$)가 공급되고, 검출 신호($Rx(0)$ 내지 $Rx(p)$)를 터치 제어 장치(7)에 출력한다.

[0032] 표시 제어 장치(5)는, 제어부(9) 및 구동 회로(10)를 갖고 있으며, 구동 회로(10)는, 화상 신호를 형성하고, 출력하는 신호선 드라이버(신호선 구동 회로)(11)와 구동 신호($Tx(0)$ 내지 $Tx(p)$)를 출력하는 구동 전극 드라이버(제1 전극 구동 회로)(12)를 갖고 있다. 제어부(9)는, 제어 단자(Tt)에 공급되는 타이밍 신호 및 제어 신호와, 화상 단자(Td)에 공급되는 화상 신호를 받아, 화상 단자(Td)에 공급된 화상 신호에 따른 화상 신호(Sn)를 신호선 드라이버(11)에 공급한다. 신호선 드라이버(11)는, 제어부(9)로부터 공급된 화상 신호(Sn)를, 특별히 제한되지 않지만, 시간적으로 다중화하여, 신호선 셀렉터(6)에 출력한다. 즉, 신호선 드라이버(11)의 1개의 출력 단자를 본 경우, 2개의 화상 신호가, 시간적으로 어긋나면서 1개의 단자로부터 출력된다.

[0033] 또한, 제어부(9)는, 시간적으로 다중화된 화상 신호를, 신호선 셀렉터(6)에 있어서, 서로 상이한 신호선에 할당하기 위한 선택 신호($SEL1$, $SEL2$)를 신호선 셀렉터(6)에 공급한다. 신호선 셀렉터(6)는, 다중화해서 공급된 화상 신호를, 선택 신호($SEL1$, $SEL2$)에 의해 서로 상이한 신호선에 할당하고, 화상 신호($SLd(0)$ 내지

SLd(p))로서, 액정 패널부(3)에 공급한다. 신호선 셀렉터(6)는, 액정 패널부(3)의 근방에 배치되어 있다. 이와 같이, 화상 신호를 시간적으로 다중화함으로써, 표시 제어 장치(5)와 액정 패널부(3)를 전기적으로 접속하는 배선의 수를 저감하는 것이 가능하게 된다. 바꿔 말하면, 표시 제어 장치(5)와 액정 패널부(3)와의 사이를 접속하는 배선의 선 폭을 넓게 하여, 화상 신호의 지연을 저감하는 것이 가능하게 된다.

[0034] 제어부(9)는, 제어 단자(Tt)에 공급되는 타이밍 신호 및 제어 신호에 기초하여, 게이트 드라이버(8)에 타이밍 신호를 공급한다. 게이트 드라이버(8)는, 공급된 타이밍 신호에 기초하여, 주사 신호(Vs0 내지 Vsp)를 발생하여, 액정 패널부(3)에 공급한다. 게이트 드라이버(8)에 의해 발생하는 주사 신호(Vs0 내지 Vsp)는, 예를 들어 주사 신호 Vs0로부터 Vsp를 향해서 순차 하이 레벨이 되는 펄스 신호이다.

[0035] 구동 회로(10) 내의 구동 전극 드라이버(12)는, 터치 제어 장치(7)로부터 공급되는 클럭 신호(SDCK) 및 선택 신호(SDST)를 수신하고, 액정 패널(2)에 포함되어 있는 복수의 구동 전극(TL)(i, i=0 내지 p: 도 3등 참조)으로부터, 구동 전극(TL(i))을 선택하고, 선택된 구동 전극(TL(i))에 대하여 구동 신호(Tx(i))를 공급한다.

[0036] 이 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치(1)는 인셀 타입이며, 구동 전극(TL(i))이 터치 검출의 구동과 액정의 구동에 겸용되고 있다. 즉, 구동 전극(TL(i))은, 화상 표시일 때는, 액정을 구동하기 위한 전계를, 나중에 설명하는 화소 전극과의 사이에서 형성하도록 기능하고, 터치 검출일 때는, 터치 검출용의 구동 신호를 전달하도록 기능한다. 그 때문에, 본 명세서에서는, 이후, 구동 전극(TL(i))을 공통 전극(TL(i))이라고도 칭한다. 특히, 공통 전극(TL(i))이 터치 검출용으로서 기능하는 것이 명확한 경우에는, 간단히, 구동 전극(TL(i))이라고 칭하기도 한다.

[0037] 도 1에는, 공통 전극(TL(i))에 공급되는 신호로서, 구동 신호(Tx(i))가 도시되어 있다. 액정 패널부(3)에 있어서의 액정의 화상 표시와 터치 검출 패널부(4)에 있어서의 터치 검출은, 시간적으로 겹치지 않도록, 시분할로 행하여진다. 본 명세서에서는, 화상을 표시하는 기간을 표시 기간이라 칭하고, 터치 검출을 행하는 기간을 터치 검출 기간이라 칭한다.

[0038] 화상 표시를 행하는 표시 기간에 있어서, 구동 전극 드라이버(12)는, 액정을 구동하기 위한 구동 신호(Tx(i))를 액정 패널(2) 내의 공통 전극(TL(i))에 공급하고, 터치 검출을 행하는 검출 기간에 있어서는, 터치 검출을 위한 구동 신호(Tx(i))를 액정 패널(2) 내의 공통 전극(TL(i))에 공급한다. 물론, 구동 회로(10)에, 터치 검출을 위한 구동 전극 드라이버와 액정을 구동하기 위한 구동 전극 드라이버를, 각각 별도로 설치할 수도 있다. 또한, 제어부(9)는, 표시 기간과 터치 검출 기간을 식별하는 터치-표시 동기 신호(TSHD)를 출력한다.

[0039] 터치 제어 장치(터치 제어부)(7)는, 터치 검출 패널부(4)로부터의 검출 신호(Rx(0) 내지 Rx(p))를 처리하는 검출 신호 처리부(판정부)(TS)와, 구동 전극 드라이버(12)에 공급되는 클럭 신호(SDCK), 선택 신호(SDST) 및 복수의 제어 신호(ctrsig)를 형성하는 구동 신호 형성부(17)와, 검출 신호 처리부(TS) 및 구동 신호 형성부(17)를 제어하는 제어부(18)를 구비하고 있다. 여기서, 검출 신호 처리부(TS)는, 터치 검출 패널부(4)가 터치되었는지 여부를 검출하여, 터치된 경우, 터치된 위치의 좌표를 구하는 처리를 행한다. 또한, 구동 신호 형성부(17)는, 터치 검출 패널부(4)에 있어서, 터치를 검출하는 영역의 지정과 제어를 행한다.

[0040] 먼저, 검출 신호 처리부(TS)에 대해서 설명하면, 이 검출 신호 처리부(TS)는, 터치 검출 패널부(4)로부터의 검출 신호(Rx(0) 내지 Rx(p))를 수신하고, 수신한 검출 신호(Rx(0) 내지 Rx(p))를 증폭하는 터치 검출 신호 증폭부(13)와, 터치 검출 신호 증폭부(13)에 의해 증폭된 아날로그의 검출 신호를 디지털 신호로 변환하는 아날로그/디지털 변환부(이하, A/D 변환부라고 함)(14)를 포함하고 있다. 여기서, 터치 검출 신호 증폭부(13)는, 수신한 검출 신호(Rx(0) 내지 Rx(p))로부터 높은 주파수의 성분(노이즈 성분)을 제거하고, 증폭 동작을 행한다. 또한, 검출 신호(Rx(0) 내지 Rx(p))는, 나중에 도 2를 이용해서 설명하지만, 공통 전극(TL(i))에 공급되는 구동 신호(Tx(i))에 응답해서 발생한다. 그 때문에, 이 실시 형태 1에서, A/D 변환부(14)는, 구동 신호(Tx(i))에 동기하여, 터치 검출 신호 증폭부(13)로부터의 증폭 신호를 샘플링하고, 디지털 신호로 변환하도록, 제어부(18)에 의해 제어된다.

[0041] 또한, 검출 신호 처리부(TS)는, A/D 변환부(14)에 의한 변환 동작에 의해 얻어진 디지털 신호를 수신하고, 당해 디지털 신호에 대하여 신호 처리를 행하는 신호 처리부(15)와, 신호 처리부(15)의 처리에 의해 얻어진 신호로부터, 터치한 위치의 좌표를 추출하는 좌표 추출부(16)를 갖고 있다. 신호 처리부(15)에서 행하여지는 신호 처리로서는, A/D 변환부(14)에서 행한 샘플링의 주파수보다도 높은 주파수의 노이즈 성분을 제거하고, 터치 검출 패널부(4)에 있어서의 터치의 유무를 검출하는 처리가 포함된다. 좌표 추출부(16)에 의해 추출된 터치된 위치의 좌표는, 출력 단자(Tout)로부터 좌표 정보로서 출력된다.

- [0042] 구동 신호 형성부(17)는, 제어부(18)로부터의 제어 신호에 기초하여, 클럭 신호(SDCK), 선택 신호(SDST) 및 복수의 제어 신호(ctrsig)를 형성하여, 구동 전극 드라이버(12)에 공급한다. 나중에 상세하게 설명하지만, 구동 전극 드라이버(12)는, 스캔 회로를 갖고 있다.
- [0043] 스캔 회로는, 터치 검출 기간에 있어서, 클럭 신호(SDCK)를 시프트 클럭 신호로서 수신하는 시프트 레지스터를 갖고 있다. 여기서, 시프트 레지스터의 각각의 단이, 공통 전극(TL(i))에 대응하고 있고, 시프트 레지스터의 예를 들어 초단에, 선택 신호가 세트되고, 선택 신호는, 시프트 클럭 신호인 클럭 신호(SDCK)의 변화에 따라, 시프트 레지스터 내의 단을 이동한다. 구동 전극 드라이버(12)는, 선택 신호가 도달한 단에 대응하는 공통 전극(TL(i))에 대하여 구동 신호(Tx(i))를 형성하여 공급한다. 이에 의해, 클럭 신호(SDCK)와 선택 신호(SDST)를 제어함으로써, 임의의 공통 전극(TL(i))으로부터, 서로 인접해서 배치된 복수의 공통 전극(TL(i))에 대응한 단에, 선택 신호를 순차 이동시키는 것이 가능하게 되고, 서로 인접해서 배치된 복수의 공통 전극의 근방이 터치되어 있는지 여부를 스캔하는 것이 가능하게 된다.
- [0044] 제어부(18)는, 표시 제어 장치(5)의 제어부(9)로부터 출력되고 있는 터치-표시 동기 신호(TSHD)를 수신하고, 이 터치-표시 동기 신호(TSHD)가 터치 검출 기간을 나타내고 있을 때, 구동 신호 형성부(17)에 대하여, 클럭 신호(SDCK), 선택 신호(SDST) 및 제어 신호(ctrsig)를 형성하도록 제어한다. 또한, 터치 검출 기간에 있어서, 터치 검출 신호 증폭부(13)가 수신한 검출 신호(Rx(0) 내지 Rx(p))를 변환하여, 터치한 좌표가 추출되도록, A/D 변환부(14), 신호 처리부(15) 및 좌표 추출부(16)를 제어한다.
- [0045] <정전 용량형 터치 검출(상호 용량 방식)의 기본 원리>
- [0046] 도 2의 (A) 내지 (C)는 실시 형태 1에서 사용되고 있는 정전 용량형 터치 검출의 기본 원리를 도시하는 모식도이다. 도 2의 (A)에서, TL(0) 내지 TL(p) 각각은, 액정 패널(2)에 설치된 공통 전극이며, RL(0) 내지 RL(p) 각각은, 터치 검출 패널부(4)에 설치된 검출 전극이다. 도 2의 (A)에서, 공통 전극(TL(0) 내지 TL(p)) 각각은, 열 방향으로 연장되고, 행 방향으로 평행하게 배치되어 있다. 또한, 검출 전극(RL(0) 내지 RL(p)) 각각은, 공통 전극(TL(0) 내지 TL(p))과 교차하도록, 행 방향으로 연장되고, 열 방향으로 평행하게 배치되어 있다. 검출 전극(RL(0) 내지 RL(p))과 공통 전극(TL(0) 내지 TL(p))과의 사이에 간극이 발생하도록, 검출 전극(RL(0) 내지 RL(p))은 공통 전극(TL(0) 내지 TL(p))의 상방에 형성되어 있다.
- [0047] 도 2의 (A)에서, 12-0 내지 12-p 각각은, 구동 전극 드라이버(12) 내에 설치되어 있는 단위 구동 전극 드라이버를 모식적으로 도시하고 있다. 동도에서는, 단위 구동 전극 드라이버(12-0 내지 12-p)로부터, 구동 신호(Tx(0) 내지 Tx(p))가 출력되고 있다. 또한, 13-0 내지 13-p 각각은, 터치 검출 신호 증폭부(13) 내의 단위 증폭부를 모식적으로 도시하고 있다. 도 2의 (A)에서, 실선의 ○으로 둘러싼 펄스 신호는, 구동 신호(Tx(i))의 파형을 나타내고 있다. 외부 물체로서, 동도에서는, 손가락이 FG로서 도시되어 있다.
- [0048] 도 2의 예에서는, 공통 전극(TL(2))에, 구동 전극 드라이버(12)로부터 구동 신호(Tx(2))로서 공급되고 있다. 공통 전극(TL(2))에 펄스 신호인 구동 신호(Tx(2))를 공급함으로써, 도 2의 (B)에 도시한 바와 같이, 공통 전극(TL(2))과 교차하는 검출 전극(RL(n))과의 사이에서 전계가 발생한다. 이때, 손가락(FG)이, 액정 패널(2)의 공통 전극(TL(2))에 근접하고 있는 위치를 터치하고 있으면, 손가락(FG)과 공통 전극(TL(2))과의 사이에서도 전계가 발생하여, 공통 전극(TL(2))과 검출 전극(RL(n))과의 사이에서 발생하고 있는 전계가 감소한다. 이에 의해, 공통 전극(TL(2))과 검출 전극(RL(n))과의 사이의 전하량이 감소한다. 그 결과, 도 2의 (C)에 도시한 바와 같이, 구동 신호(Tx(2))의 공급에 응답해서 발생하는 전하량은, 손가락(FG)이 터치하고 있을 때는, 터치하고 있지 않을 때에 비해 ΔQ만큼 감소한다. 전하량의 차는, 전압의 차로써 검출 신호(Rx(n))로 표시되고, 터치 검출 신호 증폭부(13) 내의 단위 증폭부(13-n)에 공급되어 증폭된다.
- [0049] 또한, 도 2의 (C)에서, 횡축은 시간을 나타내고 있고, 종축은 전하량을 나타내고 있다. 구동 신호(Tx(2))의 상승에 응답하여, 전하량은, 증가(동도에서, 상측으로 증가)하고, 구동 신호(Tx(2))의 전압의 하강에 응답하여, 전하량은, 증가(동도에서, 하측으로 증가)한다. 이때, 손가락(FG)의 터치의 유무에 의해, 증가하는 전하량이 바뀐다. 또한, 이 도면에서는, 전하량이 상측으로 증가한 후, 하측으로 증가 하기 전에, 리셋이 행하여지고 있고, 마찬가지로, 전하량이 하측으로 증가한 후, 상측으로 증가하기 전에, 전하량의 리셋이 행하여지고 있다. 이와 같이 하여, 리셋된 전하량을 기준으로 해서, 상하로 전하량이 변화한다.
- [0050] 공통 전극(TL(0) 내지 TL(p))에, 구동 신호(Tx(0) 내지 Tx(p))를 순차 공급함으로써, 구동 신호(Tx(i))를 공급한 공통 전극과 교차하는 복수의 검출 전극(RL(0) 내지 RL(p)) 각각으로부터, 각각의 교차 부분에 근접한 위치에 손가락(FG)이 터치하고 있는지 여부에 따른 전압값을 갖는 검출 신호(Rx(0) 내지 Rx(p))가 출력되게 된다.

A/D 변환부(14)(도 1)는 손가락(FG)이 터치하고 있는지 여부에 따라, 전하량에 차(ΔQ)가 발생하고 있는 시각에 있어서, 검출 신호(Rx(0) 내지 Rx(p)) 각각을 샘플링하고, 디지털 신호로 변환한다.

[0051] <모듈>

[0052] 도 3의 (A)는 실시 형태 1에 관한 터치 검출 기능을 구비한 액정 표시 장치(1)를 실장한 모듈의 개략을 도시하는 평면도이다. 또한, 도 3의 (B)는 도 3의 (A)에서, B-B'의 단면도이다.

[0053] 액정 패널(2)은, 동도에서 세로 방향으로 연장되고, 가로 방향으로 병렬적으로 배치된 신호선(SL(0) 내지 SL(p))과, 이 신호선(SL(0) 내지 SL(p))의 연장 방향과 동일한 방향으로 연장되는 복수의 공통 전극(TL(0) 내지 TL(p))을 구비하고 있다. 즉, 공통 전극(TL(0) 내지 TL(p)) 각각도, 동도에서 세로 방향으로 연장되고, 가로 방향으로 병렬적으로 배치되어 있다. 또한, 선택 신호(Vs0 내지 Vsp)가 공급되는 주사선 및 검출 신호(Rx(0) 내지 Rx(p))를 전달하는 검출 전극(RL(0) 내지 RL(p))은, 동도에서, 가로 방향으로 연장되고, 세로 방향으로 병렬적으로 배치되어 있지만, 도 3의 (A)에서는 생략되어 있다.

[0054] 도 1에서 설명한 표시 제어 장치(5) 및 신호선 셀렉터(6)는, 액정 패널(2)의 짧은 변측에 배치되어 있다. 즉, 표시 제어 장치(5) 및 신호선 셀렉터(6)는, 신호선(SL(0) 내지 SL(p)) 및 공통 전극(TL(0) 내지 TL(p))과 직교하는 방향으로 연장되어 있다. 나중에도 5를 이용해서 설명하지만, 신호선 셀렉터(6)는, 액정 패널(2)과 동일한 기판에 형성되어 있고, 신호선(SL(0) 내지 SL(p))은 신호선 셀렉터(6)에 접속되어 있고, 표시 제어 장치(5)로부터 출력되는 화상 신호는, 신호선 셀렉터(6)를 통해서 액정 패널(2)의 신호선(SL(0) 내지 SL(p))에 공급된다. 여기서, 표시 제어 장치(5)로부터 신호선 셀렉터(6)에 공급되는 신호는, 화상 신호와 선택 신호이다. 액정 패널(2)은, 컬러 표시를 행하기 위해서, 표시 제어 장치(5)로부터 신호선 셀렉터(6)에 공급되는 화상 신호는, 3원색에 상당하는 R(적색), G(녹색), B(청색)의 화상 신호이며, 동도에서는 R/G/B로서 나타내고 있다. 또한, 동도에서는, 선택 신호는 SEL1, SEL2로서 나타내고 있다.

[0055] 신호선(SL(0) 내지 SL(p)) 각각은, 유리 기판인 TFT 기판(300)의 일주면에 형성되어 있다. 도 3에 도시한 모듈에 있어서는, 1개의 공통 전극(예를 들어, 공통 전극(TL(0)))에 대하여 복수의 신호선(예를 들어, 신호선(SL(0)0, SL(0)1))이 대응하고 있고, 각각의 신호선(SL(0)0, SL(0)1)은, 화상 신호(R, G, B)에 대응하는 3개의 신호선을 포함하고 있다. 도 3의 (B)에는, 신호선(SL(0)0)에 포함되는 화상 신호(R, G, B)에 대응하는 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B))과, 신호선(SL(1))에 포함되는 화상 신호(R, G, B)에 대응하는 신호선(SL(1)0(R), SL(1)0(G), SL(1)0(B))이 도시되어 있다.

[0056] 여기서, 본 명세서에서 사용하고 있는, 신호선의 표기 방법에 대해서 설명을 해 둔다. 신호선(SL(0)0(R)) 및 신호선(SL(1)0(R))을 예로 해서 설명하면, 우선 () 내의 숫자는, 대응하는 공통 전극의 번호를 나타내고 있고, 다음의 숫자는, 대응하는 공통 전극에 있어서의 화소의 번호를 나타내고 있고, () 내의 영문은, 화소의 삼원색(R, G, B)을 나타내고 있다. 즉, 신호선(SL(0)0(R))은 공통 전극(TL(0))에 대응한 신호선이며, 0번째의 화소이고, 삼원색의 적색에 대응한 화상 신호를 전달하는 신호선을 나타내고 있다. 마찬가지로, 신호선(SL(1)0(R))은 공통 전극(TL(0))의 이웃에 배치된 부분의 공통 전극(TL(1))에 대응한 신호선이며, 0번째의 화소이고, 삼원색의 적색에 대응한 화상 신호를 전달하는 신호선을 나타내고 있다. 그 때문에, 도 3의 (B)에 나타내고 있는 SL(1)1(R) 및 SL(1)1(G) 각각은, 공통 전극(TL(1))에 대응한 신호선이며, 1번째의 화소의 삼원색의 적색 및 녹색에 대응한 화상 신호를 전달하는 신호선을 나타내고 있게 된다.

[0057] 도 3의 (B)에 도시한 바와 같이, 화상 신호(R, G, B)에 대응하는 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B)) 등의 일주면과 TFT 기판(300)의 일주면에는, 또한 절연층(301)이 형성되고, 절연층(301) 상에 공통 전극(TL(0) 내지 TL(p))이 형성되어 있다. 이 공통 전극(TL(0) 내지 TL(p)) 각각에는, 보조 전극(SM)이 형성되고, 보조 전극(SM)은, 공통 전극과 전기적으로 접속되어, 공통 전극의 전기 저항의 저감을 도모하고 있다. 공통 전극(TL(0) 내지 TL(p))과 보조 전극(SM)의 상면에는, 절연층(302)이 형성되고, 절연층(302)의 상면에는 화소 전극(LDP)이 형성되어 있다. 도 3의 (B)에서, CR, CB, CG 각각은, 컬러 필터이며, 컬러 필터 CR(적색), CG(녹색), CB(청색)와 절연층(302)과의 사이에는 액정층(303)이 끼워져 있다. 여기서, 화소 전극(LDP)은, 주사선과 신호선의 교점에 설치되어 있고, 각 화소 전극(LDP)의 상방에, 각각의 화소 전극(LDP)에 대응한 컬러 필터(CR, CG 또는 CB)가 설치되어 있다. 각 컬러 필터(CR, CG, CB) 간에는 블랙 매트릭스(BM)가 설치되어 있다.

[0058] 도 4는, 검출 전극(RL(0) 내지 RL(p))과 공통 전극(TL(0) 내지 TL(p))의 관계를 도시하는 모식도이다. 도 4의 (A)에 도시한 바와 같이, 컬러 필터(CR, CG, CB)의 상방면에는, 유리 기판인 CF 유리 기판(400)이 설치되고, CF 유리 기판(400)의 상방면에는, 검출 전극(RL(0) 내지 RL(p))이 형성되어 있다. 또한, 검출 전극(RL(0) 내지

RL(p))의 상방에는 편광판(401)이 형성되어 있다. 또한, 여기에서는, 도 4의 (A)에 도시한 바와 같이, 동도에서 상측으로부터 육안으로 보이는 경우를 예로 하고 있기 때문에, 상방면으로서 설명하고 있지만, 육안의 방향이 바뀔으로써, 상방면은, 하방면 또는 측방면으로 되는 것은 물론이다. 또한, 도 4의 (A)에서는, 검출 전극(RL(0) 내지 RL(p))과 공통 전극(TL(0) 내지 TL(p))의 사이에 형성되는 용량 소자의 전극이 파선으로 그려져 있다.

[0059] 도 3의 (A) 및 도 4의 (C)에 도시한 바와 같이, 신호선(SL(0) 내지 SL(p)) 및 공통 전극(TL(0) 내지 TL(p)) 각각은, 세로 방향, 즉 긴 변 방향으로 연장되고, 가로 방향, 즉 짧은 변 방향으로 병렬로 배치되어 있다. 이에 반해, 검출 전극(RL(0) 내지 RL(p))은 도 4의 (B)에 도시한 바와 같이, CF 유리 기관(400)에 설치되고, 공통 전극(TL(0) 내지 TL(p))과 교차하도록 배치되어 있다. 즉, 도 4의 (B)에서, 가로 방향(짧은 변)으로 연장되고, 세로 방향(긴 변)으로 병렬적으로 배치되어 있다. 이 검출 전극(RL(0) 내지 RL(p)) 각각으로부터의 검출 신호(Rx(0) 내지 Rx(p))는 터치 제어 장치(7)에 공급된다.

[0060] 평면에서 본 경우, 도 3의 (A)에 도시한 바와 같이, 신호선(SL(0) 내지 SL(p))과 공통 전극(TL(0) 내지 TL(p))은 평행하게 연장되어 있다고 간주할 수 있다. 또한, 「평행」이란, 서로 일단부에서 타단부에 이를 때까지 교차되지 않고 연장되는 것을 말하는 것이며, 한쪽의 선의 일부 또는 전부가 다른 쪽의 선에 대하여 기울어진 상태로 형성되어 있다고 해도, 이들 선이 일단부에서부터 타단부까지 교차되는 것이 아니면, 이 상태를 「평행」이라 한다.

[0061] 또한, 신호선 셀렉터(6) 및 표시 제어 장치(5)를 기점으로 해서, 공통 전극(TL(0) 내지 TL(p))의 배치를 파악한 경우, 공통 전극(TL(0) 내지 TL(p)) 각각은, 기점인 신호선 셀렉터(6) 및 표시 제어 장치(5)로부터 멀어지는 방향으로 연장되어 있다고 간주할 수 있다. 이 경우, 신호선(SL(0) 내지 SL(p))도, 기점인 신호선 셀렉터(6) 및 표시 제어 장치(5)로부터 멀어지는 방향으로 연장되어 있다고 간주할 수 있다.

[0062] 또한, 도 4의 (A)에서는, 도 3의 (B)에 나타난 신호선 및 화소 전극(LDP)은 생략되어 있다.

[0063] <모듈의 전체 구성>

[0064] 여기에서는, 실시 형태 1에 관한 2종류의 전체 구성을 설명한다.

[0065] <<모듈의 전체 구성 1>>

[0066] 도 5는, 제1번째의 모듈의 전체 구성을 나타내는 모식적인 평면도이며, 터치 검출 기능을 구비한 액정 표시 장치(1)를 실장한 모듈(500)의 전체 구성을 나타내고 있다. 모식적이긴 하지만, 도 5는, 실제의 배치에 맞춰서 그려져 있다. 동도에서, 501은, 도 3에서 설명한 TFT 기관(300)에서의 영역을 나타내고 있고, 502는, 도 4에서 설명한 TFT 기관(300)과 CF 유리 기관(400)을 갖는 영역을 나타내고 있다. 모듈(500)에 있어서, TFT 기관(300)은 일체로 되어 있다. 즉, 영역(501)과 영역(502)에 있어서, TFT 기관(300)은 공통이고, 영역(502)에는, 도 4에 도시한 바와 같이, TFT 기관(300)의 상방면에, CF 유리 기관(400), 검출 전극(RL(0) 내지 RL(p)) 및 편광판(401) 등이 또한 형성되어 있다.

[0067] 이 영역(502)에는, 모듈(500)의 긴 변 방향을 따라, 도 1에 도시한 게이트 드라이버(8)가 실장되어 있다. 이 실시 형태에서는, 복수의 공통 전극(TL(0) 내지 TL(p))을 사이에 끼운 상태에서, 모듈(500)의 2개의 긴 변 방향을 따라서 게이트 드라이버(8)가 실장되어 있다. 이 경우, 도 1에서 설명한 주사선은, 모듈의 짧은 변 방향을 따라서 연장되고, 긴 변 방향으로 병렬로 배치되어 있고, 게이트 드라이버(8)에 접속되어 있다. 또한, 영역(502)에는, 앞서 설명한 신호선 셀렉터(6)가 실장되어 있다. 이 실시 형태 1에서는, 신호선 셀렉터(6)는, 모듈(500)의 짧은 변을 따라 연장되도록 실장되어 있다.

[0068] 한편, 영역(501)에는, 표시 제어 장치(5)가 실장되어 있다. 표시 제어 장치(5)는, 이 실시 형태 1에서는, 반도체 집적 회로 장치(이하, 반도체 장치라고도 함)와, 복수의 전자 부품을 포함하고 있다. 전자 부품으로서, 전계 효과형 트랜지스터(이하, MOSFET라고 함)가 포함되어 있다. 복수의 MOSFET는, TFT 기관(300)에 형성되어 있다. 이 실시 형태 1에서는, 복수의 MOSFET는, 표시 제어 장치(5)를 구성하는 반도체 장치에 의해 덮이는 TFT 기관(300)의 영역에 형성되어 있다. 특별히 제한되지 않지만, 반도체 장치에 의해 덮인 복수의 MOSFET에 의해, 구동 전극 드라이버(12)(도 1)가 구성되어 있고, 반도체 장치가, 도 1에 도시한 제어부(9) 및 신호선 드라이버(11)(도 1)를 갖고 있다.

[0069] 도 5에서는, 복수의 MOSFET를 포함하는 구동 전극 드라이버(12)가, 전극 구동 회로(제2 전극 구동 회로)(CGW-D)로서 도시되어 있고, 전극 구동 회로(제2 전극 구동 회로)(CGW-D)를 덮도록 실장된 반도체 장치가, DDIC로서

도시되어 있다. 반도체 장치(DDIC)는, 신호선(SL(0) 내지 SL(p))을 구동하기 때문에, 이하, 드라이버용 반도체 장치라고 칭한다. 이 실시 형태 1에서는, 특별히 제한되지 않지만, 드라이버용 반도체 장치(DDIC)는, 1개이며, 이 드라이버용 반도체 장치(DDIC)가, 도 1에 도시한 신호선 드라이버(11) 및 제어부(9)를 갖고 있다. 이 실시 형태 1에서는, 1개의 드라이버용 반도체 장치(DDIC)와, 드라이버용 반도체 장치(DDIC)와 TFT 기판(300)과의 사이에 끼워져서 형성된 MOSFET를 포함하는 전극 구동 회로(CGW)와, 나중에 설명하는 전극 구동 회로(제1 전극 구동 회로)(CGW-U)에 의해, 도 1에 도시한 표시 제어 장치(5)가 구성되어 있다. 그러나, 드라이버용 반도체 장치(DDIC)는, 도 1에 도시한 신호선 드라이버(11)만을 갖고, 별도의 반도체 장치가 도 1에 도시한 제어부(9)를 갖도록 해도 된다.

[0070] 드라이버용 반도체 장치(DDIC)에 있어서의 신호선 드라이버(12)(도 1)의 출력은, 신호선 셀렉터(6)를 통해서, 도시되어 있지 않은 신호선(SL(0) 내지 SL(p))에 공급된다. 또한, 전극 구동 회로(CGW-D)의 출력, 즉 구동 전극 드라이버(12)의 출력은, 공통 전극(TL(0) 내지 TL(p))에 공급된다.

[0071] 특별히 제한되지 않지만, 전극 구동 회로(CGW-D)의 출력은, 신호선 셀렉터(6)에도 공급하도록 하고, 터치 검출 기간에 있어서는, 신호선(SL(i))에도 구동 신호를 공급하도록 해도 된다. 이 경우, 터치 검출 기간에 있어서, 신호선(SL(i))과 공통 전극(TL(i))이 전기적으로 병렬로 접속하도록 구성한다. 이에 의해, 터치 검출 기간에 있어서, 공통 전극(TL(i))의 임피던스를 저감하는 것이 가능하게 되고, 구동 신호의 전달 지연을 저감하는 것이 가능하게 된다. 또한, 도 5에서는, 생략되어 있지만, 드라이버용 반도체 장치(DDIC)는, 타이밍 신호를 게이트 드라이버(8)에 공급한다. 게이트 드라이버(8)는, 공급된 타이밍 신호에 따라, 주사 신호(Vs0 내지 Vsp)를 형성하여, 도시하지 않은 주사선에 공급한다.

[0072] 도 4에서 설명한 검출 전극(RL(0) 내지 RL(p))은, 모듈(500)의 긴 변과 표시 패널(2)의 긴 변과의 사이에 배치된 배선을 통해서, 플렉시블 케이블(FB1)에 접속되어 있다. 당해 플렉시블 케이블(FB1)에는, 도 1에서 설명한 터치 제어 장치(7)가 실장되어 있고, 플렉시블 케이블(FB1) 내의 배선을 통해서, 터치 제어 장치(7)에 검출 전극(RL(0) 내지 RL(p))에 있어서의 검출 신호(Rx(0) 내지 Rx(p))가 공급된다. 또한, 영역(501)에는, 플렉시블 케이블(FB2)이 접속되어 있고, 드라이버용 반도체 장치(DDIC) 및 전극 구동 회로(CGW-D)의 단자는 플렉시블 케이블(FB2) 내의 배선에 접속되어 있다.

[0073] 또한, 플렉시블 케이블(FB2)에는, 커넥터(CN)가 실장되어 있다. 이 커넥터(CN)를 통해서, 플렉시블 케이블(FB1)과 FB2는 전기적으로 접속되어 있다. 이 커넥터(CN)를 통해서, 드라이버용 반도체 장치(DDIC) 및 전극 구동 회로(CGW-D)와 터치 제어 장치(7)와의 사이에서 복수의 신호의 송수신이 행하여진다. 특별히 제한되지 않지만, 이 실시 형태 1에서는, 터치 제어 장치(7)는, 1개의 반도체 장치를 포함하고 있다. 드라이버용 반도체 장치와 구별하기 위해서, 여기에서는, 터치 제어 장치(7)를 구성하는 반도체 장치를 터치용 반도체 장치(7)라고 칭한다.

[0074] 도 5에는, 드라이버용 반도체 장치(DDIC) 및 전극 구동 회로(CGW-D)와 터치용 반도체 장치(7)와의 사이에서 송수신되는 복수의 신호 중, 터치-표시 동기 신호(TSHD)와, 구동 신호(ExVCOM)만이 도시되어 있다. 터치-표시 동기 신호(TSHD)는, 도 1에서 설명한 바와 같이, 표시 기간과 터치 검출 기간을 식별하는 제어 신호이다. 구동 신호(ExVCOM)는, 도 1에는 도시되어 있지 않지만, 터치 검출 기간에 있어서, 주기적으로 전압이 변화하는 펄스 신호이다. 이 펄스 신호인 구동 신호(ExVCOM)는, 터치 검출 기간에 있어서, 터치를 검출하도록 선택된 공통 전극(TL(i))에 구동 신호(Tx(i))로서 공급된다.

[0075] 상기한 바와 같이, 터치 검출 기간에 있어서는, 선택된 공통 전극(TL(i))에, 펄스 신호인 구동 신호(Tx(i))가 공급되지만, 표시 기간에 있어서는, 선택되는 공통 전극 또는 모든 공통 전극(TL(0) 내지 TL(p))에, 소정의 전압을 갖는 구동 신호가 공급된다. 이때의 구동 신호는, 표시용의 구동 신호이며, 소정의 전압, 예를 들어 접지 전압(Vs)을 갖고 있어도 된다. 즉, 터치 검출 기간과는 달리, 표시 기간에 있어서는, 펄스 신호가 아니라, 직류 전압이 구동 신호로서, 공통 전극(TL(0) 내지 TL(p))에 공급되어도 된다.

[0076] 도 5에 도시한 모듈(500)에 있어서는, 표시 패널(2)의 2개의 짧은 변(2-D, 2-U) 각각을 따라, 전극 구동 회로가 배치되어 있다. 즉, 모듈(500)은, 표시 패널(2)의 한쪽의 짧은 변(2-U)을 따라 배치된 전극 구동 회로(제1 전극 구동 회로)(CGW-U)와, 표시 패널(2)의 다른 쪽 짧은 변(2-D)을 따라 배치된 전극 구동 회로(제2 전극 구동 회로)(CGW-D)를 구비하고 있다. 도 5에서는, 표시 패널(2)의 한쪽의 짧은 변(2-D)을 따라 배치된 전극 구동 회로(CGW-D)는, 드라이버용 반도체 장치(DDIC)에 의해 덮여 있다. 또한, 표시 패널(2)의 다른 쪽 짧은 변(2-U)을 따라 배치된 전극 구동 회로(CGW-U)는, 표시 패널(2)의 다른 쪽 짧은 변(2-U)과 모듈(500)의 짧은 변(500-U)과의 사이에 형성되어 있다. 특별히 제한되지 않지만, 전극 구동 회로(CGW-U)도, TFT 기판(300)에 형성된 MOSFET

를 포함하고 있다.

[0077] 이렇게 배치함으로써, 전극 구동 회로(CGW-U, CGW-D)는, 세로 방향(열 방향)으로, 표시 패널(2)을 사이에 끼우게 된다. 이에 의해, 세로 방향(열 방향)으로 연장되는 공통 전극(TL(0) 내지 TL(p))의 각각의 한쪽의 단부에는, 전극 구동 회로(CGW-D)로부터 구동 신호(Tx(i))가 공급되고, 공통 전극(TL(0) 내지 TL(p))의 각각의 다른 쪽의 단부에는, 전극 구동 회로(CGW-U)로부터 구동 신호(Tx(i))가 공급되게 된다. 터치 검출 기간에 있어서, 공통 전극(TL(i))의 양단부로부터 구동 신호(Tx(i))가 공급되는 것이기 때문에, 전극 구동 회로(CGW-D, CGW-U)의 각각의 구동 능력은 비교적 작아도, 소정의 시간에서, 공통 전극(TL(i))의 전압을 주기적으로 변화시키는 것이 가능하게 된다. 구동 능력을 비교적 작게 할 수 있기 때문에, 전극 구동 회로(CGW-D, CGW-U)를 구성하는 MOSFET의 소형화를 도모하는 것이 가능하게 되고, 각각에 의해 점유되는 영역을 작게 하는 것이 가능하게 된다.

[0078] 액정 표시 장치(1)의 세로 프레임의 크기는, 모듈(500)의 변(예를 들어, 500-D, 500-U)과 표시 패널(2)의 변(예를 들어, 2-D, 2-U)과의 사이의 영역의 크기에 의존한다. 세로 프레임의 프레임폭 협소화를 위해서, 드라이버용 반도체 장치(DDIC)의 짧은 변(DDL)은, 짧게 된다. 전극 구동 회로(CGW-D)에 의해 점유되는 영역을 작게 하는 것이 가능하기 때문에, 드라이버용 반도체 장치(DDIC)에 의해 전극 구동 회로(CGW-D)를 덮는 상태를 유지하면서, 세로 프레임의 프레임폭 협소화를 도모하는 것이 가능하게 된다. 또한, 전극 구동 회로(CGW-U)도, 작은 영역에 형성하는 것이 가능하기 때문에, 모듈(500)의 짧은 변(500-U)과 표시 패널(2)의 짧은 변(2-U)과의 사이의 간격이 커지는 것을 억제하는 것이 가능하게 된다. 이에 의해, 세로 프레임의 프레임폭 협소화가 가능한 액정 표시 장치(1)를 제공하는 것이 가능하게 된다.

[0079] 또한, 액정 표시 장치(1)의 가로 프레임의 크기는, 모듈(500)의 변(예를 들어, 500-L, 500-R)과 표시 패널(2)의 변(예를 들어, 2-L, 2-R)과의 사이의 영역의 크기에 의존한다. 실시 형태에서는, 신호선(SL(0) 내지 SL(p))과 평행하게 공통 전극(TL(0) 내지 TL(p))이 배치되고, 표시 기간 및 터치 검출 기간에 있어서 공통 전극에 구동 신호를 공급하는 전극 구동 회로(CGW-U 및 CGW-D)가, 표시 패널(2)의 변(2-U 및 2-D)을 따라 배치되어 있다. 즉, 도 5에서, 표시 패널(2)의 상하에, 전극 구동 회로(CGW-U 및 CGW-D)가 배치되어 있다. 이에 의해, 모듈(500)의 변(예를 들어, 500-L, 500-R)과 표시 패널(2)의 변(예를 들어, 2-L, 2-R)과의 사이의 영역을 작게 하는 것이 가능하게 되어, 가로 프레임의 프레임폭 협소화를 도모하는 것이 가능하다.

[0080] 이에 의해, 프레임폭 협소화가 가능한 액정 표시 장치(1)를 제공하는 것이 가능하게 된다.

[0081] 도 5에 있어서, 503은, 신호 배선을 나타내고 있다. 신호 배선(503)은, 표시 패널(2)을 둘러싸도록 배치되어 있고, 터치용 반도체 장치(7)에 의해 형성된 구동 신호(ExVCOM)가 공급된다. 전극 구동 회로(CGW-D, CGW-U) 각각은, 신호 배선(503)에 접속되고, 신호 배선(503)을 전달하는 구동 신호(ExVCOM)를, 터치를 검출하도록 선택된 공통 전극(TL(i))에 공급한다.

[0082] 특별히 제한되지 않지만, 전극 구동 회로(CGW-D, CGW-U) 각각은, 공통 전극(TL(0) 내지 TL(p)) 각각에 대응한 스위치 MOSFET(도시하지 않음)를 갖는다. 전극 구동 회로(CGW-D)에 포함되어 있는 스위치 MOSFET의 각각의 소스(또는 드레인)는 신호 배선(503)에 접속되고, 각각의 드레인(또는 소스)은, 대응하는 공통 전극(TL(i))의 한쪽의 단부에 접속된다. 터치 검출 기간에 있어서, 구동 신호가 공급되도록 선택된 공통 전극에 그 드레인(또는 소스)이 접속된 스위치 MOSFET를, 도통 상태로 한다. 마찬가지로, 전극 구동 회로(CGW-U) 내의 스위치 MOSFET의 각각의 소스(또는 드레인)도, 신호 배선(503)에 접속되고, 각각의 드레인(또는 소스)은, 대응하는 공통 전극(TL(i))의 다른 쪽의 단부에 접속된다. 전극 구동 회로(CGW-U)에 있어서도, 터치 검출 기간에 있어서, 선택된 공통 전극에 그 드레인(또는 소스)이 접속된 스위치 MOSFET를, 도통 상태로 한다.

[0083] 이에 의해, 터치 검출 기간에 있어서, 구동 신호가 공급되도록 선택된 공통 전극(TL(i))은, 신호 배선(503)에 전기적으로 접속되게 된다. 그 결과, 터치용 반도체 장치(7)로부터 신호 배선(503)에 전달된 클럭 신호인 구동 신호(ExVCOM)는, 신호 배선(503)을 통해서, 선택된 공통 전극(TL(i))의 양단부에 전달되게 된다. 공통 전극(TL(i))의 전압이, 구동 신호(ExVCOM)의 전압 변화에 따라서 변화함으로써, 앞서 도 2에서 설명한 바와 같이, 선택된 공통 전극(TL(i))의 근방이 터치되어 있는지 여부를 검출하는 것이 가능하게 된다.

[0084] 특별히 제한되지 않지만, 드라이버용 반도체 장치(DDIC)는, Chip On Glass(COG)로서 형성한다. 또한, 신호선 셀렉터(6) 및 게이트 드라이버(8) 각각도, 반도체 장치를 포함해도 된다. 이 경우도, 이 반도체 장치는, COG로서 형성해도 된다. 도 5에서, 액정 패널(2)의 4변에 나타난 R, G, B는, 1개의 화소를 구성하는 부화소를 나타내고 있다.

[0085] 도 5에서는, 신호 배선(503)에 터치용 반도체 장치(7)에 의해 형성된 구동 신호(ExVCOM)를 공급하는 예를 설명

했지만, 이것에 한정되지 않는다. 예를 들어, 구동 신호(ExVCOM)를 수신하는 드라이브용 반도체 장치(DDIC)에 있어서, 구동 신호(ExVCOM)에 동기한 구동 신호(TSVCOM)(도시하지 않음)를 형성하여, 신호 배선(503) 및 전극 구동 회로(CGW-D)에 공급하도록 해도 된다. 이와 같이 함으로써, 드라이브용 반도체 장치(7)의 구동 능력을 이용하여, 구동 신호(TSVCOM)의 전압 변화의 속도를 향상시키는 것도 가능하게 된다.

[0086] 또한, 구동 신호(ExVCOM)는, 전극 구동 회로(CGW-D, CGW-U) 및 후술하는 신호 배선에 의해 형성해도 된다.

[0087] 상기한 바와 같이, 도 5에 도시한 모듈(500)에 있어서는, 전극 구동 회로(CGW-D, CGW-U)를, 예를 들어 복수의 스위치 MOSFET에 의해 구성하는 것이 가능하다. 그 때문에, 전극 구동 회로(CGW-D, CGW-U)의 구성을 간략화하는 것이 가능하고, 보다 프레임폭 협소화를 도모하는 것이 가능하게 된다.

[0088] <<모듈의 전체 구성 2>>

[0089] 도 6은, 제2번째의 모듈의 전체 구성을 나타내는 모식적인 평면도이며, 터치 검출 기능을 구비한 액정 표시 장치(1)를 실장한 모듈(600)의 전체 구성을 나타내고 있다. 모식적이긴 하지만, 도 6도, 실제의 배치에 맞춰서 그려져 있다. 또한, 도 6은, 도 1에서 설명한 액정 표시 장치(1)에 관한 모듈의 구성을 나타내고 있다.

[0090] 도 6에 나타내는 모듈(600)의 구성은, 도 5에 도시한 모듈(500)의 구성과 유사하다. 그 때문에, 여기서는, 상위점을 주로 설명한다. 모듈(600)도, 도 5에 도시한 플렉시블 케이블(FB1, FB2), 터치용 반도체 장치(7), 커넥터(CN) 및 터치-표시 동기 신호(TSHD)를 갖고 있지만, 도 6에서는, 생략되어 있다. 예를 들어, 플렉시블 케이블(FB1)은, 도 6에서 604로서 나타낸 단자 군에 전기적으로 접속된다. 플렉시블 케이블(FB1)이 단자 군(604)에 접속됨으로써, 터치용 반도체 장치(7)와 드라이브용 반도체 장치(DDIC) 및 전극 구동 회로(CGW1, CGW2)와의 사이에서 신호의 송수신이 행하여진다. 또한, 도 6에서는, 드라이브용 반도체 장치(DDIC) 및 전극 구동 회로(CGW2)와, 신호 셀렉터(6) 및 공통 전극(TL(0) 내지 TL(p))간을 전기적으로 접속하는 배선이, 배선 패턴(601)으로서 도시되어 있다.

[0091] 도 6에서는, 도 5에 도시한 신호 배선(503)은 설치되어 있지 않고, 전압 배선(605 내지 607)이, 표시 패널(2)을 둘러싸도록 배치되어 있다. 여기서, 전압 배선(605)은, 제1 전압(TPH)이 공급되는 제1 전압 배선이며, 전압 배선(606)은, 제2 전압(VCOMDC1)이 공급되는 제2 전압 배선이다. 또한, 전압 배선(607)은, 제3 전압(VCOMDC2)이 공급되는 제3 전압 배선이다. 특별히 제한되지 않지만, 제1 전압(TPH)은, 예를 들어 0V를 초과하고, 6V 이하의 전압이 된다. 또한, 제1 전압(VCOMDC1) 및 제2 전압(VCOMDC2) 각각은, 서로 동일한 전압으로 되고, 예를 들어 접지 전압(Vs)(0V)이 된다. 제1 전압(TPH)은 단자 군(604) 내의 특정한 전압 단자에 공급되는 전압(Vd)에 기초해서 형성된다. 마찬가지로, 제2 전압(VCOMDC1) 및 제3 전압(VCOMDC2)도, 단자 군(604) 내의 특정한 전압 단자에 공급되는 접지 전압(Vs)에 기초해서 형성된다.

[0092] 도 6에서, 602는, 단자 군(604) 내의 특정한 전압 단자에 공급되는 전압(Vd)을 수전하여, 안정된 제1 전압(TPH)을 형성하는 전압 발생 회로이다. 특별히 제한되지 않지만, 제2 전압(VCOMDC1) 및 제3 전압(VCOMDC2)은, 접지 전압(Vs)이기 때문에, 단자 군(604) 내에서, 접지 전압(Vs)이 공급되는 특정한 전압 단자에, 제2 전압 배선(606) 및 제3 전압 배선(607)은 접속되어 있다. 물론, 안정화된 제2 전압(VCOMDC1) 및 제3 전압(VCOMDC2)을 형성하기 위해서, 전압 발생 회로를 설치하고, 해당 전압 발생 회로로부터 제2 및 제3 전압 배선(606, 607)에 전압을 공급하도록 해도 된다. 도 6에서, 603은, 과전압 보호 회로를 나타내고 있다. 이 과전압 보호 회로(603)는, 예를 들어 전압 발생 회로(602)에, 특정한 전압 단자로부터 과전압이 인가되었을 때, 전압 발생 회로(602) 등을 보호하도록 기능한다.

[0093] 도 6에서, 600-D는, 도 5에 도시한 모듈의 변(500-D)과 마찬가지로, 모듈(600)이 갖는 한 쌍의 서로 대향하는 짧은 변 중 한쪽의 변을 나타내고 있고, 600-U는, 모듈(600)의 한 쌍의 짧은 변 중 다른 쪽의 변을 나타내고 있다.

[0094] 도 5에 도시한 모듈(500)과 마찬가지로, 모듈(600)의 짧은 변 중 한쪽의 변(600-D)과 표시 패널(2)의 짧은 변 중 한쪽의 변(2-D)과의 사이에는, 평면에서 보아, 신호선 셀렉터(6), 드라이브용 반도체 장치(DDIC)가 배치되어 있다. 또한, TFT 기관(300)에 형성된 MOSFET를 포함하는 전극 구동 회로(CGW2)가, 드라이브용 반도체 장치(DDIC)에 의해 덮이도록 배치되어 있다. 또한, 모듈(600)의 다른 쪽 변(600-U)과 표시 패널(2)의 다른 쪽 변(2-U)과의 사이에는, 평면에서 보아, 전극 구동 회로(CGW1)가 배치되어 있다. 이 전극 구동 회로(CGW1)도, TFT 기관(300)에 형성된 MOSFET를 포함하고 있다.

[0095] 도 6에 나타낸 전극 구동 회로(CGW1, CGW2)는, 도 5에서 설명한 전극 구동 회로(CGW-U, CGW-D)와는 상이한 구성을 갖고 있다. 나중에 설명하지만, 전극 구동 회로(CGW1, CGW2)는, 서로 동일한 구성이어도, 상이한 구성이어

도 된다. 여기에서는, 전극 구동 회로(CGW1)와 전극 구동 회로(CGW2)를 구별하기 위해서, 전극 구동 회로(CGW1)를 제1 전극 구동 회로라고 칭하고, 전극 구동 회로(CGW2)를 제2 전극 구동 회로라고도 칭한다.

[0096] 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2) 각각은, 제1 전압 배선(605), 제2 전압 배선(606) 및 제3 전압 배선(607)에 접속되고, 각각에 제1 전압(TPH), 제2 전압(VCOMDC1) 및 제3 전압(VCOMDC2)이, 제1 내지 제3 전압 배선(605 내지 607)을 통해서 공급된다. 나중에 상세하게 설명하지만, 터치 검출 기간에 있어서, 제2 전극 구동 회로(CGW2)는, 터치를 검출하도록 선택된 공통 전극(이하, 선택 공통 전극이라고도 함)(TL(i))의 한 쪽의 단부를, 제1 전압 배선(605)과 제2 전압 배선(606)에 전기적으로 교대로 접속한다. 이에 의해, 선택 공통 전극(TL(i))에는, 주기적으로 제1 전압(TPH)과 제2 전압(VCOMDC1)이 공급된다. 또한, 제1 전극 구동 회로(CGW1)도, 터치 검출 기간에 있어서, 선택 공통 전극(TL(i))의 다른 쪽의 단부를, 제1 전압 배선(605)과 제2 전압 배선(606)에 전기적으로 교대로 접속한다.

[0097] 이 경우, 제1 전극 구동 회로(CGW1)와 제2 전극 구동 회로(CGW2)는, 서로 동기해서 동작한다. 즉, 제1 전극 구동 회로(CGW1)가, 선택 공통 전극(TL(i))을 제1 전압 배선(605)에 접속할 때, 제2 전극 구동 회로(CGW2)도 선택 공통 전극(TL(i))을 제1 전압 배선(605)에 접속한다. 또한, 제1 전극 구동 회로(CGW1)가, 선택 공통 전극(TL(i))을 제2 전압 배선(606)에 접속할 때, 제2 전극 구동 회로(CGW2)도 선택 공통 전극(TL(i))을 제2 전압 배선(606)에 접속한다. 이에 의해, 선택 공통 전극(TL(i))에는, 그 양단부로부터, 제1 전압(TPH)과 제2 전압(VCOMDC1)이, 주기적으로 공급되게 된다. 그 결과, 도 2에서 설명한 바와 같이, 선택 공통 전극의 근방이 터치 되어 있는지 여부의 검출을 행하는 것이 가능하게 된다.

[0098] 도 5에 도시한 모듈(500)에 있어서는, 표시 패널(2)의 한 쌍의 긴 변(2-R, 2-L)과 모듈(500)의 한 쌍의 긴 변(500-R, 500-L)과의 사이의 영역을, 표시 패널(2)의 긴 변을 따라서 신호 배선(503)이 연장된다. 한편, 선택 공통 전극(TL(i))에 구동 신호(Tx(i))를 공급했을 때 발생하는 검출 신호(Rx(0) 내지 Rx(p))를 전달하는 검출 전극(RL(0) 내지 RL(p))은, 공통 전극(TL(0) 내지 TL(p))과 교차하도록 배치되어 있다. 그 때문에, 신호 배선(503)과 검출 전극(RL(0) 내지 RL(p))이 교차하여, 신호 배선(503)과 검출 전극(RL(0) 내지 RL(p)) 각각과의 사이가 기생 용량에 의해 결합될 가능성이 있다. 신호 배선(503)을 전달하는 구동 신호(ExVCOM)는, 선택 공통 전극(TL(i))의 전압을, 소정의 시간에서 변화시키는 것이 가능하게 되도록 구동 능력을 높이는 것을 생각할 수 있다. 그 때문에, 기생 용량에 의한 결합을 통해서, 구동 신호(ExVCOM)의 전압 변화가, 검출 전극(RL(0) 내지 RL(p))에 전달되는 것을 생각할 수 있다. 즉, 구동 신호(ExVCOM)의 전압 변화가, 검출 신호(Rx(0) 내지 Rx(p))에 노이즈로서 나타나, 검출 정밀도가 저하될 것이 우려된다.

[0099] 이에 반해, 도 6에 나타난 모듈(600)에 있어서는, 선택 공통 전극(TL(i))에 있어서의 전압을 변화시키기 위해서, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2) 각각이, 제1 전압 배선(605)과 제2 전압 배선(606)을, 교대로 선택 공통 전극(TL(i))에 접속하면 된다. 그 때문에, 모듈(600)의 긴 변(600-R, 600-L)과 표시 패널(2)의 긴 변(2-R, 2-L)과의 사이의 영역에, 표시 패널(2)의 긴 변을 따라서, 구동 능력을 높인 구동 신호를 전달하는 신호 배선을 연장시킬 필요가 없다. 즉, 표시 패널(2)의 긴 변을 따라서, 제1 내지 제3 전압 배선(605 내지 607)을 연장시키면 된다. 이에 의해, 터치 검출 기간에 있어서, 검출 신호(Rx(0) 내지 Rx(p))에 노이즈가 실리는 것을 방지하는 것이 가능하게 된다.

[0100] 물론, 도 6에 나타난 모듈(600)에 있어서도, 선택 공통 전극(TL(i))은, 그 양단부에, 구동 신호, 즉 교대로 변화하는 제1 전압(TPH)과 제2 전압(VCOMDC1)이 공급되기 때문에, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2) 각각을 구성하는 MOSFET의 사이즈를 크게 하지 않아도, 소정의 시간에서, 선택 공통 전극(TL(i))에 있어서의 전압을 변화시키는 것이 가능하게 된다. 이에 의해, 도 5에 도시한 모듈(500)과 마찬가지로, 프레임폭 협소화를 도모하는 것이 가능하게 된다.

[0101] 또한, 도 6에 나타난 모듈(600)에 있어서는, 터치 검출 기간에 있어서, 주기적으로 전압이 변화하는 구동 신호가 공급되지 않는, 즉 비선택의 공통 전극(이하, 비선택 공통 전극이라고도 함)(TL(m))에 대하여 소정의 전압이, 제1 전극 구동 회로(CGW1) 및/또는 제2 전극 구동 회로(CGW2)로부터 공급된다. 이 경우, 소정의 전압은, 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC1) 또는 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)이 사용된다.

[0102] 표시 기간에 있어서, 주사 신호(Vs0 내지 Vsp)를 전달하는 주사선(GL(0) 내지 GL(p))은, 공통 전극(TL(0) 내지 TL(p))과 교차하도록 배치되어 있다. 그 때문에, 주사선(GL(0) 내지 GL(p))과 공통 전극(TL(0) 내지 TL(p))과의 사이에는 기생 용량이 형성되게 된다. 터치 검출 기간에 있어서, 선택 공통 전극(TL(i))에 있어서의 전압이 변화하면, 이 선택 공통 전극(TL(i))과 교차하는 주사선(GL(i))과의 사이의 기생 용량을 통해서, 주사선(GL

(i))의 전압이 변화한다. 즉, 주사선(GL(i))에 노이즈가 실린다. 주사선(GL(i))에 실린 노이즈는, 게이트 드라이버(8)의 전원 배선에 전달되고, 또한 다른 주사선(GL(n))에 전달된다. 비선택 공통 전극(TL(m))이 플로팅 상태, 즉, 전압이 공급되지 않은 상태의 경우, 다른 주사선(GL(n))과 비선택 공통 전극(TL(m))과의 사이의 기생 용량을 통해서, 다른 주사선(GL(n))에 있어서의 노이즈가, 비선택 공통 전극(TL(m))에 전달되고, 비선택 공통 전극(TL(m))의 전압이 변화한다. 비선택 공통 전극(TL(m))의 전압이 변화함으로써, 검출 전극(RL(0) 내지 RL(p))에 있어서의 검출 신호(Rx(0) 내지 Rx(p))에 노이즈가 실리게 되어, 검출 정밀도의 저하가 우려된다.

[0103] 이에 반해, 터치 검출 기간에 있어서, 비선택 공통 전극(TL(m))에 대하여 제2 전압(VCOMDC1) 또는 제3 전압(VCOMDC2)을 공급함으로써, 주사선(GL(n))에 있어서의 노이즈에 의해, 비선택 공통 전극(TL(m))의 전압이 변화하는 것을 방지하는 것이 가능하게 되고, 검출 정밀도의 저하를 방지하는 것이 가능하게 된다.

[0104] 터치 검출 기간에 있어서, 비선택 공통 전극(TL(m))에 공급되는 전압으로서는, 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)으로 하는 것이 바람직하다. 이것은, 터치 검출 기간에 있어서, 제2 전압 배선(606)은, 주기적으로 선택 공통 전극(TL(i))에 접속되기 때문에, 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC1)은, 변동될 것으로 생각된다. 제2 전압(VCOMDC1)을 비선택 공통 전극(TL(m))에 공급하면, 제2 전압(VCOMDC1)의 변동에 의해, 비선택 공통 전극(TL(m))의 전압도 변화하여, 검출 정밀도가 저하되는 것이 우려된다. 그 때문에, 제2 전압 배선(606)과는 상이한 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)을, 터치 검출 기간에 있어서, 비선택 공통 전극(TL(m))에 공급하는 것이 바람직하다.

[0105] <액정 소자 배열>

[0106] 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)의 구성을 설명하기 전에, 표시 패널(2)의 구성을 설명한다.

[0107] 도 7은, 표시 패널(2)의 회로 구성을 도시하는 회로도이다. 동도에서, 일점 쇄선으로 나타난 복수개의 SPix 각각은, 1개의 액정 표시 소자를 나타내고 있다. 액정 표시 소자(SPix)는, 액정 패널(2)에 있어서, 행렬 형상으로 배치되고, 액정 소자 배열(LCD)을 구성하고 있다. 액정 소자 배열(LCD)은, 각 행에 배치되고, 행 방향으로 연장되는 복수의 주사선(GL(0) 내지 GL(p))과, 각 열에 배치되고, 열 방향으로 연장되는 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B) 내지 SL(p)p(R), SL(p)p(G), SL(p)p(B))을 구비하고 있다. 또한, 액정 소자 배열(LCD)은, 각 열에 배치되고, 열 방향으로 연장되는 공통 전극(TL(0) 내지 TL(p))을 갖고 있다. 도 7에는, 주사선(GL(0) 내지 GL(2))과, 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B) 내지 SL(1)0(R), SL(1)0(G), SL(1)0(B))과, 공통 전극(TL(0), TL(1))에 관한 액정 소자 배열의 부분이 도시되어 있다.

[0108] 도 7에서는, 설명을 용이하게 하기 위해서, 공통 전극(TL(0), TL(1))이, 각각의 열에 배치되어 있도록 도시되어 있지만, 도 3의 (A) 및 (B)에서 설명한 바와 같이, 복수의 신호선에 대하여 1개의 공통 전극이 배치되어 있는 것이라고 이해하기 바란다. 물론, 도 7에 도시한 바와 같이, 액정 소자 배열(LCD)의 각각의 열에 공통 전극을 배치해도 된다. 어느 것에서든, 공통 전극(TL(0) 내지 TL(p)) 각각은, 신호선과 평행하게, 액정 소자 배열(LCD)의 열에 배치되어 있다.

[0109] 액정 소자 배열(LCD)의 행과 열의 교점에 배치된 각각의 액정 표시 소자(SPix)는, TFT 유리 기판(300)에 형성된 박막 트랜지스터(Tr)와, 박막 트랜지스터(Tr)의 소스에 한쪽의 단자가 접속된 액정 소자(LC)를 구비하고 있다. 액정 소자 배열(LCD)에 있어서, 동일한 행에 배치된 복수의 액정 표시 소자(SPix)의 박막 트랜지스터(Tr)의 게이트는, 동일한 행에 배치되어 있는 주사선에 접속되고, 동일한 열에 배치된 복수의 액정 표시 소자(SPix)의 박막 트랜지스터(Tr)의 드레인, 동일한 열에 배치된 신호선에 접속되어 있다. 바꿔 말하면, 복수의 액정 표시 소자(SPix)가, 행렬 형상으로 배치되고, 각 행에는, 주사선이 배치되고, 주사선에는, 대응하는 행에 배치된 복수의 액정 표시 소자(SPix)가 접속되어 있다. 또한, 각 열에는 신호선이 배치되고, 신호선에는, 대응하는 열에 배치된 액정 표시 소자(SPix)가 접속되어 있다. 또한, 동일한 열에 배치된 복수의 액정 표시 소자(SPix)의 액정 소자(LC)의 타단부는, 열에 배치된 공통 전극에 접속되어 있다.

[0110] 도 7에 나타난 예로 설명하면, 동도에서, 최상단의 행에 배치된 복수의 액정 표시 소자(SPix)의 각각의 박막 트랜지스터(Tr)의 게이트는, 최상단의 행에 배치된 주사선(GL(0))에 접속되어 있다. 또한, 동도에서, 가장 좌측의 열에 배치된 복수의 액정 표시 소자(SPix)의 각각의 박막 트랜지스터(Tr)의 드레인, 가장 좌측의 열에 배치된 신호선(SL(0)0(R))에 접속되어 있다. 또한, 가장 좌측의 열에 배치된 복수의 액정 표시 소자(SPix)의 각각의 액정 소자의 타단부는, 도 7에서는, 가장 좌측에 배치된 공통 전극(TL(0))에 접속되어 있다. 앞서도 설명한 바와 같이, 1개의 공통 전극이, 복수의 신호선에 대응하고 있다. 그 때문에, 도 7에 나타난 예에서는, 공통

전극(TL(0))은 3열에 대하여 공통의 공통 전극으로 되어 있다고 간주할 수 있다.

- [0111] 1개의 액정 표시 소자(SPix)가, 앞서 설명한 1개의 부화소(서브 화소)에 대응한다. 따라서, 3개의 액정 표시 소자(SPix)에 의해, R, G, B의 3원색의 부화소가 구성된다. 도 7에서는, 동일한 행에, 연속적으로 배치된 3개의 액정 표시 소자(SPix)에 의해, 1개의 화소(Pix)가 형성되고, 당해 화소(Pix)로 컬러가 표현되게 된다. 즉, 도 7에서, 700R로서 나타나 있는 액정 표시 소자(SPix)가, R(적색)의 부화소(SPix(R))가 되고, 700G로서 나타나 있는 액정 표시 소자(SPix)가, G(녹색)의 부화소(SPix(G))가 되고, 700B로서 나타나 있는 액정 표시 소자(SPix)가, B(청색)의 부화소(SPix(B))가 된다. 그 때문에, 700R로서 나타나 있는 부화소(SPix(R))에는, 컬러 필터로서 적색의 컬러 필터(CR)가 설치되어 있고, 700G의 부화소(SPix(G))에는, 컬러 필터로서 청색의 컬러 필터(CG)가 설치되어 있고, 700B의 부화소(SPix(B))에는, 컬러 필터로서 녹색의 컬러 필터(CB)가 설치되어 있다.
- [0112] 또한, 1개의 화소를 나타내는 신호 중, R에 대응하는 화상 신호가, 신호선 셀렉터(6)로부터, 신호선(SL(0)0(R))에 공급되고, G에 대응하는 화상 신호가, 신호선 셀렉터(6)로부터, 신호선(SL(0)0(G))에 공급되고, B에 대응하는 화상 신호가, 신호선 셀렉터(6)로부터, 신호선(SL(0)0(B))에 공급된다.
- [0113] 각 액정 표시 소자(SPix)에 있어서의 박막 트랜지스터(Tr)는, 특별히 제한되지 않지만, N 채널형의 MOSFET이다. 주사선(GL(0) 내지 GL(p))에는, 예를 들어 이 순서대로 순차 하이 레벨이 되는 펄스 형상의 주사 신호(Vs0 내지 Vsp)(도 1)가 게이트 드라이버(8)로부터 공급된다. 즉, 액정 소자 배열(LCD)에 있어서, 상단의 행에 배치된 주사선(GL(0))으로부터 하단의 행에 배치된 주사선(GL(p))을 향해서, 주사선의 전압이, 순차 하이 레벨이 된다. 이에 의해, 액정 소자 배열(LCD)에 있어서, 상단의 행에 배치된 액정 표시 소자(SPix)로부터 하단의 행에 배치된 액정 표시 소자(SPix)를 향해서, 액정 표시 소자(SPix)에 있어서의 박막 트랜지스터(Tr)가, 순차 도통 상태로 된다.
- [0114] 박막 트랜지스터(Tr)가 도통 상태로 됨으로써, 그때 신호선에 공급되어 있는 화소 신호가, 도통 상태의 박막 트랜지스터를 통해서, 액정 소자(LC)에 공급된다. 액정 소자(LC)에 공급된 화소 신호의 값에 따라, 액정 소자(LC)에 있어서의 전계가 변화하고, 그 액정 소자(LC)를 투과하는 광의 변조가 바뀐다. 이에 의해, 주사선(GL(0) 내지 GL(p))에 공급하는 주사 신호(Vs0 내지 Vsp)에 동기하여, 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B) 내지 SL(p)p(R), SL(p)p(G), SL(p)p(B))에 공급한 화상 신호에 따른 컬러 화상이, 액정 패널(2)에 표시되게 된다.
- [0115] 여기서, 도 5 및 도 6에 나타낸 모듈의 배치와, 도 7에 나타낸 회로도와의 대응을 설명해 두면, 다음과 같이 된다.
- [0116] 액정 소자 배열(LCD)은, 그 배열의 행과 실질적으로 평행한 한 쌍의 변과, 그 배열의 열과 실질적으로 평행한 한 쌍의 변을 갖고 있다. 액정 소자 배열(LCD)의 행과 평행한 한 쌍의 변이, 도 5 및 도 6에 나타낸 표시 패널(2)의 짧은 변(2-U, 2-D)에 대응하고, 액정 소자 배열(LCD)의 열과 평행한 한 쌍의 변이, 표시 패널(2)의 긴 변(2-R, 2-L)에 대응한다.
- [0117] 액정 소자 배열(LCD)에 있어서, 행과 평행한 한 쌍의 변 중 한쪽의 변, 즉, 표시 패널(2)의 한쪽의 짧은 변(2-D)을 따라, 도 5 및 도 6에 도시하고 있는 바와 같이, 신호 셀렉터(6), 드라이버용 반도체 장치(DDIC) 및 제2 전극 구동 회로(CGW2)(도 5에서는, 전극 구동 회로(CGW-D))가 배치되어 있다. 액정 소자 배열(LCD)에 있어서는, 이 한쪽 변(표시 패널(2)의 짧은 변(2-D))에 있어서, 신호선 셀렉터(6)를 통해서, 드라이버용 반도체 장치(DDIC) 내의 신호선 드라이버(11)로부터의 화상 신호가, 신호선(SL(0)0(R), SL(0)0(G), SL(0)0(B) 내지 SL(p)p(R), SL(p)p(G), SL(p)p(B))에 공급된다. 또한, 이 한쪽의 변(표시 패널(2)의 변(2-D))에 있어서, 제2 전극 구동 회로(CGW2)(전극 구동 회로(CGW-D))로부터의 구동 신호(Tx(i))가 공통 전극(TL(0) 내지 TL(p))의 한쪽의 단부에 공급된다.
- [0118] 한편, 액정 소자 배열(LCD)에 있어서, 행과 평행한 한 쌍의 변 중 다른 쪽의 변, 즉, 표시 패널(2)의 짧은 변(2-U)을 따라, 제1 전극 구동 회로(CGW1)(도 5에서는, 전극 구동 회로(CGW-U))가 배치되어 있다. 또한, 액정 소자 배열(LCD)의 이 다른 쪽의 변에 있어서, 제1 전극 구동 회로(CGW1)(전극 구동 회로(CGW-U))로부터 구동 신호(Tx(i))가 공통 전극(TL(0) 내지 TL(p))의 다른 쪽의 단부에 공급된다. 도 7을 예로 해서, 바꾸어 말하면, 터치 검출 기간에 있어서는, 상측 및 하측의 양쪽으로부터, 공통 전극(TL(0), TL(1))에 구동 신호(Tx(0), Tx(1))가 공급되게 된다.
- [0119] 또한, 도 6에 나타낸 모듈(600)에 있어서는, 터치 검출 기간에 있어서, 비선택 공통 전극(TL(m))에 대하여 액정 소자 배열(LCD)의 한쪽의 변(변(2-D)에 대응) 및/또는 다른 쪽의 변(변(2-U)에 대응)에 있어서, 제2 전극 구동

회로(CGW2) 및/또는 제1 전극 구동 회로(CGW1)로부터 제3 전압(VCOMDC2)이 공급된다.

- [0120] 1개의 화소를 구성하는 부화소의 수가 3개인 경우를 설명했지만, 이것에 한정되는 것은 아니며, 예를 들어 상기 RGB 외에 백색(W)이나 황색(Y), 또는 RGB의 보색(시안(C), 마젠타(M), 옐로우(Y)) 중 어느 한 색 또는 복수 색을 부가한 부화소로 1개의 화소로 해도 된다.
- [0121] <전극 구동 회로의 개략>
- [0122] 도 8은, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)의 구성을, 개략적으로 도시하는 블록도이다. 도 8의 (A)는 제1 전극 구동 회로(CGW1)의 개략을 나타내고 있고, 도 8의 (B)는 제2 전극 구동 회로(CGW2)의 개략을 나타내고 있다.
- [0123] 도 8의 (A)에서, SC1은 스캔 회로를 나타내고 있고, LG1은 로직 회로를 나타내고 있고, SW1은 스위치 회로를 나타내고 있다. 제1 전극 구동 회로(CGW1)는, 이 스캔 회로(SC1)와 로직 회로(LG1)와 스위치 회로(SW1)를 구비하고 있다.
- [0124] 스캔 회로(SC1)는, 이 실시 형태 1에서는, 시프트 레지스터를 포함하고 있다. 시프트 레지스터는, 복수의 단(USC1(0) 내지 USC1(p))을 갖고 있으며, 각 단은, 서로 동일한 구성으로 되어 있고, 예를 들어 플립플롭 회로를 포함하고 있다. 시프트 클럭 신호인 클럭 신호(SDCK)(도 1)가 변화함으로써, 소정의 단(예를 들어, USC1(n))은 전단(예를 들어, USC1(n-1))의 출력을 도입하여 저장하고, 도입한 전단의 출력에 따른 출력 신호를 형성하여 출력한다. 이 실시 형태 1에서는, 시프트 레지스터의 각 단(USC1(0) 내지 USC1(p))이 공통 전극(TL(0) 내지 TL(p)) 각각에 대응하고 있다. 예를 들어, 단(USC1(0))은 공통 전극(TL(0))에 대응하고, 단(USC(n))은 공통 전극(TL(n))에 대응하고, 단(USC1(p))은 공통 전극(TL(p))에 대응한다.
- [0125] 터치 검출 기간에 있어서, 구동 신호가 공급되도록 선택되는 선택 공통 전극을 지정하는 선택 신호(SDST)(예를 들어, 논리 값 "1")을 시프트 레지스터의 소정의 단, 예를 들어 초단(USC1(0))에 세트한다. 클럭 신호(SDCK)를 변화시킴으로써, 선택 신호(SDST)(논리 값 "1")는 시프트 레지스터를 구성하는 단을 이동한다. 예를 들어, 선택 신호(SDST)(논리 값 "1")는 클럭 신호(SDCK)의 변화에 따라, 단(USC1(0))으로부터 단(USC1(p))을 향해서 순차 이동한다.
- [0126] 스위치 회로(SW1)는, 공통 전극(TL(0) 내지 TL(p)) 각각에 대응한 복수의 제1 단위 스위치 회로(USW1(0) 내지 USW1(p))를 구비하고 있다. 제1 단위 스위치 회로(USW1(0) 내지 USW1(p))는 서로 동일한 구성으로 되어 있고, 도 8의 (A)에는, 공통 전극(TL(0), TL(n) 및 TL(p))에 대응한 제1 단위 스위치 회로(USW1(0), USW1(n) 및 USW1(p))만이 도시되어 있다. 각 제1 단위 스위치 회로(USW1(0) 내지 USW1(p))는 액정 소자 배열(LCD)의 다른 쪽 변(도 6에서는, 2-U)에 있어서, 대응하는 공통 전극(TL(0) 내지 TL(p))에 접속되어 있다. 또한, 실시 형태 1에서는, 각 제1 단위 스위치 회로(SW1(0) 내지 SW1(p))는 제1 내지 제3 전압 배선(605 내지 607)(도 6)에 접속되어 있다.
- [0127] 로직 회로(LG1)도, 복수의 제1 단위 로직 회로(ULG(0) 내지 ULG(p))를 구비하고 있고, 각 제1 단위 로직 회로(ULG1(0) 내지 ULG1(p))는 스캔 회로(SC1)를 구성하는 각 단(USC1(0) 내지 USC1(p)) 각각과 1 대 1로 대응하고 있다. 또한, 각 제1 단위 로직 회로(ULG1(0) 내지 ULG1(p))는 스위치 회로(SW1)를 구성하는 제1 단위 스위치 회로(USW1(0) 내지 USW1(p)) 각각과도 1 대 1로 대응하고 있다. 이 실시 형태 1에서는, 복수의 제1 단위 로직 회로(ULG(0) 내지 ULG(p))도, 서로 동일한 구성으로 되어 있다.
- [0128] 로직 회로(LG1)는, 터치 검출 기간에 있어서, 스캔 회로(SC1)로부터의 출력을 받아, 받은 출력에 기초하여, 대응하는 스위치 회로(SW1)를 제어한다. 즉, 터치 검출 기간에 있어서, 각 제1 단위 로직 회로(ULG1(0) 내지 ULG1(p))는 1 대 1로 대응하는 시프트 레지스터의 단(USC1(0) 내지 USC1(p))의 출력을 받아, 1 대 1로 대응하는 제1 단위 스위치 회로(USW1(0) 내지 USW1(p))를 제어한다. 예를 들어, 제1 단위 로직 회로(ULG1(0))는 1 대 1로 대응하는 단(USC1(0))의 출력을 받아, 단(USC1(0))의 출력에 기초하여, 1 대 1로 대응하는 제1 단위 스위치 회로(SW1(0))를 제어한다. 이하, 마찬가지로, 제1 단위 로직 회로(ULG1(n))는 단(USC1(n))의 출력을 받아, 제1 단위 스위치 회로(USW1(n))를 제어하고, 제1 단위 로직 회로(ULG1(p))는 단(USC1(p))의 출력을 받아, 제1 단위 스위치 회로(USW1(p))를 제어한다.
- [0129] 나중예, 도 11 등을 이용하여, 상세하게 설명하지만, 터치 검출 기간에 있어서, 선택 신호(SDST)(논리 값 "1")의 출력을 받은 제1 단위 로직 회로는, 대응하는 제1 단위 스위치 회로에 대하여 제1 전압 배선(605)에 있어서의 제1 전압(TPH)과 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC1)을 교대로, 대응하는 공통 전극에 공급하도록 제어한다. 한편, 터치 기간에 있어서, 비선택 신호, 즉 논리 값 "0"의 선택 신호(SDST)의 출력을 받은 제

1 단위 로직 회로는, 대응하는 제1 단위 스위치 회로에 대하여 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)을, 대응하는 공통 전극에 공급하도록 제어한다. 이에 의해, 터치 검출 기간에 있어서는, 액정 소자 배열(LCD)의 다른 쪽 변에 있어서, 제1 전극 구동 회로(CGW1)로부터 선택 공통 전극(TL(i))에 대하여 제1 전압(TPH)과 제2 전압(VCOMDC1)이 주기적으로 공급되게 된다. 또한, 비선택 공통 전극(TL(n))에 대해서는, 제3 전압(VCOMDC2)이 공급되게 된다.

[0130] 제1 전극 구동 회로(CGW1)는, 각각 공통 전극(TL(0) 내지 TL(p))에 대응한 복수의 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))를 포함하고 있다고 간주할 수 있다. 이 경우, 터치 검출 기간에 있어서, 공통 전극(TL(0) 내지 TL(p))은, 대응하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))에 의해, 제1 내지 제3 전압 배선 중 어느 하나에 전기적으로 접속되게 된다.

[0131] 도 8의 (B)는 제2 전극 구동 회로(CGW2)의 구성을 개략적으로 도시하는 블록도이다. 제2 전극 구동 회로(CGW2)도, 도 8의 (A)에서 설명한 제1 전극 구동 회로(CGW1)와 마찬가지로, 스캔 회로와 로직 회로와 스위치 회로를 구비하고 있다. 도 8의 (B)에서는, 제2 전극 구동 회로(CGW2)를 구성하는 스캔 회로는 SC2, 로직 회로는 LG2, 스위치 회로는 SW2로서 나타내고 있다. 이 실시 형태 1에서는, 스캔 회로(SC2)는 스캔 회로(SC1)와, 로직 회로(LG2)는 로직 회로(LG1)와, 스위치 회로(SW2)는 스위치 회로(SW1)와 동일한 구성을 갖고 있다.

[0132] 즉, 스캔 회로(SC2)는, 스캔 회로(SC1)와 마찬가지로, 복수의 단(USC2(0) 내지 USC2(p))을 갖는 시프트 레지스터를 포함하고 있고, 특정한 단을 본 경우, 그 단의 전단 선택 신호(SDST)를, 클럭 신호(SDCK)가 변화함으로써 도입하여 저장하고, 도입한 선택 신호에 따른 출력 신호를 출력한다. 특별히 제한되지 않지만, 각 단(USC2(0) 내지 USC2(p))의 구성은, 도 8의 (A)에 나타난 단(USC1(0) 내지 USC1(p))과 동일한 구성을 갖고 있다. 또한, 각 단(USC2(0) 내지 USC2(p))도, 공통 전극(TL(0) 내지 TL(p))에 1 대 1로 대응하고 있다.

[0133] 스위치 회로(SW2)는, 스위치 회로(SW1)와 마찬가지로, 복수의 제2 단위 스위치 회로(USW2(0) 내지 USW2(p))를 구비하고 있다. 제2 단위 스위치 회로(USW2(0) 내지 USW2(p)) 각각은, 공통 전극(TL(0) 내지 TL(p))에 1 대 1로 대응하고 있고, 터치 검출 기간, 액정 소자 배열(LCD)의 한쪽의 변(도 6에서는(2-D))에 있어서, 제1 내지 제3 전압 배선(605 내지 607)중 어느 하나를, 대응하는 공통 전극에 전기적으로 접속한다. 스위치 회로(SW2)를 구성하는 제2 단위 스위치(USW2(0) 내지 USW2(p)) 각각도, 서로 동일한 구성을 갖고 있다.

[0134] 로직 회로(LG2)도, 로직 회로(LG1)와 마찬가지로, 복수의 제2 단위 로직 회로(ULG2(0) 내지 ULG(p))를 포함하고 있다. 제2 단위 로직 회로(ULG2(0) 내지 ULG2(p)) 각각은, 도 8의 (A)에서 설명한 제1 단위 로직 회로와 마찬가지로, 단(USC2(0) 내지 USC2(p)) 및 제2 단위 스위치 회로(USW2(0) 내지 USW2(p)) 각각에 대응하고 있다. 또한, 로직 회로(LG2)를 구성하는 제2 단위 로직 회로(ULG2(0) 내지 ULG2(p)) 각각도 서로 동일한 구성을 갖고 있다.

[0135] 도 8의 (B)에서는, 공통 전극(TL(0) 내지 TL(p)) 중 공통 전극(TL(0), TL(n) 및 TL(p))의 각각 대응하는 단(USC2(0), USC2(n), USC2(p)), 제2 단위 로직 회로(ULG2(0), ULG2(n), ULG2(p)) 및 제2 단위 스위치 회로(USW2(0), USW2(n), USW2(p))만이 도시되어 있다. 또한, 제1 전극 구동 회로(CGW1)와 마찬가지로, 제2 전극 구동 회로(CGW2)는, 공통 전극(TL(0) 내지 TL(p)) 각각에 대응한 복수의 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))를 포함하고 있다고 간주할 수 있다.

[0136] 제2 전극 구동 회로(CGW2)의 동작은, 제1 전극 구동 회로(CGW1)와 마찬가지로, 설명은 생략하지만, 제2 전극 구동 회로(CGW2)는, 제1 전극 구동 회로(CGW1)와 달리, 터치 검출 기간, 액정 소자 배열(LCD)의 한쪽의 변(2-D)에 있어서, 대응하는 공통 전극에 제1 내지 제3 전압 중 어느 하나를 공급한다.

[0137] 이 실시 형태 1에서는, 스캔 회로(SC1)와 스캔 회로(SC2)에 대하여 동일한 클럭 신호(SDCK)가 시프트 클럭 신호로서 부여되고, 또한 동일한 선택 신호(SDST)가 세트된다. 이에 의해, 터치 검출 기간에 있어서, 제1 전극 구동 회로(CGW1)와 제2 전극 구동 회로(CGW2)의 양쪽이, 동일한 공통 전극을 선택 공통 전극으로 하고, 제1 및 제2 전압 배선(605, 606)에 있어서의 전압을 교대로 공급한다. 또한, 이때, 비선택 공통 전극에는, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)의 양쪽으로부터, 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)이 공급되게 된다.

[0138] <표시 패널(2)의 주요부 구성>

[0139] 도 9는, 표시 패널(2)의 주요부의 구성을 모식적으로 도시하는 블록도이다. 동도에는, 신호선 셀렉터(6)의 구성도 모식적으로 도시되어 있다. 도 9에는, 액정 소자 배열(LCD)에 배치된 2행분의 부화소(SPix)와, 부화소(SPix)에 대응하는 2개의 공통 전극(TL(0), TL(1))이 도시되어 있다. 도 8에서, 부화소(SPix) 및 공통 전극

(TL(0), TL(1))의 배치는, 실제의 배치에 맞춰서 그려져 있다.

- [0140] 도 9에서는, 가로 방향(액정 소자 배열(LCD)에 있어서, 행 방향)으로 배치된 4개의 화소에 대하여 1개의 공통 전극이 배치되어 있다. 도 9에 기재되어 있는 「R」, 「G」, 「B」 각각은, 부화소(SP_{ix})를 나타내고 있다. 따라서, 공통 전극(TL(0))은, 도 9에서 좌측으로부터 4조의 「R」, 「G」, 「B」에 대응하고 있고, 동도에서, 세로 방향(액정 소자 배열에 있어서, 열 방향)으로 연장되어 있다. 마찬가지로, 공통 전극(TL(1))은, 도 9에서 우측으로부터 4조의 「R」, 「G」, 「B」에 대응하고 있고, 세로 방향(열 방향)으로 연장되어 있다. 세로 방향으로 연장되는 공통 전극(TL(0) 및 TL(1))의 한쪽의 단부는, 도 8의 (B)에서 설명한 제2 단위 전극 구동 회로(UCGW2(0)) 내의 제2 단위 스위치 회로(USW2(0)) 및 제2 단위 전극 구동 회로(UCGW2(1)) 내의 제2 단위 스위치 회로(USW2(1))에 접속되어 있다. 또한, 공통 전극(TL(0) 및 TL(1))의 다른 쪽의 단부는, 도 8의 (A)에서 설명한 제1 단위 전극 구동 회로(UCGW1(0)) 내의 제1 단위 스위치 회로(USW1(0)) 및 제1 단위 전극 구동 회로(UCGW1(1)) 내의 제1 단위 스위치 회로(USW1(1))에 접속되어 있다.
- [0141] 도 9에서, SP11 내지 SP16은, 드라이버용 반도체 장치(DDIC)의 외부 단자가 접속되는 단자를 나타내고 있다. 여기에서 설명하고 있는 드라이브용 반도체 장치(DDIC)의 외부 단자는, 화상 신호를 출력하는 외부 단자를 나타내고 있다. 도 9에서는, 단자(SP11 내지 SP16)가, 1조로 되고, 1조분의 단자(SP11 내지 SP16)가, 1개의 공통 전극에 대응하고 있다. 그 때문에, 도 9에는, 2조분의 단자(SP11 내지 SP16)가 도시되어 있다. 단자(SP11 내지 SP16)의 조건에서는, 서로 구성은 동일하기 때문에, 1조분에 대해서 설명한다.
- [0142] 신호선 셀렉터(6)는, 단자(SP11 내지 SP16)를 포함하는 조에 대응하는 단위 신호선 셀렉터를 복수 갖고 있다. 각 단위 신호선 셀렉터 각각은, 서로 동일한 구성을 갖고 있다. 여기에서는, 도 9에서 좌측에 나타난 단위 신호선 셀렉터를 예로 해서 설명한다. 단위 신호선 셀렉터는, 복수의 스위치(S11, S12, S21, S22)를 갖고 있으며, 스위치(S21 및 S22)는, 선택선(SEL1)(도 1)에 의해, 서로 동시에 도통/비도통이 되도록 제어된다. 또한, 스위치(S11 및 S12)는, 선택선(SEL2)에 의해, 서로 동시에 도통/비도통이 되도록 제어된다.
- [0143] 단자(SP11 및 SP12)를 예로 해서 설명하면, 선택 신호(SEL1)가 예를 들어 논리 값 "1"로, 선택 신호(SEL2)가 논리 값 "0"으로 되면, 스위치(S21, S22)가 도통 상태로 되고, 스위치(S11, S12)는 비도통 상태로 된다. 이때, 단자(SP11 및 SP12)에 공급되고 있는 화상 신호는, 스위치(S21, S22)를 통해서, 신호선(SL(0)0(R), SL(0)0(G))에 공급된다(도 7 참조). 이에 의해, 「R」 및 「G」에 관한 화상 정보가, 액정 소자에 부여된다.
- [0144] 이어서, 선택 신호(SEL1)의 논리 값이, "0"으로 되고, 선택 신호(SEL2)의 논리 값이 "1"로 되면, 스위치(S11, S12)가 도통 상태로 되고, 스위치(S21, S22)가 비도통 상태로 된다. 이때, 단자(SP11 및 SP12)에 공급되고 있는 화상 신호는, 스위치(S11, S12)를 통해서 신호선(SL(0)0(B), SL(0)1(R))에 공급된다(도 7 참조). 이에 의해, 「B」에 관한 화상 정보가, 액정 소자에 부여됨과 함께, 인접한 화소 내의 액정 소자에, 「R」에 관한 화상 정보가 부여되게 된다. 즉, 선택 신호(SEL1, SEL2)에 의해, 단자(SP11, SP12)에 공급되는 화상 정보를 적절한 신호선에 할당하는 것이 가능하게 된다. 마찬가지로, 나머지 단자(SP13 내지 SP16)에 있어서도, 이 단자에 공급된 화상 정보는, 선택 신호(SEL1, SEL2)에 의해, 적절한 신호선에 할당된다.
- [0145] 또한, 도 9에서는, 도면이 복잡해지는 것을 피하기 위해서, 신호선(SL(0)0(R))은 ※1로서 나타내고, 신호선(SL(0)0(G))은 ※2로서 나타내고, 신호선(SL(0)0(B))은 ※3으로서 나타내고, 신호선(SL(0)1(R))은 ※4로서 나타내고 있다.
- [0146] <터치 검출 기능을 구비한 액정 표시 장치(1)의 구성>
- [0147] 도 10은, 터치 검출 기능을 구비한 액정 표시 장치(1)의 구성을 도시하는 블록도이다. 동도에서, TL(0) 내지 TL(p)은 공통 전극이며, UCGW1(0) 내지 UCGW1(p)은 도 8의 (A)에서 설명한 제1 단위 전극 구동 회로를 나타내고 있다. 또한 UCGW2(0) 내지 UCGW2(p)는 도 8의 (B)에서 설명한 제2 단위 전극 구동 회로를 나타내고 있다. 공통 전극(TL(0) 내지 TL(p)), 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW2(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 배치는, 실제의 배치에 맞춰서 그려져 있다. 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각과, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각은, 대응하는 공통 전극(TL(0) 내지 TL(p))이 연장되는 방향에 있어서, 사이에 두도록 배치되어 있다. 이에 의해, 터치 검출 기간에 있어서는, 선택 공통 전극의 양단부로부터, 제1 및 제2 전압 배선(605, 606)에 있어서의 제1 및 제2 전압(TPH, VCOMDC1)을 교대로 공급하는 것이 가능하게 된다.
- [0148] 특별히 제한되지 않지만, 제1 단위 전극 구동 회로(제2 단위 전극 구동 회로)는, 대응하는 공통 전극에 가까운 순서대로, 제1 단위 스위치 회로(제2 단위 스위치 회로), 제1 단위 로직 회로(제2 단위 로직 회로), 시프트 레

지스터의 단이 배치되어 있다. 도 10에서, 8(0) 내지 8(p)은 게이트 드라이버(8)를 구성하는 단위 게이트 드라이버를 나타내고 있다. 단위 게이트 드라이버((8)(0) 내지 8(p))에는, 특별히 제한되지 않지만, 전압(Vd)과 접지 전압(Vs)이, 공통의 전압 배선을 통해서 급전되고, 전압(Vd)을 동작 전압으로 하여, 표시 기간에 있어서 동작한다. 즉, 표시 기간에 있어서, 드라이버용 반도체 장치(DDIC)로부터 공급되는 타이밍 신호에 따라서 주사 신호를 형성하여, 주사선에 공급한다.

[0149] 또한, 도 10에서는, 동도에서, 좌측에 배치된 단위 게이트 드라이버((8)(0) 내지 8(p))만이 도시되어 있지만, 동도에서 우측에도, 복수의 단위 게이트 드라이버가 배치되어 있다. 즉, 도 10에서는, 도 6에서 표시 패널(2)의 긴 변(2-L)과 모듈(600)의 긴 변(600-L)과의 사이에 연장되는 단위 게이트 드라이버만을 나타내고 있고, 표시 패널(2)의 긴 변(2-R)과 모듈(600)의 긴 변(600-R)과의 사이에 연장되어 있는 단위 게이트 드라이버는 생략하고 있다. 특별히 제한되지 않지만, 좌측에 배치된 단위 게이트 드라이버와 우측에 배치된 단위 게이트 드라이버는, 교대로 배치된 주사선에 주사 신호를 공급한다.

[0150] 또한, 도 10에서, 6(0) 내지 6(p)은, 도 9에서 설명한 단위 신호선 셀렉터를 나타내고 있고, 이 단위 신호선 셀렉터((6)(0) 내지 6(p))에 의해, 신호선 셀렉터(6)가 구성되어 있다. 도 10에서는, 도면이 복잡해지는 것을 피하기 위해서, 신호선 셀렉터에 접속된 신호선에는, 부호는 첨부되어 있지 않지만, 신호선인 것을 명시하기 위해서, 파선으로 나타내고 있다. 마찬가지로, 동도에서는 주사선에도 부호는 첨부되어 있지 않지만, 일점 쇄선으로, 주사선인 것을 명시하고 있다. 또한, 도 2에 도시한 상하 용량 방식으로 터치를 검출하는 경우, 검출 전극이, 공통 전극(TL(0) 내지 TL(p))과 교차하도록 배치되지만, 도 10에서는, 이 검출 전극도 생략되어 있다.

[0151] 동도에서는, 터치용 반도체 장치(DDIC)가, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 하측에 그려지고, 신호 배선(SL)에 의해 터치용 반도체 장치(DDIC)의 단자와 단자(SP11 내지 SP16)가 접속하도록 그려져 있다. 그러나, 표시 패널(2)을 평면에서 보았을 때, 터치용 반도체 장치(DDIC)는, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))를 덮도록 실장되어 있다.

[0152] 이 실시 형태 1에서는, 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))에 있어서의 각 제1 단위 스위치 회로(USW1(0) 내지 USW1(p))는, 제1 전압 배선(605), 제2 전압 배선(606) 및 제3 전압 배선(607)에 접속되어 있다. 마찬가지로, 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 있어서의 각 제2 단위 스위치 회로(USW2(0) 내지 USW2(p))도, 제1 전압 배선(605), 제2 전압 배선(606) 및 제3 전압 배선(607)에 접속되어 있다. 그러나, 제1 단위 스위치 회로(USW1(0) 내지 USW1(p)) 및 제2 단위 스위치 회로(USW2(0) 내지 USW2(p))에 접속되는 전압 배선은, 나중에 설명하는 복수의 실시 형태에서는 변한다. 그 때문에, 이것에 한정되는 것은 아니다.

[0153] 제1 전극 구동 회로(CGW1)에 포함되는 스캔 회로(SC1) 및 제2 전극 구동 회로(CGW2)에 포함되는 스캔 회로(SC2)에는, 터치용 반도체 장치(7)(도 1)로부터, 클럭 신호(SDCK)와 선택 신호(SDST)가 공급된다. 이 실시 형태 1에서는, 특별히 제한되지 않지만, 스캔 회로(SC1)와 스캔 회로(SC2)에 공급되는 클럭 신호(SDCK)와 선택 신호(SDST)는, 서로 동일한 신호가 된다. 이에 의해, 스캔 회로(SC1)와 스캔 회로(SC2)는 동기해서 동작한다.

[0154] 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 로직 회로(ULG1(0) 내지 ULG1(p)) 및 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 로직 회로(ULG2(0) 내지 ULG2(p))에는, 터치용 반도체 장치(7)로부터 제어 신호(ctrsig)가 공급된다. 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)의 구성에는, 이 실시 형태 1 및 뒤에 복수의 실시 형태에서 설명한다. 실시 형태에 의해, 터치용 반도체 장치(7)로부터 제1 단위 로직 회로 및 제2 단위 로직 회로에 공급되는 제어 신호 등이 바뀌기 때문에, 제어 신호(ctrsig)는, 이 제어 신호를 총괄한 제어 신호이다.

[0155] <제1 전극 구동 회로 및 제2 전극 구동 회로>

[0156] 도 8 및 도 10에서 설명한 바와 같이, 제1 전극 구동 회로(CGW1)는, 복수의 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))에 의해 구성되고, 제2 전극 구동 회로(CGW2)는, 복수의 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))를 포함하고 있다.

[0157] 실시 형태 1에서는, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각과, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각이, 동일한 구성으로 되어 있다. 그 때문에, 여기서는, 제1 단위 전극 구동 회로(UCGW1(n))를 대표로 해서, 그 구성을 설명한다.

[0158] 도 11의 (A)는 제1 단위 전극 구동 회로(UCGW1(n))의 구성을 도시하는 블록도이며, 도 11의 (B)는 제1 단위 전

극 구동 회로(UCGW1(n))의 구성을 도시하는 회로도이다.

- [0159] 앞서 설명한 바와 같이, 제1 단위 전극 구동 회로(UCGW1(n))는, 제1 단위 스위치 회로(USW1(n))와, 제1 단위 로직 회로(ULG1(n))와, 단(플립플롭 회로)(USC1(n))을 갖고 있다. 이 실시 형태 1에서는, 도 11의 (A)에 도시한 바와 같이, 제1 단위 스위치 회로(USW1(n))는, 제1 내지 제3 전압 배선(605 내지 607)에 접속되어, 제1 전압(TPH), 제2 전압(VCOMDC1) 및 제3 전압(VCOMDC2)이 공급되고 있다. 또한, 제1 단위 로직 회로(ULG1(n))에는, 제어 신호(ctrsig)로서, 터치 검출 기간에 있어서 전압값이 주기적으로 변화하는 제어 신호(VCOMSEL)가 공급된다. 또한, 표시 기간에 있어서, 제어 신호(VCOMSEL)의 전압은, 로우 레벨이 된다.
- [0160] 또한, 단(USC1(n))에는, 전단(USC1(n-1))으로부터 선택 신호(SDST(n-1))와, 클럭 신호(SDCK)가 공급된다. 단(USC1(n))은, 클럭 신호(SDCK)는 시프트 클럭 신호이며, 그 전압이 변화하면, 선택 신호(SDST)의 논리 값을 도입하여 유지하고, 도입한 선택 신호(SDST)에 따른 출력 신호를 형성하여 출력한다. 단(USC1(n))의 출력은, 선택 신호(SDST(n))로서, 다음의 단(USC1(n+1))에 공급됨과 함께, 스캔 회로(단(USC1(n)))의 출력(SRout(n))으로서, 대응하는 제1 단위 로직 회로(ULG1(n))에 공급된다. 클럭 신호(SDCK)는, 스캔 회로(SC1)를 구성하는 각 단(USC1(0) 내지 USC1(p))에 병렬적으로 공급되고 있다. 그 때문에, 다음에 클럭 신호(SDCK)가 변화했을 때, 다음의 단(USC1(n+1))이, 그 이전에 단(USC1(n))으로부터 출력된 선택 신호(SDST(n))의 논리 값을 도입한다. 이에 의해, 터치의 검출을 지정하는 논리 값 "1"의 선택 신호(SDSK)는, 순차 시프트 레지스터 내를 이동한다.
- [0161] 도 11의 (B)에는, 제1 단위 로직 회로(ULG1(n)) 및 제1 단위 스위치 회로(USW1(n))의 회로 구성이 도시되어 있다. 제1 단위 스위치 회로(ULG1(n))는 N 채널형 MOSFET(이하, N형 MOSFET라고 함)(N1 내지 TN3)와, P 채널형 MOSFET(이하, P형 MOSFET라고 함)(TP1 내지 TP3)를 갖고 있다. 본 명세서에서는, P형 MOSFET는, 그 게이트 전극부에 ○ 표시를 첨부하여, N형 MOSFET와 구별화하고 있다. 또한, N형 MOSFET 및 P형 MOSFET에 관한 설명에 있어서는, 설명을 용이하게 하기 위해서, 소스 및 드레인의 표현을 사용하는데, 소스 및 드레인은, MOSFET의 단자에 있어서의 전압에 따라 결정된다. 그 때문에, 소스 및 드레인은, 설명의 사정상 사용하는 것이며, 이것에 한정되는 것은 아니다.
- [0162] N형 MOSFET(TN1)의 드레인 및 P형 MOSFET(TP1)의 소스는, 제1 전압 배선(605)에 접속되고, N형 MOSFET(TN1)의 소스 및 P형 MOSFET(TP1)의 드레인은 노드(n1)에 접속되어 있다. 즉, N형 MOSFET(TN1)와 P형 MOSFET(TP1)는, 제1 전압 배선(605)과 노드(n1)와의 사이에 병렬 접속되어 있고, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)의 각각의 게이트에 공급되는 스위치 신호에 의해 도통/비도통(온/오프)의 제어가 행하여진다. 바꿔 말하면, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)에 의해, 제1 전압 배선(605)과 노드(n1)와의 사이에 접속된 제1 스위치(TN1, TP1)가 구성되고, 제1 스위치(TN1, TP1)는, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)의 게이트에 공급되는 스위치 신호에 의해, 온/오프가 제어된다.
- [0163] N형 MOSFET(TN2)의 드레인은, 노드(n1)에 접속되고, 그 소스는 제2 전압 배선(606)에 접속되어 있다. 또한, P형 MOSFET(TP2)의 소스는, 노드(n1)에 접속되고, 그 드레인은 제2 전압 배선(606)에 접속되어 있다. 즉, N형 MOSFET(TN2)와 P형 MOSFET(TP2)는, 제2 전압 배선(606)과 노드(n1)와의 사이에 병렬 접속되어 있고, N형 MOSFET(TN2) 및 P형 MOSFET(TP2)의 각각의 게이트에 공급되는 스위치 신호에 의해 도통/비도통(온/오프)의 제어가 행하여진다. 바꿔 말하면, N형 MOSFET(TN2) 및 P형 MOSFET(TP2)에 의해, 제2 전압 배선(606)과 노드(n1)와의 사이에 접속된 제2 스위치(TN2, TP2)가 구성되고, 제2 스위치(TN2, TP2)는, N형 MOSFET(TN2) 및 P형 MOSFET(TP2)의 게이트에 공급되는 스위치 신호에 의해, 온/오프가 제어된다.
- [0164] N형 MOSFET(TN3)의 드레인은, 노드(n1)에 접속되고, 그 소스는 제3 전압 배선(607)에 접속되어 있다. 또한, P형 MOSFET(TP3)의 소스는, 노드(n1)에 접속되고, 그 드레인은 제3 전압 배선(607)에 접속되어 있다. 즉, N형 MOSFET(TN3)와 P형 MOSFET(TP3)는, 제3 전압 배선(607)과 노드(n1)와의 사이에 병렬 접속되어 있고, N형 MOSFET(TN3) 및 P형 MOSFET(TP3)의 각각의 게이트에 공급되는 스위치 신호에 의해 도통/비도통(온/오프)의 제어가 행하여진다. 바꿔 말하면, N형 MOSFET(TN3) 및 P형 MOSFET(TP3)에 의해, 제3 전압 배선(607)과 노드(n1)와의 사이에 접속된 제3 스위치(TN3, TP3)가 구성되고, 제3 스위치(TN3, TP3)는, N형 MOSFET(TN3) 및 P형 MOSFET(TP3)의 게이트에 공급되는 스위치 신호에 의해, 온/오프가 제어된다.
- [0165] 노드(n1)는, 액정 소자 배열(LCD)의 다른 쪽 짧은 변(도 6에서는, 2-U)에 있어서, 대응하는 공통 전극(TL(n))의 다른 쪽의 단부와 전기적으로 접속된다. 이에 의해, 터치 검출 기간에 있어서, 제1 스위치(TN1, TP1)로부터 제3 스위치(TN3, TP3)를 스위치 신호에 의해 제어함으로써, 공통 전극(TL(n))은 제1 내지 제3 스위치(TN1, TP1 내지 TN3, TP3) 중 어느 하나를 통해서, 제1 내지 제3 전압 배선(605 내지 607)에 전기적으로 접속된다. 즉, 터치 검출 기간에 있어서, 공통 전극(TL(n))에는, 제1 전압(TPH), 제2 전압(VCOMDC1) 또는 제3 전압(VCOMDC2)이

공급된다.

- [0166] 제1 단위 로직 회로(ULG1(n))는, 인버터 회로(IV1 내지 IV4), N형 MOSFET(TN4 내지 TN7), P형 MOSFET(TP4 내지 TP7)를 갖고 있다. 인버터(IV1)는, 대응하는 단(USC1(n))으로부터 출력된 출력 신호(SRout(n))를 받아, 위상 반전된 신호를 출력한다. 출력 신호(SRout(n))는 대응하는 단(USC1(n))에 도입되어, 유지되어 있는 선택 신호에 따른 전압값을 갖는다. 단(USC1(n))에 도입된 선택 신호(SDST)는, 대응하는 공통 전극(TL(n))을 선택 공통 전극으로 하는 경우에는, 논리 값 "1"이며, 공통 전극(TL(n))을 비선택 공통 전극으로 하는 경우에는, 논리 값 "0"이다. 도 11의 (B)에서는, 출력 신호(SRout(n))를 인버터 회로(IV1)에 의한 위상 반전시켜 형성한 제어 신호를 xin으로 하고, 출력 신호(SRout(n))와 동상의 제어 신호를 in으로 해서 설명한다. 물론, 제어 신호(in)는, 출력 신호(SRout(n))와 동상이기 때문에, 제어 신호(in)를 제어 신호(SRout(n))로 해도 된다.
- [0167] N형 MOSFET(TN4)의 드레인은, 제어 신호(VCOMSEL)를 전달하는 신호 배선(Ln-Vsel)에 접속되고, 그 소스는, 신호 배선(Ln1)에 접속되고, 그 게이트에는, 제어 신호(in)가 공급된다. P형 MOSFET(TP4)는, N형 MOSFET(TN4)와 병렬적으로 접속되도록, 그 소스는, 신호 배선(Ln-Vsel)에 접속되고, 그 드레인은, 신호 배선(/Ln1)에 접속되고, 그 게이트에는 제어 신호(xin)가 공급된다. N형 MOSFET(TN5)의 드레인은, 신호 배선(Ln1)에 접속되고, 그 소스에는 전압(VGL)이 공급되고, 그 게이트에는, 제어 신호(xin)가 공급된다. 여기서, 전압(VGL)은, 로우 레벨의 전압이며, 예를 들어 접지 전압(Vs)이 된다.
- [0168] 신호 배선(Ln1)에는, 제1 스위치를 구성하는 N형 MOSFET(TN1)의 게이트가 접속되고, 신호 배선(/Ln1)에는, 제1 스위치를 구성하는 P형 MOSFET(TP1)의 게이트가 접속되어 있다.
- [0169] 대응하는 단(USC1(n))의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 선택 공통 전극으로 하는 것을 나타내는 논리 값 "1"로 되어 있는 경우, 제어 신호(in)는 하이 레벨이 되고, 제어 신호(xin)는 로우 레벨이 된다. 이에 의해, N형 MOSFET(TN4) 및 P형 MOSFET(TP4)의 양쪽이 온으로 된다. 이때, N형 MOSFET(TN5)는 오프가 되기 때문에, 신호 배선(Ln-Vsel)에 있어서의 제어 신호(VCOMSEL)가, N형 MOSFET(TN4) 및 P형 MOSFET(TP4)를 통해서, 신호 배선(Ln1)에 전달되고, 인버터 회로(IV2)에 의해 위상 반전된 제어 신호(VCOMSEL)가, 신호 배선(/Ln1)에 전달된다. 즉, 이때는, 신호 배선(Ln1)에 제어 신호(VCOMSEL)가 전달되고, 제어 신호(VCOMSEL)의 위상 반전된 제어 신호가 신호 배선(/Ln1)에 전달된다.
- [0170] 신호 배선(Ln1)에 전달된 제어 신호(VCOMSEL)와, 신호 배선(/Ln1)에 전달된 제어 신호(제어 신호(VCOMSEL)가 위상 반전된 제어 신호)는, 제1 스위치(TN1, TP1)의 스위치 신호로서, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)의 각각의 게이트에 공급된다. 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)에 공급되는 제어 신호(VCOMSEL)는, 터치 검출 기간에 있어서, 그 전압이 주기적으로 변화하는 제어 신호이다.
- [0171] 제어 신호(VCOMSEL)의 전압이, 하이 레벨로 되어 있을 때, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)가 온이 되고, 제어 신호(VCOMSEL)의 전압이, 로우 레벨로 되어 있을 때, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)는 오프가 된다. 이에 의해, 제1 스위치(TN1, TP1)는, 제어 신호(VCOMSEL)가 하이 레벨일 때, 제1 전압 배선(605)을, 대응하는 공통 전극(TL(n))에 전기적으로 접속하고, 제어 신호(VCOMSEL)가 로우 레벨일 때, 제1 전압 배선(605)과 대응하는 공통 전극(TL(n))을 전기적으로 분리한다. 즉, 제어 신호(VCOMSEL)의 전압에 따라, 제1 스위치(TN1, TP1)는 대응하는 공통 전극(TL(n))에의 제1 전압(TPH)의 공급과 정지를 행한다.
- [0172] 이에 반해, 대응하는 단(USC1(n))의 출력 신호(SRout(n))가 공통 전극(TL(n))을 비선택 공통 전극으로 하는 것을 나타내는 논리 값 "0"으로 되어 있는 경우, 제어 신호(in)는 로우 레벨이 되고, 제어 신호(xin)는 하이 레벨이 된다. 이에 의해, N형 MOSFET(TN4) 및 P형 MOSFET(TP4) 모두 오프가 된다. 한편, N형 MOSFET(TN5)는, 하이 레벨인 제어 신호(xin)에 의해 온이 된다. 그 때문에, 신호 배선(Ln1)은, N형 MOSFET(TN5)를 통해서, 로우 레벨의 전압(VGL)이 되고, 신호 배선(/Ln1)은, 인버터(IV2)에 의해 하이 레벨이 된다. 그 결과, 출력 신호(SRout(n))가 논리 값 "0"에 대응하는 전압일 때, 즉, 대응하는 공통 전극(TL(n))이 비선택 공통 전극으로서 지정되어 있을 때는, 제1 스위치(TN1, TP1)는 제어 신호(VCOMSEL)의 전압과는 무관하게 오프가 되고, 대응하는 공통 전극(TL(n))은 제1 전압 배선(605)과 전기적으로 분리된다.
- [0173] N형 MOSFET(TN6)의 드레인은, 신호 배선(Ln-Vsel)에 접속되고, 그 소스는 인버터(IV3)를 통해서 신호 배선(/Ln2)에 접속되고, 그 게이트에는 제어 신호(in)가 공급되고 있다. P형 MOSFET(TP5)의 소스는, 신호 배선(Ln-Vsel)에 접속되고, 그 드레인은 신호 배선(Ln2)에 접속되고, 그 게이트에는 제어 신호(xin)가 공급되고 있다. 또한, P형 MOSFET(TP6)의 드레인은, 신호 배선(Ln2)에 접속되고, 그 소스에는 하이 레벨의 전압(VGH)이 공급되고, 그 게이트에는 제어 신호(in)가 공급된다. 여기서, 전압(VGH)의 전압값은, 예를 들어 제1 전압(TPH)과 동

일한 전압 값이 된다.

- [0174] 대응하는 단(USC1(n))의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 선택 공통 전극으로 하는 것을 나타내는 논리 값 "1"로 되어 있는 경우, N형 MOSFET(TN6) 및 P형 MOSFET(TP5) 각각이 온으로 되고, P형 MOSFET(TP6)는 오프로 된다. 이에 의해, 신호 배선(Ln-Vsel)에 있어서의 제어 신호(VCOMSEL)는, N형 MOSFET(TN6) 및 P형 MOSFET(TP5) 각각을 통해서, 신호 배선(Ln2)에 전달된다. 또한, 인버터(IV3)에 의해 위상 반전된 제어 신호는, 신호 배선(/Ln2)에 전달된다.
- [0175] 제2 스위치(TN2, TP2)를 구성하는 N형 MOSFET(TN2)의 게이트는, 신호 배선(/Ln2)에 접속되고, P형 MOSFET(TP2)의 게이트는, 신호 배선(Ln2)에 접속되어 있다. 그 때문에, 출력 신호(SRout(n))가 논리 값 "1"일 때는, 제1 스위치(TN1, TP1)와 마찬가지로, 제2 스위치(TN2, TP2)에, 제어 신호(VCOMSEL)가, 스위치 신호로서 공급된다. 그러나, 제1 스위치(TN1, TP1)와 달리, 제2 스위치(TN2, TP2)를 구성하는 N형 MOSFET(TN2)의 게이트에는, 인버터(IV3)에 의해 위상 반전된 제어 신호(제어 신호(VCOMSEL)에 대하여 위상 반전된 제어 신호)가 공급되고, P형 MOSFET(TP2)의 게이트에, 제어 신호(VCOMSEL)가 공급되고 있다. 이에 의해, 제2 스위치(TN2, TP2)를 구성하는 N형 MOSFET(TN2) 및 P형 MOSFET(TP2) 각각은, 제어 신호(VCOMSEL)의 전압이 로우 레벨일 때 온으로 하고, 그 전압이 하이 레벨일 때 오프로 한다. 즉, 제2 스위치(TN2, TP2)는, 제어 신호(VCOMSEL)가 로우 레벨일 때, 제2 전압 배선(606)과 대응하는 공통 전극(TL(n))을 전기적으로 접속하고, 제어 신호(VCOMSEL)가 하이 레벨일 때, 제2 전압 배선(606)과 대응하는 공통 전극(TL(n))을 전기적으로 분리한다. 바꿔 말하면, 제어 신호(VCOMSEL)가 로우 레벨일 때, 제2 스위치(TN2, TP2)가 제2 전압(VCOMSEL1)을, 대응하는 공통 전극(TL(n))에 공급한다.
- [0176] 한편, 대응하는 단(USC1(n))의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 비선택 공통 전극으로 하는 것을 나타내는 논리 값 "0"으로 되어 있는 경우, N형 MOSFET(TN6) 및 P형 MOSFET(TP5) 각각은 오프로 되고, P형 MOSFET(TP6)가 온으로 된다. 이에 의해, 제어 신호(VCOMSEL)의 전압과는 무관계로, 신호 배선(/Ln)에는, P형 MOSFET(TP6)를 통해서 하이 레벨의 전압(VGH)이 공급된다. 또한, 신호 배선(Ln2)에는, 인버터(IV3)에 의해, 로우 레벨이 공급된다. 이에 의해, 제2 스위치(TN2, TP2)를 구성하는 N형 MOSFET(TN2) 및 P형 MOSFET(TP2) 각각은 오프로 한다. 즉, 제2 스위치(TN2, TP2)는 제2 전압 배선(606)과 대응하는 공통 전극(TL(n))과의 사이를 전기적으로 분리한다.
- [0177] 이와 같이, 대응하는 단(USC1(n))의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 선택 공통 전극으로 하는 것을 나타내는 논리 값 "1"로 되어 있는 경우, 제어 신호(VCOMSEL)가 하이 레벨일 때, 제1 스위치(TN1, TP1)를 통해서, 대응하는 공통 전극(TL(n))은 제1 전압 배선(605)에 접속되고, 제어 신호(VCOMSEL)가 로우 레벨일 때는, 제2 스위치(TN2, TP2)를 통해서, 대응하는 공통 전극(TL(n))은 제2 전압 배선(606)에 접속된다. 그 결과, 터치 검출 기간에 있어서는, 선택 공통 전극(TL(n))에, 제어 신호(VCOMSEL)의 전압에 따라, 제1 전압 배선(605)에 있어서의 제1 전압(TPH)과 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC2)이 교대로 공급되게 된다. 이에 의해, 선택 공통 전극(TL(n))의 근방이 터치되어 있는지 여부의 검출이 가능하게 된다.
- [0178] 한편, 대응하는 단(USC1(n))의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 비선택 공통 전극으로 하는 것을 나타내는 논리 값 "0"으로 되어 있는 경우, 제1 스위치(TN1, TP1) 및 제2 스위치(TN2, TP2) 각각이 모두 오프가 된다. 그 때문에, 대응하는 공통 전극(TL(n))은, 제1 전압 배선(605 및 606)으로부터 전기적으로 분리된 상태가 되어, 플로팅 상태로 된다.
- [0179] 대응하는 공통 전극(TL(n))이 비선택 공통 전극으로서 지정되었을 때, 대응하는 공통 전극(TL(n))이 플로팅 상태가 됨으로써, 터치 검출 기간에 있어서, 이 공통 전극(TL(n))의 전압이 변동하는 것을 방지하기 위해서, 이 실시 형태 1에서는, 제3 스위치(TN3, TP3), N형 MOSFET(TN7), P형 MOSFET(TP7) 및 인버터(IV4)가 설치되어 있다.
- [0180] 즉, N형 MOSFET(TN7)의 드레인, 신호 배선(Ln3)에 접속되고, 그 소스에는 로우 레벨의 전압(VGL)이 공급되고, 그 게이트에는 제어 신호(xin)이 공급되고 있다. 또한, P형 MOSFET(TP7)의 드레인, 신호 배선(Ln3)에 접속되고, 그 소스에는 하이 레벨의 전압(VGH)이 공급되고, 그 게이트에는 제어 신호(xin)가 공급되고 있다. 또한, 신호 배선(Ln3)은 인버터(IV4)를 통해서 신호 배선(/Ln3)에 접속되어 있다. 즉, 신호 배선(Ln3)에 있어서의 전압은, 인버터(IV4)에 의해 반전되어, 신호 배선(/Ln3)에 공급된다. 여기서, 제3 스위치(TN3, TP3)를 구성하는 N형 MOSFET(TN3)의 게이트는, 신호 배선(/Ln3)에 접속되고, P형 MOSFET(TP3)의 게이트는, 신호 배선(Ln3)에 접속되어 있다.
- [0181] 대응하는 단(USC1(n))의 출력 신호(SRout(n))가 공통 전극(TL(n))을 비선택 공통 전극으로 하는 것을 나타내는

논리 값 "0"으로 되어 있는 경우, N형 MOSFET(TN7)가 온으로 되고, P형 MOSFET(TP7)는 오프로 된다. 이에 의해, 신호 배선(Ln3)에는, N형 MOSFET(TN7)를 통해서, 로우 레벨의 전압(VGL)이 공급된다. 또한, 이때, 신호 배선(/Ln3)에는, 인버터(IV4)에 의해 하이 레벨이 공급된다.

[0182] 제3 스위치(TN3, TP3)에는, 제어 신호(VCOMSEL)는 공급되지 않고, 신호 배선(Ln3 및 /Ln3)에 있어서의 전압이, 제3 스위치(TN3, TP3)의 스위치 신호가 된다. 출력 신호(SRout(n))가 논리 값 "0"인 경우, 신호 배선(Ln3)에 있어서의 하이 레벨이, N형 MOSFET(TN3)의 게이트에 공급되고, 신호 배선(/Ln3)에 있어서의 로우 레벨이, P형 MOSFET(TP3)의 게이트에 공급되게 된다. 그 때문에, 제3 스위치(TN3, TP3)를 구성하는 N형 MOSFET(TN3) 및 P형 MOSFET(TP3) 각각이 온으로 된다. 이에 의해, 제3 스위치(TN3, TP3)를 통해서, 대응하는 공통 전극(TL(n))은 제3 전압 배선(607)과 전기적으로 접속된다. 그 결과로서, 대응하는 공통 전극(TL(n))은 비선택 공통 전극으로서 지정되어 있을 때, 제3 전압(VCOMDC2)이 공급되게 된다. 즉, 비선택 공통 전극은, 플로팅 상태가 아니라, 제3 전압(VCOMDC2)의 전압으로 되고, 터치 검출 기간에 있어서, 그 전압이 변동하는 것을 방지하는 것이 가능하게 된다.

[0183] 또한, 대응하는 단(USC1(n))의 출력 신호(SRout(n))가 공통 전극(TL(n))을 선택 공통 전극으로 하는 것을 나타내는 논리 값 "1"로 되어 있는 경우, P형 MOSFET(TP7)가 온으로 되고, N형 MOSFET(TN7)는 오프로 된다. 이에 의해, 신호 배선(Ln3)의 전압은, 하이 레벨의 전압(VGH)이 되고, 신호 배선(/Ln3)의 전압은 로우 레벨이 된다. 이 신호 배선(Ln3 및 /Ln3)의 전압에 의해, 제3 스위치(TN3, TP3)를 구성하는 N형 MOSFET(TN3) 및 P형 MOSFET(TP3) 각각이 오프로 되고, 공통 전극(TL(n))은 제3 전압 배선(607)과는 전기적으로 분리된다. 그 때문에, 공통 전극(TL(n))이 선택 공통 전극으로 되어 있을 때, 제3 전압(VCOMDC2)이 공통 전극(TL(n))에 공급되는 것을 방지할 수 있다.

[0184] 이와 같이, 터치 검출 기간에 있어서, 대응하는 공통 전극(TL(n))이 선택 공통 전극이라면, 제어 신호(VCOMSEL)의 전압에 따라, 제1 스위치(TN1, TP1)와 제2 스위치(TN2, TP2)가 교대로 온으로 되고, 제1 전압 배선(605)에 있어서의 제1 전압(TPH)과 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC)을, 교대로 선택 공통 전극에 공급할 수 있다. 한편, 터치 검출 기간에 있어서, 대응하는 공통 전극(TL(n))이 비선택 공통 전극이라면, 제3 스위치(TN3, TP3)가 온으로 되고, 제3 전압 배선(607)에 있어서의 제3 전압(VCOMDC2)이 공통 전극(TL(n))에 공급된다. 이에 의해, 대응하는 공통 전극이, 선택 공통 전극으로 된 경우에는, 터치의 검출이 가능하게 되고, 또한 비선택 공통 전극으로 된 경우에는, 그 전압이 변동됨으로써 발생하는 검출 정밀도의 저하를 저감하는 것이 가능하게 된다. 제1 스위치(TN1, TP1), 제2 스위치(TN2, TP2) 및 제3 스위치(TN3, TP3)에 주목하면, 실시 형태에서는, 터치 검출 기간에 있어서, 택일적으로 온(도통) 상태로 되어 있다고 간주할 수 있다.

[0185] 또한, 이상의 설명으로부터 이해되는 바와 같이, 신호 배선(/Ln1 내지 Ln3)에 첨부되어 있는 부호(/)는, 신호 배선(Ln1 내지 Ln3)에 있어서의 신호 또는 전압에 대하여 위상 반전된 신호 또는 전압이 공급되는 것을 나타내고 있다.

[0186] 제1 단위 전극 구동 회로(UCGW1(n))를 예로 해서 설명했지만, 다른 제1 단위 전극 구동 회로 및 제2 단위 전극 구동 회로 각각에 대해서도, 구성 및 동작은 동일하다.

[0187] 도 12의 (A) 내지 (E)는, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)의 동작을 나타내는 파형 도이다. 도 12의 (A) 내지 (E)에서는, 설명을 용이하게 하기 위해서, 복수의 공통 전극(TL(0) 내지 TL(p)) 중 공통 전극(TL(n), TL(n+1))에 대해서만 도시하고 있다. 여기서, 공통 전극(TL(n+1))은, 공통 전극(TL(n))의 이웃에 배치된 공통 전극을 나타내고 있다. 공통 전극(TL(n))에 대응한 제1 단위 전극 구동 회로는 UCGW1(n)이며, 제2 단위 전극 구동 회로는 UCGW2(n)이다. 또한, 공통 전극(TL(n+1))에 대응한 제1 단위 전극 구동 회로는 UCGW1(n+1)이며, 제2 단위 전극 구동 회로는 UCGW2(n+1)이다.

[0188] 공통 전극(TL(n+1))은, 공통 전극(TL(n))의 이웃에 배치되어 있기 때문에, 제1 단위 전극 구동 회로(UCGW1(n+1))에 포함되어 있는 단(USC1(n+1))은, 제1 단위 전극 구동 회로(UCGW1(n))에 포함되어 있는 단(USC1(n))으로부터의 출력인 선택 신호(SDST(n))를 받는 다음의 단에 상당한다. 마찬가지로, 제2 단위 전극 구동 회로(UCGW2(n+1))에 포함되어 있는 단(USC2(n+1))은, 제2 단위 전극 구동 회로(UCGW2(n))에 포함되어 있는 단(USC2(n))으로부터의 선택 신호(SDST(n))를 받는 다음의 단에 상당한다.

[0189] 도 12에서, 횡축은 시간을 나타내고, 종축은 전압을 나타내고 있다. 도 12의 (A) 및 (B)는, 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2) 각각에 있어서의 스캔 회로(SC1 및 SC2)로부터 출력되는 선택 신호를 나타내고 있다.

- [0190] 특히, 도 12의 (A)는 제1 전극 구동 회로(CGW1)를 구성하는 복수의 제1 단위 전극 구동 회로 중, 제1 단위 전극 구동 회로(UCGW1(n))에 포함되어 있는 단(USC1(n))으로부터 출력되는 SRout(n)의 전압 파형을 나타내고 있다. 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)에 있어서의 스캔 회로(SC1 및 SC2)는, 터치용 반도체 장치(7)로부터, 동일한 선택 신호(SDST)와 동일한 클럭 신호(SDCK)가 공급되고 있고, 스캔 회로(SC1과 SC2)는 동기해서 동작하고 있다. 그 때문에, 도 12의 (A)는 제2 전극 구동 회로(CGW2)를 구성하는 복수의 제2 단위 전극 구동 회로 중, 제2 단위 전극 구동 회로(UCGW2(n))에 포함되어 있는 단(USC2(n))으로부터 출력되는 SRout(n)의 전압 파형도 나타내고 있다.
- [0191] 또한, 도 12의 (B)는, 제1 전극 구동 회로(CGW1)를 구성하는 복수의 제1 단위 전극 구동 회로 중, 제1 단위 전극 구동 회로(UCGW1(n+1))에 포함되어 있는 단(USC1(n+1))으로부터 출력되는 SRout(n+1)의 전압 파형을 나타내고 있다. 스캔 회로(SC1과 SC2)는 동기해서 동작하고 있기 때문에, 도 12의 (B)는 제2 전극 구동 회로(CGW2)를 구성하는 복수의 제2 단위 전극 구동 회로 중, 제2 단위 전극 구동 회로(UCGW2(n+1))에 포함되어 있는 단(USC2(n+1))으로부터 출력되는 SRout(n+1)의 전압 파형도 나타내고 있다. 도 12의 (C)는 터치용 반도체 장치(7)(도 1)로부터 출력되는 제어 신호(VCOMSEL)의 전압 파형을 나타내고 있다.
- [0192] 도 12의 (D) 및 (E)는, 공통 전극(TL(n) 및 TL(n+1))의 전압 변화를 나타내는 전압 파형 도이다. 여기서, 공통 전극(TL(n))은, 제1 단위 전극 구동 회로(UCGW1(n)) 및 제2 단위 전극 구동 회로(UCGW2(n))에 대응한 공통 전극이며, 공통 전극(TL(n+1))은, 제1 단위 전극 구동 회로(UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n+1))에 대응한 공통 전극이다.
- [0193] 터치용 반도체 장치(7)는, 특별히 제한되지 않지만, 터치-표시 동기 신호(TSHD)(도 1)에 의해, 터치 검출 기간이 지정되면, 그 전압이 주기적으로 변화하는 제어 신호(VCOMSEL)를 형성한다. 또한, 터치 검출 기간이 아닐 때는, 제어 신호(VCOMSEL)의 전압은 로우 레벨이 된다. 터치 검출 시에, 터치용 반도체 장치(7)는, 논리 값 "1"의 선택 신호(SDST)를, 스캔 회로(SC1)를 구성하는 시프트 레지스터 및 스캔 회로(SC2)를 구성하는 시프트 레지스터의 양쪽에 세트한다. 그 후에, 양쪽의 시프트 레지스터에 공급되고 있는 클럭 신호(SDCK)를 변화시킨다. 클럭 신호(SDCK)를 변화시킴으로써, 논리 값 "1"의 선택 신호(SDST)는, 각각의 시프트 레지스터의 단(USC1(0) 내지 USC1(p), USC2(0) 내지 USC2(p))을 순차 이동한다.
- [0194] 도 12에서, 터치 검출 기간(THP1)은, 시프트 레지스터의 단(USC1(n-1), USC2(n-1))이 논리 값 "1"의 선택 신호(SDST(n-1))를 출력한 후, 클럭 신호(SDCK)가 변화한 상태를 나타내고 있다. 또한, 시프트 레지스터의 단(USC1(n-1), USC2(n-1))이 논리 값 "1"의 선택 신호(SDST(n-1))를 출력하고 있을 때, 시프트 레지스터의 단(USC1(n), USC2(n))은, 논리 값 "0"의 선택 신호(SDST(n))를 출력하고 있다.
- [0195] 클럭 신호(SDCK)가 변화함으로써, 시프트 레지스터의 단(USC1(n) 및 USC2(n))은, 그 전단(USC1(n-1) 및 USC2(n-2))으로부터 출력되고 있는 논리 값 "1"의 선택 신호(SDST(n-1))를 도입하고, 도입한 선택 신호(SDST(n-1))의 논리 값을 저장함과 함께, 도입한 선택 신호(SDST(n-1))의 논리 값에 따른 출력 신호(SRout(n))와 선택 신호(SDST(n))를 출력한다. 이때, 마찬가지로, 시프트 레지스터의 다음의 단(USC1(n+1) 및 USC2(n+1))도, 그 전단(USC1(n) 및 USC2(n))으로부터 출력되고 있는 논리 값 "0"의 선택 신호(SDST(n))를 도입하여 저장하고, 출력 신호(SRout(n+1))와 선택 신호(SDST(n+1))를 출력한다.
- [0196] 이에 의해, 도 12의 (A) 및 (B)에 나타내고 있는 바와 같이, 터치 검출 기간(THP1)에 있어서, 단(USC1(n) 및 USC2(n))의 각각의 출력 신호(SRout(n))는, 논리 값 "1"에 대응하는 하이 레벨이 되고, 단(USC1(n+1) 및 USC2(n+1))의 각각의 출력 신호(SRout(n+1))는 논리 값 "0"에 대응하는 로우 레벨이 된다. 단(USC1(n) 및 USC2(n))의 출력 신호(SRout(n))가 하이 레벨이 됨으로써, 도 11에서 설명한 바와 같이, 제1 단위 로직 회로(ULG1(n)) 및 제2 단위 로직 회로(ULG2(n))는, 제어 신호(VCOMSEL)의 전압에 따라, 제1 단위 스위치 회로(USW1(n)) 및 제2 단위 스위치 회로(USW2(n))에 있어서의 제1 스위치(TN1, TP1) 또는 제2 스위치(TN2, TP2)가 도통 상태로 되도록 제어한다.
- [0197] 제어 신호(VCOMSEL)는, 도 12의 (C)에 도시한 바와 같이, 터치 검출 기간(THP1)에 있어서, 주기적으로 전압이 변화한다. 그 때문에, 터치 검출 기간(THP1)에 있어서, 공통 전극(TL(n))은, 제1 단위 전극 구동 회로(UCGW1(n)) 및 제2 단위 전극 구동 회로(UCGW2(n))의 양쪽에 있어서, 제1 전압 배선(605)과 제2 전압 배선(606)에 교대로 전기적으로 접속된다. 그 결과로서, 선택 공통 전극인 공통 전극(TL(n))의 전압은, 도 12의 (D)에 나타내고 있는 바와 같이, 제1 전압 배선(605)에 있어서의 제1 전압 배선(TPH)과 제2 전압 배선(606)에 있어서의 제2 전압 배선(VCOMDC1)과의 사이에서 토글한다. 공통 전극(TL(n))에 있어서의 전압이 교대로 변화함으로써, 도 2에서 설명한 바와 같이, 이 공통 전극(TL(n))의 근방이 터치되어 있는지 여부에 따른 검출 신호(Rx(0) 내지

Rx(p))가 형성된다.

- [0198] 한편, 터치 검출 기간(THP1)에 있어서, 시프트 레지스터의 단(USC1(n+1) 및 USC2(n+1))의 출력 신호(SRout(n+1))는 로우 레벨이기 때문에, 이 단(USC1(n+1))에 대응한 제1 단위 로직 회로(ULG1(n+1))는 대응하는 제1 단위 스위치 회로(USW1(n+1))에 있어서의 제1 스위치(TN1, TP1) 및 제2 스위치(TN2, TP2) 각각이 오픈되도록 제어하고, 제3 스위치(TN3, TP3)가 온이 되도록 제어한다. 이에 의해, 단(USC1(n+1))에 대응한 공통 전극(TL(n+1))은, 단위 스위치 회로(USW1(n+1)) 내의 제3 스위치를 통해서, 제3 전압 배선(607)에 전기적으로 접속되고, 제3 전압(VCOMDC2)이, 비선택 공통 전극인 공통 전극(TL(n+1))에 공급된다. 이에 의해, 도 12의 (E)에 나타내고 있는 바와 같이, 터치 검출 기간(THP1)에서는, 비선택 공통 전극(TL(n+1))의 전압은, 제3 전압(VCOMDC2)에 의해 고정된다.
- [0199] 특별히 제한되지 않지만, 이 실시 형태 1에서는, 단(USC2(n+1))에 대응한 제2 단위 로직 회로(ULG2(n+1))도, 대응하는 제2 단위 스위치 회로(USW1(n+1)) 내의 제1 스위치 및 제2 스위치를 오픈로 하고, 제3 스위치를 온으로 하도록 제어한다. 그 때문에, 제2 단위 전극 구동 회로(UCGW2(n+1))로부터도, 비선택 공통 전극인 공통 전극(TL(n+1))에, 제3 전압(VCOMDC2)이 공급된다.
- [0200] 터치-표시 동기 신호(TSHD)에 의해, 터치 검출 기간(THP1)에 이어, 표시를 행하는 표시 기간(DISP)이 지정된다. 표시 기간(DISP)이 지정되면, 신호선(SL(0) 내지 SL(p))의 프리차지가 행하여진다(프리차지 기간).
- [0201] 프리차지 기간 및 표시 기간(DISP)에 있어서는, 스캔 회로(SC1 및 SC2)를 구성하는 시프트 레지스터의 각 단(USC1(0) 내지 USC1(p), USC2(0) 내지 USC2(p))의 각각의 출력 신호(SRout(0) 내지 SRout(p))는 로우 레벨이 된다. 이에 의해, 각 공통 전극(TL(0) 내지 TL(p))의 전압은, 제3 전압(VCOMDC2)이 된다. 표시 기간(DISP)에 있어서, 각 공통 전극(TL(0) 내지 TL(p))에 공급되고 있는 제3 전압(VCOMDC2)은, 표시 시에 각 액정 소자(LC)(도 7)에 인가되는 전압으로서 사용된다. 즉, 표시 기간에 있어서는, 액정 소자(LC)에, 제3 전압(VCOMDC2)과, 박막 트랜지스터(Tr)(도 7)를 통해서 화상 신호에 따른 전압이 공급되어, 화상 신호에 따른 표시가 행하여진다.
- [0202] 스캔 회로(SC1 및 SC2)를 구성하는 시프트 레지스터는, 각각의 단이 선택 신호의 논리 값을 저장하고 있기 때문에, 터치-표시 동기 신호(TSHD)에 의해, 다시 터치 검출 기간(THP2)이 지정되었을 때, 앞의 터치 검출 기간(THP1)에 있어서 각 단(USC1(0) 내지 USC1(p), USC2(0) 내지 USC2(p))이 출력한 선택 신호(SDST(0) 내지 SDST(p))가 유지되어 있다. 터치 검출 기간(THP2)에 있어서, 클럭 신호(SDCK)가 변화함으로써, 유지되어 있던 선택 신호(SDST(0) 내지 SDST(p))가 터치 검출 기간(THP1)일 때와 마찬가지로, 순차 다음 단에 도입되어, 유지되고, 도입한 논리 값에 대응한 선택 신호(SDST(0) 내지 SDST(p))와 출력 신호(SRout(0) 내지 SRout(p))를 출력한다.
- [0203] 터치 검출 기간(THP2)에서의 동작을, 제1 단위 전극 구동 회로(UCGW1(n), UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n), UCGW2(n+1))를 예로 해서 설명하면 다음과 같이 된다. 즉, 시프트 레지스터의 단(USC1(n+1), USC2(n+1))은, 전단(USC1(n), USC2(n))에 저장되고, 출력되고 있는 선택 신호(SDST(n))를 도입하여 저장한다. 또한, 도입한 선택 신호(SDST(n))의 논리 값에 따른 논리 값의 선택 신호(SDST(n+1))와 전압값을 갖는 출력 신호(SRout(n+1))를 출력한다. 터치 검출 기간(THP1)에 있어서는, 선택 신호(SDST(n))의 논리 값이 "1"이었기 때문에, 터치 검출 기간(THP2)에 있어서, 단(USC1(n+1), USC2(n+1))은 논리 값 "1"의 선택 신호(SDST(n+1))를 출력함과 함께, 하이 레벨의 출력 신호(SRout(n+1))를 출력한다.
- [0204] 하이 레벨의 출력 신호(SRout(n+1))에 의해, 터치 검출 기간(THP1)에 있어서의 제1 단위 전극 구동 회로(UCGW1(n)) 및 제2 단위 전극 구동 회로(UCGW2(n))의 동작과 동일한 동작을, 제1 단위 전극 구동 회로(UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n+1))는 터치 검출 기간(THP2)에 있어서 행한다. 그 결과, 선택 공통 전극이 되는 공통 전극(TL(n+1))은, 제1 단위 전극 구동 회로(UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n+1))의 양쪽에 있어서, 제1 전압 배선(605)과 제2 전압 배선(606)에 교대로 전기적으로 접속된다. 이에 의해, 도 12의 (E)에 나타내고 있는 바와 같이, 공통 전극(TL(n+1))의 전압은, 제1 전압(TPH)과 제2 전압(VCOMDC1)의 사이에서 토글한다.
- [0205] 한편, 시프트 레지스터의 단(USC1(n), USC2(n))은, 터치 검출 기간(THP2)에 있어서의 클럭 신호(SDCK)의 변화에 따라, 전단(USC1(n-1), USC2(n-1))에 저장되고, 출력되고 있는 논리 값 "0"의 선택 신호(SDST(n-1))를 도입하여 저장한다. 도입한 선택 신호(SDST(n-1))의 논리 값이 "0"이기 때문에, 논리 값 "0"의 선택 신호(SDST(n))를 출력함과 함께, 로우 레벨의 출력 신호(RSout(n))를 출력한다.
- [0206] 로우 레벨의 출력 신호(RSout(n))가 출력되기 때문에, 터치 검출 기간(THP1)에 있어서의 제1 단위 전극 구동 회

로(UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n+1))의 동작과 동일한 동작을, 제1 단위 전극 구동 회로(UCGW1(n)) 및 제2 단위 전극 구동 회로(UCGW2(n))는 터치 검출 기간(THP2)에 있어서 행한다. 그 결과로서, 도 12의 (D)에 나타내고 있는 바와 같이, 비선택 공통 전극(TL(n))의 전압은, 제3 전압(VCOMDC2)에 고정된다.

[0207] 이후, 터치-표시 동기 신호(TSHD)에 의해, 표시 기간 및 터치 검출 기간이 지정될 때마다, 상기한 동작이 행하여진다.

[0208] 스캔 회로(SC1, SC2)를 구성하는 시프트 레지스터에, 앞서 필요한 횟수만큼, 비선택을 나타내는 논리 값 "0"의 선택 신호(SDST)를 세트하고, 그 후에 선택을 나타내는 논리 값 "1"의 선택 신호(SDST)를 세트한다. 이와 같이 함으로써, 임의의 공통 전극을 선택 공통 전극으로서 지정하는 것이 가능하고, 터치를 검출하는 영역을 임의로 선택하는 것이 가능하게 된다. 또한, 선택을 나타내는 논리 값 "1"의 선택 신호(SDST)는 복수회 연속되고, 시프트 레지스터에 세트해도 된다. 이와 같이 함으로써, 서로 인접하는 복수의 공통 전극을 선택 공통 전극으로 하는 것이 가능하게 되고, 소위 묶음 구동이 가능하게 된다. 또한, 시프트 레지스터의 최종단(USC1(p), USC2(p))으로부터 출력되는 선택 신호(SDST(p))는 시프트 레지스터의 초단(USC1(0), USC2(0))에 입력하도록 해도 된다.

[0209] 표시 패널(2), 바꿔 말하면 액정 소자 배열(LCD)을 사이에 두고, 드라이버용 반도체 장치(DDIC)의 반대측에, 전극 구동 회로(CGW-U 또는 CGW1)가 배치되어 있다. 즉, 드라이버용 반도체 장치(DDIC)가, 액정 소자 배열(LCD)의 한쪽 변을 따라서는 배치되는 것에 반해, 전극 구동 회로(CGW-U 또는 CGW1)는, 액정 소자 배열의 다른 쪽 변을 따라서 배치되고, 액정 소자 배열의 다른 쪽 변측에 있어서, 전극 구동 회로가 공통 전극에 구동 신호를 공급한다. 이에 의해, 터치 검출 기간에 있어서, 선택 공통 전극에 있어서의 전압의 변화 속도의 저하를 억제하면서, 액정 소자 배열의 한쪽의 변측에 있어서의 영역을 작게 하는 것이 가능하게 되고, 액정 표시 장치의 프레임 폭 협소화를 도모하는 것이 가능하게 된다.

[0210] 또한, 전극 구동 회로(CGW1)는, 제1 전압 배선(605)에 있어서의 제1 전압(TPH)에 기초한 전압 및 제2 전압 배선(606)에 있어서의 제2 전압(VCOMDC1)에 기초한 전압과의 사이에서 변화하는 구동 신호를, 선택 공통 전극에 공급한다. 이에 의해, 구동 능력이 높은 구동 신호를 전달하는 신호 배선을, 액정 소자 배열의 근방에 배치하는 것을 피하는 것이 가능하고, 터치 검출의 검출 정밀도의 저하를 억제하는 것이 가능하게 된다.

[0211] 또한, 전극 구동 회로(CGW1)는, 터치 검출 기간에 있어서, 비선택 공통 전극에 대하여 제3 전압(VCOMDC2)을 공급한다. 이에 의해, 터치 검출 기간에 있어서, 비선택 공통 전극의 전압이 변화하는 것을 억제하는 것이 가능하게 되고, 터치 검출의 검출 정밀도의 저하를 억제하는 것이 가능하게 된다.

[0212] 또한, 설명의 사정상, 도 12의 (B)에는, 신호 배선(Ln1 내지 Ln3 및 /Ln1 내지 /Ln3)이 도시되어 있지만, 이 신호 배선은, 다른 단위 로직 회로의 신호 배선과 접속되어 있지 않다.

[0213] (실시 형태 2)

[0214] 실시 형태 2에서는, 도 8 및 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 각각의 구성이 변경된다. 변경해도, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 각각의 구성은, 서로 동일한 구성이기 때문에, 여기서는, 제1 단위 전극 구동 회로(UCGW1(n))를 대표 예로서 설명한다.

[0215] 도 13의 (A)는 실시 형태 2에 관한 제1 단위 전극 구동 회로(UCGW1(n))의 구성을 도시하는 블록도이며, 도 13의 (B)는 실시 형태 2에 관한 제1 단위 전극 구동 회로(UCGW1(n))의 구성을 도시하는 회로도이다.

[0216] 도 13의 (A)에 나타내고 있는 바와 같이, 실시 형태 2에서도, 제1 단위 전극 구동 회로(UCGW1(n))는 실시 형태 1과 마찬가지로, 스캔 회로(SC1)를 구성하는 시프트 레지스터의 단(USC1(n))과, 제1 단위 로직 회로(ULG1(n))와, 제1 단위 스위치 회로(USW1(n))를 갖고 있다. 여기서, 시프트 레지스터의 단(USC1(n))의 구성 및 동작은, 실시 형태 1과 동일하고, 제1 단위 로직 회로(ULG1(n)) 및 제1 단위 스위치 회로(USW1(n))의 구성이, 실시 형태 1과 상이하다. 특히, 실시 형태 2에서는, 제3 전압 배선(607)의 선 폭이, 제1 전압 배선(605) 및 제2 전압 배선(606)의 선 폭에 비해 가늘게 된다. 또한, 제1 내지 제3 전압 배선 각각의 입체적인 두께는 실질적으로 동일하다.

[0217] 또한, 실시 형태 2에 관한 제1 로직 회로(LG1) 및 제2 로직 회로(LG2)에는, 제어 신호(ctrsig)로서, 제어 신호(VCOMSEL)와 제어 신호(VCOMFL)가 공급된다. 여기서, 제어 신호(VCOMSEL)는, 실시 형태 1에서 설명한 제어 신호(VCOMSEL)와 동일하다. 한편, 제어 신호(VCOMFL)는, 표시 기간과 터치 검출 기간을 식별하는 제어 신호이다.

이 제어 신호(VCOMFL)는, 터치용 반도체 장치(7)에 의해, 예를 들어 터치-표시 동기 신호(TSHD)에 기초해서 형성된다.

- [0218] 이어서, 도 13의 (B)을 이용하여, 실시 형태 2에 관한 제1 단위 전극 구동 회로(UCGW1(n))의 구성을 설명한다.
- [0219] 도 13의 (B)에서, 제1 단위 스위치 회로(USW1(n))는, N형 MOSFET(TN1, TN2, TN8, TN9) 및 P형 MOSFET(TP1, TP2, TP8, TP9)를 포함하고 있다. 또한, 제1 단위 로직 회로(ULG1(n))는 인버터(IV1 내지 IV3, IV5, IV6), N형 MOSFET(TN4 내지 TN6, TN10 내지 TN12) 및 P형 MOSFET(TP4 내지 TP6, TP10 내지 TP12)를 포함하고 있다.
- [0220] 제1 단위 스위치 회로(USW1(n))에는, 제1 전압 배선(605), 제2 전압 배선(606) 및 제3 전압 배선(607)을 통해서, 제1 전압(TPH), 제2 전압(VCOMDC2) 및 제3 전압(VCOMDC2)이 공급된다. 앞서 설명한 바와 같이, 제3 전압 배선(607)의 선 폭은, 제1 전압 배선(605) 및 제2 전압 배선(607)보다도 가늘게 되어 있다. 이것을 명시하기 위해서, 도 13의 (B)에서는, 제3 전압 배선(607)이, 제1 전압 배선(605) 및 제2 전압 배선(606)의 선에 비해 가늘게 되어 있다.
- [0221] N형 MOSFET(TN1)와 P형 MOSFET(TP1)는, 도 11의 (B)에서 설명한 바와 같이, 제1 스위치(TN1, TP1)를 구성하고, N형 MOSFET(TN2)와 P형 MOSFET(TP2)는, 도 11의 (B)에서 설명한 것 같이, 제2 스위치(TN2, TP2)를 구성하고 있다. 실시 형태 2에서는, 도 12의 (B)에서 설명한 제3 스위치(TN3, TP3) 대신 2개의 스위치가 설치되어 있다. 즉, 제1 단위 스위치 회로(USW1(n))는, N형 MOSFET(TN8)과 P형 MOSFET(TP8)를 포함하는 제4 스위치(TN8, TP8)와, N형 MOSFET(TN9)와 P형 MOSFET(TP9)를 포함하는 제5 스위치(TN9, TP9)를 갖고 있다.
- [0222] 제4 스위치(TN8, TP8)에 있어서, N형 MOSFET(TN8)의 소스와, P형 MOSFET(TP8)의 드레인, 제3 전압 배선(607)에 접속되고, N형 MOSFET(TN8)의 드레인과, P형 MOSFET(TP8)의 소스는, 노드(n1)에 접속되어 있다. 또한, 제5 스위치(TN9, TP9)에 있어서, N형 MOSFET(TN9)의 소스와, P형 MOSFET(TP8)의 드레인, 제2 전압 배선(607)에 접속되고, N형 MOSFET(TN9)의 드레인과, P형 MOSFET(TP9)의 소스는, 노드(n1)에 접속되어 있다.
- [0223] 도 13의 (B)에서, 인버터(IV1)는, 도 11의 (B)에서 설명한 인버터(IV1)와 마찬가지로, 대응하는 단(USC1(n))으로부터의 출력 신호(SRout(n))의 위상을 반전시켜, 위상 반전된 제어 신호(xin)를 형성한다. 도 11의 (B)와 마찬가지로, 도 13의 (B)에서도, 출력 신호(SRout(n))의 위상 반전된 제어 신호는 xin으로 나타내고, 출력 신호(SRout(n))와 동상의 제어 신호는 in으로서 나타내고 있다.
- [0224] 제1 단위 스위치 회로(USW1(n))에 있어서의 제1 스위치(TN1, TP) 및 제2 스위치(TN2, TP2)는, 제1 단위 로직 회로(ULG1(n)) 내의 N형 MOSFET(TN4 내지 TN6), P형 MOSFET(TP4 내지 TP6) 및 인버터(IV2, IV3)에 의해 제어된다. 이 MOSFET 및 인버터에 의한 제1 스위치(TN1, TP) 및 제2 스위치(TN2, TP2)의 제어는, 도 12의 (B)에서 설명하고 있으므로 생략한다.
- [0225] N형 MOSFET(TN10)의 드레인은, 신호 배선(Ln4)에 접속되고, 그 소스에는 로우 레벨의 전압(VGL)이 공급되고, 그 게이트에는 제어 신호(in)가 공급된다. P형 MOSFET(TP10)의 드레인은, 신호 배선(Ln4)에 접속되고, 그 소스는 신호 배선(Ln-FL)에 접속되고, 그 게이트에는 제어 신호(in)가 공급되고 있다. 또한, N형 MOSFET(TN11)의 소스는, 신호 배선(Ln4)에 접속되고, 그 드레인은 신호 배선(Ln-FL)에 접속되고, 그 게이트에는 제어 신호(xin)가 공급된다. 신호 배선(Ln4)에 있어서의 신호는 인버터(IV5)에 의해 위상 반전되어, 신호 배선(Ln4)에 공급된다. 제4 스위치(TN8, TP8)를 구성하는 N형 MOSFET(TN8)의 게이트는, 신호 배선(Ln4)에 접속되고, P형 MOSFET(TP8)의 게이트는, 신호 배선(Ln4)에 접속되어 있다.
- [0226] 신호 배선(Ln-FL)에는, 제어 신호(VCOMFL)가 공급된다. 이 제어 신호는, 터치 검출 기간에서는 하이 레벨이 되고, 표시 기간에 있어서는 로우 레벨이 되도록, 터치용 반도체 장치(7)가 형성한다.
- [0227] 도 11의 (B)와 마찬가지로, 시프트 레지스터의 단(USC1(n))으로부터 출력되는 출력 신호(SRout(n))는, 대응하는 공통 전극(TL(n))을 선택 공통 전극으로서 지정할 때, 하이 레벨이 되고, 대응하는 공통 전극(TL(n))을 비선택 공통 전극으로서 지정할 때, 로우 레벨이 된다.
- [0228] 터치 검출 기간에 있어서, 시프트 레지스터의 단(USC1(n))의 출력 신호(SRout(n))가 로우 레벨일 때, N형 MOSFET(TN11) 및 P형 MOSFET(TP10)이 온으로 되고, N형 MOSFET(TN10)는 오프로 된다. 이에 의해, N형 MOSFET(TN11) 및 P형 MOSFET(TP10) 각각을 통해서, 신호 배선(Ln4)과 인버터(IV5)에, 신호 배선(Ln-FL)에 공급되고 있는 제어 신호(VCOMFL)가 공급된다. 그 때문에, 신호 배선(Ln4)에는, 제어 신호(VCOMFL)가 공급되고, 신호 배선(Ln4)에는, 제어 신호(VCOMFL)가 위상 반전된 제어 신호가 공급되게 된다. 한편, 이때는, 터치 검출 기간이기 때문에, 제어 신호(VCOMFL)는 하이 레벨이 된다. 그 결과, 제4 스위치(TN8, TP8)를 구성하는 N형

MOSFET(TN8)의 게이트에는 하이 레벨이 공급되고, P형 MOSFET(TP8)의 게이트에는 로우 레벨이 공급되고, N형 MOSFET(TN8) 및 P형 MOSFET(TP8) 각각은 온으로 된다. 이에 의해, 터치 검출 기간에 있어서, 비선택 공통 전극으로서 공통 전극(TL(n))이 지정된 경우, 제4 스위치(TN8, TP8)를 통해서, 도 11의 (B)의 경우와 마찬가지로, 공통 전극(TL(n))은 제3 전압 배선(607)에 전기적으로 접속되고, 비선택 공통 전극의 전압이 변동되는 것을 방지하는 것이 가능하게 된다.

[0229] 한편, 터치 검출 기간에 있어서, 출력 신호(SRout(n))가 하이 레벨인 경우에는, N형 MOSFET(TN10)가 온으로 되고, N형 MOSFET(TN11) 및 P형 MOSFET(TP10)가 오프로 되기 때문에, N형 MOSFET(TN8)의 게이트에는, 로우 레벨의 전압(VGL)이 공급되고, P형 MOSFET(TP8)의 게이트에는, 인버터(IV5)로부터 하이 레벨이 공급된다. 이에 의해, 제4 스위치(TN8, TP8)는 오프가 되고, 대응하는 공통 전극(TL(n))과 제3 전압 배선(607)은 전기적으로 분리된다. 이때, 도 11에서 설명한 바와 같이, 제1 스위치(TN1, TP1) 및 제2 스위치(TN2, TP2)가 출력 신호(SRout(n))의 전압에 따라, 온(도통)/오프(비도통)로 된다. 이에 의해, 선택 공통 전극으로서 지정된 공통 전극(TL(n))은, 제1 스위치(TN1, TP1) 또는 제2 스위치(TN2, TP2)를 통해서, 제1 전압 배선(605) 또는 제2 전압 배선(606)과 전기적으로 접속된다.

[0230] 즉, 이 실시 형태 2에서는, 터치 검출 기간에 있어서, 선택 공통 전극으로서 지정된 경우에는, 그 선 폭이 굵은 제1 전압 배선(605) 및 제2 전압 배선(606)이, 선택 공통 전극에 접속되고, 공통 전극의 전압을 변화시키기 위한 제1 전압(PTH) 및 제2 전압(VCOMDC1)이 주기적으로 공급된다. 이에 반해, 터치 검출 기간에 있어서, 비선택 공통 전극으로서 지정된 공통 전극에는, 그 선 폭이, 제1 및 제2 전압 배선(605, 606)보다도 좁은 제3 전압 배선이 접속되어, 제3 전압(VCOMDC2)이 공급된다.

[0231] 또한, 표시 기간에 있어서는, 제어 신호(VCOMFL)가 로우 레벨이 되기 때문에, 출력 신호(SRout(n))가 하이 레벨이 되어도, N형 MOSFET(TN8)의 게이트에는 로우 레벨이 공급되고, P형 MOSFET(TP8)의 게이트에는 하이 레벨이 공급되게 된다. 즉, 제4 스위치(TN8, TP8)는 오프로 되어, 제3 전압 배선(607)과 대응하는 공통 전극(TL(n))과는 전기적으로 분리된다.

[0232] N형 MOSFET(TN12)의 소스는, 신호 배선(Ln5)에 접속되고, 그 드레인은 신호 배선(Ln-FL)에 접속되고, 그 게이트에는 제어 신호(xin)가 공급되고 있다. P형 MOSFET(TP12)의 드레인은, 신호 배선(Ln5)에 접속되고, 그 소스는 신호 배선(Ln-FL)에 접속되고, 그 게이트에는 제어 신호(in)가 공급되고 있다. 또한, P형 MOSFET(TP11)의 드레인은, 신호 배선(Ln5)에 접속되고, 그 소스에는 하이 레벨의 전압(VGH)이 공급되고, 그 게이트에는 제어 신호(xin)가 공급되고 있다. 신호 배선(Ln5)에 있어서의 신호는 인버터(IV6)에 의해 위상 반전되어, 신호 배선(/Ln5)에 공급되고 있다. 또한, 제5 스위치(TN9, TP9)에 있어서, N형 MOSFET(TN9)의 게이트는 신호 배선(/Ln5)에 접속되고, P형 MOSFET(TP9)의 게이트는 신호 배선(Ln5)에 접속되어 있다.

[0233] 표시 기간에 있어서, 단(USC1(n))의 출력 신호(SRout(n))가 로우 레벨이 되면, N형 MOSFET(TN12) 및 P형 MOSFET(TP12)가 온으로 되고, P형 MOSFET(TP11)가 오프로 된다. 이때, 제어 신호(VCOMFL)는, 표시 기간이기 때문에, 로우 레벨이 된다. 이에 의해, 온으로 되어 있는 N형 MOSFET(TN12) 및 P형 MOSFET(TP12) 각각을 통해서, 신호 배선(Ln5) 및 인버터(IV6)에 로우 레벨이 전달된다. 그 결과 P형 MOSFET(TP9) 및 N형 MOSFET(TN9)가 온으로 되어, 제5 스위치(TN9, TP9)를 통해서, 대응하는 공통 전극(TL(n))과 제2 전압 배선(606)이 전기적으로 접속된다. 또한, 표시 기간에 있어서, 출력 신호(SRout(n))가 하이 레벨 되면, P형 MOSFET(TP11)가 온으로 되고, N형 MOSFET(TN12) 및 P형 MOSFET(TP12)는 오프로 된다. 그 때문에, 제5 스위치(TN9, TP9)는 오프로 된다.

[0234] 또한, 터치 검출 기간에 있어서는, 출력 신호(SRout(n))가 로우 레벨이 되어도, 신호 배선(Ln5)에는, 제어 신호(VCOMFL)의 하이 레벨이 전달되고, 신호 배선(/Ln5)에는, 신호 배선(Ln5)에 있어서의 신호를 반전시킨 로우 레벨이 전달되게 된다. 이에 의해, 제5 스위치(TN9, TP9)는 오프로 된다.

[0235] 이에 의해, 표시 기간에 있어서는, 출력 신호(SRout(n))를 로우 레벨로 함으로써, 대응하는 공통 전극에는, 그 선 폭이 굵은 제2 전압 배선(606)을 전기적으로 접속하여, 제2 전압(VCOMDC2)을 공급할 수 있다.

[0236] 이 실시 형태 2에서는, 터치 검출 기간, 비선택 공통 전극은, 그 전압이 변동되지 않도록, 그 선 폭이 좁은 제3 전압 배선(607)에 의해 전압이 공급되고, 표시 기간에서는, 출력 신호(SRout(n))를 로우 레벨로 함으로써, 대응하는 공통 전극(TL(n))에는, 그 선 폭이 굵은 제2 전압 배선(606)으로부터 전압을 공급하는 것이 가능하게 된다. 이에 의해, 제3 전압 배선(607)을 설치함으로써 인한 면적의 증가를 억제하면서, 노이즈에 의한 정밀도의 저하를 저감하고, 프레임폭 협소화를 도모하는 것이 가능하게 된다.

[0237] 도 14의 (A) 내지 (F)는, 도 13의 (B)에 나타난 제1 단위 전극 구동 회로(UCGW1(n))를 도 8 및 도 10에 도시한

액정 표시 장치(1)에 사용한 경우의 전압 파형이 도시되어 있다. 즉, 도 10에 도시한 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각을, 도 13의 (B)에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))의 구성으로 한 경우의 전압 파형이다.

[0238] 도 14에는, 도 12와 마찬가지로, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 중 제1 단위 전극 구동 회로(UCGW1(n), UCGW1(n+1)) 및 제2 단위 전극 구동 회로(UCGW2(n) 내지 UCGW2(n+1))에 대응한 공통 전극(TL(n), TL(n+1))의 전압 파형만이, 도 14의 (E), (F)에 도시되어 있다. 이에 맞추어, 시프트 레지스터(SC1)의 단(USC1(n), (n+1)) 및 시프트 레지스터(SC2)의 단(USC2(n), USC2(n+1))의 출력 신호(SRout(n), SRout(n+1))의 전압 파형만이, 도 14의 (A) 및 (B)에 도시되어 있다.

[0239] 상술한 바와 같이, 터치용 반도체 장치(7)는, 터치 검출 기간(THP1, THP2)에 있어서, 하이 레벨이 되고, 표시 기간(DISP)에 있어서, 로우 레벨이 되는 제어 신호(VCOMFL)를 형성한다. 또한, 신호선 프리차지 기간에 있어서도, 제어 신호(VCOMFL)는 로우 레벨이 된다. 또한, 제어 신호(VCOMSEL)는, 실시 형태 1과 마찬가지로, 터치 검출 기간에 있어서 주기적으로 그 전압이 변화하여, 표시 기간에 있어서는 로우 레벨이 된다.

[0240] 또한, 표시 기간에 있어서, 시프트 레지스터(SC1, SC2)의 각 단(USC1(0) 내지 USC1(p) 및 USC2(0) 내지 USC2(p))의 출력 신호(SRout(0) 내지 SRout(p))의 각각의 전압은, 로우 레벨이 된다. 이것은, 예를 들어 시프트 레지스터에, 제어 신호(VCOMFL)의 로우 레벨에 응답하여, 시프트 레지스터(SC1, SC2)의 각각의 출력 신호(SRout(0) 내지 SRout(p))를 로우 레벨로 설정하는 회로를 설치함으로써 달성할 수 있다. 이 경우에도, 시프트 레지스터(SC1, SC2)의 각 단(USC1(0) 내지 USC1(p) 및 USC2(0) 내지 USC2(p))은, 저장한 논리 값을 유지하고 있다.

[0241] 이어서, 도 10, 도 13의 (B) 및 도 14의 (A) 내지 (F)를 이용하여, 실시 형태 2에 관한 액정 표시 장치(1)의 동작을 설명한다.

[0242] 터치-표시 동기 신호(TSHD)(도 1)가 하이 레벨이 됨으로써, 터치 검출 기간이 지정되면, 제어 신호(VCOMFL)가 하이 레벨이 되고, 제어 신호(VCOMSEL)의 전압이 주기적으로 변화한다. 시프트 레지스터의 단(USC1(n), USC2(n))의 출력 신호(SRout(n))가, 대응하는 공통 전극(TL(n))을 선택 공통 전극으로서 지정하는 논리 값 "1" (하이 레벨)을 출력한다. 이때, 공통 전극(TL(n))의 인접한 공통 전극(TL(n+1))에 대해서는, 비선택 공통 전극을 지정하는 논리 값 "0"에 대응하는 로우 레벨의 출력 신호(SRout(n+1))가, 대응하는 단(USC1(n+1), USC2(n+1))으로부터 출력되고 있는 것으로 한다.

[0243] 도 11의 (B) 및 도 13의 (B)에서 설명한 바와 같이, 제어 신호(VCOMSEL)가 주기적으로 변화하고, 출력 신호(SRout(n))가 하이 레벨로 됨으로써, 터치 검출 기간(THP1)에 있어서는, 제1 전압 배선(605) 또는 제2 전압 배선(606)이, 제1 스위치(TN1, TP1) 또는 제2 스위치(TN2, TP2)를 통해서, 공통 전극(TL(n))에 전기적으로 접속된다. 그 때문에, 공통 전극(TL(n))에는, 도 14의 (E)에 나타내는 바와 같이, 제1 전압(THP)과 제2 전압(VCOMDC1)의 사이에서 전압이 토글 형상으로 변화하게 된다. 이때, 비선택 공통 전극으로서 지정된 공통 전극(TL(n+1))에 대해서는, 제4 스위치(TN8, TP8)가 온으로 되기 때문에, 표시 기간(THP1)에 있어서는, 제3 전압 배선(607)이, 공통 전극(TL(n+1))에 전기적으로 접속되게 된다. 그 결과, 도 14의 (F)에 도시한 바와 같이, 비선택 공통 전극으로서 지정된 공통 전극(TL(n+1))은, 제3 전압(VCOMDC2)에 고정된다.

[0244] 이어서, 표시 기간(DISP)에 있어서는, 제어 신호(VCOMSEL)가 로우 레벨이 됨으로써, 제1 스위치(TN1, TP1) 및 제2 스위치(TN2, TP2) 각각이 오프가 된다. 또한, 표시 기간(DISP)에 있어서는, 출력 신호(SRout(0) 내지 SRout(p))가 로우 레벨이 되고, 제4 스위치(TN8, TP8)도 오프가 된다. 그 때문에, 공통 전극(TL(0) 내지 TL(p))은 플로팅 상태가 되려고 하는데, 표시 기간(DISP)에 있어서는, 제5 스위치(TN9, TP9)가 온으로 된다. 그 때문에, 공통 전극(TL(0) 내지 TL(p)) 각각은, 제5 스위치(TN9, TP9)를 통해서 제2 전압 배선(606)에 접속되고, 공통 전극(TL(0) 내지 TL(p)) 각각은, 제2 전압(VCOMDC1)에 고정된다(도 14의 (E) 및 (F) 참조). 그 결과, 신호선에 화상 신호를 공급함으로써, 주사 신호에 의해 온 상태로 되어 있는 박막 트랜지스터(Tr)(도 7)를 통해서, 액정 소자(LC)(도 7)에는, 제2 전압(VCOMDC1)과 화상 신호에 따른 전압이 공급됨으로써, 화상 신호에 따른 표시가 행하여진다.

[0245] 클럭 신호(SDCK)가 변화함으로써, 단(USC1(n), USC1(n))의 각각의 선택 신호(SDST(n))는, 다음의 단(USC1(n+1), USC2(n+1))에 도입되어 저장된다. 또한, 단(USC1(n+1), USC2(n+1)) 각각은, 도입한 선택 신호

(SDST(n))의 논리 값에 따른 전압값을 갖는 출력 신호(SRout(n+1))를 출력한다. 마찬가지로, 단(USC1(n), USC2(n)) 각각은, 그 전단(USC1(n-1), USC2(n-1))의 선택 신호(SDST(n-1))를 도입하여 저장하고, 선택 신호(SDST(n-1))에 대응하는 출력 신호(SRout(n))를 출력한다. 도 14에서는, 단(USC1(n+1), USC2(n+1))은 논리 값 "1"의 선택 신호(SDST(n))를 도입하고, 단(USC1(n), USC2(n))은 논리 값 "0"의 선택 신호(SDST(n-1))를 도입하고 있다. 그 때문에, 출력 신호(SRout(n))는 로우 레벨이 되고, 출력 신호(SRout(n+1))는 하이 레벨이 된다. 이에 의해, 선택 공통 전극으로서 지정된 공통 전극(TL(n+1))의 전압은, 터치 검출 기간(THP2)에서는, 도 14의 (F)에 도시한 바와 같이, 제1 전압(TPH)과 제2 전압(VCOMDC2)의 사이에서 토글 형상으로 변화한다. 한편, 비선택 공통 전극으로서 지정된 공통 전극(TL(n))의 전압은, 제3 전압(VCOMDC2)에 고정된다. 다음의 표시 기간(DISF) 이후도 동일하다. 또한, 다른 공통 전극에 있어서도, 상기한 동작이 행하여진다.

[0246] 실시 형태 2에서는, 그 선 폭이 좁은 제3 전압 배선(607)을 사용함으로써, 면적의 증가를 억제하면서, 노이즈에 의한 검출 정밀도의 저하를 억제하고, 프레임폭 협소화를 도모하는 것이 가능하게 된다. 또한, 표시 기간에 있어서는, 그 선 폭이 굵은 제2 전압 배선(606)에 의해, 소정의 전압(제2 전압(VCOMDC1))이 액정 소자(LC)에 공급된다. 그 때문에, 표시 기간에 있어서, 액정 소자(LC)에 공급되는 전압이 변동되는 것을 방지하는 것이 가능하게 된다.

[0247] <변형예 1>

[0248] 도 13에 나타난 제1 단위 전극 구동 회로(UCGW1(n))를, 도 10에 도시한 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2) 각각에 사용한 것을 설명하였다. 이 변형예 1에서는, 도 13에 나타난 제1 단위 전극 구동 회로(UCGW1(n))가, 도 10에 도시한 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각에 사용되고, 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 11에 도시한 제1 단위 전극 구동 회로(UCGW1(n))를 사용한다.

[0249] <변형예 2>

[0250] 이 변형예 2에서는, 도 11에 도시한 제1 단위 전극 구동 회로(UCGW1(n))가, 도 10에 도시한 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각에 사용되고, 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 13의 (B)에 나타난 제1 단위 전극 구동 회로(UCGW1(n))를 사용한다.

[0251] 변형예 1 및 변형예 2에 의하면, 제1 전극 구동 회로(CGW1) 또는 제2 전극 구동 회로(CGW2)에 제3 전압(VCOMDC2)을 공급하는 제3 전압 배선(607)의 선 폭을 가늘게 하는 것이 가능하게 되고, 면적의 증가를 억제하는 것이 가능하게 된다.

[0252] 제1 전극 구동 회로(CGW1)에 제1 내지 제3 전압을 공급하는 제1 내지 제3 전압 배선(605 내지 607)을, 제1 전압 배선, 제3 전압 배선 및 제5 전압 배선이라 간주하고, 제2 전극 구동 회로(CGW2)에 제1 내지 제3 전압을 공급하는 제1 내지 제3 전압 배선(605 내지 607)을, 제2 전압 배선, 제4 전압 배선, 제6 전압 배선이라 간주할 수도 있다. 이 경우, 제1, 제3 및 제5 전압 배선은, 표시 패널(2)의 짧은 변(2-U)과 모듈(600-U)(도 6)과의 사이에 연장되고, 제2, 제4 및 제6 전압 배선은, 표시 패널(2)의 짧은 변(2-D)과 모듈(600-D)(도 6)과의 사이에 연장되게 된다. 이 경우에도, 제5 및 제6 전압 배선의 선 폭은, 제1 내지 제4 전압 배선의 선 폭보다도 가늘게 된다.

[0253] (실시 형태 3)

[0254] 실시 형태 3에 관한 터치 검출 기능을 구비한 액정 표시 장치(1)에 있어서는, 복수의 터치 검출 방식으로부터 원하는 터치 검출 방식을 선택하여, 채용하는 것이 가능하게 된다. 즉, 실시 형태 1 및 실시 형태 2에서 채용된 상호 용량 방식의 터치 검출 방식에, 이 검출 방식과는 상이한 터치 검출 방식도 채용할 수 있도록, 액정 표시 장치(1)는 구성된다. 우선, 실시 형태 3에서, 추가되는 터치 검출 방식에 대해서 그 원리를 설명한다.

[0255] <정전 용량형 터치 검출(자기 용량 방식)의 기본 원리>

[0256] 도 15의 (A) 내지 (C)는 자기 용량 방식의 터치 검출의 기본 원리를 설명하기 위한 설명도이다. 도 15의 (A)에서, TL(0) 내지 TL(p) 각각은, 열 방향으로 연장되고, 행 방향으로 병렬적으로 배치된 공통 전극이며, RL(0) 내지 RL(p) 각각은, 공통 전극(TL(0) 내지 TL(p))과 교차하도록 배치된 검출 전극이다. 검출 전극(RL(0) 내지 RL(p)) 각각은, 공통 전극(TL(0) 내지 TL(p))과 교차하도록, 행 방향으로 연장되고, 열 방향에 병렬적으로 배치되어 있다. 또한, 공통 전극(TL(0) 내지 TL(p))과 검출 전극(RL(0) 내지 RL(p))은 평면에서 보아 교차하게 보이는데, 서로 전기적으로 접촉하지 않도록, 공통 전극(TL(0) 내지 TL(p))과 검출 전극(RL(0) 내지 RL(p))의 사

이에는, 절연층이 개재하고 있다.

- [0257] 여기에서는, 설명의 사정상, TL(0) 내지 TL(p)을 공통 전극으로 하고, RL(0) 내지 RL(p)을 검출 전극으로 하는데, 공통 전극(TL(0) 내지 TL(p)) 및 검출 전극(RL(0) 내지 RL(p)) 각각에는, 구동 신호가 공급되고, 공통 전극(TL(0) 내지 TL(p)) 및 검출 전극(RL(0) 내지 RL(p))로부터 검출 신호가 출력된다. 그 때문에, 외부 물체의 터치를 검출한다는 관점에서 본 경우에는, 공통 전극(TL(0) 내지 TL(p)) 및 검출 전극(RL(0) 내지 RL(p))은 모두 검출 전극이라고 간주할 수 있다.
- [0258] 자기 용량 방식의 터치 검출에 있어서는, 공통 전극(TL(0) 내지 TL(p))을 사용한 검출 원리도, 검출 전극(RL(0) 내지 RL(p))을 사용한 검출 원리도 동일하다. 이하, 도 15의 (B) 및 (C)의 설명에서는, 공통 전극(TL(0) 내지 TL(p))과 검출 전극(RL(0) 내지 RL(p))을 통합해서 검출 전극으로 한다.
- [0259] 검출 전극(공통 전극(TL(0) 내지 TL(p)) 및 검출 전극(RL(0) 내지 RL(p))) 각각에는, 접지 전압과의 사이에서 기생 용량이 존재한다. 외부 물체로서, 예를 들어 손가락(FG)이, 검출 전극의 근방을 터치하면, 도 15의 (B)에 도시한 바와 같이, 검출 전극과 손가락(FG)과의 사이에서 전계가 발생한다. 바꿔 말하면, 손가락(FG)이 근접함으로써, 검출 전극과 접지 전압과의 사이에 접속되는 용량이 증가한다. 그 때문에, 도 15의 (B)에서, ○으로 둘러싼 것과 같이, 전압이 펄스 형상으로 변화하는 구동 신호를, 검출 전극에 공급하면, 검출 전극과 접지 전압과의 사이에 축적되는 전하량이, 검출 전극의 근방을 터치하고 있는지 여부에 따라 변화한다.
- [0260] 도 15의 (C)에는, 손가락(FG)이, 검출 전극의 근방을 터치하고 있는지 여부에 의해, 검출 전극에 축적되는 전하량의 변화가 도시되어 있다. 손가락(FG)이 검출 전극의 근방을 터치한 경우, 검출 전극에 접속되는 용량이 증가하기 때문에, 펄스 형상의 구동 신호를 검출 전극에 공급했을 때, 검출 전극에 축적되는 전하량이, 터치하지 않은 경우에 비해 ΔQ만큼 증가한다. 도 15의 (C)에서, 횡축은 시간을 나타내고, 종축은 전하량을 나타내고 있다. 또한, 도 15의 (C)에서 파선은, 터치했을 때의 전하량의 변화를 나타내고 있다. 구동 신호를 검출 전극에 공급했을 때, 그 검출 전극에 축적되어 있는 전하량의 차(ΔQ)를 검출함으로써, 검출 전극의 근방이 터치되어 있는지 여부의 검출을 하는 것이 가능하게 된다.
- [0261] <터치용 반도체 장치 1600의 구성>
- [0262] 도 16은, 터치용 반도체 장치(1600)의 구성을 도시하는 블록도이다. 도 16에는, 도 1에 도시한 터치용 반도체 장치(7)와 상이한 부분만이 도시되어 있다. 실시 형태 3에 관한 터치용 반도체 장치(1600)에서는, 도 1에 도시한 터치 검출 신호 증폭부(13) 외에, 터치 검출 신호 증폭부(1601)가 설치되어 있다. 도 1에 도시한 A/D 변환부(14), 신호 처리부(15), 좌표 추출부(16) 및 검출 타이밍 제어부(19)는, 실시 형태 3에서의 터치 제어 장치(1600)에도 설치되어 있지만, 실시 형태 1과 마찬가지로 하기 때문에, 도 16에서는 생략되어 있다. 또한, 도 16에는, 도 1에 도시한 구동 신호 형성부(17)와 유사한 구동 신호 형성부(1602)가 도시되어 있다.
- [0263] 구동 신호 형성부(1602)는, 터치 검출 방식을 지정하는 검출 방식 지정 신호(SELFEN)가, 상호 용량 방식을 지정하고 있을 때, 도 1에서 나타난 구동 신호 형성부(17)와 마찬가지로, 제어부(18)로부터의 제어 신호에 기초하여, 클럭 신호(SDCK), 선택 신호(SDST) 및 제어 신호(ctrsig)를 형성한다. 구동 신호 형성부(1602)는, 특별히 제한되지 않지만, 클럭 신호(φ)를 수신하고, 이 클럭 신호(φ)에 기초하여, 클럭 신호(φ)에 동기해서, 그 전압이 변화하는 클럭 신호(SDCK)를 형성한다.
- [0264] 한편, 검출 방식 지정 신호(SELFEN)가, 도 15에서 설명한 자기 용량 방식을 지정하고 있을 때, 구동 신호 형성부(1602)는, 클럭 신호(φ)에 동기한 구동 신호(S-In(0) 내지 S-In(p))를 형성하고, 단자(ST(0) 내지 ST(p))를 통해서 출력한다. 또한, 구동 신호 형성부(1602)는, 특별히 제한되지 않지만, 검출 방식 지정 신호(SELFEN)가, 자기 용량 방식을 지정하고 있을 때, 클럭 신호(SDCK)는 변화시키지 않는다. 또한, 시프트 레지스터(SC1, SC2)의 각각의 단(USC1(0) 내지 USC1(p) 및 USC2(0) 내지 USC2(p))의 출력 신호(SRout(0) 내지 SRout(p))는 로우 레벨이 되도록 한다.
- [0265] 터치 검출 신호 증폭부(1601)는, 공통 전극(TL(0) 내지 TL(p))으로부터의 검출 신호(SRx(0) 내지 SRx(p))를 수신하여, 공통 전극의 근방이 터치되어 있는지 여부에 의해 발생하는 전하량의 차를 전압의 차로써 증폭하여, 도 1에 도시한 A/D 변환부(14)에 출력한다. 이 실시 형태 3에서는, 특별히 제한되지 않지만, 단자(ST(0) 내지 ST(p))는 입력력 공통의 단자로서 사용된다. 즉, 구동 신호(S-In(0) 내지 S-In(p))를 공통 전극(TL(0) 내지 TL(p))에 공급할 때는, 출력 단자로서 기능하고, 공통 전극(TL(0) 내지 TL(p))으로부터의 검출 신호(SRx(0) 내지 SRx(p))를 수신할 때는, 입력 단자로서 기능한다.
- [0266] 검출 방식 지정 신호(SELFEN)가, 자기 용량 방식을 지정하고 있을 때, 구동 신호 형성부(1602)는, 구동 신호(S-

In(0) 내지 S-In(p))를 형성한 타이밍을 터치 검출 신호 증폭부(1601)에 타이밍 신호로서 알린다. 터치 검출 신호 증폭부(1601)는, 구동 신호 형성부(1602)로부터 공급되는 타이밍 신호에 기초하여, 단자(ST(0) 내지 ST(p))에 있어서의 신호를 검출 신호(SRx(0) 내지 SRx(p))로서 증폭한다. 이에 의해, 구동 신호(S-In(0) 내지 S-In(p))에 기초하여, 공통 전극(TL(0) 내지 TL(p))의 전압이 변화하고, 터치의 유무에 의해, 공통 전극(TL(0) 내지 TL(p))에 발생하는 전압의 변화를, 터치 검출 신호 증폭부(1601)에 의해 증폭하는 것이 가능하게 된다.

[0267] 단자(ST(0) 내지 ST(p))는, 나중에 설명하지만, 제1 전극 구동 회로(CGW1) 및/또는 제2 전극 구동 회로(CGW2)를 통해서, 공통 전극(TL(0) 내지 TL(p))에 전기적으로 접속된다. A/D 변환부(14)에 의한 A/D 변환 동작의 다음은, 도 1과 동일하므로, 설명은 생략한다.

[0268] 또한, 특별히 제한되지 않지만, 검출 방식 지정 신호(SELFEN)는, 유저의 설정에 의해, 제어부(18)에 있어서 형성되고, 제1 전극 구동 회로(CGW1) 및/또는 제2 전극 구동 회로(CGW2)에 공급된다. 예를 들어, 검출 방식 지정 신호(SELFEN)는, 그 전압이 하이 레벨일 때, 검출 방식으로 자기 용량 방식을 지정하고, 그 전압이 로우 레벨일 때, 상호 용량 방식을 검출 방식으로 지정한다. 또한, 검출 방식 지정 신호(SELFEN)는, 표시 기간에 있어서 로우 레벨이 된다. 그 때문에, 검출 방식 지정 신호(SELFEN)는, 자기 용량 방식 인에이블 신호라 간주할 수 있다.

[0269] <액정 표시 장치의 구성>

[0270] 이 실시 형태 3에 관한 액정 표시 장치는, 도 10에 도시한 구성과 유사한 구성을 갖고 있으므로, 여기에서는 도 10에 도시한 액정 표시 장치를 기초로 해서 설명한다. 우선, 서로 다른 점을 설명한다. 이 실시 형태 3에서는, 터치 검출 방식으로, 도 15에서 설명한 자기 용량 방식이 추가되어 있다. 그 때문에, 공통 전극(TL(0) 내지 TL(p))과 마찬가지로, 검출 전극(Rx(0) 내지 Rx(p))에도, 터치 검출용의 구동 신호가 공급되어, 검출 전극(Rx(0) 내지 Rx(p)) 각각에 있어서의 검출 신호를 기초로, 터치의 유무의 검출이 행하여진다. 검출 전극(Rx(0) 내지 Rx(p))에의 터치 검출용의 구동 신호의 공급과, 거기에 기초한 터치의 유무의 검출은, 공통 전극(TL(0) 내지 TL(p))에의 터치 검출용의 구동 신호의 공급과, 거기에 기초한 터치의 유무의 검출과 실질적으로 동일하기 때문에, 검출 전극(Rx(0) 내지 Rx(p))을 사용한 터치의 유무의 검출에 대해서는 생략한다.

[0271] 실시 형태 1 및 실시 형태 2와 마찬가지로, 이 실시 형태 3에서도, 제1 전극 구동 회로(CGW1)는, 복수의 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))를 포함하고 있다. 또한, 제2 전극 구동 회로(CGW2)도, 실시 형태 1 및 실시 형태 2와 마찬가지로, 복수의 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))를 포함하고 있다. 또한, 이 실시 형태 3에서는, 특별히 제한되지 않지만, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))와 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))는, 서로 동일한 구성을 갖고 있다.

[0272] 도 17에는, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 중 제1 단위 전극 구동 회로(UCGW1(n))의 구성이, 대표로서 도시되어 있다. 도 17에 나타내는 구성은, 도 11의 (B)에 나타난 구성과 유사하므로, 여기에서는 상위점만을 주로 설명한다. 도 17에 나타내는 제1 단위 전극 구동 회로(UCGW1(n))에 있어서, 시프트 레지스터의 단(USC1(n)) 및 제1 단위 스위치 회로(USW1(n))의 구성은, 도 11의 (B)와 동일하다.

[0273] 제1 단위 로직 회로(ULG1(n))는, 도 11의 (B)에 나타난 제1 단위 로직 회로(ULG1(n))에 대하여 자기 용량 방식을 채용할 때 사용되는 회로가 추가되어 있다. 즉, 도 17에서, 제1 단위 로직 회로(ULG1(n))는, 인버터(IV7), N형 MOSFET(TN13), P형 MOSFET(TP13), TP14가 추가되어 있다. 여기서, P형 MOSFET(TP13)의 드레인은 신호 배선(Ln3)에 접속되고, 그 게이트에는 제어 신호(in)가 공급되고 있다. 또한, N형 MOSFET(TN7)의 드레인 및 P형 MOSFET(TP13)의 소스는, 도 17에서는, 검출 방식 지정 신호(SELFEN)가 공급되는 신호 배선(Ln-SEL)에 접속되어 있다. 또한, 신호 배선(Ln-SEL)에 있어서의 검출 방식 지정 신호(SELEN)는, 인버터(IV)에 의해 위상 반전되어, P형 MOSFET(TP14)의 게이트에 공급되고, 신호 배선(Ln-SEL)에 있어서의 검출 방식 지정 신호(SELEN)는, N형 MOSFET(TN13)의 게이트에 공급되고 있다. 이 P형 MOSFET(TP14) 및 N형 MOSFET(TN13)는, 노드(n1), 즉 대응하는 공통 전극(TL(n))과 신호 배선(Ln-S(n))과의 사이에 접속되어 있고, 스위치를 구성하고 있다. 신호 배선(Ln-S(n))은 도 16에 나타난 터치용 반도체 장치의 입출력 단자(ST(n))와 1 대 1로 대응하고 있다.

[0274] P형 MOSFET(TP13)는, N형 MOSFET(TN7)와 동기해서 온/오프한다. 즉, N형 MOSFET(TN7)가 온일 때, P형 MOSFET(TP13)도 온으로 되고, N형 MOSFET(TN7)가 오프일 때, P형 MOSFET(TP13)도 오프로 된다. 도 11의 (B)의 설명으로부터 이해되는 바와 같이, N형 MOSFET(TN7)는, 표시 기간 및 대응하는 공통 전극(TL(n))이 비선택 공통 전극으로서 지정되었을 때, 온으로 된다. 이에 맞추어, P형 MOSFET(TP13)도, 표시 기간 및 대응하는 공통 전극

(TL(n))이 비선택 공통 전극으로서 지정되었을 때, 온으로 된다. 표시 기간 및 상호 용량 방식이 채용될 때에는, 검출 방식 지정 신호(SELEN)는 로우 레벨이 되기 때문에, 로우 레벨이 신호 배선(Ln3)에 전달되고, 신호 배선(/Ln3)은 인버터(IV4)에 의해 하이 레벨이 된다. 그 때문에, 표시 기간 및 상호 용량 방식이 채용되어 있을 때는, 제3 스위치(TN3, TP3)가 도통하여, 대응하는 공통 전극(TL(n))은 제3 전압 배선(607)에 접속되게 된다. 즉, 대응하는 공통 전극(TL(n))에는, 이 기간에서는, 실시 형태 1과 마찬가지로, 제3 전압(VCOMDC2)이 공급된다.

[0275] 이에 반해, 검출 방식 지정 신호(SELFEN)가 하이 레벨이 되면, N형 MOSFET(TN13) 및 P형 MOSFET(TP14)가 온으로 된다. 이에 의해, 대응하는 공통 전극(TL(n))과 터치용 반도체 장치(7)의 단자(ST(n))가 전기적으로 접속되게 된다. 이 상태에서, 도 16에 나타난 구동 신호 형성부(1602)로부터, 그 전압이 주기적으로 변화하는 구동 신호(S-In(n))를 입출력 단자(ST(n))에 공급한다. 이에 의해, 대응하는 공통 전극(TL(n))에 있어서의 전압이 변화하고, 도 15에서 설명한 바와 같이, 공통 전극(TL(n))의 근방이 터치되어 있는지 여부에 의해, 공통 전극(TL(n))에 있어서의 전압의 변화가 바뀐다. 공통 전극(TL(n))에 있어서의 전압의 변화는, N형 MOSFET(TN13) 및 P형 MOSFET(TP14) 각각을 통해서, 입출력 단자(ST(n))에 전달되고, 터치 검출 신호 증폭부(1601)에 의해 증폭되어, A/D 변환부(14)에 의해 A/D 변환된다. 또한, 이때, 검출 방식 지정 신호(SELFEN)가 하이 레벨이기 때문에, 제3 스위치(TN3, TP3)는 오프로 되어 있다.

[0276] 도 17에서, 신호 배선(Ln-Se1)은, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 대하여 공통으로 되어 있다. 한편, 신호 배선(Ln-S(0) 내지 Ln-S(p))은, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 1 대 1로 대응하고 있다. 즉, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))에 있어서의 신호 배선(Ln-S(0) 내지 Ln-S(p))은 서로 전기적으로 분리되어 있고, 대응하는 입출력 단자(ST(0) 내지 ST(p))에 접속되어 있다. 마찬가지로, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 있어서의 신호 배선(Ln-S(0) 내지 Ln-S(p))도, 서로 전기적으로 분리되어 있고, 대응하는 입출력 단자(ST(0) 내지 ST(p))에 접속되어 있다.

[0277] 도 19의 (A) 내지 (G)는, 실시 형태 3에 관한 액정 표시 장치(1)의 동작을 나타내는 전압 파형 도이다. 도 19에서, 터치 검출 기간(THPM1 및 THPM2)은, 터치 검출 방식으로서, 상호 용량 방식을 채용했을 때의 전압 파형을 나타내고 있고, 터치 검출 기간(THPS)은, 터치 검출 방식으로서, 자기 용량 방식을 채용했을 때의 전압 파형을 나타내고 있다. 또한, ISP는, 표시 기간에 있어서의 전압 파형을 나타내고 있다.

[0278] 검출 방식 지정 신호(SELFEN)가, 도 19의 (C)에 나타내고 있는 바와 같이, 로우 레벨로 되어 있을 때는, 상호 용량 방식이 채용되고, 하이 레벨로 되어 있을 때는, 자기 용량 방식이 채용된다. 검출 방식 지정 신호(SELFEN)가 로우 레벨로 되어 있을 때의 전압 파형(도 19의 (A), (B), (D), (F) 및 (G))은, 도 12에 나타난 전압 파형(도 12의 (A), (B), (C), (D) 및 (E))과 동일해지므로, 설명은 생략한다. 또한, 여기서, 도 12의 (A), (B)의 파형이, 도 19의 (A), (B)의 파형에 대응하고, 도 12의 (C)의 파형이, 도 19의 (D)의 파형에 대응하고, 도 12의 (D), (E)의 파형이, 도 19의 (F), (G)의 파형에 대응하고 있다. 이 전압 파형에 대해서는, 표시 기간(DIS)에 있어서도, 도 12와 도 19의 사이에서 동일하기 때문에, 그 설명은 생략한다.

[0279] 도 12의 (C)에 나타내고 있는 바와 같이, 검출 방식 지정 신호(SELFEN)를 하이 레벨로 변화시킴으로써, 터치 검출 방식이, 상호 용량 방식에서 자기 용량 방식으로 전환된다. 검출 방식 지정 신호(SELFEN)를 하이 레벨로 함으로써, 도 17에 나타난 N형 MOSFET(TN13) 및 P형 MOSFET(TP14)가 온으로 된다. 이때, 도 16에 나타난 구동 신호 형성부(1602)가, 각각의 전압이 주기적으로 변화하는 구동 신호(S-In(0) 내지 S-In(p))를 형성하여, 입출력 단자(ST(0) 내지 ST(p))에 공급한다. 구동 신호(S-In(n))의 파형이, 일례로서, 도 19의 (E)에 도시되어 있다.

[0280] 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각에 있어서의, N형 MOSFET(TN13) 및 P형 MOSFET(TP14)를 통해서, 입출력 단자(ST(0) 내지 ST(p))에 공급된 구동 신호(S-In(0) 내지 S-In(p))는, 대응하는 공통 전극(TL(0) 내지 TL(p))에 공급되고, 공통 전극(TL(0) 내지 TL(p)) 각각에 있어서의 전압은, 구동 신호(S-In(0) 내지 S-In(p))의 전압 변화에 따라서 변화한다. 도 19의 (F), (G)에는, 공통 전극(TL(n), TL(n+1))의 전압 변화가, 예로서 도시되어 있다.

[0281] 구동 신호(S-In(0) 내지 S-In(p))의 전압 변화에 따라, 공통 전극(TL(0) 내지 TL(p))의 근방이 터치됨으로써 발생하는 공통 전극(TL(0) 내지 TL(p))에 있어서의 전압 변화가, 입출력 단자(T(0) 내지 ST(p))에 전달되고, 검출 신호(SRx(0) 내지 SRx(p))로서, 터치 검출 신호 증폭부(1601)에서 증폭되어, A/D 변환된다.

- [0282] 공통 전극(TL(0) 내지 TL(p))을 검출 전극으로서 사용하는 예를 설명했지만, 검출 전극(RL(0) 내지 RL(p))에 있어서도 마찬가지로, 구동 신호를 공급하고, 검출 전극(RL(0) 내지 RL(p))에 있어서의 전압 변화를 검출 신호(SRx(0) 내지 SRx(p))로서 증폭한다. 공통 전극(TL(0) 내지 TL(p))을 사용한 검출과 검출 전극(RL(0) 내지 RL(p))을 사용한 검출을 행하여, 터치된 위치의 좌표를 추출한다.
- [0283] 이 실시 형태 3에서는, 터치 검출 방식으로서 상호 용량 방식과 자기 용량 방식을 전환해서 채용하는 것이 가능하게 된다.
- [0284] (실시 형태 4)
- [0285] 실시 형태 4에 관한 터치 검출 기능을 구비한 액정 표시 장치(1)에 있어서도, 실시 형태 3과 마찬가지로, 복수의 터치 검출 방식으로부터 원하는 터치 검출 방식을 선택하여, 채용하는 것이 가능하게 된다. 즉, 유저가, 상호 용량 방식의 터치 검출 방식과, 자기 용량 방식의 터치 검출 방식을 선택하여, 선택한 터치 검출 방식을 채용할 수 있다.
- [0286] <액정 표시 장치의 구성>
- [0287] 이 실시 형태 4에 관한 액정 표시 장치(1)는, 실시 형태 3에서 설명한 액정 표시 장치(1)와 유사하다. 여기에서도, 실시 형태 4에 관한 액정 표시 장치의 구성을, 도 10에 도시한 구성에 기초하여 설명한다. 먼저, 실시 형태 1 내지 실시 형태 3과의 상위점을 설명한다.
- [0288] 실시 형태 1 내지 실시 형태 3과 마찬가지로, 실시 형태 4에서도, 제1 전극 구동 회로(CGW1)는, 복수의 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))를 포함하고 있다. 또한, 제2 전극 구동 회로(CGW2)도 마찬가지로, 복수의 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))를 포함하고 있다. 또한, 이 실시 형태 4에서는, 특별히 제한되지 않지만, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))와 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))는, 서로 동일한 구성을 갖고 있다.
- [0289] 도 18에는, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 중 제1 단위 전극 구동 회로(UCGW1(n))의 구성이, 대표로서 도시되어 있다. 도 18에 나타내는 구성은, 도 13에 나타낸 구성과 유사하므로, 여기에서는 상위점만을 주로 설명한다. 도 18에 나타내는 제1 단위 전극 구동 회로(UCGW1(n))에 있어서, 시프트 레지스터의 단(USC1(n)) 및 제1 단위 스위치 회로(USW1(n))의 구성은, 도 13과 동일하다.
- [0290] 제1 단위 로직 회로(ULG1(n))는, 도 13에 나타낸 단위 로직 회로(ULG1(n))에 대하여 자기 용량 방식을 채용할 때 사용되는 회로가 추가되어 있다. 즉, 도 18에서, 제1 단위 로직 회로(ULG1(n))는, 인버터(IV8), N형 MOSFET(TN14), P형 MOSFET(TP15)가 추가되어 있다.
- [0291] 여기서, N형 MOSFET(TP14)의 게이트는, 신호 배선(Ln-Se1)에 접속되고, P형 MOSFET(TP15)의 게이트는, 인버터(IV8)를 통해서, 신호 배선(Ln-Se1)에 접속되어 있다. 신호 배선(Ln-Se1)에는, 실시 형태 3과 마찬가지로, 검출 방식 지정 신호(SELFEN)가 공급된다. 그 때문에, N형 MOSFET(TN14)의 게이트에는, 검출 방식 지정 신호(SELFEN)가 공급되고, P형 MOSFET(TP15)의 게이트에는, 인버터(IV8)에 의해 위상 반전된 검출 방식 지정 신호(SELFEN)가 공급되게 된다. 이 P형 MOSFET(TP15)와 N형 MOSFET(TN14)는, 병렬적으로, 대응하는 공통 전극(TL(n))과 대응하는 신호 배선(Ln-S(n))간에 접속되어, 검출 방식 지정 신호(SELFEN)로부터 제어되는 스위치를 구성한다.
- [0292] 또한, 도 18에서는, N형 MOSFET(TN12)의 드레인과 P형 MOSFET(TP12)의 소스는, 도 13과는 달리, 신호 배선(Ln-OR)에 접속되어 있다. 신호 배선(Ln-OR)에는, 검출 방식 지정 신호(SELFEN)와 제어 신호(VCOMFL)를 받는 2 입력의 논리합 회로(OR 회로)(OR1)의 출력이 공급된다. 설명의 사정상, 논리합 회로(OR1)가, 도 18에 도시되어 있지만, 이 논리합 회로(OR1)의 출력인 제어 신호는, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 각각 공통으로 공급된다. 그 때문에, 도 16에 나타낸 구동 신호 형성부(1602)에, 논리합 회로(OR1)는 포함되어 있는 것으로 이해되어야 한다.
- [0293] 구동 신호 형성부(1602)는, 터치 검출 방식으로서 상호 용량 방식이 지정되었을 때, 제어 신호(VCOMFL)를 하이 레벨로 하고, 표시 기간 및 터치 검출 방식으로서 자기 용량 방식이 지정되었을 때는, 제어 신호(VCOMFL)를 로우 레벨로 한다. 또한, 실시 형태 3과 마찬가지로, 자기 용량 방식이 지정되었을 때, 검출 방식 지정 신호(SELFEN)를 하이 레벨로 한다. 검출 방식 지정 신호(SELFEN)를 자기 용량 방식 인에이블 신호라 간주한 경우, 제어 신호(VCOMFL)는, 상호 용량 방식 인에이블 신호라 간주할 수도 있다. 논리합 회로(OR1)는, 상호 용량 방

식 또는 자기 용량 방식이 지정되었을 때 하이 레벨이 된다. 바꿔 말하면, 논리합 회로(OR1)의 출력 신호는, 터치가 지정되었을 때, 하이 레벨이 된다.

- [0294] 검출 방식 지정 신호(SELFEN)에 의해, 자기 용량 방식이 지정되면, 실시 형태 3과 마찬가지로, 신호 배선(Ln-S(n))과, 대응하는 공통 전극(TL(n))과의 사이의 스위치(TN14, TP15)가 도통 상태로 된다. 이에 의해, 도 16에 나타난 대응하는 입출력 단자(ST(n))로부터의 구동 신호(S-In(n))가, 대응하는 공통 전극(TL(n))에 공급된다. 또한, 대응하는 공통 전극(TL(n))에 있어서의 터치에 의해 발생한 전압 변화는, 스위치(TN14, TP15)를 통해서, 대응하는 입출력 단자(ST(n))에 전달되어, 검출 신호(SRx(n))로서 증폭된다.
- [0295] 도 13과 달리, 도 18에서는, N형 MOSFET(TN12)의 드레인과 P형 MOSFET(TP12)의 소스에, 논리합 회로(OR1)의 출력 신호가 공급되고 있다. 그 때문에, 자기 용량 방식을 검출 방식으로서 지정한 경우도, 상호 용량 방식을 검출 방식으로서 지정한 경우도, 이들 MOSFET(TN12, TP12)가 온으로 되었을 때는, 제5 스위치(TN9, TP9)는 오프로 된다. 한편, 터치 검출이 지시되어 있지 않을 때는, 논리합 회로(OR1)의 출력 신호는 로우 레벨이 된다. 이에 의해, 터치 검출이 지시되어 있지 않은 기간, 즉 표시 기간에 있어서는, 제5 스위치(TN9, TP9)는 온으로 되고, 그 선 폭이 굵은 제2 전압 배선(606)이, 공통 전극과 접속되게 된다.
- [0296] 이어서, 도 20의 (A) 내지 (H)를 이용하여, 실시 형태 4에 관한 액정 표시 장치(1)의 동작을 설명한다. 도 20에서, 터치 검출 기간(THPM1 및 THPM2)은, 터치 검출 방식으로서, 상호 용량 방식을 채용했을 때의 파형을 나타내고 있고, 터치 검출 기간(THPS)은, 터치 검출 방식으로서, 자기 용량 방식을 채용했을 때의 파형을 나타내고 있다. 또한, DISP는, 표시 기간에 있어서의 파형을 나타내고 있다.
- [0297] 검출 방식 지정 신호(SELFEN)가, 도 20의 (D)에 나타내고 있는 바와 같이, 로우 레벨로 되어 있을 때는, 상호 용량 방식이 채용되고, 하이 레벨로 되어 있을 때는, 자기 용량 방식이 채용된다. 또한, 상호 용량 방식을 채용한 경우에는, 도 20의 (C)에 도시한 바와 같이, 터치 검출 기간(THPM1, THPM2)에 있어서, 제어 신호(VCOMFL)는 하이 레벨이 된다. 검출 방식 지정 신호(SELFEN)가 로우 레벨로 되어 있을 때의 파형은, 도 14에 도시한 파형과 동일해지므로, 설명은 생략한다. 또한, 여기서, 도 14의 (A), (B), (C)의 파형이, 도 20의 (A), (B), (C)의 파형에 대응하고, 도 14의 (D)의 파형이, 도 20의 (E)의 파형에 대응하고, 도 14의 (E), (F)의 파형이, 도 20의 (G), (H)의 파형에 대응하고 있다. 표시 기간(DISP)에 있어서도, 이 파형에 대해서는, 도 14와 도 20의 사이에서 동일하기 때문에, 그 설명은 생략한다.
- [0298] 도 20의 (D)에 나타내고 있는 바와 같이, 검출 방식 지정 신호(SELFEN)를 하이 레벨로 변화시킴으로써, 터치 검출 방식이, 상호 용량 방식에서 자기 용량 방식으로 전환된다. 즉, 도 18에 나타난 N형 MOSFET(TN14) 및 P형 MOSFET(TP15)가 온으로 된다. 이때, 도 16에 나타난 구동 신호 형성부(1602)가, 각각의 전압이 주기적으로 변화하는 구동 신호(S-In(0) 내지 S-In(p))를 형성하여, 입출력 단자(ST(0) 내지 ST(p))에 공급한다. 구동 신호(S-In(n))의 파형이, 일례로서, 도 20의 (F)에 도시되어 있다.
- [0299] 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각에 있어서의, N형 MOSFET(TN14) 및 P형 MOSFET(TP15)를 통해서, 입출력 단자(ST(0) 내지 ST(p))에 공급된 구동 신호(S-In(0) 내지 S-In(p))는, 대응하는 공통 전극(TL(0) 내지 TL(p))에 공급되고, 공통 전극(TL(0) 내지 TL(p)) 각각에 있어서의 전압은, 구동 신호(S-In(0) 내지 S-In(p))의 전압 변화에 따라서 변화한다. 도 20의 (G), (H)에는, 공통 전극(TL(n)), TL(n+1)의 전압 변화가, 예로서 도시되어 있다.
- [0300] 구동 신호(S-In(0) 내지 S-In(p))의 전압 변화에 따라, 공통 전극(TL(0) 내지 TL(p))의 근방이 터치됨으로써 발생하는 공통 전극(TL(0) 내지 TL(p))에 있어서의 전압 변화가, 입출력 단자(T(0) 내지 ST(p))에 전달되고, 검출 신호(SRx(0) 내지 SRx(p))로서, 터치 검출 신호 증폭부(1601)에서 증폭되어, A/D 변환된다.
- [0301] 공통 전극(TL(0) 내지 TL(p))을 검출 전극으로서 사용하는 예를 설명했지만, 검출 전극(RL(0) 내지 RL(p))에 있어서도 마찬가지로, 구동 신호를 공급하여, 검출 전극(RL(0) 내지 RL(p))에 있어서의 전압 변화를 검출 신호(SRx(0) 내지 SRx(p))로서 증폭한다. 공통 전극(TL(0) 내지 TL(p))을 사용한 검출과 검출 전극(RL(0) 내지 RL(p))을 사용한 검출을 행하여, 터치된 위치의 좌표를 추출한다.
- [0302] 이 실시 형태 4에서는, 터치 검출 방식으로서 상호 용량 방식과 자기 용량 방식을 전환해서 채용하는 것이 가능하게 된다.
- [0303] <변형예 1>
- [0304] 도 18을 이용한 실시 형태 4에서는, 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 및 제2

단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))를 사용하고 있었다. 변형예 1에서는, 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각으로서, 도 17에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용되고, 도 10에 도시한 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용된다.

[0305] <변형예 2>

[0306] 변형예 2에서는, 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각으로서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용되고, 도 10에 도시한 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 17에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용된다.

[0307] <변형예 3>

[0308] 변형예 3에서는, 도 10에 도시한 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용되고, 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각으로서, 도 11 또는 도 13에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용된다.

[0309] <변형예 4>

[0310] 변형예 4에서는, 도 10에 도시한 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p)) 각각으로서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용되고, 도 10에 도시한 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 각각으로서, 도 11 또는 도 13에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))가 사용된다.

[0311] 실시 형태 4 및 변형예 1 내지 변형예 4에 의하면, 터치 검출 기간에 있어서, 비선택 공통 전극에 공급되는 제3 전압(VCOMDC2)은, 그 전 폭이 좁은 제3 전압 배선(607)으로부터 급전된다. 이에 의해, 예를 들어 도 6을 참조로 한 경우, 도 6에서 상측 및/또는 하측의 프레임이 넓어지는 것을 억제하는 것이 가능하게 된다.

[0312] 물론, 변형예 3에서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n)) 대신에 도 17에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))를 사용해도 된다. 또한, 변형예 4에서, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n)) 대신에 도 17에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))를 사용해도 된다.

[0313] (실시 형태 5)

[0314] 실시 형태 5에서는, 도 10에 도시한 액정 표시 장치(1)를 예로 해서 설명하면, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))와, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))가, 서로 다른 구성이 된다. 또한, 이 실시 형태 5에서도, 자기 용량 방식과 상호 용량 방식의 터치 검출 방식을, 유저가 선택하여, 채용할 수 있게 된다.

[0315] <액정 표시 장치의 구성>

[0316] 도 23은, 실시 형태 5에 관한 액정 표시 장치의 구성을 도시하는 블록도이다. 동도에서, TL(0) 내지 TL(p)은 공통 전극을 나타내고 있다. USC1(0) 내지 USC1(p)은 시프트 레지스터의 단을 나타내고 있고, ULG1(0) 내지 ULG1(p)은 제1 단위 로직 회로를 나타내고 있고, USW1(0) 내지 USW1(p)은 제1 단위 스위치 회로를 나타내고 있다. 실시 형태 1 내지 4에서 설명한 바와과 마찬가지로, 각 단(USC1(i)), 각 제1 단위 로직 회로(ULG1(i)), 각 제1 단위 스위치 회로(USW1(i)) 및 각 공통 전극(TL(i))은, 서로 1 대 1로 대응하고 있다(i=0 내지 p). 도 23에서는, 도면이 복잡해지는 것을 피하기 위해서 명시하고 있지 않지만, 서로 대응하는 단(USC1(i)), 제1 단위 로직 회로(ULG1(i)) 및 제1 단위 스위치 회로(USW1(i))에 의해, 대응하는 공통 전극(TL(i))에 대한 제1 단위 전극 구동 회로(UCGW1(i))가 구성되고, 복수의 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))에 의해, 제1 전극 구동 회로(CGW1)가 구성되어 있다.

[0317] 마찬가지로, USC2(0) 내지 USC2(p)는 시프트 레지스터의 단을 나타내고 있고, ULG2(0) 내지 ULG2(p)는 제2 단위 로직 회로를 나타내고 있고, USW2(0) 내지 USW2(p)는 제2 단위 스위치 회로를 나타내고 있다. 각 단(USC2(i)), 각 제2 단위 로직 회로(ULG2(i)), 각 제2 단위 스위치 회로(USW2(i)) 및 각 공통 전극(TL(i))은 서로 1 대 1로 대응하고 있다(i=0 내지 p). 도 23에서는, 명시하고 있지 않지만, 서로 대응하는 단(USC2(i)), 제2 단위 로직 회로(ULG2(i)) 및 제1 단위 스위치 회로(USW2(i))에 의해, 대응하는 공통 전극(TL(i))에 대한 제2 단위 전극 구동 회로(UCGW2(i))가 구성되고, 복수의 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 의해, 제2 전극 구동 회로(CGW2)가 구성되어 있다.

- [0318] 이 실시 형태 5에서는, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))는 서로 동일한 구성으로 되고, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))도 서로 동일한 구성으로 되어 있다. 단, 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))의 구성과, 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 구성은 상이하다는 것에 주의해야 한다.
- [0319] 도 23에서, OR1U 및 OR1D 각각은, 제어 신호(VCOMFL)와 검출 방식 지정 신호(SELFEN)를 입력으로 한 2 입력 논리합 회로이다. 논리합 회로(OR1U)는, 제1 전극 구동 회로(CGW1)에 대응하고 있고, 논리합 회로(OR1D)는, 제2 전극 구동 회로(CGW2)에 대응하고 있다. 이 논리합 회로(OR1U 및 OR1D)는, 도 18에 나타낸 논리합 회로(OR1)에 상당하고, 터치가 지정되어 있을 때, 하이 레벨이 된다. 도 23에서는, 제1 및 제2 전극 구동 회로(CGW1, CGW2) 각각에 대응한 논리합 회로가 설치되어 있지만, 물론 1개의 논리합 회로에 의해, 신호 배선(Ln-OR)에 공급되는 제어 신호를 형성하도록 해도 된다.
- [0320] 도 23에서, SS(0) 내지 SS(p)는 신호 배선(Ln-S(0) 내지 Ln-S(p))과 공통 전극(TL(0) 내지 TL(n))과의 사이에 접속된 스위치이다. 스위치(SS(0) 내지 SS(p)) 각각은, 도면을 보기 쉽게 하기 위해서, 동도에서는, 제2 전극 구동 회로(CGW2)로부터 독립해서 그려져 있지만, 스위치(SS(0) 내지 SS(p)) 각각은, 제2 전극 구동 회로(CGW2) 내의 대응하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))에 설치되어 있다. 즉, 스위치(SS(0) 내지 SS(p)) 각각은, 대응하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p)) 내의 제2 단위 로직 회로(ULG2(0) 내지 ULG2(p))에 설치되어 있다.
- [0321] 또한 도 23에서는 생략되어 있지만, 스위치(SS(0) 내지 SS(p))의 스위치는, 그 스위치(SS(0) 내지 SS(p))를 갖는 제2 단위 로직 회로(UCGW2(0) 내지 UCGW2(p))에 의해 제어된다. 또한, 신호 배선(Ln-S(0) 내지 Ln-S(p))은 도 16에 나타낸 입출력 단자(ST(0) 내지 ST(p))에 접속되어 있다.
- [0322] 또한, 도 23에서는, 생략되어 있지만, 공통 전극(TL(0) 내지 TL(p))과 교차하도록, 검출 전극(RL(0) 내지 RL(p))과, 주사선(GL(0) 내지 GL(p))이 배치되어 있다.
- [0323] 다음의 제1 전극 구동 회로(CGW1) 및 제2 전극 구동 회로(CGW2)를 설명하는데, 제1 전극 구동 회로(CGW1)를 구성하는 제1 단위 전극 구동 회로(UCGW1(0) 내지 UCGW1(p))의 구성은, 서로 동일하기 때문에, 제1 단위 전극 구동 회로(UCGW1(n))를 대표로서 설명한다. 마찬가지로, 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCGW2(0) 내지 UCGW2(p))의 구성은, 서로 동일하기 때문에, 제2 단위 전극 구동 회로(UCGW1(n))를 대표로서 설명한다.
- [0324] <제1 단위 전극 구동 회로의 구성>
- [0325] 도 21은, 실시 형태 5에 관한 제1 단위 전극 구동 회로(UCGW1(n))의 구성을 도시하는 회로도이다. 또한, 도 21에는, 설명의 사정상, 도 23에 나타낸 논리합 회로(OR1U)도 나타나고 있다.
- [0326] 도 21에 나타내는 제1 단위 전극 구동 회로(UCGW1(n))는, 도 13 및 도 18에서 나타낸 제1 단위 전극 구동 회로(UCGW1(n))와 유사하다. 상위점은, 도 21에 나타내는 제1 단위 전극 구동 회로(UCGW1(n))는, 도 18에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))에 대하여 N형 MOSFET(TN14), P형 MOSFET(TP15), 인버터 회로(IV8) 및 신호 배선(Ln-Se1)을 갖고 있지 않는 것이다.
- [0327] 즉, 도 13 및 도 18에서 설명한 것과 마찬가지로, 도 21에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))에 있어서는, 제1 단위 스위치 회로(USW1(n))는, N형 MOSFET(TN1, TN2, TN8, TN9) 및 P형 MOSFET(TP1, TP2, TP8, TP9)를 갖고 있다. 또한, 제1 단위 로직 회로(ULG1(n))는, 인버터 회로(IV1 내지 IV3, IV5, IV6), N형 MOSFET(TN4 내지 TN6, TN10 내지 TN12) 및 P형 MOSFET(TP4 내지 TP6, TP10 내지 TP12)를 갖고 있다.
- [0328] 여기서, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)에 의해, 제1 스위치(TN1, TP1)가 구성되고, N형 MOSFET(TN2) 및 P형 MOSFET(TP2)에 의해, 제2 스위치(TN2, TP2)가 구성되고, N형 MOSFET(TN8) 및 P형 MOSFET(TP8)에 의해, 제4 스위치(TN8, TP8)가 구성되고, N형 MOSFET(TN9) 및 P형 MOSFET(TP9)에 의해, 제5 스위치(TN9, TP9)가 구성되어 있다. 도 23에서는, 제1 스위치(TN1, TP1)가 US1로서 도시되고, 제2 스위치(TN2, TP2)가 US2로서 도시되고, 제4 스위치(TN8, TP8)가 US4로서 도시되고, 제5 스위치(TN9, TP9)가 US5로서 도시되어 있다.
- [0329] 도 21 및 도 23에 도시한 바와 같이, 제1 스위치(TN1, TP1)(US1)은, 대응하는 공통 전극(TL(n))과 제1 전압 배선(605)과의 사이에 접속되고, 제2 스위치(TN2, TP2)(US2)는, 공통 전극(TL(n))과 제2 전압 배선(606)과의 사이에 접속되어 있다. 또한, 제4 스위치(TN8, TP8)(US4)는, 공통 전극(TL(n))과 제3 전압 배선(607)과의 사이에 접속되고, 제5 스위치(TN9, TP9)(US5)는, 공통 전극(TL(n))과 제2 전압 배선(606)과의 사이에 접속되어 있다.

여기서, 제3 전압 배선(606)의 선 폭은, 제1 전압 배선(605) 및 제2 전압 배선(607)의 선 폭보다도 가늘게 되어 있다. 도 21 및 도 23에서도, 이 선 폭의 상이를 명시하기 위해서, 제3 전압 배선(607)은 좁은 선으로 그려져 있다.

[0330] 대응하는 시프트 레지스터의 단(USC1(0))으로부터의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 선택 공통 전극으로서 지정하는 논리 값 "1"인 경우, P형 MOSFET(TP4, TP5) 및 N형 MOSFET(TN4, TN6)가 온으로 된다. 이 MOSFET를 통해서, 주기적으로 그 전압이 변화하는 구동 신호(VCOMSEL)가, 신호 배선(Ln1, Ln2)에 전달된다. 또한 신호 배선(Ln1, Ln2)에 있어서의 전압의 변화에 대하여 반전된 구동 신호가, 인버터(IV2, IV3)에 의해 신호 배선(/Ln1, /Ln2)에 공급된다. 이에 의해, 제1 스위치(TN1, TP1)(US1)는, 구동 신호(VCOMSEL)가 하이 레벨일 때 온으로 되고, 제1 전압 배선(605)과 대응하는 공통 전극(TL(n))을 전기적으로 접속한다. 한편, 제2 스위치(TN2, TP2)(US2)는, 구동 신호(VCOMSEL)가 로우 레벨일 때 온으로 되고, 제2 전압 배선(606)과 대응하는 공통 전극(TL(n))을 전기적으로 접속한다. 이에 의해, 공통 전극(TL(n))에는, 도 13 및 도 18의 구성과 마찬가지로, 구동 신호(VCOMSEL)의 주기에 맞추어, 제1 전압(TPH)과 제2 전압(VCOMDC1)이 공급되게 된다.

[0331] 한편, 터치 검출 기간에 있어서, 대응하는 시프트 레지스터의 단(USC1(n))으로부터의 출력 신호(SRout(n))가, 공통 전극(TL(n))을 비선택 공통 전극으로서 지정하는 논리 값 "0"인 경우, N형 MOSFET(TN11) 및 P형 MOSFET(TP10)가 온으로 된다. 터치 검출 기간이기 때문에, 제어 신호(VCOMFL)는 하이 레벨이 된다. 그 때문에, 온으로 되어 있는 N형 MOSFET(TN11) 및 P형 MOSFET(TP10)를 통해서, 하이 레벨의 제어 신호(VCOMFL)는, 신호 배선(Ln4)에 전달된다. 또한, 신호 배선(Ln4)에 있어서의 신호는, 인버터(IV5)에 의해 반전되어, 신호 배선(/Ln4)에 공급된다. 이때의 신호 배선(Ln4, /Ln4)에 의해, 제4 스위치(TN8, TP8)(US4)가 온으로 된다. 그 때문에, 공통 전극(TL(n))이 비선택 공통 전극으로서 지정된 경우에는, 이 공통 전극(TL(n))은 도 13 및 도 18과 마찬가지로, 제3 전압 배선(607)에 전기적으로 접속되게 된다.

[0332] 또한, 표시 기간에 있어서는, 대응하는 시프트 레지스터의 단(USC1(0))으로부터의 출력 신호(SRout(n))의 논리 값은 "0"(로우 레벨)으로 된다. 이에 의해, N형 MOSFET(TN12) 및 P형 MOSFET(TP12)가 온으로 된다. 표시 기간에 있어서는, 제어 신호(VCOMFL) 및 검출 방식 지정 신호(SELFEN) 각각이, 로우 레벨로 되기 때문에, 신호 배선(Ln-FL)의 전압은 로우 레벨이 된다. 이 로우 레벨은, 온으로 되어 있는 N형 MOSFET(TN12) 및 P형 MOSFET(TP12)를 통해서, 신호 배선(Ln5)에 전달된다. 또한, 인버터(IV6)에 의해, 신호 배선(Ln5)의 전압은 반전되어, 신호 배선(/Ln5)에 전달된다. 이에 의해, 제5 스위치(TN9, TP9)(US5)가 온으로 되고, 제2 전압 배선(606)이 공통 전극(TL(n))에 접속된다.

[0333] 또한, P형 MOSFET(TP12) 및 N형 MOSFET(TN12)는, 터치 기간에 있어서, 출력 신호(SRout(n))가 논리 값 "0"일 때도 온으로 되는데, 이때의 신호 배선(Ln-OR)의 전압은, 논리합 회로(OR1U)에 의해 하이 레벨이 되기 때문에, 제5 스위치(TN9, TP9)(US5)는 온으로 되지 않는다.

[0334] 여기서, 시프트 레지스터의 단(USC1(0) 내지 USC1(p) 및 USC2(0) 내지 USC2(p))에 대해서, 단(USC1(n) 및 USC2(n))을 예로 들어 설명해 둔다. 도 23에 나타내고 있는 바와 같이, 각각의 단(USC1(0) 내지 USC1(p) 및 USC2(0) 내지 USC2(p))에는, 클럭 신호(SDCK)가 공급되고 있고, 각각의 단은, 그 전단으로부터의 선택 신호가 공급된다. 클럭 신호(SDCK)의 전압이 변화하면, 각각의 단은, 그 전단으로부터의 선택 신호를 도입하여 저장한다. 또한 도입한 선택 신호의 논리 값에 대응한 출력 신호(SRout(0) 내지 SRout(p))를, 대응하는 제1 및 제2 단위 로직 회로에 출력한다. 단(USC1(n), USC2(n))에 대해서 설명하면, 그 전단의 단(USC1(n-1), USC2(n-1))으로부터의 선택 신호(SDST(n-1))를 도입하여 저장한다. 또한, 도입한 선택 신호(SDST(n-1))의 논리 값 "1" 또는 "0"에 따른 전압의 출력 신호(SRout(n))를, 제1 및 제2 단위 로직 회로(ULG1(n), ULG2(n))에 출력한다. 또한 도입한 선택 신호(SDST(n-1))의 논리 값을 선택 신호(SDST(n))로서 출력한다.

[0335] 시프트 레지스터의 초단(USC1(0), USC2(0))에는, 터치용 반도체 장치(7)에 의해 선택 신호(SDST)가 세트된다. 예를 들어, 논리 값 "1"의 선택 신호(SDST)가 1회 세트되고, 이후는, 클럭 신호(SDCK)를 변화시키면서, 논리 값 "0"의 선택 신호(SDST)를 세트한다. 이에 의해, 선택 공통 전극을 지정하는 논리 값 "1"의 선택 신호(SDST)는, 시프트 레지스터 내를 이동한다. 즉, 도 23의 예에서는, 논리 값 "1"은, 좌측의 단(USC1(0), USC2(0))로부터, 우측의 단(USC1(p), USC2(p))을 향해서 이동한다.

[0336] 이에 의해, 상호 용량 방식의 터치 검출 방식이 채용된 경우에는, 공통 전극(TL(0))에서부터 TL(p)의 순서대로, 선택 공통 전극으로서 지정된다. 선택 공통 전극으로서 지정되면, 도 21을 이용해서 설명한 바와 같이, 선택 공통 전극은, 구동 신호(VCOMSEL)의 전압 변화에 따라, 제1 전압 배선(605) 또는 제2 전압 배선(606)에 접속되어, 제1 전압(TPH)과 제2 전압(VCOMDC1)이 교대로 공급된다.

- [0337] 한편, 터치 검출 기간에 있어서, 비선택 공통 전극으로서 지정된 공통 전극은, 도 21에서 설명한 바와 같이, 제 3 전압 배선(607)에 접속되어, 제3 전압(VCOMDC2)이 공급된다. 이 경우, 비선택 공통 전극으로서 지정된 공통 전극에 공급되는 제3 전압(VCOMDC2)은, 터치 검출일 때와 같이, 용량을 고속으로 방전할 필요는 없으며, 노이즈가 발생하지 않도록, 비선택 공통 전극의 전압을 고정할 수 있으면 된다. 그 때문에, 제3 전압(VCOMDC2)을 전달하는 제3 전압 배선(607)의 선 폭은 가늘게 되어 있다.
- [0338] 또한, 표시 기간에 있어서는, 공통 전극(TL(0) 내지 TL(p))은 제2 전압 배선(606)에 접속된다. 이에 의해, 표시 기간에 있어서는, 공통 전극(TL(0) 내지 TL(p))은 표시를 위한 액정 소자의 전압으로서 사용된다.
- [0339] <제2 단위 전극 구동 회로의 구성>
- [0340] 도 22는, 실시 형태 5에 관한 제2 단위 전극 구동 회로(UCGW2(n))의 구성을 도시하는 회로도이다. 또한, 도 22에서도, 설명의 사정상, 도 23에 나타낸 논리합 회로(OR1D)도 도시되어 있다.
- [0341] 도 22에 나타내는 제2 단위 전극 구동 회로(UCGW2(n))는, 도 11 및 도 17에서 나타낸 제1 단위 전극 구동 회로(UCGW1(n))와 유사하다. 상위점은, 도 22에 나타내는 제2 단위 전극 구동 회로(UCGW2(n))는, 도 17에 나타낸 제1 단위 전극 구동 회로(UCGW1(n))에 대하여 N형 MOSFET(TN3, TN7), P형 MOSFET(TP3, TP7, TP13), 인버터 회로(IV4), 신호 배선(Ln3, /Ln3, Ln4, /Ln4) 및 제3 전압 배선(607)을 갖고 있지 않은 것이다. 또한, 도 22에 나타내는 제2 단위 전극 구동 회로(UCGW2(n))에는, 논리합 회로(OR1D)의 출력이 공급되는 신호 배선(Ln-OR) 및 N형 MOSFET(TN15)가 추가되어 있다.
- [0342] 즉, 도 11 및 도 17에서 설명한 것과 마찬가지로, 도 22에 나타낸 제2 단위 전극 구동 회로(UCGW2(n))에 있어서는, 제1 단위 스위치 회로(USW2(n))는, N형 MOSFET(TN1, TN2) 및 P형 MOSFET(TP1, TP2)를 갖고 있다. 또한, 제1 단위 로직 회로(ULG2(n))는, 인버터 회로(IV1 내지 IV3, IV7), N형 MOSFET(TN4 내지 TN6, TN13) 및 P형 MOSFET(TP4 내지 TP6, TP14)를 갖고 있다. 도 22에 나타낸 인버터 회로(IV1 내지 IV3, IV7), N형 MOSFET(TN4 내지 TN6, TN13) 및 P형 MOSFET(TP4 내지 TP6, TP14)의 배치가, 도 17에 나타낸 이들 소자의 배치와 상이하기 때문에, 상이한 회로 구성처럼 보이지만, N형 MOSFET(TN15)가 추가되어 있는 것과, P형 MOSFET(TP6)의 드레인 접속처가 변경되어 있는 것을 제외하고, 이들 소자의 접속은, 도 22와 도 18의 사이에서 동일하다.
- [0343] 도 18에 대하여 추가된 N형 MOSFET(TN15)의 게이트는, 인버터(IV1)의 출력(도 18에서 설명하면, 신호(xin))에 접속되고, 그 소스는 신호 배선(Ln-OR)에 접속되고, 그 드레인은 신호 배선(Ln2)에 접속되어 있다. 또한, 도 22에서는, P형 MOSFET(TP6)의 드레인은, 신호 배선(Ln-OR)에 접속되어 있다.
- [0344] 여기서, N형 MOSFET(TN1) 및 P형 MOSFET(TP1)에 의해, 제1 스위치(TN1, TP1)가 구성되고, N형 MOSFET(TN2) 및 P형 MOSFET(TP2)에 의해, 제2 스위치(TN2, TP2)가 구성되어 있다. 도 23에서는, 제1 스위치(TN1, TP1)가 DS1로서 도시되고, 제2 스위치(TN2, TP2)가 DS2로서 도시되어 있다.
- [0345] 터치 검출 방식으로서, 상호 용량 방식이 지정되고, 터치 검출 기간이 되면, 신호 배선(Ln-Sel)에는, 로우 레벨의 검출 방식 지정 신호(SELFEN)가 공급되고, 신호 배선(Ln-OR)에는, 논리합 회로(OR1D)로부터 하이 레벨의 제어 신호가 공급된다.
- [0346] 이 터치 검출 기간에 있어서, 시프트 레지스터의 단(USC2(n))으로부터, 대응하는 공통 전극(TL(n))을 선택 공통 전극으로서 지정하는 논리 값 "1"의 출력 신호(SRout(n))가 출력되면, N형 MOSFET(TN4, TN6), P형 MOSFET(TP4, TP5)가 온으로 된다.
- [0347] 터치 검출 기간에 있어서, 그 전압이 주기적으로 변화하는 구동 신호(VCOMSEL)는, 온으로 되어 있는 N형 MOSFET(TN4) 및 P형 MOSFET(TP4)를 통해서, 신호 배선(Ln1)에 전달된다. 또한 신호 배선(/Ln1)에는, 신호 배선(Ln1)에 있어서의 신호가, 인버터(IV2)에 의해 반전되어 전달된다. 또한, 구동 신호(VCOMSEL)는, 온으로 되어 있는 N형 MOSFET(TN6) 및 P형 MOSFET(TP5)를 통해서, 신호 배선(Ln2)에 전달된다. 또한 신호 배선(/Ln2)에는, 신호 배선(Ln2)에 있어서의 신호가, 인버터(IV3)에 의해 반전되어 전달된다.
- [0348] 제1 스위치(TN1, TP1)(DS1)는, 신호 배선(Ln1, /Ln1)의 전압에 의해 온/오프된다. 이 경우, 제1 스위치(TN1, TP1)(DS1)는, 신호 배선(Ln1)이 하이 레벨이고, 신호 배선(/Ln1)이 로우 레벨일 때, 온으로 된다. 즉, 구동 신호(VCOMDC)가 하이 레벨일 때, 제1 스위치(TN1, TP1)(DS1)는 온으로 되고, 제1 전압 배선(605)을, 대응하는 공통 전극(TL(n))에 전기적으로 접속한다. 한편, 제2 스위치(TN2, TP2)(DS2)는, 신호 배선(/Ln2, Ln2)의 전압에 의해 온/오프된다. 이 경우, 제2 스위치(TN2, TP2)(DS2)는, 신호 배선(/Ln2)이 하이 레벨이고, 신호 배선(Ln2)이 로우 레벨일 때, 온으로 된다. 즉, 구동 신호(VCOMDC)가 로우 레벨일 때, 제2 스위치(TN2, TP2)(DS2)는

온으로 되고, 제2 전압 배선(606)을, 대응하는 공통 전극(TL(n))에 전기적으로 접속한다.

[0349] 한편, 터치 검출 기간에 있어서, 시프트 레지스터의 단(USC2(n))으로부터, 대응하는 공통 전극(TL(n))을 비선택 공통 전극으로서 지정하는 논리 값 "0"의 출력 신호(SRout(n))가 출력되면, N형 MOSFET(TN5, TN15), P형 MOSFET(TP6)가 온으로 된다. 이에 의해, 온으로 되어 있는 N형 MOSFET(TN5)를 통해서, 신호 배선(Ln1)에는 로우 레벨의 전압(VGL)이 공급되고, 신호 배선(/Ln1)에는, 인버터(IV2)에 의해 하이 레벨이 공급된다. 또한, 신호 배선(Ln2)에는, 온으로 되어 있는 P형 MOSFET(TP6) 및 N형 MOSFET(TN15)를 통해서, 신호 배선(Ln-OR)에 있어서의 하이 레벨이 전달된다. 이때, 신호 배선(/Ln2)에는, 인버터(IV3)에 의해 로우 레벨이 공급된다. 이에 의해, 제1 스위치(TN1, TP1)(DS1) 및 제2 스위치(TN2, TP2) 각각이, 오프로 된다.

[0350] 즉, 이 실시 형태 5에서는, 상호 용량 방식의 터치 검출 방식이 지정된 경우, 선택 공통 전극(TL(n))은, 그 한쪽의 단부측이, 제1 전극 구동 회로(UCGW1)에 있어서, 제1 전압 배선(605) 또는 제2 전압 배선(606)에 접속되고, 또한 제2 전극 구동 회로(UCGW1)에 있어서, 선택 공통 전극(TL(n))의 타단부측이, 제1 전압 배선(605) 또는 제2 전압 배선(606)에 접속된다. 이에 반해, 비선택 공통 전극(TL(n))은, 그 한쪽의 단부측에서만, 제1 전극 구동 회로(UCGW1)에 있어서, 제3 전압 배선(607)에 접속된다. 이와 같이 함으로써, 드라이브용 반도체 장치(DDIC)측에 배치되는 제2 전극 구동 회로(CGW2)를 구성하는 소자 및 전압 배선을 적게 하는 것이 가능하게 되어, 소형화가 도모된다. 도 6을 예로 해서 설명하면, 하측의 프레임을 좁게 하는 것이 가능하게 된다. 또한 비선택 공통 전극에 공급되는 제3 전압을 급전하는 제3 전압 배선(607)의 선 폭이 가늘기 때문에, 도 6을 예로 하면, 상측의 프레임이 넓어지는 것을 억제하는 것이 가능하게 된다.

[0351] 또한, 표시 기간에 있어서, 논리합 회로(OR1D)의 출력 신호가 로우 레벨이 되고, 단(USC2(n))으로부터 출력되는 출력 신호(SRout(n))가 로우 레벨이 되기 때문에, N형 MOSFET(TN15) 및 P형 MOSFET(TP6)가 온으로 되고, 신호 배선(Ln-OR)에 있어서의 로우 레벨이, N형 MOSFET(TN15) 및 P형 MOSFET(TP6)를 통해서, 신호 배선(Ln2)에 전달되고, 신호 배선(/Ln2)에는, 인버터(IV3)에 의해 하이 레벨이 공급된다. 이에 의해, 표시 기간에 있어서, 제2 스위치(TN2, TP2)(DS2)가 온으로 되고, 대응하는 공통 전극(TL(n))은 제2 전압 배선(606)에 접속된다. 즉, 표시 기간에 있어서, 공통 전극(TL(0) 내지 TL(p))은, 그 일단측이, 제1 전극 구동 회로(CGW1)에 있어서, 제2 전압 배선(606)에 접속되고, 그 타단측은, 제2 전극 구동 회로(CGW2)에 있어서, 제2 전압 배선(606)에 접속된다. 이에 의해, 표시 기간에 있어서, 액정 소자(LC)에 공급되는 전압이 변동되는 것을 억제하는 것이 가능하게 된다.

[0352] 자기 용량 방식이 지정된 경우, 하이 레벨의 검출 방식 지정 신호(SELFEN)가 신호 배선(Ln-Sel)에 공급된다. 이에 의해, N형 MOSFET(TN13) 및 P형 MOSFET(TP14)가 온으로 된다. 그 때문에, 신호 배선(Ln-S(n))과 대응하는 공통 전극(TL(n))이 온으로 되어 있는 N형 MOSFET(TN13) 및 P형 MOSFET(TP14)를 통해서 전기적으로 접속된다. 자기 용량 방식을 지정한 터치 검출 기간에 있어서, 도 16에 나타난 구동 신호 형성부(1602)로부터의 구동 신호(S-In(0) 내지 S-In(p))가 제2 전극 구동 회로(CGW2)에 공급된다. 구동 신호(S-In(n))를 예로 하면, 제2 전극 구동 회로(CGW2) 내의 제2 단위 전극 구동 회로(UCGW2) 내의 N형 MOSFET(TN13) 및 P형 MOSFET(TP14)를 통해서, 구동 신호(S-IN(n))는, 대응하는 공통 전극(TL(n))에 공급된다. 이 공통 전극(TL(n))의 근방이 터치되어 있는지 여부에 의해 발생하는 공통 전극(TL(n))에 있어서의 전압 변화는, 제2 단위 전극 구동 회로(UCGW2) 내의 N형 MOSFET(TN13) 및 P형 MOSFET(TP14)를 통해서, 도 16에 나타난 입출력 단자(ST(n))에 전달되고, 검출 신호(SRx(n))로서 터치 검출 신호 증폭부(1601)에서 증폭된다.

[0353] 제1 전극 구동 회로(CGW1)에 제1 내지 제3 전압을 공급하는 제1 내지 제3 전압 배선은, 제1 전압 배선, 제3 전압 배선 및 제5 전압 배선이라 간주할 수 있다. 이 경우, 제2 전극 구동 회로(CGW2)에 제1 및 제2 전압을 공급하는 제1 및 제2 전압 배선은, 제2 전압 배선 및 제4 전압 배선이라 간주할 수 있다. 또한, 제2 전극 구동 회로(CGW2)를 구성하는 제2 단위 전극 구동 회로(UCG2(0) 내지 UCG2(p)) 각각에 있어서, 스위치(DS1 및 DS2)가 오프 상태로 되어 있을 때는, 제2 전극 구동 회로(CGW2)가 하이 임피던스 상태라고 간주할 수 있다.

[0354] 실시 형태 1 내지 5에서, 제1 단위 전극 구동 회로(UCGW1(n))에 있어서, 제1 단위 로직 회로(ULG1(n))는, 제1 단위 스위치 회로(USW1(n))를 구성하는 복수의 스위치를 제어하는 제1 제어 회로라 간주할 수 있다. 이 경우, 마찬가지로, 제2 단위 전극 구동 회로(UCGW2(n))에 있어서, 제2 단위 로직 회로(ULG2(n))는, 제2 단위 스위치 회로(USW2(n))를 구성하는 복수의 스위치를 제어하는 제2 제어 회로라 간주할 수 있다.

[0355] 예를 들어, 실시 형태 5를 본 경우, 제1 스위치(US1), 제2 스위치(US2), 제4 스위치(US4) 및 제5 스위치(US5)는, 택일적으로 도통 상태가 되도록, 제1 제어 회로에 의해 제어되게 된다. 여기서, 제2 전압(VCOMDC1)과 제3 전압(VCOMDC2)은 동일한 전압이기 때문에, 제4 스위치(US4)와 제5 스위치(US5)를 합쳐서 제3

스위치라 간주한 경우, 제1 스위치 내지 제3 스위치가, 택일적으로 도통 상태가 되도록, 제1 제어 회로에 의해 제어되어 있다고 간주할 수 있다. 한편, 제1 스위치(DS1) 및 제2 스위치(DS2)를, 각각 제4 스위치 및 제5 스위치라 간주한 경우, 제2 제어 회로는, 이 제4 스위치(DS1) 및 제5 스위치(DS2)가, 동시에 온으로 되는 상태가 발생하지 않도록 제어하는데, 모두 오프(비도통)로 되는 상태가 발생하도록 제어하게 된다.

[0356] 본 발명의 사상의 범주에 있어서, 당업자라면 각종 변형예 및 수정예에 상도할 수 있는 것이며, 그것들의 변형예 및 수정예에 대해서도 본 발명의 범위에 속하는 것이라고 이해된다.

[0357] 예를 들어, 상술한 각 실시 형태에 대하여 당업자가 적절히, 구성 요소의 추가, 삭제 또는 설계 변경을 행한 것 또는 공정의 추가, 생략 또는 조건 변경을 행한 것도, 본 발명의 요지를 구비하고 있는 한, 본 발명의 범위에 포함된다.

[0358] 예를 들어, 실시 형태에서는, 공통 전극(TL(0) 내지 TL(p)) 및 신호선(SL(0) 내지 SL(p))은 열 방향으로 연장되고, 행 방향으로 배치되어 있는 경우를 설명했지만, 행 방향 및 열 방향은, 보는 시점에 따라 변화한다. 보는 시점을 바꾸어, 공통 전극(TL(0) 내지 TL(p)) 및 신호선(SL(0) 내지 SL(p))이 행 방향으로 연장되고, 열 방향으로 배치되어 있는 경우도 본 발명의 범위에 포함되는 것이다.

[0359] 또한, 실시 형태 3 내지 5에서, 자기 용량 방식을 채용하기 위해 추가된 스위치를 구성하는 N형 MOSFET(TN13, TN14) 및 P형 MOSFET(TP14, TP15)는, 예를 들어 액정 표시 시에 사용하도록 미리 설치되어 있는 MOSFET를 유용하도록 해도 된다. 유용함으로써, MOSFET의 개수를 저감하는 것이 가능하게 되고, 면적의 증가를 억제하는 것이 가능하게 된다.

부호의 설명

[0360] 1 : 터치 검출 기능을 구비한 액정 표시 장치

2 : 액정 패널

5 : 표시 제어 장치

6 : 신호선 셀렉터

7 : 터치 제어 장치

8 : 게이트 드라이버

10 : 구동 회로

11 : 신호선 드라이버

12 : 구동 전극 드라이버

17 : 구동 신호 형성부

600 : 모듈

605 : 제1 전압 배선

606 : 제2 전압 배선

607 : 제3 전압 배선

CGW1 : 제1 전극 구동 회로

CGW2 : 제2 전극 구동 회로

UCGW1(0) 내지 UCGW1(p) : 제1 단위 전극 구동 회로

UCGW2(0) 내지 UCGW2(p) : 제2 단위 전극 구동 회로

SPix : 액정 표시 소자

TL(0) 내지 TL(p) : 공통 전극

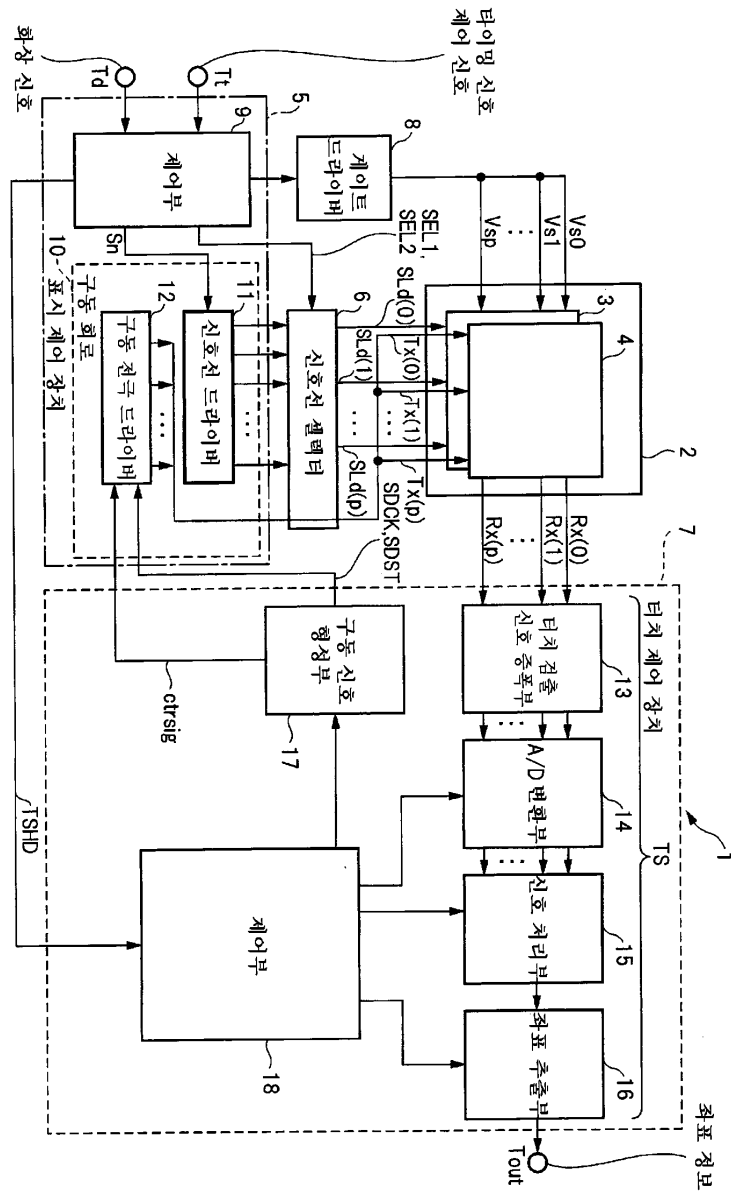
SL(0) 내지 SL(p) : 신호선

RL(0) 내지 RL(p) : 검출 전극

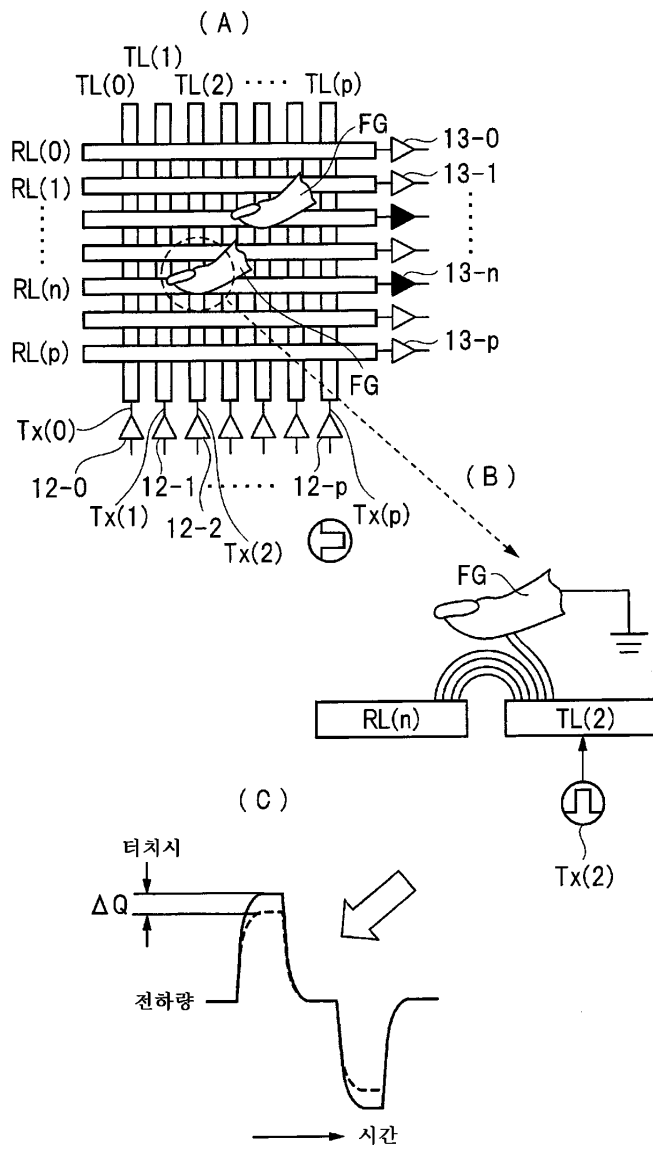
$GL(0)$ 내지 $GL(p)$: 주사선

도면

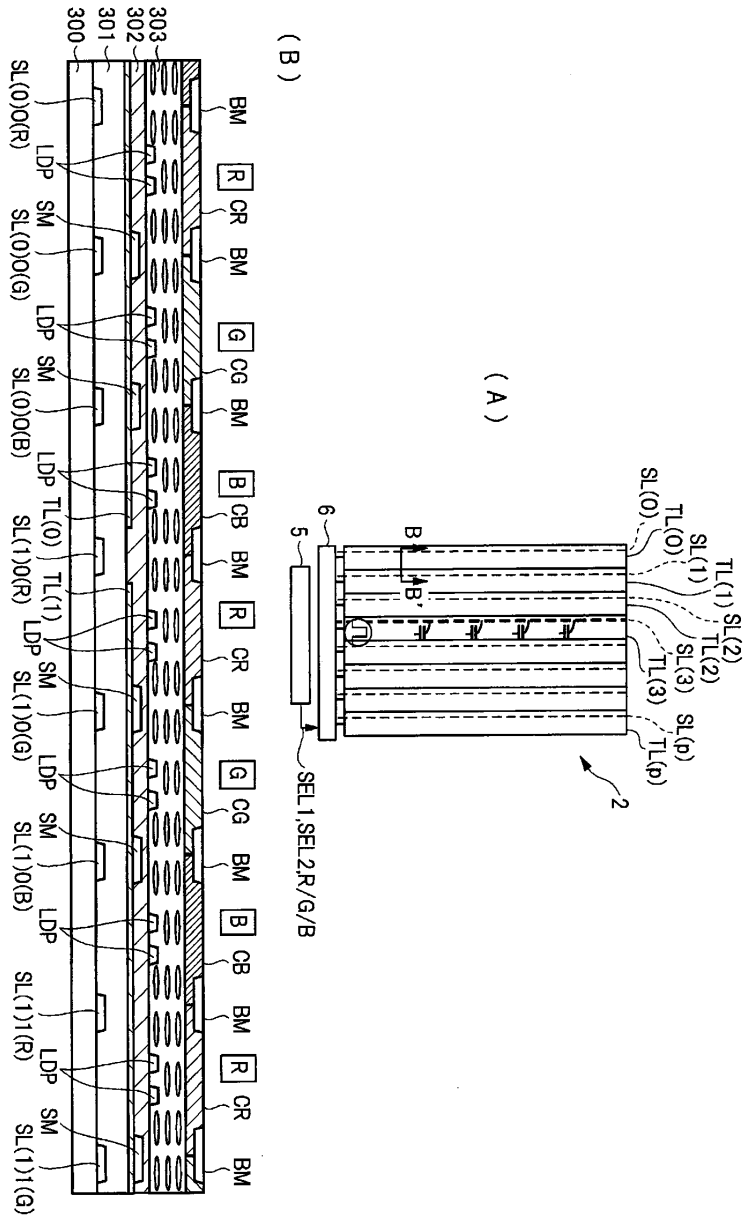
도면1



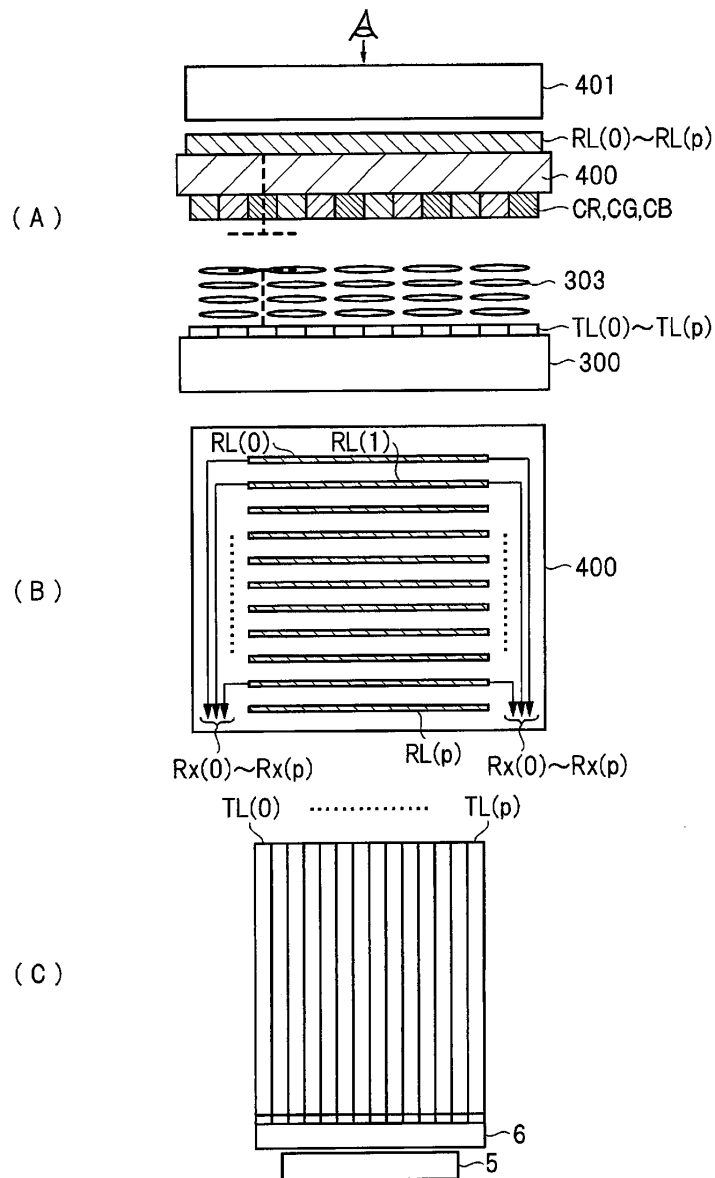
도면2



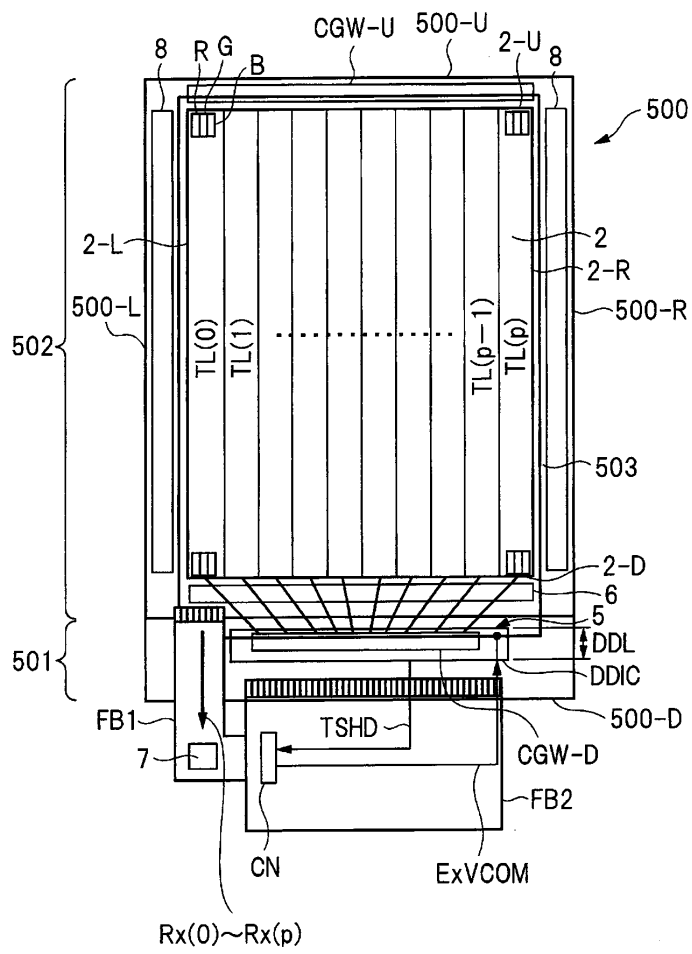
도면3



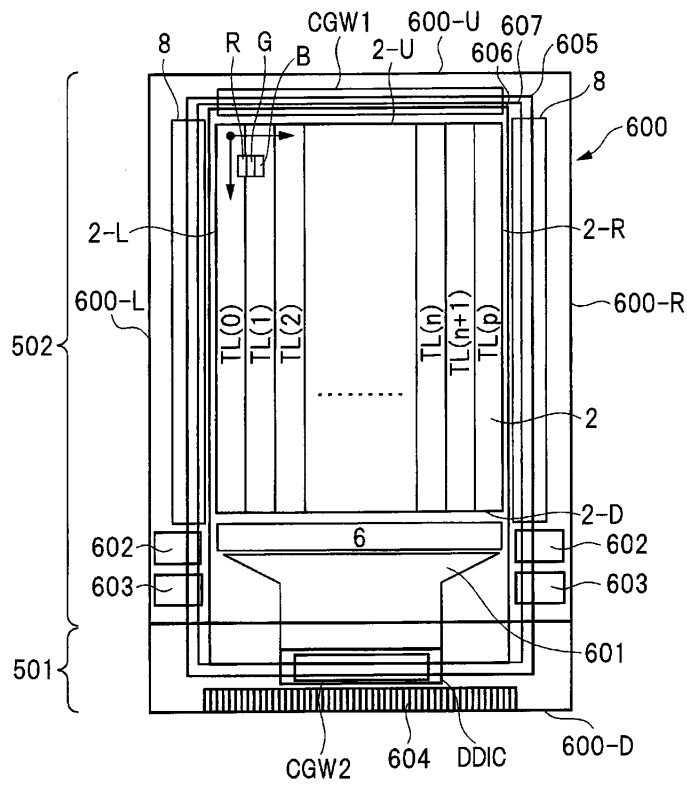
도면4



도면5

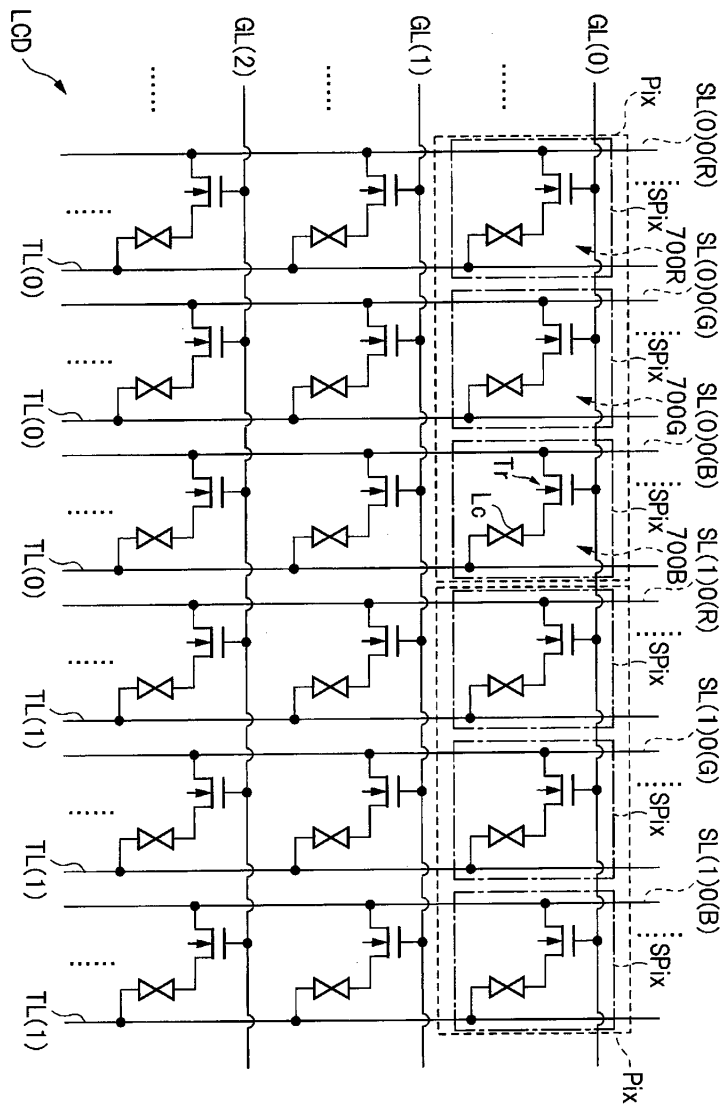


도면6

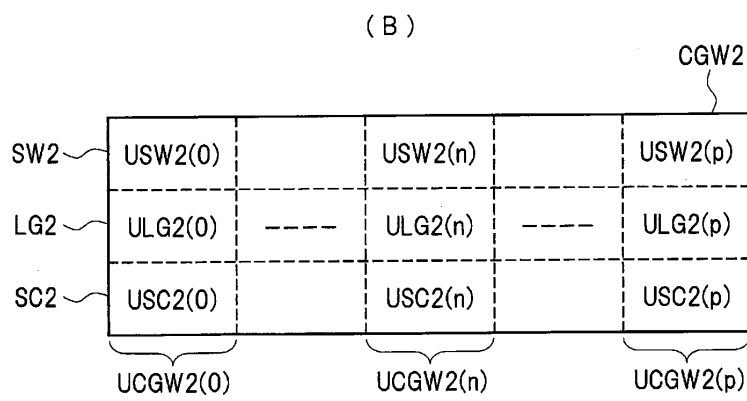
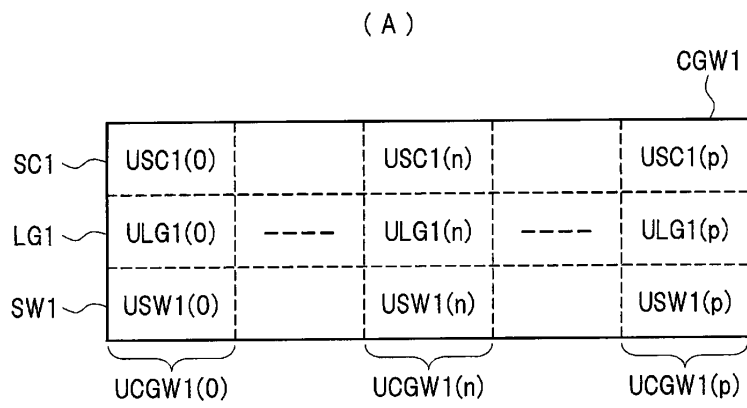


- | | |
|----------------|---------------------|
| 2 : 표시 패널 | CGW1 : 제1 전극 구동 회로 |
| 600 : 모듈 | CGW2 : 제2 전극 구동 회로 |
| 605 : 제1 전압 배선 | DDIC : 드라이버용 반도체 장치 |
| 606 : 제2 전압 배선 | TL(0)~TL(p) : 구동 전극 |
| 607 : 제3 전압 배선 | |

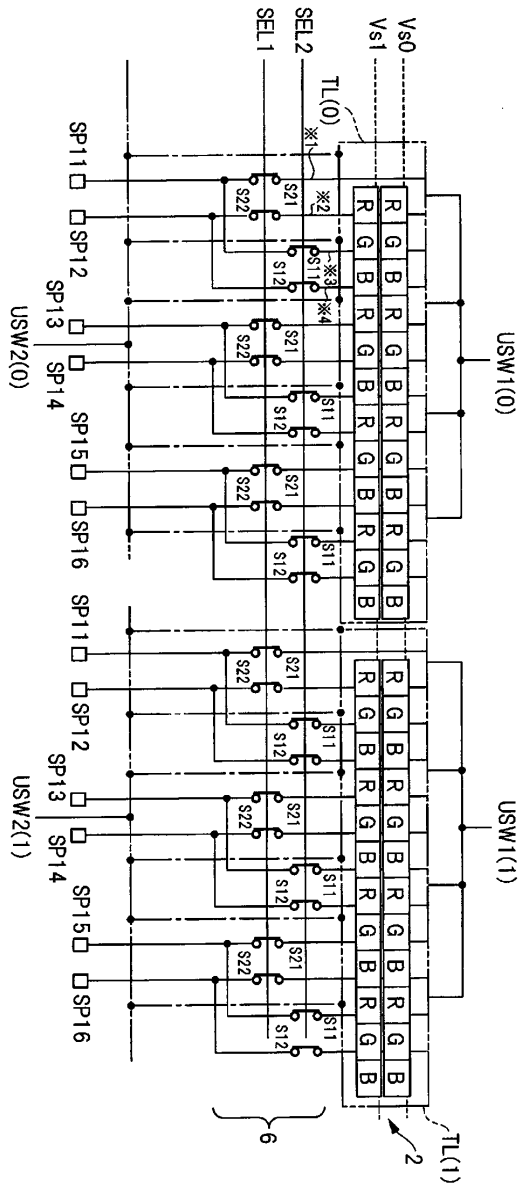
도면7



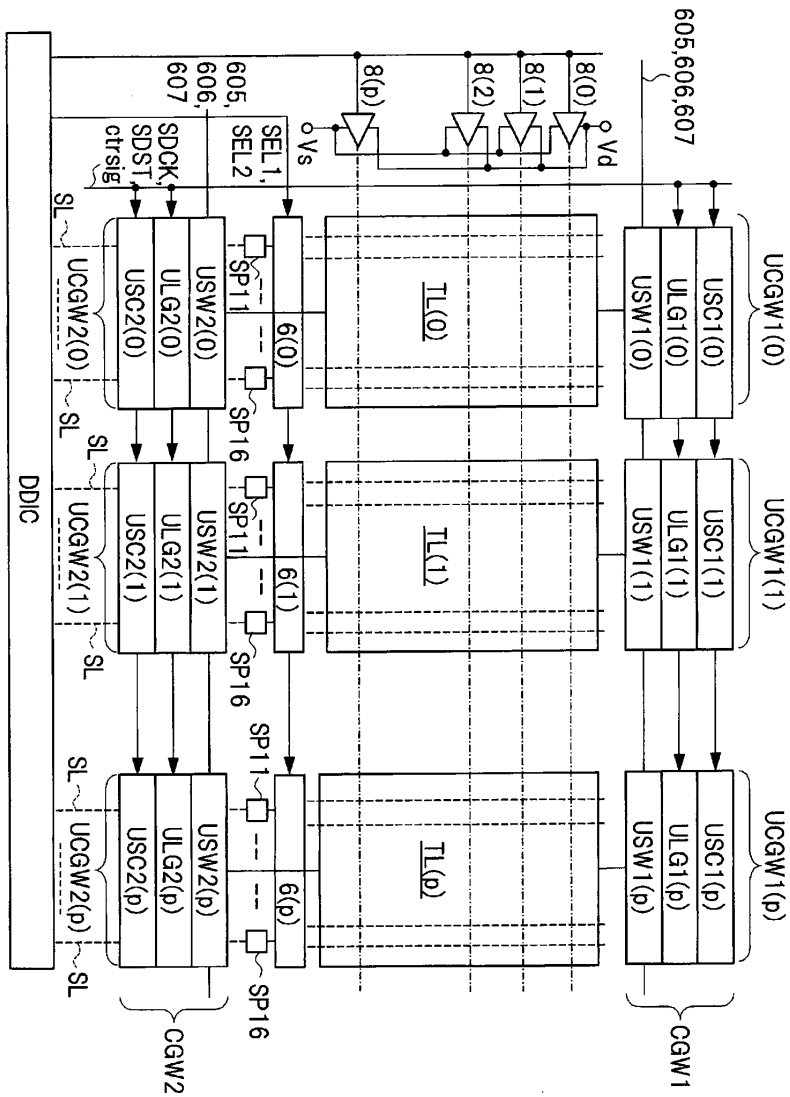
도면8



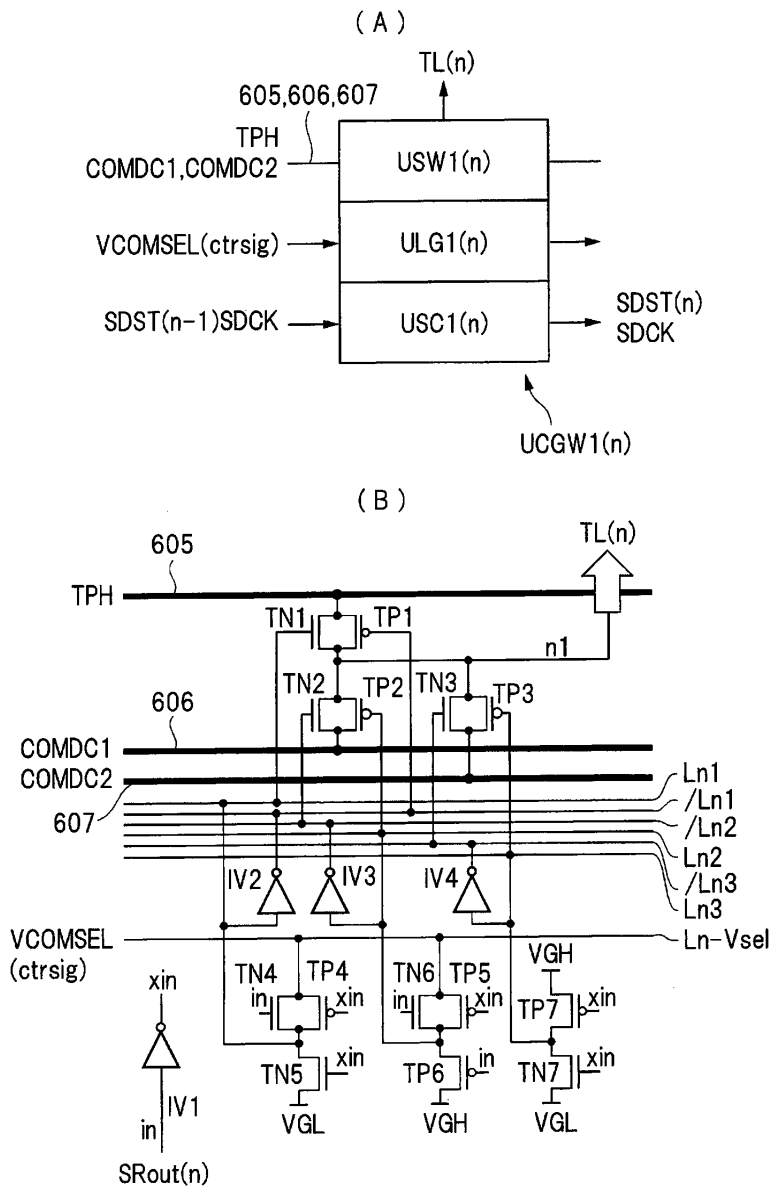
도면9



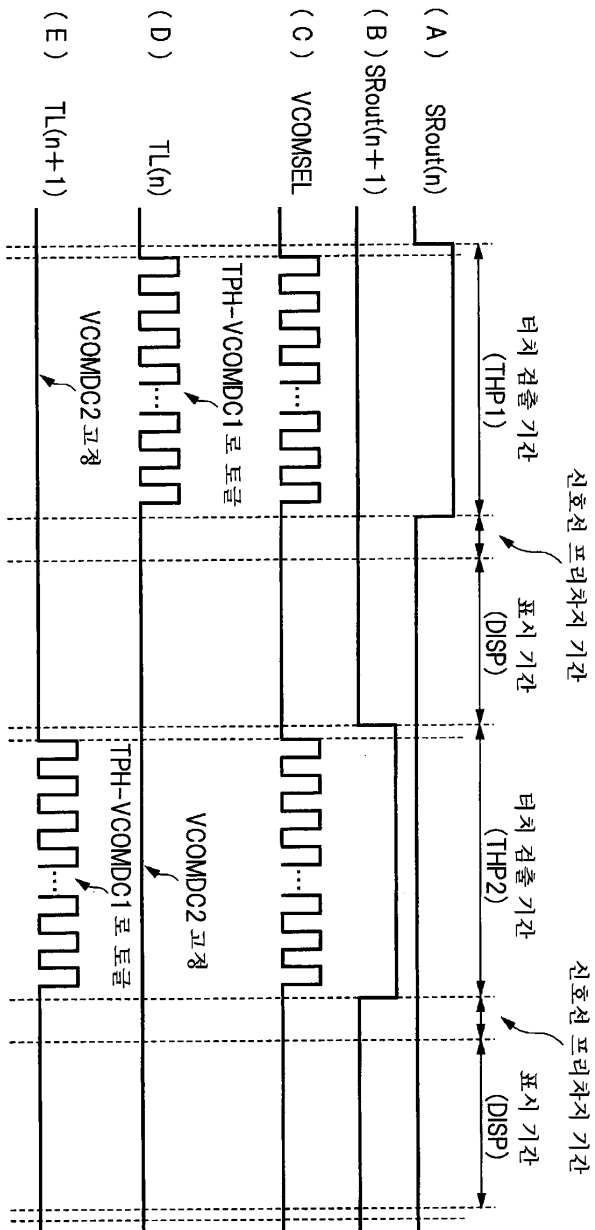
도면10



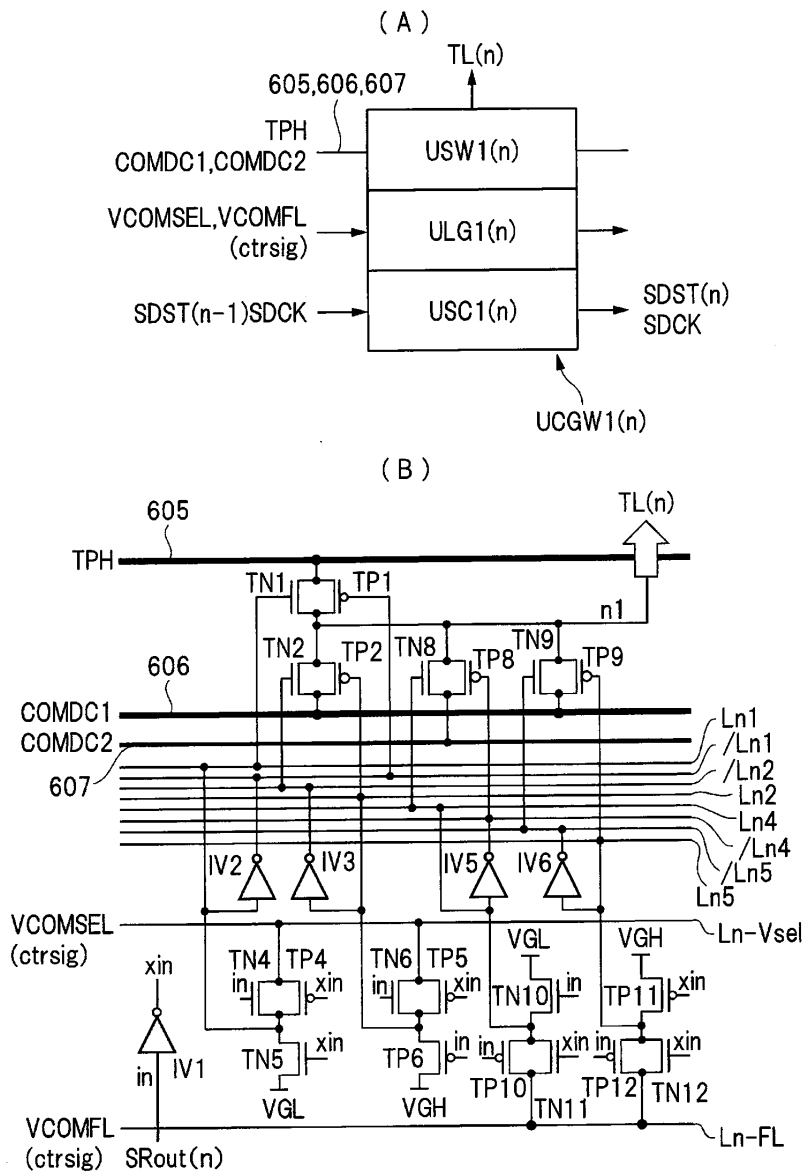
도면11



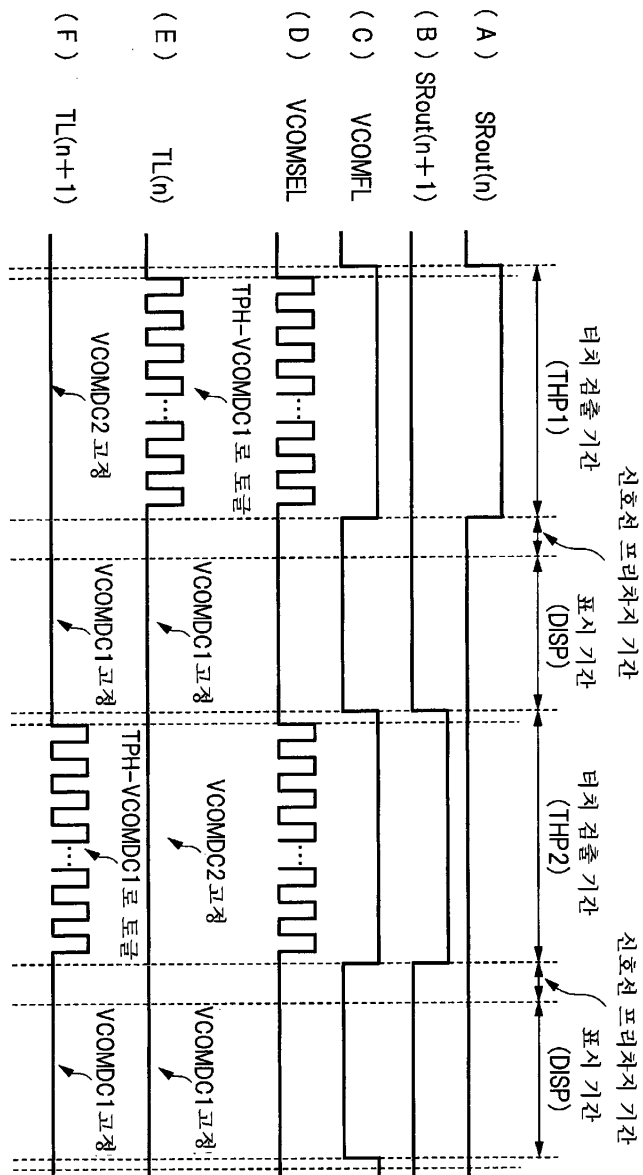
도면12



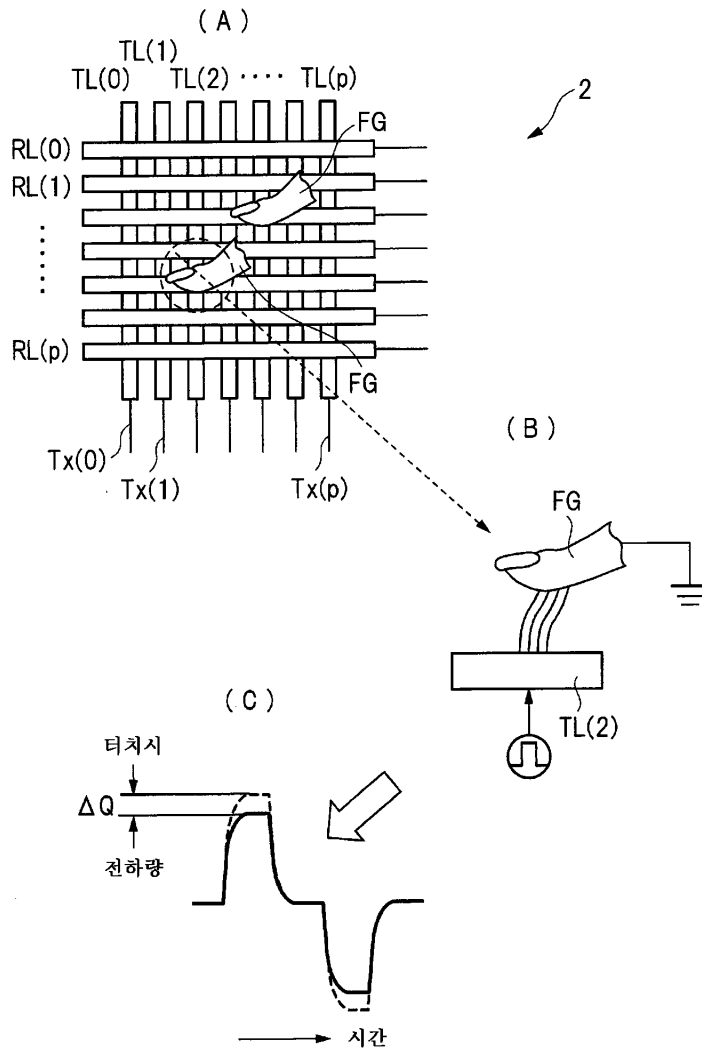
도면13



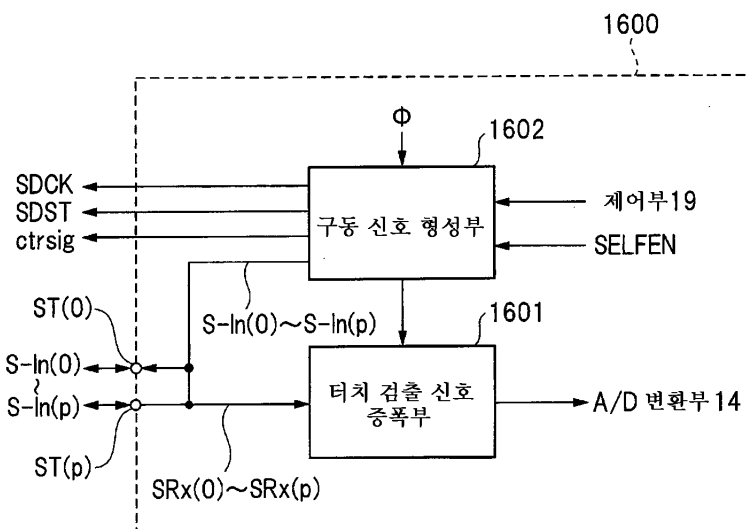
도면14



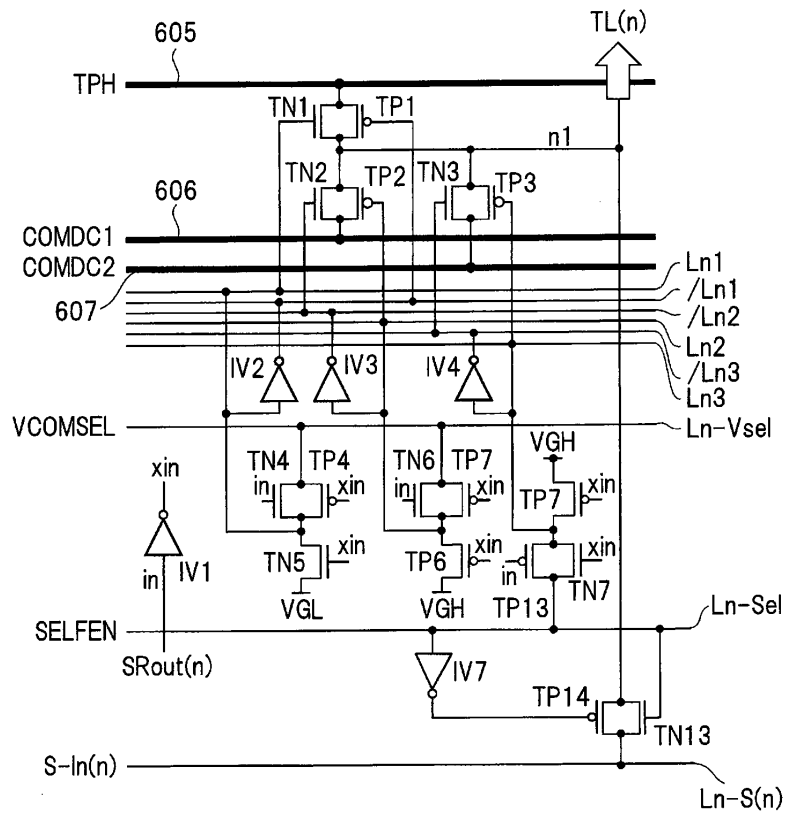
도면15



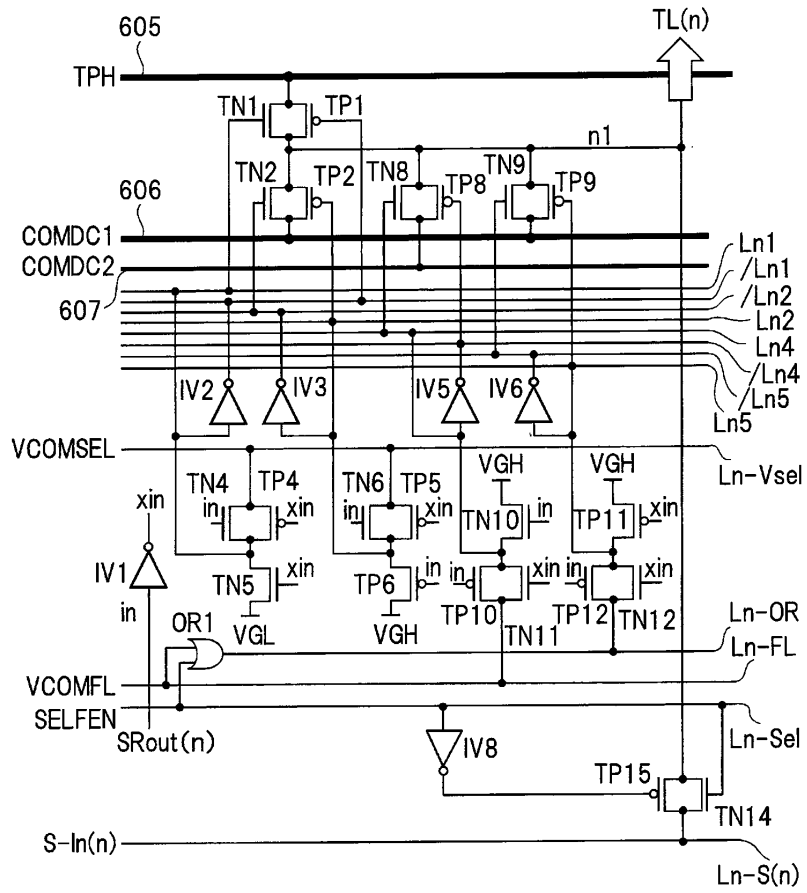
도면16



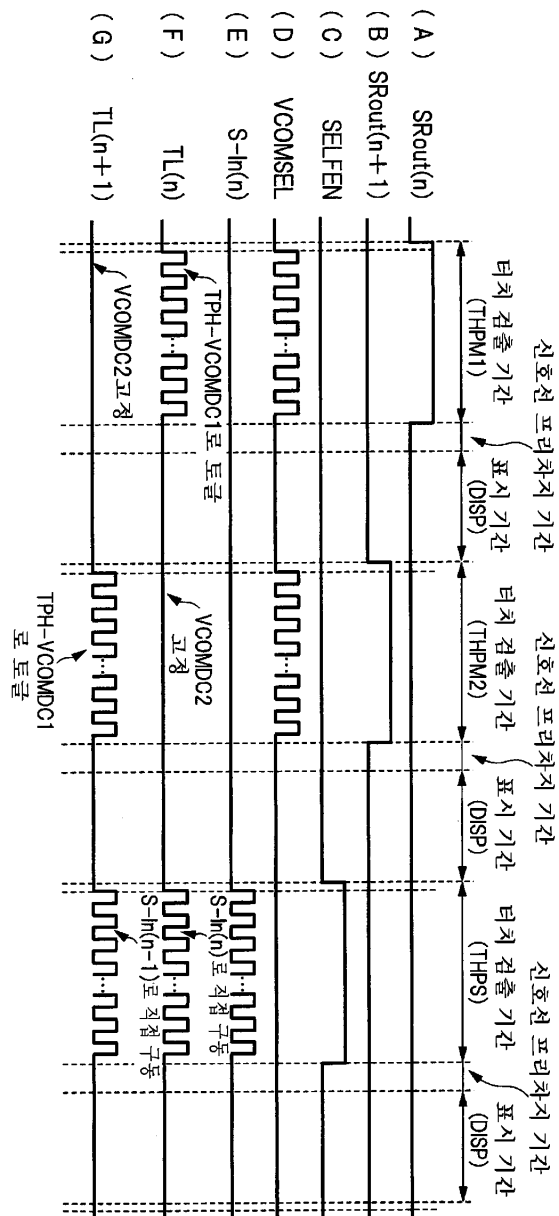
도면17



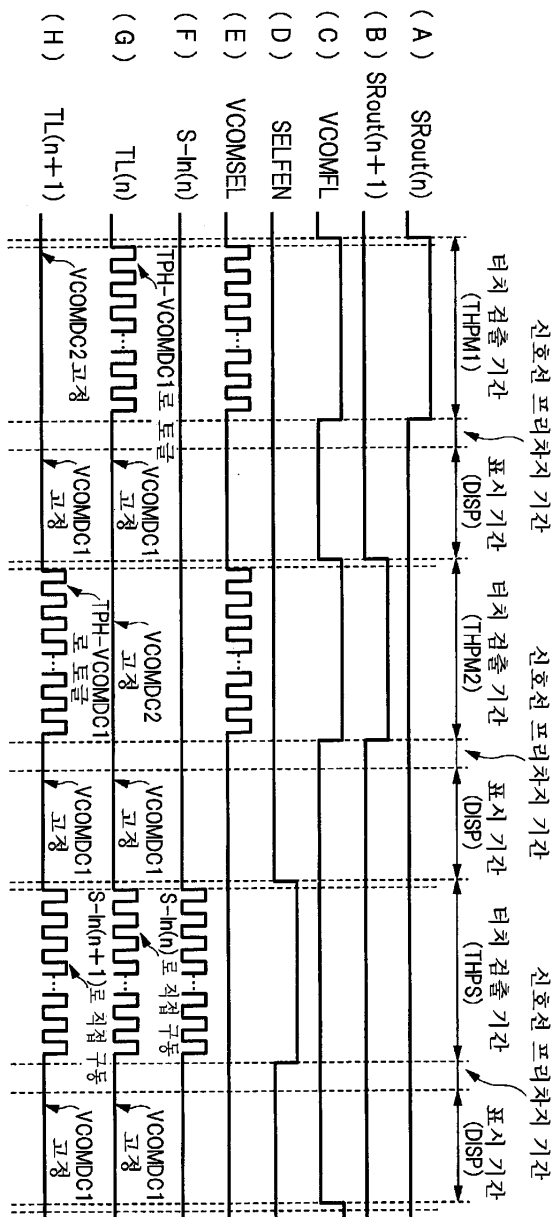
도면18



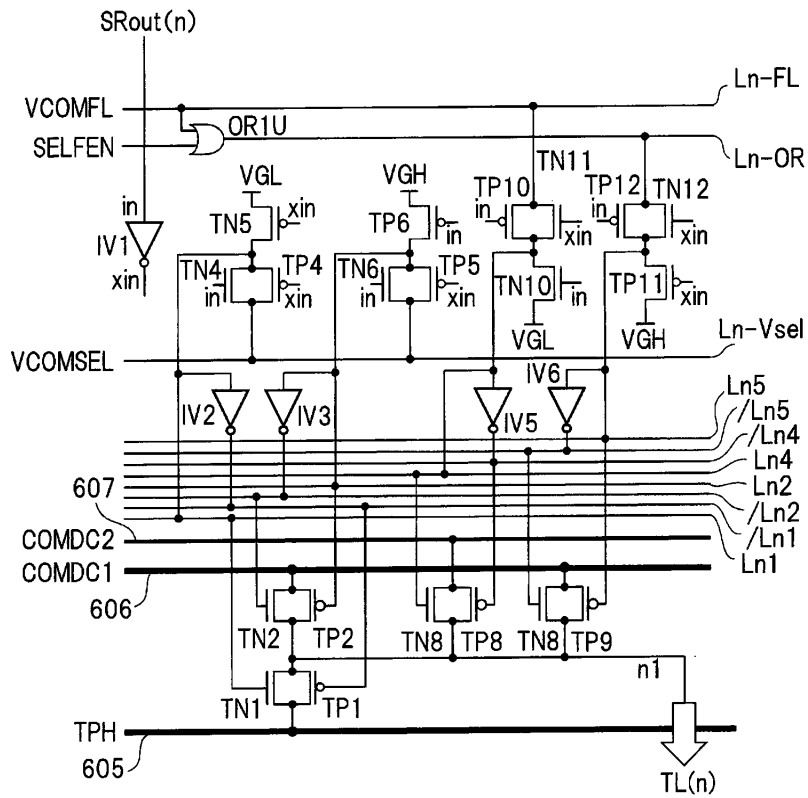
도면19



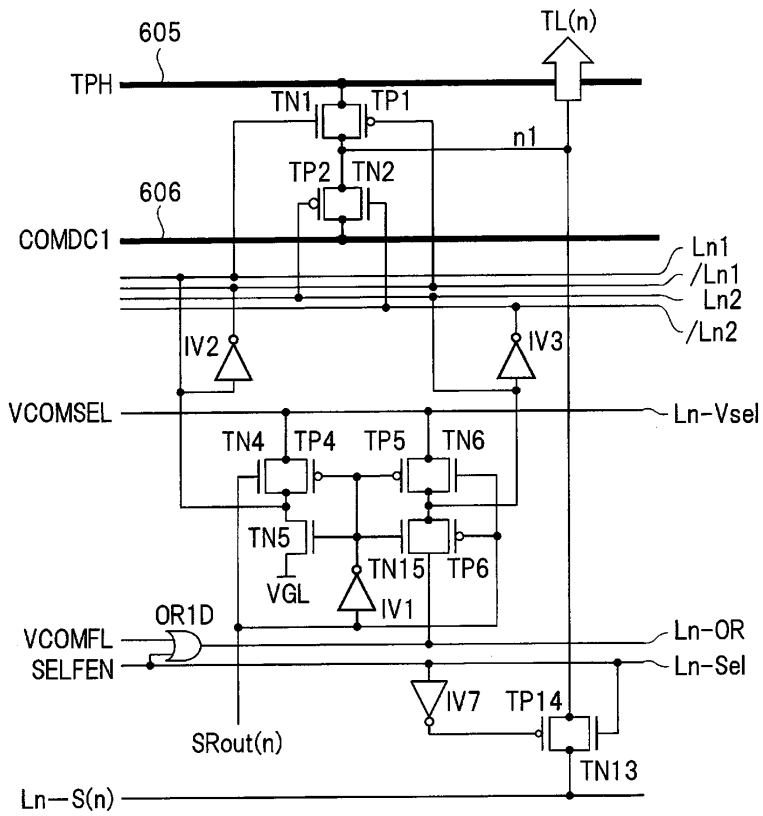
도면20



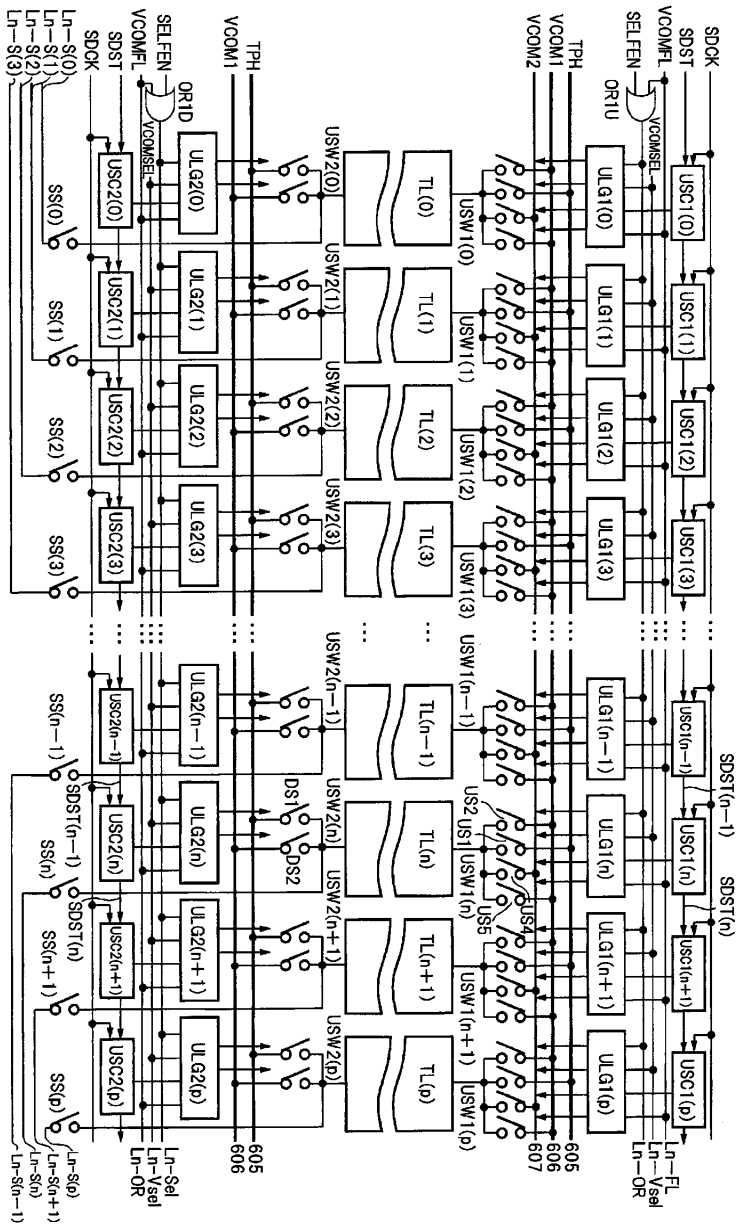
도면21



도면22



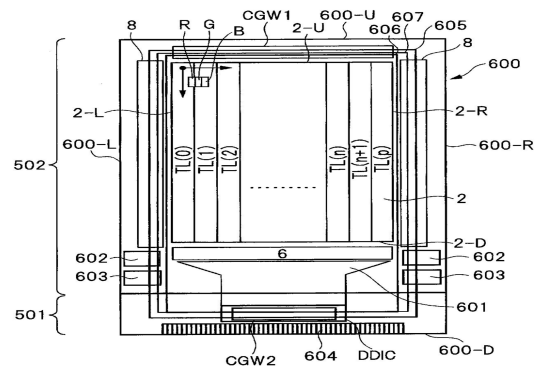
도면23



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160086284A	公开(公告)日	2016-07-19
申请号	KR1020160001715	申请日	2016-01-06
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	MIZUHASHI HIROSHI 미즈하시히로시 TERANISHI YASUYUKI 데라니시아스유키 FUKUSHIMA TOSHIAKI 후쿠시마도시아끼 ITO DAISUKE 이토다이스게 KOIDE GEN 고이데겐 KATSUTA TADAYOSHI 가쓰다다다요시		
发明人	미즈하시히로시 데라니시아스유키 후쿠시마도시아끼 이토다이스게 고이데겐 가쓰다다다요시		
IPC分类号	G09G3/36 G06F3/041 G06F3/044		
CPC分类号	G09G3/3648 G06F3/0416 G06F3/044 G09G3/3696 G09G2230/00 G09G3/3611 G02F1/13338 G02F1/1345 G06F3/0412 G06F3/041662 G06F3/0446 G02F1/13306 G02F1/134336 G02F1/136286 G02F1/1368 G06F2203/04101		
代理人(译)	Jangsugil Yijunghui		
优先权	2015003700 2015-01-09 JP		
其他公开文献	KR101791772B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种具有触摸检测功能的液晶显示装置，其能够抑制驾驶性能的降低，并且使框架宽度变窄。液晶显示器包括：液晶元件阵列，具有以矩阵形式排列的液晶显示元件；扫描线设置在液晶元件阵列的每一行中，向相应行的液晶显示元件提供扫描信号；信号线设置在液晶元件阵列的每列中，将图像信号提供给相应列的液晶显示元件；驱动电极设置在液晶元件阵列的列中，被提供有用于检测触摸的驱动信号；信号线驱动电路，用于形成图像信号，该信号线沿着液晶元件阵列的一侧设置，与一行液晶元件阵列平行；第一电极驱动电路，用于形成驱动信号，沿着液晶元件阵列的另一侧设置。



- | | |
|----------------|---------------------|
| 2 : 표시 패널 | CGW1 : 제1 전극 구동 회로 |
| 600 : 보틀 | CGW2 : 제2 전극 구동 회로 |
| 605 : 제1 전압 배선 | DDIC : 드라이버용 반도체 장치 |
| 606 : 제2 전압 배선 | TL(0)~TL(p) : 구동 전극 |
| 607 : 제3 전압 배선 | |