



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0001705

(43) 공개일자 2015년01월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2014-0169626(분할)

(22) 출원일자 2014년12월01일

심사청구일자 2014년12월01일

(62) 원출원 특허 10-2008-0015740

원출원일자 2008년02월21일

심사청구일자 2012년12월27일

(30) 우선권주장

JP-P-2007-046534 2007년02월27일 일본(JP)

(71) 출원인

재팬 디스플레이 웨스트 인코포레이티드

일본 아이치켄 치타군 히가시우라초 오아자 오가와 50 아자 카미후나키

(72) 발명자

다나카 히로나오

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이사내

노구치 고지

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이사내

(뒷면에 계속)

(74) 대리인

유미특허법인

전체 청구항 수 : 총 7 항

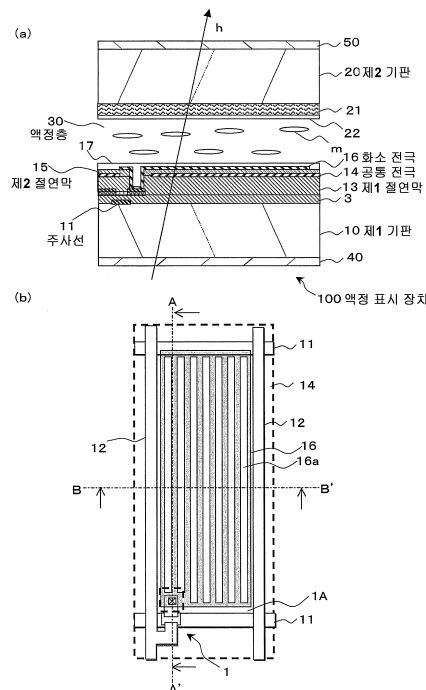
(54) 발명의 명칭 액정 표시 소자 및 표시 장치

(57) 요약

본 발명은 액정 표시 소자 및 표시 장치에 관한 것으로서, 기생 용량을 억제한 상태로 개구율을 향상시킬 수 있는 액정 표시 소자 및 표시 장치를 제공하는 것을 과제로 한다.

본 발명은, 제1 기판(10) 상에 매트릭스형으로 배치된 복수개의 주사선(11) 및 복수개의 신호선(12)과, 주사선(뒷면에 계속)

대표도 - 도1



(11) 및 신호선(12)의 교차부에 배치된 TFT(1)와, TFT(1)를 덮은 상태로, 제1 기관(10) 상에 설치된 제1 절연막(13)과, 제1 절연막(13) 상에 배치된 공통 전극(14)과, 공통 전극(14)을 덮은 상태로, 제1 절연막(13) 상에 배치된 제2 절연막(15)과, 화소 영역(1A) 내의 제2 절연막(15) 상에 배치되고, 제2 절연막(15) 및 제1 절연막(13)에 형성된 컨택트홀을 통하여 TFT(1)와 접속된 복수개의 슬릿(16a)을 가지는 화소 전극(16)을 포함하고, 공통 전극(14)은, 제1 절연막(13) 상의 컨택트홀의 형성 영역을 제외한 화소 영역(10A)과, 주사선(11) 및 신호선(12) 중 적어도 한쪽을 덮은 상태로 배치된, 액정 표시 소자 및 표시 장치이다.

(72) 발명자

가나야 야스히로

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤내

나카지마 다이키

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤내

노즈 다이스케

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤내

이노 마스미쓰

일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼
가이샤내

특허청구의 범위

청구항 1

제1 기관과 제2 기관 사이에 협지된 액정층을 포함하고, 상기 액정층에 대하여 전계(電界)를 인가하는 공통 전극과 화소 전극을 상기 제1 기관 측에 가지는 액정 표시 소자에 있어서,

상기 제1 기관 상에 매트릭스형으로 배치된 복수개의 주사선 및 복수개의 신호선과,

상기 주사선 및 상기 신호선의 교차부에 배치된 구동 소자와,

상기 구동 소자를 덮은 상태로, 상기 제1 기관 상에 설치된 제1 절연막과,

상기 제1 절연막 상에 배치된 공통 전극과,

상기 공통 전극을 덮은 상태로, 상기 제1 절연막 상에 배치된 제2 절연막 및,

상기 화소 영역 내의 상기 제2 절연막 상에 배치되고, 상기 제2 절연막 및 상기 제1 절연막에 형성된 콘택트홀을 통하여 상기 구동 소자와 접속된 복수개의 슬릿을 가지는 상기 화소 전극

을 포함하고,

상기 공통 전극은, 상기 제1 절연막 상의 상기 콘택트홀의 형성 영역을 제외한 화소 영역과, 상기 주사선 및 상기 신호선 중 적어도 한쪽을 덮은 상태로 배치되어 있으며,

상기 화소 전극은, 상기 화소 전극의 상기 신호선 측의 단부와 상기 신호선에 가장 가까운 위치의 슬릿 사이의 전극부의 폭이, 다른 슬릿 사이의 전극부의 폭보다 좁게 되도록 구성되어 있는,

액정 표시 소자.

청구항 2

제1항에 있어서,

상기 공통 전극은, 상기 제1 절연막 상의 상기 콘택트홀의 형성 영역을 제외한 표시 영역 전역(全域)에 설치되어 있는, 액정 표시 소자.

청구항 3

제1항에 있어서,

상기 제1 절연막은, SOG(Spin On Glass) 막 또는 유기 절연막으로 형성되어 있는, 액정 표시 소자.

청구항 4

제1항에 있어서,

상기 공통 전극은, 상기 공통 전극보다 저항값이 낮은 재질로 이루어지는 공통 전위선과 접속되어 있고,

상기 공통 전위선은, 상기 신호선 또는 상기 주사선과 평면에서 볼 때 중첩된 상태로 배치되어 있는, 액정 표시 소자.

청구항 5

제1항에 있어서,

상기 화소 전극의 복수개의 슬릿은 상기 신호선과 평행하게 설치되어 있는, 액정 표시 소자.

청구항 6

제1항에 있어서,

상기 공통 전극이, 상기 제1 절연막 상의 상기 콘택트홀의 형성 영역을 제외한 화소 영역과, 상기 구동 소자의

게이트 전극을 포함하는 상기 주사선과, 상기 신호선을 덮는,
액정 표시 소자.

청구항 7

제1 기관과 제2 기관 사이에 협지된 액정층을 포함하고, 상기 액정층에 대하여 전계를 인가하는 공통 전극과 화소 전극을 상기 제1 기관 측에 가지는 액정 표시 소자를 가지고 있고, 상기 액정 표시 소자에 의해 변조된 광을 사용하여 영상 표시를 행하는 표시 장치로서,

상기 제1 기관 상에 매트릭스형으로 배치된 복수개의 주사선 및 복수개의 신호선과,

상기 주사선 및 상기 신호선의 교차부에 배치된 구동 소자와,

상기 구동 소자를 덮은 상태로, 상기 제1 기관 상에 설치된 제1 절연막과,

상기 제1 절연막 상에 배치된 공통 전극과,

상기 공통 전극을 덮은 상태로, 상기 제1 절연막 상에 배치된 제2 절연막 및,

상기 화소 영역 내의 상기 제2 절연막 상에 배치되고, 상기 제2 절연막 및 상기 제1 절연막에 설치된 콘택트홀을 통하여 상기 구동 소자와 접속된 복수개의 슬릿을 가지는 상기 화소 전극

을 포함하고,

상기 공통 전극은, 상기 제1 절연막 상의 상기 콘택트홀의 형성 영역을 제외한 화소 영역과, 상기 주사선 및 상기 신호선 중 적어도 한쪽을 덮은 상태로 배치되어 있으며,

상기 화소 전극은, 상기 화소 전극의 상기 신호선 측의 단부와 상기 신호선에 가장 가까운 위치의 슬릿 사이의 전극부의 폭이, 다른 슬릿 사이의 전극부의 폭보다 좁게 되도록 구성되어 있는,

표시 장치.

명세서

기술분야

[0001]

본 발명은, 액정 표시 소자 및 표시 장치에 관한 것이며, 특히, 프린지 필드 스위칭[Fringe Field Switching(FFS)] 모드[별명: In Plane Switching(IPS)-Pro 모드]의 액정 표시 소자 및 이것을 포함한 표시 장치에 관한 것이다.

배경기술

[0002]

FFS 모드의 액정 표시 장치는, 액정층에 대하여 기관면에 거의 평행한 가로 전계(電界)를 인가하는 공통 전극과 화소 전극이 동일 기관 측에 설치되어 있고, 이 가로 전계에 의해 액정 소자를 구동하여 화상 표시를 행한다. 여기서, 종래의 FFS 모드의 액정 표시 장치에 대하여 도 14를 사용하여 설명한다. 여기서, 도 14의 (a)의 평면도는 도 14의 (b)의 A-A'선을 따라서 절단한 단면도를 나타내고 있다.

[0003]

이 도면에 나타내는 액정 표시 장치는 투과형 액정 표시 장치이며, 액정 표시 장치는, 제1 기관(110)과, 이 제1 기관(110)의 소자 형성면 측에 대향 배치된 제2 기관(120)과, 이들 제1 기관(110)과 제2 기관(120) 사이에 협지된 액정층(130)으로 이루어지는 액정 패널을 포함하고 있다. 또한, 이 액정 패널에서, 제1 기관(110) 및 제2 기관(120)의 외측면에는, 편광판(140, 150)이 밀착된 상태로 설치되어 있고, 제1 기관(110) 측의 편광판(140)의 더 외측에는, 투과 표시를 행하기 위한 광원이 되는 백라이트(도시하지 않음)가 설치되어 있다.

[0004]

이 중 제1 기관(110)은, 유리 기관과 같은 투명 기관으로 이루어지고, 그 액정층(130)을 향한 면 상(面上)에는, 매트릭스형으로 배치된 복수개의 주사선(111) 및 복수개의 신호선(112)을 포함하고 있다. 또한, 이 주사선(111)과 신호선(112)의 각 교차부에는, 각 화소를 구동시키기 위한 박막 트랜지스터[Thin Film Transistor(TFT)](1)로 이루어지는 구동 소자가 설치되어 있고, 주사선(111)과 신호선(112)으로 에워싸인 영역이 화소 영역(110A)이 된다.

[0005]

또한, 주사선(111)과 인접하는 화소의 주사선(111) 사이에는, 인접하는 화소의 주사선(111) 측에, 주사선(111)과 평행하게 공통 전위선(113)이 설치되어 있다. 그리고, 동일면 상의 화소 영역(110A)에서, TFT(1)의 형성 영

역을 제외한 영역에는, 공통 전위선(113)과 일단축이 중첩된 상태로, 공통 전극(114)이 설치되어 있다. 이 공통 전극(114)은, 주사선(111)과 동일면에 설치되므로, 주사선(111)에 의해 그 배치가 제한된다.

[0006] 또한, TFT(1)의 게이트 전극(2)은, 주사선(111)의 일부에 의해 구성되어 있고, 주사선(111), 공통 전위선(113) 및 공통 전극(114)을 덮은 상태로, 제1 기관(110) 상에는 게이트 절연막(3)이 설치되어 있다. 또한, 게이트 전극(2)을 덮는 게이트 절연막(3) 상에는 반도체층(4)이 패턴 형성되어 있다.

[0007] 반도체층(4)은, 게이트 전극(2)의 바로 윗쪽을 채널층(4a)으로 하고, 그 양측에 n형 불순물을 포함하는 소스 영역(4b)과 드레인 영역(4c)이 설치되어 있다. 소스 영역(4b) 상에는, 소스 영역(4b)과 접속된 상태로 소스 전극(6a)이 배치되고, 이 소스 전극(6a)은 신호선(112)과 접속되어 있다. 또한, 드레인 영역(4c) 상에는, 드레인 영역(4c)과 접속된 상태로 드레인 전극(6b)이 배치되어 있다. 이상과 같이 TFT(1)가 구성된다.

[0008] 또한, TFT(1)를 덮은 상태로, 게이트 절연막(3) 상에는 층간 절연막(115)이 설치되어 있다. 이 층간 절연막(115)에는, TFT(1)의 드레인 전극(6b)에 도달한 상태의 콘택트홀(115a)이 형성되어 있고, 층간 절연막(115) 상에는, 이 콘택트홀(115a)을 통하여 TFT(1)에 접속된 복수개의 슬릿(116a)을 가지는 화소 전극(116)이 설치되어 있다. 이 슬릿(116a)은 주사선(111)과 평행하게 설치되어 있다. 또한, 화소 전극(116)을 덮은 상태로, 층간 절연막(115) 상에는 배향막(117)이 배치되어 있다.

[0009] 그리고, 슬릿(116a)을 협지하여 설치된 화소 전극(116)의 전극부의 단부와 공통 전극(114) 사이에 전계가 발생함으로써, 기관면에 거의 평행한 가로 전계가 액정층(130)에 대하여 인가된다.

[0010] 한편, 제2 기관(120)은 유리 기관과 같은 투명 기관으로 이루어지고, 이 제2 기관(120)의 액정층(130)을 향한 면에는, R(적), G(녹), B(청)의 각 색의 컬러 필터(121)와 배향막(122)이 이 순서대로 설치되어 있다.

[0011] 그러나, 전술한 바와 같은 구성의 액정 표시 장치에서는, 제1 기관(110)의 동일면 상에 주사선(111)과 공통 전극(114)이 배치되므로, 주사선(111)에 의해 공통 전극(113)의 형성 영역이 제한된다. 따라서, 개구율이 낮고 투과율도 낮은 문제점이 있다.

[0012] 그래서, 전술한 도면을 사용하여 설명한 액정 표시 장치의 구성에서, 슬릿(116a)을 가지는 화소 전극(116)을 게이트 절연막(3) 상에 배치하고, 공통 전극(114)을 층간 절연막(115) 상에 배치한 액정 표시 장치의 예가 보고되어 있다(예를 들면, 특허 문헌 1 참조).

[0013] 또한, 전술한 도면을 사용하여 설명한 액정 표시 장치의 구성에서, 게이트 절연막(3) 상에 공통 전극(114)을 배치한 예도 보고되어 있다(예를 들면, 특허 문헌 2 및 특허 문헌 3 참조).

[0014] [특허 문헌 1] 일본국 특허 제3742837호 공보

[0015] [특허 문헌 2] 일본국 특허 제3740514호 공보

[0016] [특허 문헌 3] 일본국 특허 제3742836호 공보

발명의 내용

해결하려는 과제

[0017] 그러나, 특허 문헌 1에 기재된 액정 표시 장치에서는, 공통 전극(114)의 배치 제한은 없지만, 슬릿(116a)을 가지는 화소 전극(116)이 액정층(130) 측에 배치되어 있지 않으므로, 기관면에 평행한 전계가 걸리기 어렵고, 액정층(130)을 제어할 수 없으므로, 액정 표시 자체가 곤란하다.

[0018] 또한, 특허 문헌 2 및 특허 문헌 3에 기재된 액정 표시 장치에서는, 신호선(112)에 의해 공통 전극(114)의 배치가 제한되므로, 개구율을 넓게 취하기 곤란하다.

[0019] 그래서, 개구율을 향상시키기 위하여, 도 15의 (a)의 평면도에 나타난 바와 같이, 신호선(112) 측이 공통 전극(113)보다 한층 커지도록 형성된 화소 전극(116')을 신호선(112)과 중첩된 상태로 배치하는 것도 고려할 수 있지만, 도 15의 (b)의 회로도에 나타난 바와 같이, 신호선(112)과 화소 전극(116') 사이에 기생 용량 C1, C2가 발생하므로, 세로 크로스토크의 원인이 되고 있다.

[0020] 그래서, 본 발명은, 기생 용량을 억제한 상태로 개구율을 향상시킬 수 있는 액정 표시 소자 및 이것을 포함한 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0021] 전술한 바와 같은 목적을 달성하기 위하여, 본 발명의 액정 표시 소자는, 제1 기관과 제2 기관 사이에 협지된 액정층을 포함하고, 상기 액정층에 대하여 전계를 인가하는 공통 전극과 화소 전극을 상기 제1 기관 측에 가지는 액정 표시 소자에서, 제1 기관 상에 매트릭스형으로 배치된 복수개의 주사선 및 복수개의 신호선과, 주사선 및 신호선의 교차부에 배치된 구동 소자와, 구동 소자를 덮은 상태로, 제1 기관 상에 설치된 제1 절연막과, 제1 절연막 상에 배치된 공통 전극과, 공통 전극을 덮은 상태로, 제1 절연막 상에 배치된 제2 절연막과, 화소 영역 내의 상기 제2 절연막 상에 배치되고, 상기 제2 절연막 및 상기 제1 절연막에 형성된 콘택트홀을 통하여 상기 구동 소자와 접속된 복수개의 슬릿을 가지는 화소 전극을 포함하고, 공통 전극은, 제1 절연막 상의 콘택트홀의 형성 영역을 제외한 화소 영역과, 주사선 및 신호선 중 적어도 한쪽을 덮은 상태로 배치되어 있는 것을 특징으로 하고 있다.

[0022] 또한, 본 발명의 표시 장치는, 제1 기관과 제2 기관 사이에 협지된 액정층을 포함하고, 상기 액정층에 대하여 전계를 인가하는 공통 전극과 화소 전극을 제1 기관 측에 가지는 액정 표시 소자를 가지고 있고, 이 액정 표시 소자에 의해 변조된 광을 사용하여 영상 표시를 행하는 표시 장치에서, 제1 기관 상에 매트릭스형으로 배치된 복수개의 주사선 및 복수개의 신호선과, 주사선 및 신호선의 교차부에 배치된 구동 소자와, 구동 소자를 덮은 상태로, 제1 기관 상에 설치된 제1 절연막과, 제1 절연막 상에 배치된 공통 전극과, 공통 전극을 덮은 상태로, 제1 절연막 상에 배치된 제2 절연막과, 화소 영역 내의 상기 제2 절연막 상에 배치되고, 상기 제2 절연막 및 상기 제1 절연막에 형성된 콘택트홀을 통하여 상기 구동 소자와 접속된 복수개의 슬릿을 가지는 화소 전극을 포함하고, 공통 전극은, 제1 절연막 상의 콘택트홀의 형성 영역을 제외한 화소 영역과, 주사선 및 상기 신호선 중 적어도 한쪽을 덮은 상태로 배치되어 있는 것을 특징으로 하고 있다.

[0023] 이와 같은 액정 표시 소자 및 표시 장치에 의하면, 신호선 및 주사선을 덮는 제1 절연막 상에, 상기 콘택트홀의 형성 영역을 제외한 화소 영역뿐만 아니라, 주사선 및 신호선 중 적어도 한쪽을 덮은 상태로, 상기 공통 전극이 배치되므로, 유효 화소 영역이 증대하고, 개구율을 향상시킬 수 있다. 또한, 공통 전극이 주사선 및 신호선 중 적어도 한쪽을 덮은 상태로 배치됨으로써, 주사선과 화소 전극 사이 또는 신호선과 화소 전극 사이의 기생 용량이 억제된다.

발명의 효과

[0024] 이상 설명한 바와 같이, 본 발명의 액정 표시 소자 및 표시 장치에 의하면, 개구율을 향상시킬 수 있으므로 광 투과율이 향상되고, 액정 표시 장치의 콘트라스트를 향상시킬 수 있다. 또한, 주사선과 화소 전극 사이 또는 신호선과 화소 전극 사이의 기생 용량이 억제되는 것에 의해, 화소 내의 신호 노이즈를 방지할 수 있으므로, 유지된 화소 전위가 안정되고, 세로 크로스토크 및 가로 크로스토크가 발생하지 않으므로, 액정 표시 장치의 고화질화가 도모된다.

[0025] 또한, 본 실시 형태의 액정 표시 소자 및 이것을 포함한 표시 장치는, 예를 들면, 트랜지스터로 이루어지는 구동 소자에 대하여, 신호선, 주사선 및 화소 전극으로부터의 전계로 반도체층에 백채널을 발생시키지 않으므로, 기생 백채널에 의한 불안정한 동작이 방지된다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시 형태에 따른 액정 표시 장치의 구성을 나타낸 단면도 (a) 및 평면도 (b)이다.

도 2는 본 발명의 실시 형태에 따른 액정 표시 장치의 제1 기관의 A-A'선을 따라 절단한 단면의 주요부 확대도이다.

도 3은 본 발명의 실시 형태에 따른 액정 표시 장치의 공통 전위선이 배치되어 있지 않은 경우 (a)와 배치되어 있는 경우 (b)의 모식도이다.

도 4는 본 발명의 실시 형태에 따른 액정 표시 장치의 제1 기관의 B-B'선을 따라 절단한 단면의 주요부 확대도이다(제1 확대도).

도 5는 본 발명의 실시 형태에 따른 인접 화소의 화소 전극의 간격을 변화시킨 경우의 광의 누출을 나타내는 그래프이다.

도 6은 본 발명의 실시 형태에 따른 인접 화소의 화소 전극의 간격을 변화시킨 경우의 신호선의 선폭과 제2 절

연막의 막 두께의 관계를 나타내는 그래프이다.

도 7은 본 발명의 실시 형태에 따른 제2 절연막의 막 두께를 변화시킨 경우의 신호선폭을 화소 전극 사이의 간격을 변수로 하여 1차 함수로 나타낸 경우의 y절편에 관한 로그 근사의 그래프 (a)와 선형 근사의 그래프 (b)이다.

도 8은 본 발명의 실시 형태에 따른 액정 표시 장치의 제1 기관의 B-B'선을 따라 절단한 단면의 주요부 확대도이다(제2 확대도).

도 9는 본 발명의 실시 형태에 따른 회로도이다.

도 10은 본 발명의 실시 형태에 따른 1개 화소 내의 회로도이다.

도 11은 본 발명의 실시 형태에 따른 다른 트랜지스터를 나타내는 구성도이다.

도 12는 본 발명의 실시 형태의 변형예 1의 평면도이다.

도 13은 본 발명의 실시 형태의 변형예 2의 평면도이다.

도 14는 종래의 액정 표시 장치의 구성을 설명하기 위한 단면도 (a) 및 평면도 (b)이다.

도 15는 종래의 액정 표시 장치의 과제를 나타낸 평면도 및 회로도이다.

[부호의 설명]

100: 액정 표시 장치	10: 제1 기관
13: 제1 절연막	14: 공통 전극
15: 제2 절연막	16, 16': 화소 전극
16a, 16a': 슬릿	16b, 16b': 전극부
20: 제2 기관	30: 액정층

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 실시 형태에 대하여 상세하게 설명한다.

[0028] (제1 실시 형태)

[0029] 도 1의 (a)는, FFS 모드의 투과형의 액정 표시 장치의 단면도이며, 도 1의 (b)는 평면도이다. 그리고, 도 1의 (a)는 도 1의 (b)의 A-A' 단면을 따라서 절단한 절단면을 나타낸다.

[0030] 즉, 액정 표시 장치(100)는, 제1 기관(10)과, 이 제1 기관(10)의 소자 형성면 측에 대향 배치된 제2 기관(20)과, 이들 제1 기관(10)과 제2 기관(20) 사이에 협지된 액정층(30)으로 이루어지는 액정 패널을 포함하고 있다. 여기서는, 액정층(30)이 네마틱(nematic) 액정으로 구성되어 있는 것으로 한다. 또한, 이 액정 패널에서, 제1 기관(10) 및 제2 기관(20)의 외측면에는, 편광판(40, 50)이 접착제(도시하지 않음)를 개재하여 밀착 상태로 설치되어 있다. 이들 편광판(40, 50)은, 크로스 니콜 상태(crossed-Nicols state)로 설치되어 있는 것으로 한다. 또한, 제1 기관(10) 측의 편광판(40)의 더 외측에는, 투과 표시를 행하기 위한 광원이 되는 백라이트(도시하지 않음)가 설치되어 있다.

[0031] 전술한 구성 중, 제1 기관(10)을 제외한 구성은 일반적인 구성이며, 예를 들면, 표시 측 기관이 되는 제2 기관(20)은 유리 기관과 같은 투명 기관으로 이루어지고, 이 제2 기관(20)의 액정층(30)을 향한 면에는, R(적), G(녹), B(청)의 각 색의 컬러 필터(21)와 배향막(22)이 이 순서대로 설치되어 있다.

[0032] 한편, 배면측 기관이 되는 제1 기관(10)에 대하여는, 본 발명에서 특징적 구성을 가지므로, 이하에 상세하게 설명한다.

[0033] 제1 기관(10)은, 유리 기관과 같은 투명 기관으로 이루어지고, 그 액정층(30)을 향한 면 상에는, 매트릭스형으로 배치된 복수개의 주사선(11) 및 복수개의 신호선(12)을 포함하고 있다. 주사선(11) 및 신호선(12)의 구성 재료로서는, 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 티탄(Ti), 납(Pb), 또는 이들의 복합층(예를 들면, Ti/Al) 또는 금속 화합물층(MoSi, AlSi)이 사용되고, 여기서는, 예를 들면, 주사선(11) 및 신호선(12) 모두 알루미늄(Al)으로 구성되는 것으로 한다. 다만, 주사선(11)과 신호선(12)은 상이한 재료로 구성되어도

된다.

- [0034] 또한, 이 주사선(11)과 신호선(12)의 각 교차부에는, 각 화소를 구동시키기 위한, 예를 들면, 보텀 게이트형 TFT(1)로 이루어지는 구동 소자가 설치되어 있고, 주사선(11)과 신호선(12)으로 에워싸인 영역이 화소 영역(1A)이 된다. 여기서, 이 화소 영역(1A)은, 예를 들면, 신호선(12) 측을 긴 변, 주사선(11) 측을 짧은 변으로 하는, 평면에서 볼 때 직사각형인 것으로 한다.
- [0035] 여기서, A-A' 선을 따라 절단한 단면의 주요부 확대도로서 도 2의 (a)에 나타낸 바와 같이, 주사선(11)의 일부에서 TFT(1)의 게이트 전극(2)이 구성되어 있고, 게이트 전극(2)을 포함하는 주사선(11)을 덮은 상태로 제1 기판(10) 상에 게이트 절연막(3)이 설치되어 있다. 또한, 게이트 전극(2)을 덮는 게이트 절연막(3) 상에는 반도체층(4)이 패턴 형성되어 있다.
- [0036] 여기서, 반도체층(4)은, 예를 들면, 비결정 실리콘(a-Si), 폴리 실리콘(Poly-Si) 또는 단결정 실리콘으로 구성되어 있고, 게이트 전극(2)의 바로 윗쪽을 채널층(4a)으로 하고, 그 양측에, 예를 들면, n형 불순물을 포함하는 소스 영역(4b)과 드레인 영역(4c)이 설치되어 있다. 또한, 채널층(4a)과 소스·드레인 영역(4b, 4c) 사이에는, 소스·드레인 영역(4b, 4c)보다 불순물 농도가 낮은 LDD 영역(4b', 4c')이 각각 설치되어 있다.
- [0037] 또한, 반도체층(4)을 덮은 상태로, 게이트 절연막(3) 상에는 절연층(5)이 설치되어 있고, 이 절연층(5)에 소스·드레인 영역(4b, 4c)에 도달한 상태로 설치된 콘택트홀을 통하여, 소스·드레인 영역(4b, 4c)에 소스 전극(6a)과 드레인 전극(6b)이 접속되어 있다. 그리고, 이 소스 전극(6a)은 신호선(12)과 동일 층에서 접속되어 있다.
- [0038] 그리고, 소스·드레인 전극(6a, 6b)을 덮은 상태로, 절연층(5) 상에 제1 절연막(13)이 설치되어 있다. 여기서, 이 제1 절연막(13)은, 후속 공정에서, 제1 절연막(13) 상에 형성되는 제2 절연막을 200℃~400℃ 정도의 고온으로 성막하므로 내열성을 가질 뿐만 아니라, 그 상층에 공통 전극을 형성하므로 평탄성을 가지는 것이 바람직하다. 또한, 기생 용량을 억제하기 위하여, 비유전율(relative dielectric constant)이 낮고, 투과율이 높으며, 막 응력이 낮은 막인 것이 바람직하다. 이와 같은 특성을 가지는 제1 절연막(13)으로서는, 예를 들면, SOG(Spin On Glass)막이 특히 바람직하게 사용된다. 여기서, 제1 절연막(13)의 막 두께는, 주사선(11), 신호선(12), 및 후속 공정에서 제1 절연막(13) 상에 형성되는 공통 전극의 부하 용량에 크게 영향을 미치고, 막 두께가 두꺼울수록 부하 용량은 저감된다. 그러므로, 제1 절연막(13)의 막 두께는, 액정 표시 소자의 구동 특성의 허용 범위 내에서, 예를 들면, 0.5 μ m~4.0 μ m 정도의 막 두께로 형성되는 것이 바람직하다.
- [0039] 그리고, 제1 절연막(13)으로서는, 상기 SOG막 외에, 화학적 기상 성장[Chemical Vapor Deposition(CVD)]법에 의해 성막된 산화 실리콘(SiO₂)이나 질화 실리콘(SiN) 등의 무기 절연막을 사용해도 되고, 유기 절연막을 사용해도 된다. 다만, 제1 절연막(13)으로서는, CVD법에 의해 성막된 무기 절연막을 사용하기보다 유기 절연막을 사용하는 편이, 평탄성을 가지고, 비유전율이 낮으며, 도포법에 의해 용이하게 성막될 수 있으므로, 바람직하다. 유기 절연막으로는, 비감광성 수지와 감광성 수지가 사용되고, 비감광성 수지로서는, 예를 들면, 아크릴 수지, 폴리에스테르, 염화 비닐, 폴리카보네이트, 폴리프로필렌, 폴리에틸렌, 트리아세테이트, 폴리이미드 등이 있으며, 감광성 수지로서는, 예를 들면, 아크릴 수지, 폴리이미드, 스미토모 베이클라이트사(Sumitomo Bakelite Co., Ltd.) 제품인 스미레진 엑셀 CRC-8300(Sumiresin Excel CRC-8300) 등을 들 수 있다. 여기서, 유기 절연막 재료의 물성을 표 1에 나타낸다.

표 1

	폴리 에스틸	폴리 에틸렌	폴리 프로필렌	폴리 카보네이트	폴리 에틸렌	트리아세테이트	폴리이미드 (비강광성) PI(문헌)	폴리이미드 (비강광성) 도레이·듀론	폴리이미드 (비강광성) 스미토모 베이크라이트	CRC-8300 스미토모 베이크라이트
두께 (μm)	25	25	25	25	25	25	25	25	12	12
밀도 (g/cm^3)	1.40	1.40	0.91	1.20	0.92	1.30	1.43	—	—	—
인장강도 (Mpa)	176	98	186	98	20	118	274	140~350	120	120
연신율 (%)	120	50	110	140	400	30	9	57~150	42	65
단열전항 (K Ω)	23	8	15	10	2	3	17	—	—	—
투습도 ($\text{g}/\text{m}^2 \cdot 24\text{hr}$)	21	35	8	60	20	700	4	—	150	300
산소 투과율 ($\text{cc}/\text{m}^2 \cdot \text{hr} \cdot \text{atm}$)	3	6	100	300	250	110	9.3	—	—	—
흡수율 (%)	0.3	0.05	0.01	0.2	0.02	4.4	1.3	1.0~2.9	1.9	0.3
열팽창계수 (ppm/ $^{\circ}\text{C}$)	90	118	110	70	170	—	54	16~60	43	47
습도팽창계수 (ppm/%RH)	—	—	—	—	—	—	—	16~24	—	—
절연피괴전압 (KV/mm)	130	80	120	1200	80	60	140	60~400	260	260
체적저항률 ($\Omega \cdot \text{cm}$)	$1.0\text{E}+17$	$1.0\text{E}+15$	$1.0\text{E}+16$	$1.0\text{E}+17$	$1.0\text{E}+17$	$1.0\text{E}+15$	$1.0\text{E}+17$	$1.0\text{E}+15$	$3.5\text{E}+16$	$1.0\text{E}+16$
유전율	3.2	3.0	2.1	3.0	2.3	3.5	3.3	—	3.5	2.9
유전정점	0.002	0.01	0.003	0.002	0.0005	0.02	0.001	—	—	—
용점($^{\circ}\text{C}$)	258	180	170	240	135	290	—	—	—	—
취화온도	-70	-45	-40	-100	-60	—	—	—	—	—
사용가능온도	-70~150	-20~80	-50~120	-100~130	-50~75	~120	—	—	—	—

그리고, 본 발명의 특징적 구성으로서, 후술하는 화소 전극과 TFT(1)를 접속하기 위한 콘택트홀의 형성 영역을 제외한 화소 영역(1A)과, 주사선(11) 상 및 신호선(12) 상 중 적어도 한쪽을 덮은 상태로, 제1 절연막(13) 상에 공통 전극(14)이 설치되어 있다. 이에 따라, 주사선(11) 상 및 신호선(12) 상 중 적어도 한쪽이 공통 전극(14)으로 덮히는 만큼, 유효 화소 영역이 증대하고, 개구율을 향상시킬 수 있다. 이 공통 전극(14)은, 예를 들면, ITO(Indium Thin Oxide), IZO(Indium Zinc Oxide) 등의 투명 전극막으로 형성된다.

여기서는, 상기 콘택트홀의 형성 영역을 제외한 표시 영역 전역(全域)에 공통 전극(14)이 설치되는 것으로 한다. 이 경우에는, 표시 영역 밖에서 Vcom 단자에 접속된 금속 배선으로부터 공통 전극(14)에 전위가 공급되므로, 개구율을 더 향상시킬 수 있다. 여기서, 콘택트홀과 공통 전극(14)은, 후술하는 바와 같이, 콘택트홀 내에 배치되는 화소 전극과 공통 전극이 단락하지 않는 정도로 이격되어 있으면 된다.

그리고, 본 실시 형태에서는, 표시 영역 밖에서 Vcom 단자에 접속된 금속 배선으로부터 공통 전극(14)에 전위가 공급되는 것으로 하였으나, 도 2의 (b)에 나타난 바와 같이, 공통 전극(14)과 접속된 상태로, 제1 절연막(13) 상에, 공통 전극(14)보다 저항값이 낮은 재료로 이루어지는 복수개의 공통 전위선(18)이 주사선(11)과 평행하게

배치되어 있어도 된다. 이 공통 전위선(18)은, 예를 들면, Al, Mo, Ti, Pb, W, Cr, 또는 이들의 복합층(예를 들면, Ti/Al), 또는 금속 화합물층(MoSi, AlSi)으로 형성된다. 여기서, 공통 전위선(18)이, 예를 들면, 주사선(11) 및 신호선(12)과 같은 Al로 구성되는 것으로 하지만, 주사선(11) 및 신호선(12)과 공통 전위선(18)이 상이한 재료로 구성되어 있어도 된다.

[0044] 여기서, 도 3에 공통 전위선이 배치되어 있지 않은 경우[도 3의 (a)]와 공통 전위선이 배치된 경우[도 3의 (b)]에, 저항값의 차이를 비교하기 위한 모식도를 나타낸다. 그리고, 여기서는, Vcom 단자 V에 접속된 금속 배선(19)은, 화소 영역(1A)을 배열하여 이루어지는 표시 영역(10A)의 양측에 표시 영역(10A)을 협지하여 병설되고, 이들 금속 배선(19)으로부터 콘택트홀을 제외한 표시 영역(10A) 전역에 설치된 공통 전극(14)에 전위가 공급되는 것으로 한다. 이에 따라, 2개의 금속 배선(19)으로부터 표시 영역(10A)의 중심부 0를 향해 전위가 공급된다.

[0045] 여기서, 도 3의 (a)에 나타난 바와 같이, 공통 전위선이 배치되어 있지 않고, 표시 영역(10A) 밖에 배치된 금속 배선(19)으로부터 IT0로 이루어지는 공통 전극(14)에 직접 전위가 공급되는 경우에는, IT0의 저항이 10~200Ω / □(square)이므로, 표시 영역(10A)의 단부로부터 중심부 0까지의 공통 전극(14)의 저항 R₁이 커진다. 그러므로, 표시 영역(10A)의 단부로부터 중심부 0까지의 공급 전위에 시간차(time lags)가 생기고, 액정 패널의 표시 영역(10A)에서의 장소에 따른 휘도차가 생긴다. 이에 비해, 도 3의 (b)에 나타난 바와 같이, 복수개의 공통 전위선(18)을 화소열마다 배치하면, 공통 전위선(18)을 구성하는 금속 재료는, 예를 들면, Al이 0.05Ω / □, Mo이 0.5Ω / □이 되어, 공통 전극(14)을 구성하는 IT0보다 저항이 낮기 때문에, 표시 영역(10A)의 단부로부터 중심부 0까지의 공통 전극(14)의 저항 R₂는 R₁보다 작아진다. 이에 따라, 표시 영역(10A)의 단부로부터 중심부 0까지의 공급 전위의 시간차가 방지되고, 표시 영역(10A)의 장소에 의한 휘도차를 개선할 수 있다.

[0046] 또한, 이 공통 전위선(18)을 주사선(11) 또는 신호선(12)과 중첩한 상태로 배치함으로써, 개구율에 영향을 주지 않고 공통 전위선(18)을 배치할 수 있으므로, 바람직하게 된다.

[0047] 그리고, 여기서는, 2개의 금속 배선(19)이 표시 영역(10A)의 양측에 배치된 예에 대하여 설명하였으나, 1개의 금속 배선(19)이 표시 영역(10A)의 한쪽에만 배치되어도 된다. 다만, 2개의 금속 배선(19)이 표시 영역(10A)의 양측에 배치되는 편이, 표시 영역(10A)의 단부로부터 중심부까지의 공통 전극(14)의 저항을 낮게 할 수 있으므로 바람직하다.

[0048] 또한, 여기서는, 공통 전위선(18)을 제1 절연막(13)과 공통 전극(14) 사이에 배치하였으나, 공통 전위선(18)은, 공통 전극(14)과 접촉되면 되고, 절연층(5) 상, 게이트 절연막(3) 상, 및 제1 기판(10) 상의 어디에 배치되어도 된다.

[0049] 여기서, 다시 도 2의 (a)에 나타난 바와 같이, 공통 전극(14) 상에는, 예를 들면, CVD법에 의해 성막된 SiO₂나 SiN 등의 무기 절연막으로 이루어지는 제2 절연막(15)이 설치되어 있다. 이 제2 절연막(15)을 CVD법에 의해 성막된 무기 절연막으로 형성함으로써, 늘어붙음 방지나 수율 향상 등의 이점이 있다. 그리고, 제2 절연막(15)으로서, 전술한 바와 같은 것 이외에도, SOG 및 유기 절연막을 사용할 수 있다. 유기 절연막으로서, 제1 절연막(13)에서 예시한 재료와 동일한 것을 사용할 수 있다.

[0050] 여기서, 제1 절연막(13)과 제2 절연막(15)의 조합을 표 2에 나타낸다.

표 2

	제1 절연막	제2 절연막
방식 1	SOG	CVD-무기 절연막
방식 2	유기 절연막	CVD-무기 절연막
방식 3	CVD-무기 절연막	CVD-무기 절연막
방식 4	SOG	SOG
방식 5	유기 절연막	SOG
방식 6	CVD-무기 절연막	SOG
방식 7	SOG	유기 절연막
방식 8	유기 절연막	유기 절연막
방식 9	CVD-무기 절연막	유기 절연막

[0052] 이 표에 나타난 바와 같이, 제1 절연막(13)과 제2 절연막(15)으로서, 다양한 조합이 고려되지만, 전술한 바와

같이, 제1 절연막(13)으로서는 SOG 및 유기 절연막, 또한, 제2 절연막(15)으로서는 CVD법에 의해 성막된 무기 절연막(표에서 CVD-무기 절연막)을 사용한 방식 1 및 방식 2를 조합하는 것이 바람직하다.

[0053] 제2 절연막(15) 및 제1 절연막(13)에는, 드레인 전극(6b)에 도달하는 콘택트홀(15a, 13a)이 연통된 상태로, 즉 평면에서 볼 때 중첩된 상태로 설치되어 있다. 그리고, 이 콘택트홀(15a, 13a)을 통하여 드레인 전극(6b)과 접속된 상태로, 제2 절연막(15) 상에 화소 전극(16)이 설치되어 있다.

[0054] 여기서, 콘택트홀(15a, 13a)은 평면에서 볼 때 중첩된 상태로 배치되므로, 동일한 에칭 마스크를 사용한, 한 번의 에칭에 의해 형성되는 것이 바람직하다. 또한, 콘택트홀(15a, 13a)이 평면에서 볼 때 중첩되지 않는 경우에 대해서도 본 발명은 적용될 수 있지만, 중첩되는 편이 개구율을 넓게 취할 수 있으므로, 바람직하다.

[0055] 또한, 화소 전극(16)을 덮은 상태로, 제2 절연막(15) 상에는 배향막(17)이 배치되어 있다. 여기서, 도 1의 (b)에 나타낸 바와 같이, 이 화소 전극(16)은 복수개의 슬릿(16a)을 가지고 있고, 이 슬릿(16a)은 신호선(12)과 평행하게 설치되어 있다.

[0056] 화소 전극(16)의 복수개의 슬릿(16a)이 신호선(12)과 평행하게 배치됨으로써, 전술한 배경 기술에서 도 14를 사용하여 설명한 바와 같이, 복수개의 슬릿이 주사선(11)과 평행하게 배치되는 경우와 비교하여, 유효 화소 영역이 증대한다. 이는, 상기 슬릿이 주사선(11)과 평행인 경우에는, 신호선(12)에 가까운 슬릿의 짧은 변측은, 이 짧은 변을 구성하는 전극부에 의해 액정 분자 m의 배향이 저해되므로 유효 화소 영역이 되지 않지만, 슬릿(16a)이 신호선(12)과 평행하게 배치됨으로써, 화소 전극(16)의 신호선(12)의 단부 측까지 유효 화소 영역으로 할 수 있다. 또한, 이런 경우라도 화소 전극(16)의 슬릿(16a)의 짧은 변 측은 유효 화소 영역이 되지 않지만, 이 부분을 주사선(11)과 중첩시킴으로써, 개구율을 넓게 취할 수 있으므로, 바람직하다.

[0057] 여기서, 도 1의 (b)의 B-B'선을 따라서 절단한 단면을 도 4에 나타낸 바와 같이, 각 화소를 구동시키기 위한 구동 전압은, 화소 전극(16)의 중앙부의 슬릿(16a)의 폭, 슬릿(16a) 사이의 전극부(16b)의 폭, 및 제2 절연막(15)의 막 두께에 의해 규정되고, 인접하는 화소의 화소 전극(16) 사이의 간격 X는, 너무 가까우면 인접하는 화소로부터의 광의 누출이 생기므로, 소정 간격 이상 이격시켜 배치하는 것이 바람직하다. 그래서, 화소 전극(16)의 신호선(12) 측의 단부와 신호선(12)에 가장 가까운 위치의 슬릿(16a) 사이의 전극부(16b')의 폭을, 이 전극부(16b') 이외의 전극부(16b)와는 상이한 폭으로 조정함으로써, 인접하는 화소의 화소 전극(16) 사이의 간격 X를 제어한다.

[0058] 여기서, 도 5에, 인접하는 흑색 표시 상태의 화소 A와 백색 표시 상태의 화소 B의 화소 전극(15) 사이의 간격 X를 2 μ m, 4 μ m, 6 μ m, 7 μ m, 8 μ m, 10 μ m, 12 μ m, 16 μ m 및 20 μ m로 각각 바꿀 경우, 화소 B로부터 화소 A로의 광의 누출을 세로축을 투과율로하여 측정한 그래프를 나타낸다. 이 그래프에 나타낸 바와 같이, 인접 화소의 화소 전극(16) 사이의 간격 X가 작을수록, 광의 누출이 발생하는 것이 확인되었다. 여기서, A1으로 이루어지는 신호선(12)은 차광체로서 기능하므로, 신호선(12)의 선평 Z를 크게 함으로써, 광의 누출을 방지할 수 있다.

[0059] 그래서, 광의 누출이 눈으로 확인(視認)되지 않을 정도의 흑색 표시 화소 A에서의 투과율 0.1 이하를 판단 조건(criterion)으로 하며, 인접 화소의 화소 전극(15) 사이의 간격 X를 가로축으로 하고, 제2 절연막(15)의 막두께 Y를 200nm, 400nm, 600nm, 800nm 및 1000nm로 한 경우에, 흑색 표시 화소 A의 투과율이 0.1 이하가 되는 신호선(12)의 선평 Z를 시뮬레이션한 그래프를 도 6에 나타낸다. 이 그래프에 나타낸 바와 같이, 신호선평 Z(y)는, 화소 전극(16) 사이의 간격 X(x)를 변수로 한 1차 함수로 표시되고, 기울기는 제2 절연막(15)의 막 두께에 따르지 않고, 거의 일정한 것이 확인되었다. 또한, y절편은 제2 절연막(15)의 막 두께 의존성이 있으므로, 제2 절연막(15)의 막두께가 두꺼울수록, 차광체가 되는 신호선의 선평을 넓게 취할 필요가 있는 것이 확인되었다.

[0060] 그래서, 기울기는 제2 절연막(15)의 막 두께 Y를 바꿀 경우의 5개 식의 평균값으로 하고, 절편에 대하여는 근사식을 이용하여 수식을 일반화하였다. 여기서, 도 7의 (a)은 로그 근사, 도 7의 (b)은 선형 근사의 그래프를 각각 나타낸다.

[0061] 그리고, 전술한 식으로부터 필요한 신호선(12)의 선평 Z는, 로그 근사를 사용한 경우에는 하기 수식 (1)에 의해 나타내고, 선형 근사를 사용한 경우에는 하기 수식(2)에 의해 나타낸다.

[0062]
$$Z \geq -0.92558X + 3.237\ln(Y) - 10.593 \quad \cdots \text{수식 (1)}$$

[0063]
$$Z \geq -0.92558X + 0.0063Y + 5.8833 \quad \cdots \text{수식 (2)}$$

[0064] 전술한 2개의 수식 중 어느 한쪽이 성립되도록 인접 화소의 화소 전극 사이의 간격 X, 제2 층간절연막의 막 두께 Y, 및 차광물의 선평 Z를 설정한다. 특히 정밀도가 높은 로그 근사의 수식 (1)에 의해 각 값을 설정하면,

광의 누출을 확실하게 억제할 수 있게 된다.

- [0065] 다만, 본 실시 형태에서는, 신호선(12)이 차광체를 겹하고 있고, 신호선(12)의 선폭 Z 및 제2 절연막(15)의 막 두께 Y 는 액정 표시 소자의 설계 상에서 규정된다. 다만, 선폭 Z 가 작은 편이 개구율이 높아지므로, Z 를 최저치로 하고, 인접 화소의 화소 전극 사이의 간격 X 를 전술한 수식 (1) 또는 수식 (2)를 만족시키도록 설정한다. 그리고, 도 8에 나타난 바와 같이, 신호선(12)에 가장 가까운 화소 전극(16)의 전극부(16b')의 폭을 다른 전극부(16b)의 폭보다 좁게 설정함으로써, 인접 화소의 화소 전극 사이의 간격 X 를 조정한다.
- [0066] 그리고, 본 실시 형태에서는, 신호선(12)이 차광체로서 기능하는 것으로 하였으나, 신호선(12)의 하층에, 어느 전극과도 전기적으로 접속되어 있지 않은 차광체를 배치해도 된다.
- [0067] 다음에, 액정 표시 장치(100)의 동작에 대하여 도 1을 다시 사용하여 설명한다. 무전계(無電界) 시에는, 액정층(30) 내의 액정 분자 m 이 위상차가 생기지 않도록 배향되므로, 편광판(40)을 통과한 백라이트의 광 h 가, 편광판(40)에 대하여 크로스 니콜 상태로 배치된 편광판(50)에서 흡수되어 흑색 표시가 된다.
- [0068] 한편, 전계 인가 시에는, 액정층(30)을 투과함으로써 $\lambda/2$ 의 위상차가 발생하도록 액정 분자 m 이 배향된다. 이에 따라, 편광판(40)을 통과한 백라이트의 광 h 가 액정층(30)을 투과함으로써, $\lambda/2$ 의 위상차가 생겨서 90° 회전된 직선 편광이 되므로, 편광판(50)을 투과하고, 백색 표시가 된다.
- [0069] 이어서, 이 액정 표시 장치(100)의 회로도들 도 9에 나타난다. 이 액정 표시 장치(100)의 제1 기관(10) 상에는, 표시 영역(10A)과 그 주변 영역(10B)이 설정되어 있다. 다만, 이 경우의 회로도는 도 3의 (a) 및 도 3의 (b)를 사용하여 설명한 바와 같이, 전위를 공급하는 금속 배선(19)이 표시 영역(10A) 외의 한쪽 주변 영역(10B)에만 배치된 경우의 회로도이다.
- [0070] 표시 영역(10A)은, 복수개의 주사선(11)과 복수개의 신호선(12)이 매트릭스형으로 배선되어 있고, 각각의 교차부에 대응하여 1개의 화소 A가 설치된 화소 어레이부로서 구성되어 있다.
- [0071] 또한, 주변 영역(10B)에는, 표시 영역(10A)의 각 화소 A를 행 단위로 차례로 선택하는 수직 드라이버(61), 행 단위로 선택된 각 화소 A에 화소 신호를 기록하는 수평 드라이버(62), 시분할 구동을 위한 시분할 스위치부(63), 및 수직 및 수평 드라이버(61, 62)나 시분할 스위치부(63)를 컨트롤하는 제어계(64)가 실장된 구성으로 되어 있다.
- [0072] 각각의 화소 A는 게이트 전극이 주사선(11-1 ~ 11-m)에 접속되고, 소스 전극(6a)이 신호선(12-1 ~ 12-n)에 접속된 TFT(1)와, 이 TFT(1)의 드레인 전극(6b)에 화소 전극(16)이 접속된 표시 소자 D와, TFT(1)의 드레인 전극(6b)에 한쪽 전극이 접속된 보조 용량 S로 구성되어 있다. 이러한 구성의 화소 A 각각에서, 표시 소자 D의 공통 전극은, 보조 용량 S의 다른 쪽 전극과 함께 공통 전위선(18)에 접속되어 있다. 공통 전위선(18)에는, 소정의 직류 전압 또는 수평 동기 신호와 동기한 직사각형 전압이 공통 전위 전압 VCOM으로서 인가된다.
- [0073] 여기서, 이 액정 표시 장치(100)는 시분할 구동법에 의해 구동된다. 시분할 구동법은, 표시 영역(10A)의 서로 인접하는 복수개의 신호선(12)을 1개 단위(블록)로 하여 분할하고, 이 1개로 분할된 블록 내의 복수개의 신호선(12)에 인가하는 신호 전압을 시계열로 수평 드라이버(62)의 각 출력 단자로부터 출력하는 한편, 복수개의 신호선(12)을 1개 단위로 하여 시분할 스위치부(63)를 설치하고, 이 시분할 스위치부(63)에 의해 수평 드라이버(62)로부터 출력되는 시계열의 신호 전압을 시분할로 샘플링하여 복수개의 신호 라인에 차례로 인가하는 구동 방법이다.
- [0074] 시분할 스위치부(63)는, 수평 드라이버(62)로부터 출력되는 시계열 신호 전압을 시분할로 샘플링하는 아날로그 스위치(트랜스미션 스위치)에 의해 구성되어 있다. 이 시분할 스위치부(63)의 구체적인 구성예를 다음에 나타낸다. 그리고, 이 시분할 스위치부(63)는, 수평 드라이버(62)의 각 출력에 대하여 1개씩 설치된다. 또한, 여기서는, R(적), G(녹), B(청)에 대응하여 3개로 시분할 구동을 행하는 경우를 예를 들어 나타내고 있다.
- [0075] 이 시분할 스위치부(63)는, PchMOS 트랜지스터 및 NchMOS 트랜지스터가 병렬로 접속되어 이루어지는 CMOS 구성의 아날로그 스위치(63-1, 63-2, 63-3)에 의해 구성되어 있다. 그리고, 본 예에서는, 아날로그 스위치(63-1, 63-2, 63-3)로서 CMOS로 구성된 것을 사용하지만, PMOS 또는 NMOS로 구성된 것을 사용할 수도 있다.
- [0076] 이 시분할 스위치부(63)에서, 3개의 아날로그 스위치(63-1, 63-2, 63-3)의 각 입력단이 공통적으로 접속되고, 각 출력단이 3개의 신호 라인(12-1, 12-2, 12-3)의 각 일단에 각각 접속되어 있다. 그리고, 이들 아날로그 스위치(63-1, 63-2, 63-2, 63-3)의 각 입력단에는, 수평 드라이버(62)로부터 시계열로 출력되는 신호 전위가 인가

된다.

- [0077] 여기서, 본 발명의 공통 전극(14)을 아날로그 스위치(63-1, 63-2, 63-2, 63-3)의 상부에도 배치함으로써, 보텀 게이트 구조의 TFT(1)에 의해 형성된 아날로그 스위치(63-1, 63-2, 63-2, 63-3)는, 근방의 게이트 선택 신호 및 인접한 신호선(12-1, 12-2, 12-3) 각각으로부터의 기생 용량에 의한 전위 변동의 영향을 제거할 수 있다. 그리고, 이는, 아날로그 스위치(63-1, 63-2, 63-2, 63-3)가 탑 게이트 구조로 형성된 경우에도 마찬가지로 효과를 가지는 것은 명백하다.
- [0078] 또한, 1개의 아날로그 스위치에 대하여 2개씩, 합계 6개의 제어 라인(65-1~65-6)이 배선되어 있다. 그리고, 아날로그 스위치(63-1)의 2개의 제어 입력단(즉, CMOS 트랜지스터의 각 게이트)이 제어 라인(65-1, 65-2)에, 아날로그 스위치(63-2)의 2개의 제어 입력단이 제어 라인(65-3, 65-4)에, 아날로그 스위치(63-3)의 2개의 제어 입력단이 제어 라인(65-5, 65-6)에 각각 접속되어 있다.
- [0079] 6개의 제어 라인(65-1~65-6)에 대하여, 3개의 아날로그 스위치(63-1, 63-2, 63-3)를 차례로 선택하기 위한 게이트 선택 신호(S1~S3, XS1~XS3)가 후술하는 타이밍 컨트롤러 TC(66)로부터 부여된다. 다만, 게이트 선택 신호(XS1~XS3)는 게이트 선택 신호(S1~S3)의 반전 신호이다.
- [0080] 게이트 선택 신호(S1~S3, XS1~XS3)는, 수평 드라이버(62)로부터 출력되는 시계열 신호 전위에 동기되어, 3개의 아날로그 스위치(63-1, 63-2, 63-3)를 차례로 온(ON)시킨다. 이에 따라, 아날로그 스위치(63-1, 63-2, 63-3)는, 수평 드라이버(62)로부터 출력되는 시계열 신호 전위를, 1H 기간에 3개의 시분할로 샘플링하면서, 대응되는 신호 라인(12-1, 12-2, 12-3)에 각각 공급한다.
- [0081] 수직 드라이버(61), 수평 드라이버(62) 및 시분할 스위치부(63)를 제어하는 제어계(64)는, 타이밍 컨트롤러 TC(66), 기준 전압 발생원(67) 및 DC-DC 컨버터(68) 등을 포함하고, 이들 회로가 제1 기관의 주변 영역(10B) 상에 수직 드라이버(61), 수평 드라이버(62) 및 시분할 스위치부(63)와 함께 실장된 구성으로 되어 있다.
- [0082] 이 제어계(64)에서, 타이밍 컨트롤러(66)에는, 예를 들면, 외부의 전원부(도시하지 않음)로부터 전원 전압 VDD가, 외부의 CPU(도시하지 않음)로부터 디지털 화상 데이터(data)가, 외부의 클럭 발생기(도시하지 않음)로부터 클럭 CLK가 각각 TCP(도시하지 않음)를 통해 입력된다.
- [0083] 여기서, 본 실시 형태에 따른 액정 표시 장치의 각 화소 A의 회로도도 도 10에 나타내면, 공통 전극(14)이 콘택트홀 형성 영역을 제외한 표시 영역(10A) 전역에 설치됨으로써, 신호선(12)과 화소 전극(16) 사이 및 주사선(11)과 화소 전극(16) 사이에서 발생하는 기생 용량 C1, C2가 공통 전극(14)에 결합되고, 화소 전위로의 영향이 억제된다.
- [0084] 이와 같은 액정 표시 소자 및 이것을 포함한 표시 장치에 의하면, 공통 전극(14)이, 제1 절연막(13) 상에, 콘택트홀(13a, 15a)의 형성 영역을 제외한 화소 영역(1A) 뿐만 아니라, 주사선(11) 및 신호선(12) 중 적어도 한쪽을 덮은 상태로 배치되므로, 유효 화소 영역을 증대시킬 수 있고, 개구율을 향상시킬 수 있다. 따라서, 광투과율이 향상되고, 콘트라스트를 향상시킬 수 있다.
- [0085] 또한, 공통 전극(14)이 주사선(11) 및 신호선(12) 중 적어도 한쪽을 덮은 상태로 배치됨으로써, 신호선(12)과 화소 전극(16) 사이 또는 주사선(11)과 화소 전극(16) 사이의 기생 용량이 억제된다. 특히, 본 실시 형태의 액정 표시 장치에 의하면, 콘택트홀(13a, 15a)의 형성 영역 이외의 표시 영역(10A) 전역이 공통 전극(14)으로 덮혀져 있다. 이에 따라, 화소 내의 신호 노이즈를 확실하게 방지할 수 있으므로, 유지된 화소 전위가 안정되고, 세로 크로스토크 및 가로 크로스토크가 발생하지 않으므로, 액정 표시 장치의 고화질화가 도모된다.
- [0086] 또한, 본 실시 형태의 액정 표시 소자 및 이것을 포함하는 표시 장치는, 비결정 실리콘(a-Si), 폴리 실리콘(Poly-Si) 또는 결정 실리콘(crystal-Si)을 반도체층(4)으로서 사용하는 보텀 게이트형의 TFT(1)에 대하여, 신호선(11), 주사선(12) 및 화소 전극(16)으로부터의 전계로 반도체층에 백채널을 발생시키지 않으므로, 기생 백채널에 의한 불안정한 동작이 없어지게 된다. 이는, 탑 게이트 TFT에 대해서도 마찬가지로 효과를 가지는 것은 명백하다.
- [0087] 그리고, TFT(1)가 탑 게이트형의 트랜지스터인 경우에는, 도 11에 나타낸 바와 같이, 제1 기관(10) 상에, 비결정 실리콘(a-Si), 폴리 실리콘(Poly-Si) 또는 결정 실리콘(crystal-Si)으로 이루어지는 반도체층(4)이 패턴 형성되고, 이 반도체층(4) 상에 게이트 절연막(3)을 통하여 일부가 게이트 전극(2)으로서 기능하는 한쪽 방향으로 연장 형성된 주사선(11)이 패턴 형성된다. 이 경우에는, 게이트 전극(2)을 마스크로 하여 n형 불순물이 이온주입되므로, 게이트 전극(2a) 바로 아래의 반도체층(4)이 채널층(4a)이 되고, 그 양쪽의 반도체층(4)이 소스 영역

역(4b)과 드레인 영역(4c)이 된다. 또한, 주사선(2) 및 게이트 절연막(3) 상에는 절연층(5)이 설치되어 있고, 절연층(5)에 설치된 콘택트홀(5a, 5b)을 통하여, 소스·드레인 영역(4b, 4c)과 소스·드레인 전극(6a, 6b)이 접속된다. 그리고, 소스·드레인 전극(6a, 6b)을 덮은 상태로 제1 절연막(13)이 설치되어 있다.

[0088] (변형예 1)

[0089] 그리고, 전술한 제1 실시 형태에서는, 화소 전극(16)이 직사각형이며, 직사각형의 슬릿(16a)이 설치된 예에 대하여 설명하였으나, 도 12의 평면도에 나타난 바와 같이, 화소 전극(16')이 평면에서 볼 때 그 길이 방향의 중앙부에서 절곡된 형상, 즉 「〈자형(V자형)」으로 절곡된 형상의 멀티 도메인 구조라도 된다. 이 경우에는, 화소 전극(16')의 슬릿(16a)이나 화소 전극(16')의 외형에 맞추어서 「〈자형(V자형)」으로 개구된다. 화소 영역(1A) 내에서 전계 방향이 상이한 2개의 영역이 존재하므로, 액정 분자 m의 배향 방향은 2개 방향이 되어, 시야각 특성을 대폭 개선할 수 있다. 이 경우에는, 신호선(12)도 화소 전극(16)의 절곡에 맞추어서 지그재그형으로 배치된다.

[0090] 여기서, 「〈자형(V자형)」으로 개구되는 슬릿(16a')은, 전술한 전계 방향이 상이한 2개의 영역에서, 전계 인가시의 액정 분자 m의 장축의 배향 방향을 90°로 할 경우에, 액정 분자 m의 장축에 대한 슬릿(16a')의 길이 방향의 각도의 범위가 45° 이상 90° 미만, 바람직하게는 65° 이상 89° 이하가 되도록 한다.

[0091] (변형예 2)

[0092] 또한, 도 13의 평면도에 나타난 바와 같이, 화소 전극(16")의 복수개의 슬릿(16a")은 주사선(11)과 거의 평행하게 배치되어 있어도 된다. 여기서, 거의 평행이란, 주사선(11)에 대하여 0°에서 45° 정도까지의 경사를 가지는 것을 가리킨다. 이러한 경우라도, 공통 전극(14)이 콘택트홀(13a, 15a)의 형성 영역을 제외한 표시 영역(10A) 전역에 배치됨으로써, 개구율이 향상되고, 신호선(12)과 화소 전극(16") 사이 또는 주사선(11)과 화소 전극(16") 사이의 기생 용량이 억제된다. 다만, 제1 실시 형태에서 설명한 바와 같이, 화소 전극(16)의 슬릿(16a)을 신호선(12)과 평행하게 배치하는 편이, 개구율이 넓어지므로, 바람직하다.

[0093] 이와 같은 액정 표시 장치라도, 개구율이 넓어지므로, 광투과율이 향상되고, 콘트라스트를 향상시킬 수 있다. 또한, 주사선과 화소 전극 사이 또는 신호선과 화소 전극 사이의 기생 용량이 억제됨으로써, 화소 내의 신호 노이즈를 방지할 수 있으므로, 유지된 화소 전위가 안정되고, 세로 크로스토크 및 가로 크로스토크가 발생하지 않으므로, 액정 표시 장치의 고화질화가 도모된다.

[0094] 그리고, 이 변형예 2의 구성에서도, 도 2의 (b)를 사용하여 설명한 바와 같이, 공통 전극(14)과 접속되는 공통 전위선을 배치해도 되고, 변형예 1에서 설명한 멀티 도메인 구조를 적용해도 된다.

[0095] 그리고, 전술한 실시 형태 및 변형예에서는, 투과형의 액정 표시 장치를 예를 들어 설명하였으나, 본 발명은 이에 한정되지 않고, 반사형 또는 반사 영역과 투과 영역을 가지는 반투과형의 FFS 모드의 액정 표시 장치라도 적용받을 수 있다.

[0096] [실시예]

[0097] 또한, 본 발명의 구체적인 실시예에 대하여 설명한다.

[0098] (실시예 1)

[0099] 전술한 제1 실시 형태에서 도 1을 사용하여 설명한 구성과 마찬가지로, 제1 절연막(13) 상의 콘택트홀의 형성 영역 이외의 표시 영역 전역에 공통 전극(14)을 배치하고, 화소 전극(16)의 복수개의 슬릿을 신호선(12)과 평행하게 배치한 액정 표시 장치를 제조했다.

[0100] (실시예 2)

[0101] 또한, 전술한 변형예 2에서 도 12를 사용하여 설명한 구성과 마찬가지로, 제1 절연막(13) 상의 콘택트홀의 형성 영역 이외의 표시 영역 전역에 공통 전극(14)을 배치하고, 화소 전극(16")의 복수개의 슬릿(16a")을 주사선(11)과 평행하게 배치한 액정 표시 장치를 제조했다.

[0102] (비교예 1)

[0103] 한편, 전술한 실시예 1 및 실시예 2에 대한 비교예로서, 배경 기술에서 도 13을 사용하여 설명한 구성과 마찬가지로, 공통 전극(114)을 제1 기판(110) 상의 TFT(1)의 형성 영역을 제외한 화소 영역에 배치하고, 화소 전극(116)의 복수개의 슬릿(116a)을 신호선(112)과 평행하게 배치한 액정 표시 장치를 제조했다.

[0104] 그리고, 전술한 실시예 1, 실시예 2 및 비교예 1의 액정 표시 장치에 대하여, 개구율 및 상대 투과율을 비교했다. 상대 투과율은 입사광을 100%으로 한 경우의 추출광의 비율이며, 개구율에 비례하는 값이다. 그 결과를 표 3에 나타낸다.

표 3

[0105]

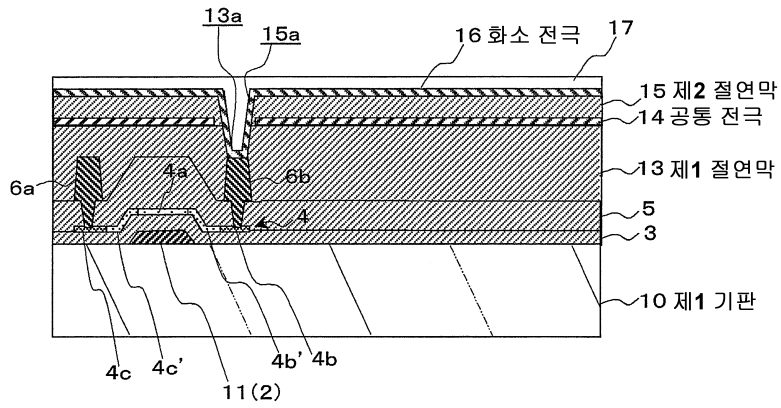
	개구율(%)	상대 투과율(%)
실시예 1	132	7.0
실시예 2	120	6.4
비교예 1	100	5.3

[0106]

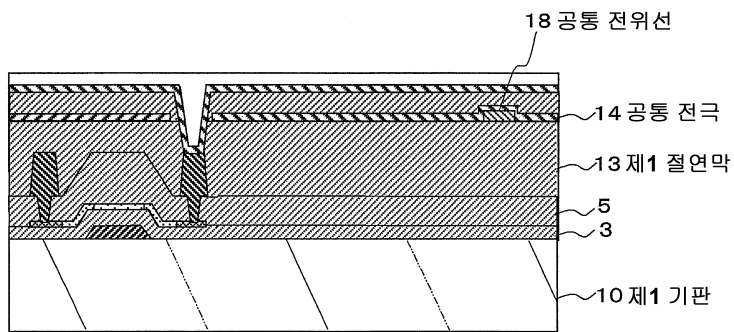
전술한 표 3에 나타난 바와 같이, 비교예 1의 액정 표시 장치와 비교하여, 실시예 1 및 실시예 2의 액정 표시 장치의 개구율은 높아지고, 비교예 1의 개구율을 100%로 한 경우의 개구율은, 실시예 1에서 132%, 실시예 2에서 120%를 나타내는 것이 확인되었다. 또한, 비교예 1의 상대 투과율이 5.3%인데 비해, 실시예 1의 상대 투과율은 7.0%, 실시예 2의 상대 투과율은 6.4%이며, 개구율이 증가함에 따라 상대 투과율도 높아지는 것이 확인되었다.

도면2

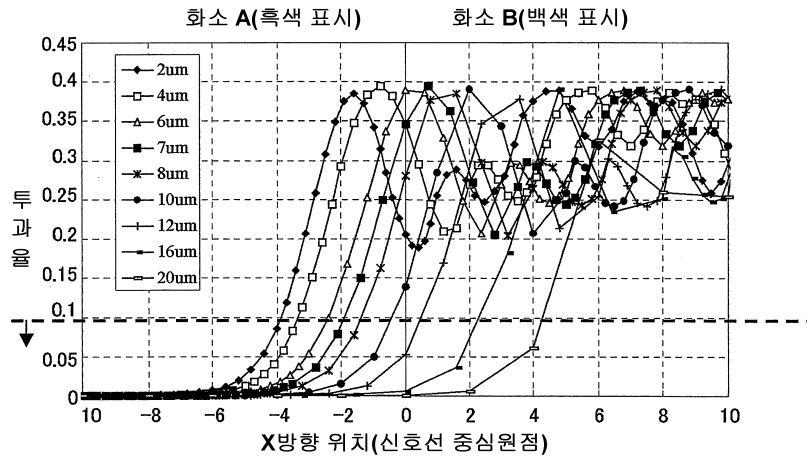
(a)



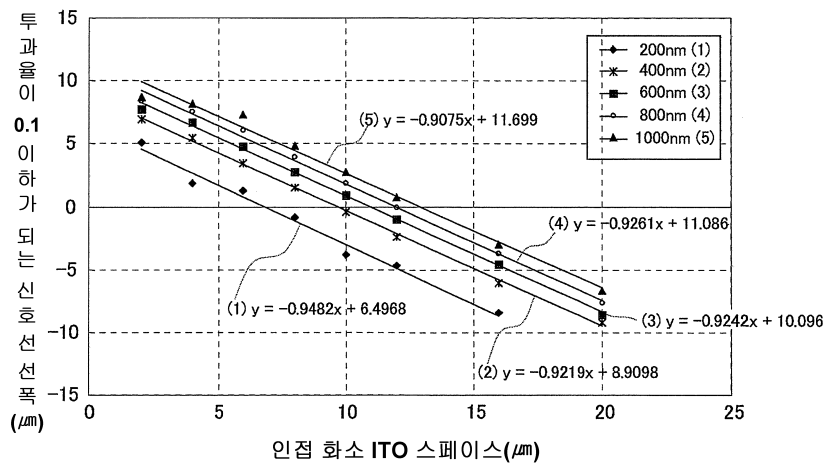
(b)



도면5

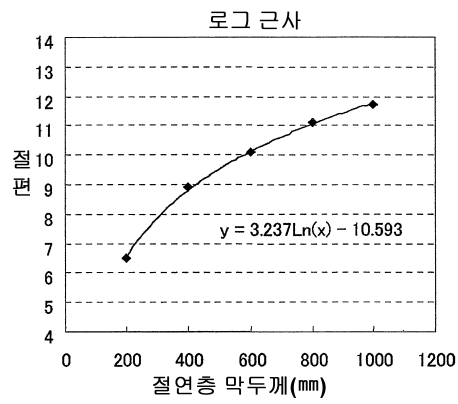


도면6

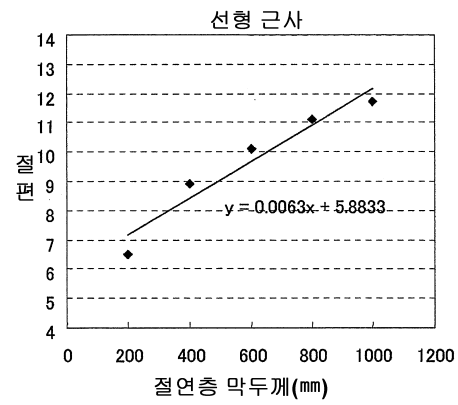


도면7

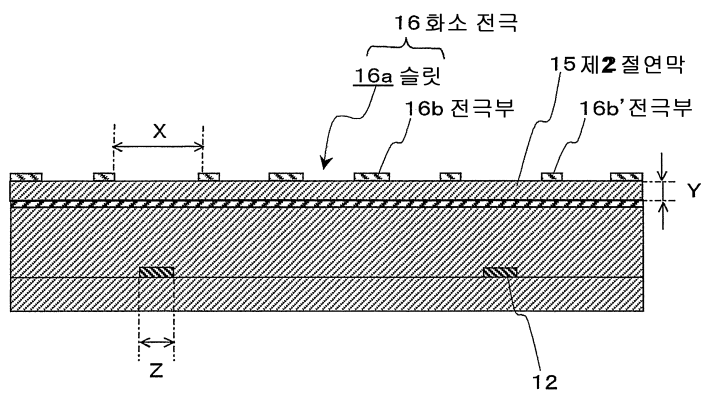
(a)



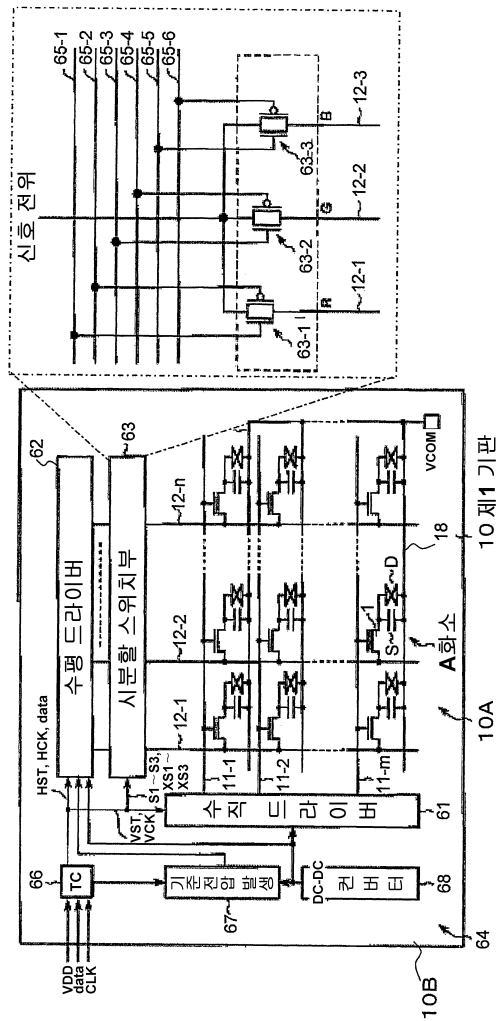
(b)



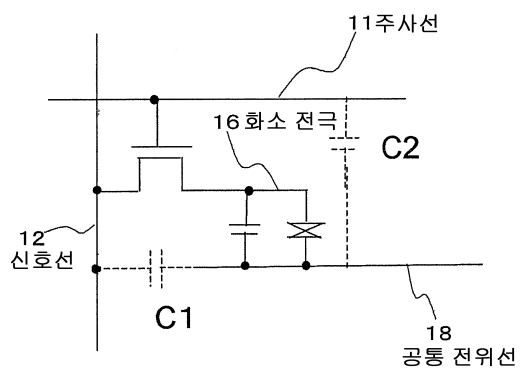
도면8



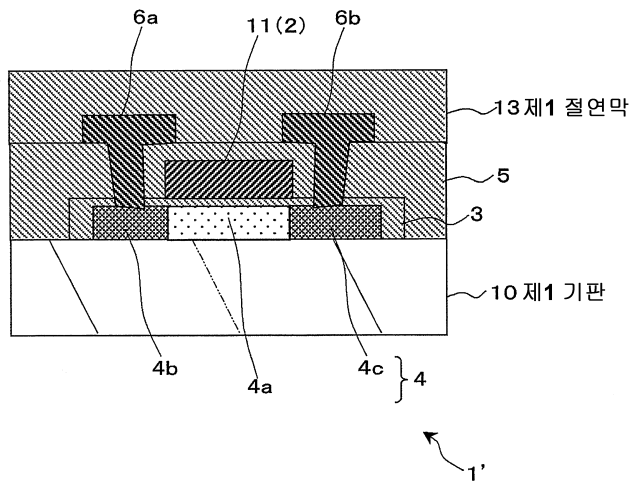
도면9



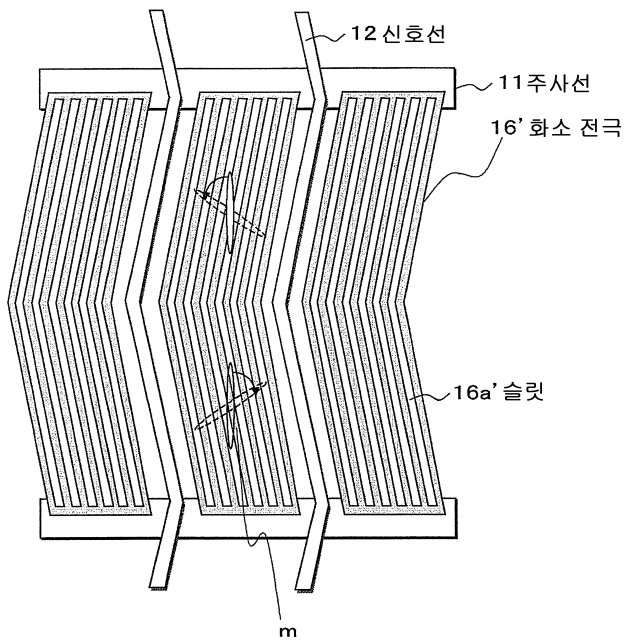
도면10



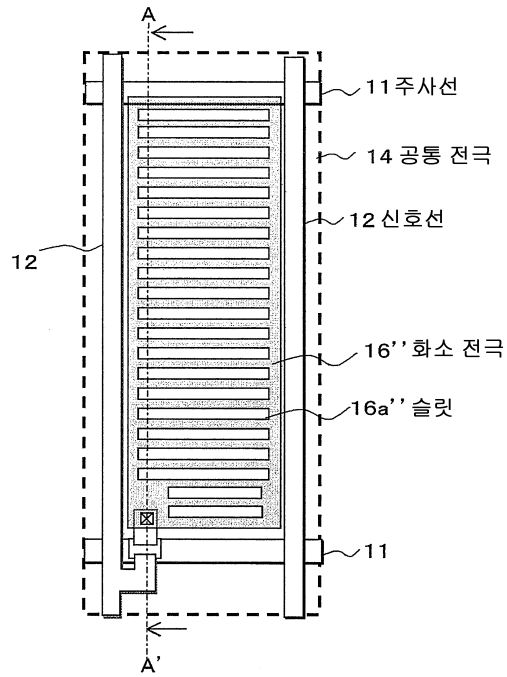
도면11



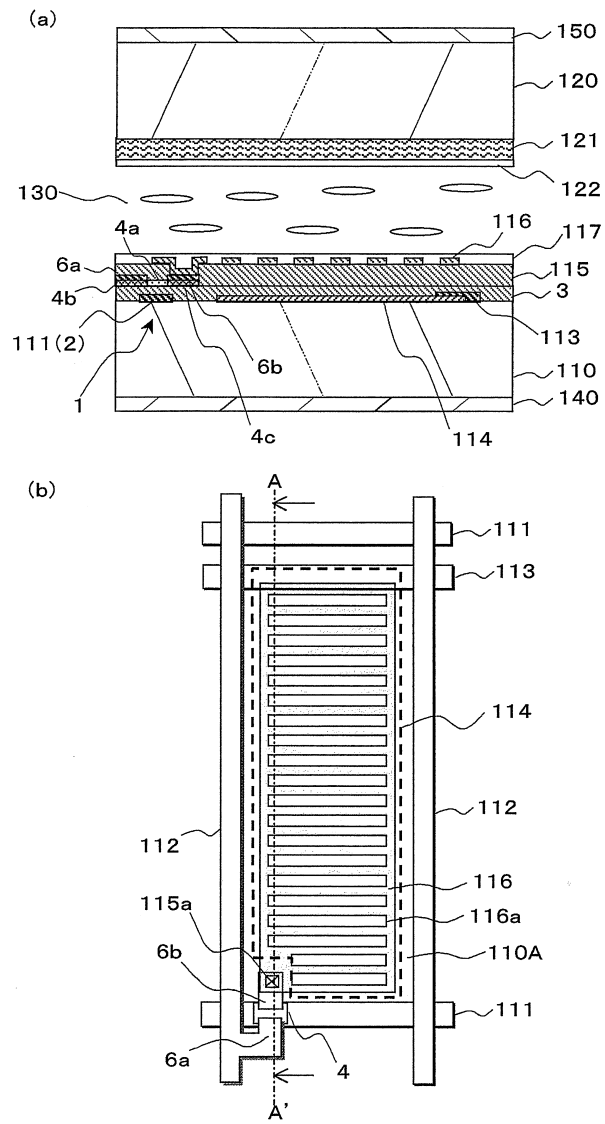
도면12



도면13

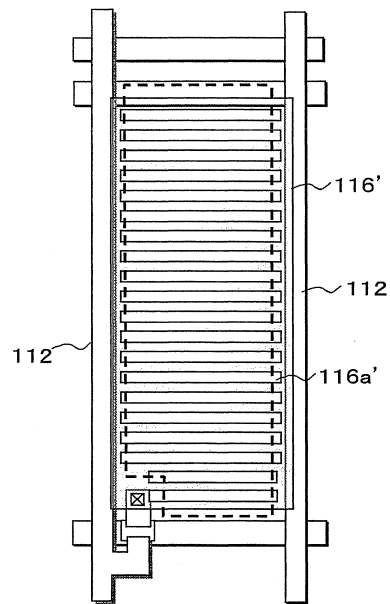


도면14

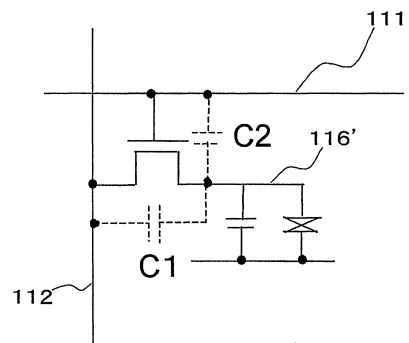


도면15

(a)



(b)



专利名称(译)	标题：液晶显示装置和显示装置		
公开(公告)号	KR1020150001705A	公开(公告)日	2015-01-06
申请号	KR1020140169626	申请日	2014-12-01
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
当前申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	TANAKA HIRONAO 다나카히로나오 NOGUCHI KOJI 노구치고지 KANAYA YASUHIRO 가나야야스히로 NAKAJIMA DAIKI 나카지마다이키 NOZU DAISUKE 노즈다이스케 INO MASUMITSU 이노마스미쓰		
发明人	다나카히로나오 노구치고지 가나야야스히로 나카지마다이키 노즈다이스케 이노마스미쓰		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/134363 G02F1/136213 G02F2201/40		
代理人(译)	专利法的优美		
优先权	2007046534 2007-02-27 JP		
其他公开文献	KR101600912B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置和显示装置本发明涉及液晶显示装置和显示装置。更具体地，本发明涉及一种能够在抑制寄生电容的同时提高开口率的液晶显示装置和显示装置。本发明提供一种液晶显示装置，包括：多条扫描线（11）和多条信号线（12），以矩阵形式排列在第一基板（10）上；在扫描线（11）和信号线（12）之间的交叉点处的薄膜晶体管（TFT）（1）；第一绝缘层（13），设置在覆盖TFT（1）的第一基板（10）上；公共电极（14）设置在第一绝缘层（13）上；第二绝缘层（15），设置在覆盖公共电极（14）的第一绝缘层（13）上；像素电极（16）设置在像素区域（1A）中的第二绝缘层（15）上，并且具有通过形成在第二绝缘层上的接触孔与TFT（1）连接的多个狭缝（16a）（15）和第一绝缘层（13），其中公共电极（14）覆盖像素区域（10A）中的至少一个而没有用于在第一绝缘层（13）上形成接触孔的区域，扫描线（11），和/或信号线（12）。COPYRIGHT KIPO 2015

