



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0071438
(43) 공개일자 2013년06월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G11C 19/00 (2006.01)

(21) 출원번호 10-2012-7032640

(22) 출원일자(국제) 2012년11월09일
심사청구일자 2012년12월13일

(85) 번역문제출일자 2012년12월13일

(86) 국제출원번호 PCT/CN2012/084399

(87) 국제공개번호 WO 2013/075590
국제공개일자 2013년05월30일

(30) 우선권주장
201110381991.9 2011년11월25일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시
양치아오 로드 10호

허페이 비오이 옵토일렉트로닉스 테크놀로지 컴퍼
니 리미티드
중국 안휘성 합비시 통링베이루 2177호

(72) 발명자
마 루이
중국 베이징 100176 비디에이 디저 로드 넘버 9
샤오 시엔지에
중국 베이징 100176 비디에이 디저 로드 넘버 9
(뒷면에 계속)

(74) 대리인
리앤폭특허법인

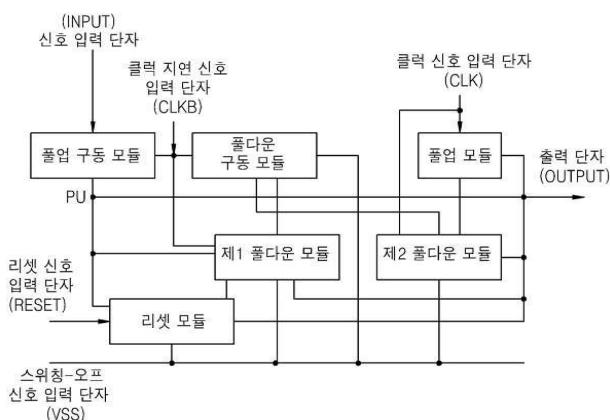
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 구동 회로, 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 디스플레이 장치

(57) 요 약

본 개시내용은 액정 디스플레이 분야에 관한 것으로서, 구동 회로, 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 디스플레이 장치를 제공한다. 구동 회로는 풀업 모듈, 제1 풀다운 모듈, 제2 풀다운 모듈, 풀업 구동 모듈, 풀다운 구동 모듈 및 리셋 모듈을 포함하고, 제1 풀다운 모듈은 클럭 지연 신호 입력 단자로부터 입력되는 신호 및 풀다운 노드의 신호에 따라 스위칭-오프 신호를 출력 단자로 출력하고, 제2 풀다운 모듈은, 신호 입력 단자로부터 입력되는 신호가 로우 레벨일 때, 클럭 신호 입력 단자로부터 입력되는 신호에 따라 상기 스위칭-오프 신호를 풀업 노드 및 출력 단자로 출력하고, 신호 입력 단자로부터 입력되는 신호가 하이 레벨이면, 클럭 지연 신호 입력 단자로부터 입력되는 신호 또한 하이 레벨이고, 클럭 신호 입력 단자로부터 입력되는 신호와 클럭 지연 신호 입력 단자로부터 입력되는 신호가 서로 위상이 상반된다. 본 개시내용에 따른 구동 회로는 게이트에 적용되는 바이어스 전압 스트레스에 의한 임계 전압 이동의 결함을 효과적으로 제거할 수 있고 출력 전압의 노이즈를 감소시킬 수 있다.

대 표 도 - 도3



(72) 발명자

왕 구오레이

중국 베이징 100176 비디에이 디저 로드 넘버 9

후 맹

중국 베이징 100176 비디에이 디저 로드 넘버 9

임 병 천

중국 베이징 100176 비디에이 디저 로드 넘버 9

투 즈종

중국 베이징 100176 비디에이 디저 로드 넘버 9

특허청구의 범위

청구항 1

풀업 노드의 신호 및 클럭 신호 입력 단자로부터 입력되는 신호에 따라 구동 신호를 출력 단자로 출력하는 풀업 모듈;

신호 입력 단자로부터 입력되는 신호 및 클럭 지연 신호 입력 단자로부터 입력되는 신호에 따라 상기 풀업 모듈을 구동하도록 상기 풀업 노드 신호를 제어하는 풀업 구동 모듈;

상기 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 및 풀다운 노드의 신호에 따라 스위칭-오프 신호를 상기 출력 단자로 출력하는 제1 풀다운 모듈;

상기 신호 입력 단자로부터 입력되는 상기 신호가 로우 레벨일 때, 상기 클럭 신호 입력 단자로부터 입력되는 상기 신호에 따라 상기 스위칭-오프 신호를 상기 풀업 노드 및 상기 출력 단자로 출력하는 제2 풀다운 모듈;

상기 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 및 상기 풀업 노드의 상기 신호에 따라 상기 제1 풀다운 모듈을 구동하도록 상기 풀다운 노드의 상기 신호를 제어하는 풀다운 구동 모듈;

리셋 신호 입력 단자로부터 입력되는 신호에 따라 상기 스위칭-오프 신호를 상기 풀업 노드 및 상기 출력 단자로 출력하는 리셋 모듈을 포함하고,

상기 신호 입력 단자로부터 입력되는 상기 신호가 하이 레벨이면, 상기 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 또한 하이 레벨이고, 상기 클럭 신호 입력 단자로부터 입력되는 상기 신호와 상기 클럭 지연 신호 입력 단자로부터 입력되는 신호가 서로 위상이 상반되는 구동 회로.

청구항 2

제1 항에 있어서, 상기 제2 풀다운 모듈은,

제1 박막 트랜지스터, 제2 박막 트랜지스터, 제3 박막 트랜지스터 및 커페시터를 더 포함하고,

상기 제1 박막 트랜지스터는, 상기 풀업 노드에 연결되는 게이트, 상기 커페시터의 제1 면에 연결되는 드레인 및 스위칭-오프 신호 입력 단자에 연결되는 소스를 갖고,

상기 커페시터의 제2 면은 상기 클럭 신호 입력 단자에 연결되고,

상기 제2 박막 트랜지스터는, 상기 제3 박막 트랜지스터의 게이트에 연결되고 또한 상기 커페시터의 상기 제1 면에 연결되는 게이트, 상기 풀업 노드에 연결되는 드레인 및 상기 스위칭-오프 입력 단자에 연결되는 소스를 갖고,

상기 제3 박막 트랜지스터는, 상기 출력 단자에 연결되는 드레인 및 상기 스위칭-오프 신호 입력 단자에 연결되는 소스를 갖는 구동 회로.

청구항 3

복수의 단에 제1 항 또는 제2 항에 따른 구동 회로를 포함하고,

각 단에서의 상기 구동 회로의 상기 입력 신호 단자로부터 입력되는 신호는 그 이전 단에서의 상기 구동 회로의 상기 출력 단자로부터 출력되는 신호이고, 각 단에서의 상기 구동 회로의 상기 리셋 신호 입력 단자로부터 입력되는 신호는 그 다음 단에서의 상기 구동 회로의 상기 출력 단자로부터 출력되는 신호인 시프팅 레지스터.

청구항 4

제3 항에 있어서, 각 단에서의 구동 회로는,

제1 단계에서, 상기 신호 입력 단자가 하이 레벨이고, 상기 클럭 지연 신호 입력 단자가 하이 레벨이고, 상기 클럭 신호 입력 단자는 로우 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고,

제2 단계에서, 상기 신호 입력 단자가 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 로우 레벨이고, 상기

클럭 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 하이 레벨을 출력하고,

제3 단계에서, 상기 신호 입력 단자는 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 하이 레벨이고, 상기 클럭 신호 입력 단자는 로우 레벨이고, 상기 리셋 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고,

제4 단계에서, 상기 신호 입력 단자가 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 로우 레벨이고, 상기 클럭 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고,

제5 단계에서, 상기 신호 입력 단자는 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 하이 레벨이고, 상기 클럭 신호 입력 단자는 로우 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고,

상기 제1 단계 이후, 상기 제2 단계, 상기 제3 단계, 상기 제4 단계 및 상기 제5 단계는 순서대로 나타나고, 상기 제5 단계에 후속하여, 상기 제1 단계가 다시 나타날 때까지 상기 제4 단계 및 상기 제5 단계가 반복되는 시프팅 레지스터.

청구항 5

제3 항 또는 제4 항에 따른 시프팅 레지스터를 포함하는 게이트 드라이버.

청구항 6

기판, 상기 기판상의 디스플레이 영역에 배열된 엑티브 어레이 및 상기 기판의 일 면에 배열된 제5 항에 따른 게이트 드라이버를 포함하는 어레이 기판.

청구항 7

제6 항에 따른 어레이 기판을 포함하는 디스플레이 장치.

명세서

기술 분야

[0001]

본 개시내용은 액정 디스플레이에 관한 것으로서, 특히 구동 회로, 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 표시 장치에 관한 것이다.

배경 기술

[0002]

액정 표시 장치는 가벼운 무게, 얇은 두께, 저전력 소모 등의 장점을 가지며, TV, 휴대용 전화기, 디스플레이 등과 같은 전자 제품들에 광범위하게 사용된다.

[0003]

액정 표시 장치는 수평 및 수직 방향으로 화소들이 배열된 화소 어레이를 포함하고, 액정 표시 장치가 영상을 표시할 때, 화소들을 행 단위로 스캔하기 위하여 게이트 입력 신호들을 게이트 구동 회로를 통하여 출력한다. 액정 표시 장치의 구동은 주로 게이트 드라이버 및 데이터 드라이버로 이루어지며, 데이터 드라이버는 클럭 신호의 타이밍에 따라 순차적으로 디스플레이의 입력 데이터들을 래치하고, 이를 아날로그 신호들로 변환하여 상기 아날로그 신호들을 액정 패널의 데이터 라인들로 입력하고, 게이트 드라이버는 시프팅 레지스터로 입력 클럭 신호를 게이트 라인들을 스위칭 온/오프 하기 위한 전압들로 변환하고, 이를 액정 패널의 게이트 라인들에 제공한다. 게이트 드라이버의 시프팅 레지스터는 게이트 라인들을 스캔하는 스캐닝 신호들을 생성하는데 사용된다.

[0004]

시프팅 레지스터는 일반적인 반도체 장치이며, 액정 표시 장치에 흔히 사용된다. 액정 표시 장치의 시프팅 레지스터는 n 단(n-stage)의 시프팅 레지스터이다. 액정 표시 장치의 게이트 라인들 각각은 시프팅 레지스터의 한 단에서의 구동 회로에 전기적으로 연결된다. 액정 표시 장치가 동작할 때, 시프팅 레지스터의 각 단에서의 구동 회로는 구동 신호를 액정 패널의 대응하는 행으로 출력한다.

[0005]

도 1은 기존의 시프팅 레지스터의 각 단에서의 구동 회로를 나타내는 개략도이다. 도 1에 도시된 바와 같이, 구동 회로는 풀업 모듈, 리셋 모듈, 풀업 구동 모듈, 풀다운 모듈 및 풀다운 구동 모듈을 포함한다.

[0006]

풀업 모듈은 박막 트랜ジ스터(Thin Film Transistor; TFT) M3를 포함한다. 박막 트랜지스터 M3는 풀업 노드 PU에 의해 제어되는 게이트, 클럭 신호 입력 단자(CLK)에 연결되는 드레인 및 출력 단자(OUTPUT)에 연결되는 소스를 갖는다. 박막 트랜지스터 M3가 풀업 노드 PU에 의해 편온되면, 클럭 신호 입력 단자(CLK)로부터 입력되는 신

호는 출력 단자(OUTPUT)로 출력된다.

[0007] 리셋 모듈은 박막 트랜지스터 M2 및 박막 트랜지스터 M4를 포함한다. 박막 트랜지스터 M2는 리셋 신호 입력 단자(RESET)에 의해 제어되는 게이트, 풀업 노드 PU에 연결되는 드레인 및 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스를 갖는다. 그리고, 박막 트랜지스터 M4는 리셋 신호 입력 단자(RESET)에 의해 제어되는 게이트, 출력 단자(OUTPUT)에 연결되는 드레인 및 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스를 갖는다. 리셋 신호 입력 단자(RESET)로부터 입력되는 신호, 즉 다음 단으로부터의 출력 신호가 발생하면 박막 트랜지스터 M2 및 M4가 턴온되고, 풀업 노드 PU 및 출력 단자(OUTUT)는 그 신호들이 스위칭-오프 전압까지 하강하도록 리셋된다.

[0008] 풀업 구동 모듈은 박막 트랜지스터 M1, 박막 트랜지스터 M13 및 커페시터 C1을 포함한다. 박막 트랜지스터 M1은, 서로 연결되고 또한 신호 입력 단자(INPUT)에 연결되는 드레인과 게이트, 및 풀업 노드 PU에 연결되는 소스를 갖고, 박막 트랜지스터 M13은 클럭 지연 신호 입력 단자(CLKB)의 클럭 지연 신호에 의해 제어되는 게이트, 신호 입력 단자(INPUT)에 연결되는 드레인 및 풀업 노드 PU에 연결되는 소스를 갖고, 그리고, 커페시터 C1은 풀업 노드 PU에 연결되는 일 단과 출력 단자(OUTPUT)에 연결되는 타 단을 갖는다. 신호 입력 단자(INPUT)로부터 입력되는 신호와 클럭 지연 신호 입력 단자(CLKB)의 클럭 지연 신호가 동시에 하이 레벨이면, 박막 트랜지스터 M1 및 M13이 턴온되고, 커페시터 C1의 일 면이 충전되어, 이에 따라 풀업 노드 PU가 하이 레벨이 되고, 박막 트랜지스터 M3가 턴온된다. 다음 타이밍에 클럭 신호 입력 단자(CLK)로부터 입력되는 클럭 신호가 발생하면, 부트스트래핑 효과(bootstrapping effect)에 기인하여 풀업 노드 PU(즉, 박막 트랜지스터 M3의 게이트)의 전위가 상승하여, 임계 전압(threshold voltage) 보상의 효과가 유발된다.

[0009] 풀다운 모듈은 박막 트랜지스터 M10, 박막 트랜지스터 M11 및 박막 트랜지스터 M12를 포함한다. 박막 트랜지스터 M12는 클럭 지연 신호 입력 단자(CLKB)에 연결되는 게이트, 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스 및 출력 단자(OUTPUT)에 연결되는 드레인을 갖고 있다. 박막 트랜지스터 M12는 클럭 지연 신호에 의해 제어되고, 클럭 지연 신호 입력 단자(CLKB)가 하이 레벨이면, 박막 트랜지스터 M12는 턴온되고 출력 단자(OUTPUT)를 하강시키고, 이에 따라 출력 단자(OUTPUT)의 출력 노이즈가 감소되어 출력 신호의 안전성이 보장된다. 박막 트랜지스터 M10 및 박막 트랜지스터 M11은 풀다운 구동 모듈에서 노드 PD에 의해 제어된다. 노드 PD가 하이 레벨이면, 박막 트랜지스터 M10 및 M11이 턴온되어 풀업 노드 PU와 출력 단자(OUTPUT)를 하강시키고, 이에 따라 출력 단자(OUTPUT)의 출력 노이즈가 감소되어 출력 신호의 안전성이 보장된다.

[0010] 풀다운 구동 모듈은 박막 트랜지스터 M5, 박막 트랜지스터 M6, 박막 트랜지스터 M8 및 박막 트랜지스터 M9을 포함하고, 풀다운 모듈을 구동하도록 주로 노드 PD의 출력 전위를 제어한다.

[0011] 도 2는 기존 시프팅 레지스터의 각 단에서의 구동 회로의 타이밍 순서도이다. 도 2에 도시된 바와 같이, 상기 시프팅 레지스터의 동작 원리는 다음과 같다.

[0012] 제1 단계에서, 신호 입력 단자(INPUT)가 하이 레벨이고 클럭 지연 신호 입력 단자(CLKB)가 또한 하이 레벨이면, 신호 입력 단자(INPUT)의 신호는 이전 단의 출력 신호이고, 박막 트랜지스터 M1은 턴온된다. 클럭 지연 신호 입력 단자(CLKB)가 하이 레벨이므로, 박막 트랜지스터 M13이 턴온되고, 신호 입력 단자(INPUT)의 하이 레벨 신호가 커페시터 C1을 충전하여, 풀업 노드 PU의 전위가 상승하면서, 동시에 박막 트랜지스터 M8 및 박막 트랜지스터 M6가 턴온된다. 클럭 지연 신호 입력 단자(CLKB)의 하이 레벨 신호는 또한 박막 트랜지스터 M9 및 박막 트랜지스터 M5를 턴온시킨다. 이때에, 상기 트랜지스터들의 사이즈 설계에 의해, 노드 PD의 전위는 로우 레벨로 제어될 수 있어서, 박막 트랜지스터 M10 및 박막 트랜지스터 M11이 턴오프되고, 이에 따라 두 트랜지스터가 풀다운을 수행하는 것을 방지하여 출력 신호의 안정성이 보장된다.

[0013] 제2 단계에서, 신호 입력 단자(INPUT)가 로우 레벨이고 클럭 지연 신호 입력 단자(CLKB)가 또한 로우 레벨이면, 박막 트랜지스터 M1 및 M13은 턴오프되고, 풀다운 노드(PU)는 하이 레벨을 유지하고 박막 트랜지스터 M3은 턴온 상태를 유지한다. 이때, 클럭 신호 입력 단자(CLK)가 하이 레벨이므로, 풀업 노드 PU의 전압이 부트스트래핑 효과(bootstrapping effect)에 기인하여 상승하며, 최종적으로 구동 신호가 출력 단자(OUTPUT)로 출력된다.

[0014] 제3 단계에서, 클럭 지연 신호 입력 단자(CLKB)가 하이 레벨이고 리셋 신호 입력 단자(RESET)의 신호 또한 하이 레벨이며, 리셋 신호 입력 단자(RESET)의 상기 신호는 다음 단의 출력 단자(OUTPUT)의 출력 신호이다. 클럭 지연 신호 입력 단자(CLKB)의 하이 레벨 신호는 박막 트랜지스터 M9 및 M5를 턴온시키며, 노드 PD가 하이 레벨이어서 박막 트랜지스터 M10 및 M11가 턴온되며, 따라서 스위칭-오프 신호는 풀업 노드 PU 및 출력 단자(OUTPUT)로 전송되고, 리셋 신호 입력 단자(RESET)의 하이 레벨 신호가 박막 트랜지스터 M2 및 M4를 턴온시켜 스위칭-오프 신호가 풀업 노드 PU 및 출력 단자(OUTPUT)로 전송된다.

- [0015] 제4 단계에서, 클럭 신호 입력 단자(LCK)는 하이 레벨이다. 현재, 박막 트랜지스터 M3는 턴오프 상태이므로, 클럭 신호 입력 단자(CLK)의 하이 레벨 신호는 출력 단자(OUTPUT)로 전송되지 않으며, 출력 단자(OUTPUT)의 출력 신호는 지난 타이밍에 나타난 로우 레벨을 유지한다.
- [0016] 제5 단계에서, 클럭 지연 신호 입력 단자(CLKB)는 하이 레벨이다. 현재, 클럭 지연 신호 입력 단자(CLKB)의 하이 레벨 신호가 박막 트랜지스터 M9, M5 및 M12를 턴온시켜, 노드 PD가 하이 레벨이 되고, 이후 박막 트랜지스터 M10 및 M11이 턴온되어 스위칭-오프 신호가 출력 단자(OUTPUT) 및 풀업 노드 PU로 전송된다.
- [0017] 이후, 제1 단계가 다시 시작되기 전에, 상기 제4 단계 및 제5 번째 단계가 차례로 반복된다.
- [0018] 종래 기술에서, 클럭 신호 입력 단자(CLK)의 클럭 입력 신호 및 클럭 지연 신호 입력 단자(CLKB)의 클럭 지연 신호는 모두 대략 27V의 고전압일 수 있다. 그러므로, 상술한 동작 원리에 따르면, 클럭 신호 입력 단자(CLK)의 입력 신호가 하이 레벨이면, 이상적인 로직 타이밍의 경우, 박막 트랜지스터의 게이트와 드레인 사이의 커플링 커뮤니케이션의 커플링 효과에 기인하여 풀업 노드 PU에서 커플링 전압이 발생하며, 이는 출력 신호에 노이즈를 발생시킨다. 도 2에 도시된 바와 같이, 클럭 신호 입력 단자(CLK)에 하이 레벨 신호가 발생할 때, 클럭 지연 신호 입력 단자(CLKB)는 로우 레벨이다. 리셋 신호 입력 단자(RESET)에 하이 레벨 신호가 발생하는 타이밍 이외에는, 노드 PD의 전위가 클럭 지연 신호 입력 단자(CLKB)의 전위, 즉 로우 레벨과 동일하며, 따라서 박막 트랜지스터 M10 및 M11이 턴오프되고 풀업 노드 PU 및 출력 단자(OUTPUT)에서의 노이즈가 방전되지 못하므로, 이로 인해 단(stage)을 거듭할수록 더 큰 노이즈가 발생될 것이다. 게이트 드라이버의 시프팅 레지스터의 개별 단(stage)들에서의 구동 회로들이 서로 연관되어 있으므로, 현재 단의 출력 신호는 다음 단의 입력 신호로 제공될 뿐만 아니라 또한 이전 단의 리셋 신호로서 제공된다. 그러므로, 각 단은 전체 시프팅 레지스터의 동작에 영향을 미칠 것이다.
- [0019] 시프팅 레지스터의 실제 설계에 있어서, 박막 트랜지스터 M6, M5, M8 및 M9의 사이즈 설계에 의해, 다음의 해법을 얻을 수 있다. 신호 입력 단자(INPUT) 및 클럭 신호 입력 단자(CLK)가 동시에 하이 레벨이면, 노드 PD가 로우 레벨로 유지되고, 박막 트랜지스터 M10 및 M11이 턴오프되어 적합한 출력 신호가 출력되는 것이 보장된다. 신호 입력 단자(INPUT)가 로우 레벨이고 클럭 지연 신호 입력 단자(CLKB)가 하이 레벨일 때, 노드 PD가 하이 레벨이 되도록 설계되고, 박막 트랜지스터 M10 및 M11이 턴온되어 적합한 스위칭-오프 전압이 풀업 노드 PU 및 출력 단자(OUTPUT)로 출력된다. 신호 입력 단자(INPUT) 및 클럭 지연 신호 입력 단자(CLKB)가 로우 레벨일 때, 노드 PD가 미들 레벨이 되도록 설계되고, 클럭 신호 입력 단자(CLK)의 클럭 신호에 의해 생성되는 커플링 전압이 하강하도록 박막 트랜지스터 M10 및 M11이 턴온되어, 풀업 노드 및 출력 단자에서의 노이즈가 감소된다. 상기 해법은 기존 시프팅 레지스터의 회로를 수정할 필요가 없다는 이점을 갖으나, 노드 PD가 하이 레벨 또는 미들 레벨에 있도록 설계되어 있어 박막 트랜지스터 M10 및 M11이 오랫동안 턴온상태를 유지한다는 단점을 갖는다. 박막 트랜지스터의 임계 전압은 박막 트랜지스터들의 게이트에 적용되는 전압 및 그 전압이 적용되는 시간에 크게 의존하며, 그 전압이 박막 트랜지스터의 게이트에 적용되는 시간이 긴 조건하에서, 박막 트랜지스터의 임계 전압은 크게 이동하며, 이는 게이트 드라이버의 시프팅 레지스터의 수명을 크게 감소시켜, 이로 인해 전체 게이트 드라이버의 동작에 영향을 미친다.

발명의 내용

해결하려는 과제

- [0020] 본 개시내용이 해결하고자 하는 기술적인 과제는 바이어스 전압 스트레스가 적용되는 게이트로 인한 임계 전압 이동의 결함을 효과적으로 제거하고, 출력 전압의 노이즈를 감소시키는 구동 회로, 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

- [0021] 상술한 문제를 해결하기 위하여, 본 개시내용은, 풀업 노드의 신호 및 클럭 신호 입력 단자로부터 입력되는 신호에 따라 구동 신호를 출력 단자로 출력하는 풀업 모듈; 신호 입력 단자로부터 입력되는 신호 및 클럭 지연 신호 입력 단자로부터 입력되는 신호에 따라 상기 풀업 모듈을 구동하도록 상기 풀업 노드를 제어하는 풀업 구동 모듈; 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 및 풀다운 노드의 신호에 따라 스위칭-오프 신호를 상기 출력 단자로 출력하는 제1 풀다운 모듈; 상기 신호 입력 단자로부터 입력되는 상기 신호가 로우 레벨일 때, 상기 클럭 신호 입력 단자로부터 입력되는 상기 신호에 따라 상기 스위칭-오프 신호를 상기 풀업 노드 및 상기 출력 단자로 출력하는 제2 풀다운 모듈; 상기 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 및 상

기 풀업 노드의 상기 신호에 따라 상기 제1 풀다운 모듈을 구동하도록 상기 풀다운 노드의 상기 신호를 제어하는 풀다운 구동 모듈; 리셋 신호 입력 단자에 인가된 신호에 따라 상기 스위칭-오프 신호를 상기 풀업 노드 및 상기 출력 단자로 출력하는 리셋 모듈을 포함하고, 상기 신호 입력 단자로부터 입력되는 상기 신호가 하이 레벨이면, 상기 클럭 지연 신호 입력 단자로부터 입력되는 상기 신호 또한 하이 레벨이고, 상기 클럭 신호 입력 단자로부터 입력되는 상기 신호와 상기 클럭 지연 신호 입력 단자로부터 입력되는 신호가 서로 위상이 상반되는 구동 회로를 제공한다.

[0022] 일 예로서, 상기 제2 풀다운 모듈은, 제1 박막 트랜지스터(thin film transistor; TFT), 제2 박막 트랜지스터, 제3 박막 트랜지스터 및 커패시터를 더 포함하고; 상기 제1 박막 트랜지스터는 상기 풀업 노드에 연결되는 게이트, 상기 커패시터의 제1 면에 연결되는 드레인 및 스위칭-오프 신호 입력 단자에 연결되는 소스를 갖고; 상기 커패시터의 제2 면은 상기 클럭 신호 입력 단자에 연결되고; 상기 제2 박막 트랜지스터는, 상기 제3 박막 트랜지스터의 게이트에 연결되고 또한 상기 커패시터의 상기 제1 면에 연결되는 게이트, 상기 풀업 노드에 연결되는 드레인 및 상기 스위칭-오프 입력 단자에 연결되는 소스를 갖고; 상기 제3 박막 트랜지스터는 상기 출력 단자에 연결되는 드레인 및 상기 스위칭-오프 신호 입력 단자에 연결되는 소스를 갖는다.

[0023] 본 개시내용은 또한, 복수의 단에 제1 항 또는 제2 항에 따른 구동 회로를 포함하고, 각 단에서의 상기 구동 회로의 상기 입력 신호 단자로부터 입력되는 신호는 그 이전 단에서의 상기 구동 회로의 상기 출력 단자로부터 출력되는 신호이고, 각 단에서의 상기 구동 회로의 상기 리셋 신호 입력 단자로부터 입력되는 신호는 그 다음 단에서의 상기 구동 회로의 상기 출력 단자로부터 출력되는 신호인 시프팅 레지스터를 제공한다.

[0024] 일 예로서, 각 단에서의 구동 회로는, 제1 단계에서, 상기 신호 입력 단자가 하이 레벨이고, 상기 클럭 지연 신호 입력 단자가 하이 레벨이고, 상기 클럭 신호 입력 단자는 로우 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고; 제2 단계에서, 상기 신호 입력 단자가 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 로우 레벨이고, 상기 클럭 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 하이 레벨을 출력하고; 제3 단계에서, 상기 신호 입력 단자는 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 하이 레벨이고, 상기 클럭 신호 입력 단자는 로우 레벨이고, 상기 리셋 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고; 제4 단계에서, 상기 신호 입력 단자가 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 로우 레벨이고, 상기 클럭 신호 입력 단자는 하이 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고; 제5 단계에서, 상기 신호 입력 단자는 로우 레벨이고, 상기 클럭 지연 신호 입력 단자는 하이 레벨이고, 상기 클럭 신호 입력 단자가 로우 레벨이면, 상기 출력 단자는 로우 레벨을 출력하고; 상기 제1 단계 이후, 상기 제2 단계, 상기 제3 단계, 상기 제4 단계 및 상기 제5 단계는 순서대로 나타나고, 상기 제5 단계에 후속하여, 상기 제1 단계가 다시 나타날 때까지 상기 제4 단계 및 상기 제5 단계가 반복된다.

[0025] 본 개시내용은 또한 상술한 시프팅 레지스터를 포함하는 게이트 드라이버를 제공한다.

[0026] 본 개시내용은 또한 기판, 상기 기판상의 디스플레이 영역에 배열된 액티브 어레이 및 상기 기판의 일 면에 배열된 상술한 게이트 드라이버를 포함하는 어레이 기판을 제공한다.

[0027] 본 개시내용은 또한 상술한 어레이 기판을 포함하는 표시 장치를 제공한다.

발명의 효과

[0028] 본 개시내용은 박막 트랜지스터의 임계 전압의 이동이 감소되고, 출력 전압의 노이즈가 감소되도록 기존 시프팅 레지스터의 단을 기반으로 풀다운 모듈을 추가하는 것을 제안하며, 이에 따라, 전체 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 액정 표시 장치의 시프팅 레지스터의 각 단에서의 구동 회로의 수명이 연장되며, 출력되는 동작신호의 높은 신뢰성을 보장한다. 또한, 기존 시프팅 레지스터의 단을 기초로, 클럭 신호 입력 단자(CLK)에서 클럭 신호가 발생하면, 풀업 노드 PU에서의 커플링 전압이 방전되어 그것의 노이즈가 감소되고, 그사이에, 출력 노드 또한 방전되어 출력 신호의 노이즈가 감소되며, 따라서 전체 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 액정 표시 장치의 시프팅 레지스터의 각 단에서의 구동 회로의 안정성이 향상된다.

도면의 간단한 설명

[0029] 도 1은 기존 시프팅 레지스터의 각 단에서의 구동 회로의 개략적인 회로도이다.

도 2는 기존 시프팅 레지스터의 각 단에서의 구동 회로의 로직 타이밍 순서도이다.

도 3은 본 개시내용의 일 실시예에 따른 시프팅 레지스터의 각 단에서의 구동 회로 구조의 블록도이다.

도 4는 본 개시내용의 일 실시예에 따른 시프팅 레지스터의 각 단에서의 구동 회로의 개략적인 회로도이다.

도 5는 본 개시내용의 일 실시예에 따른 시프팅 레지스터의 각 단에서의 구동 회로의 제2 풀업 모듈의 개략적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0030]

이하, 개시내용의 실시예들의 기술적인 해법들은 개시내용의 실시예들에 첨부된 도면들을 참조하여 명확하고 완전하게 설명된다. 설명되는 실시예들은 개시내용의 가능한 실시예들 전부라기보다는 일부 실시예들이라는 점은 자명하다. 본 기술분야에서 통상의 지식을 가진 자에 의해 개시내용에서 제안된 실시예들을 기초로하여 추가적인 노력없이 획득될 수 있는 다른 모든 실시예들은 개시내용에 의하여 주장되는 범위에 속하는 것으로 간주되어야 한다.

[0031]

개시내용이 제안하는 구동 회로, 시프팅 레지스터, 게이트 드라이버, 어레이 기판 및 표시 장치는 첨부된 도면과 실시예들에 의해 다음과 같이 설명된다.

[0032]

개시내용에 따르면, 기준의 시프팅 레지스터의 각 단에서의 구동 회로를 기반으로, 풀다운 모듈이 병합된다. 클럭 신호 입력 단자(CLK)에 클럭 입력 신호가 나타나면, 풀업 노드 PU에서의 커플링 전압(예컨대, 풀업 노드 PU의 노이즈)이 방전되어 노이즈가 감소되고, 동시에 출력 단자 또한 방전되어 출력 신호의 노이즈가 감소되고, 시프팅 레지스터에서의 단의 안정성이 증가된다. 한편, 풀다운 모듈의 병합에 의하여, 기존 풀다운 모듈의 박막 트랜지스터들이 턴온되는 시간 및 게이트에 바이어스 전압 스트레스가 인가되는 시간이 감소되며, 따라서, 박막 트랜지스터들의 수명이 연장되고, 전체 시프팅 레지스터, 게이트 드라이버, 심지어 어레이 기판 및 액정 표시 장치의 시프팅 레지스터 단에서의 구동 회로의 수명이 연장된다.

[0033]

도 3 및 도 4에 도시된 바와 같이, 본 개시내용의 실시예에 따른 시프팅 레지스터의 각 단에서의 구동 회로는 풀업 모듈, 제1 풀다운 모듈, 제2 풀다운 모듈, 풀업 구동 모듈, 풀다운 구동 모듈 및 리셋 모듈을 포함하고, 풀업 모듈, 제1 풀다운 모듈, 풀업 구동 모듈, 풀다운 구동 모듈 및 리셋 모듈은 기존 시프팅 레지스터의 각 단에서의 구동 회로의 대응되는 부분과 동일할 수 있다. 나아가, 본 기술 분야에서 통상의 지식을 가진 자라면 본 개시내용의 실시예에 따른 시프팅 레지스터 각 단에서의 구동 회로의 풀업 모듈, 제1 풀다운 모듈, 풀업 구동 모듈, 풀다운 구동 모듈 및 리셋 모듈은 동일한 기능들을 얻을 수 있으면 기존 시프팅 레지스터 각 단에서의 구동 회로의 상기 구성들과 다를 수 있음을 이해할 수 있다.

[0034]

풀업 모듈은 풀업 노드 PU의 신호 및 클럭 신호 입력 단자(CLK)로부터 입력되는 신호에 따라 구동 신호를 출력 단자(OUTPUT)로 출력한다.

[0035]

풀업 구동 모듈은 신호 입력 단자(INPUT)에 입력되는 신호 및 신호 지연 입력 단자(CLKB)로부터 입력되는 신호에 따라 풀업 모듈이 구동되도록 풀업 노드 PU에서의 신호를 제어한다.

[0036]

제1 풀다운 모듈은 클럭 지연 신호 입력 단자(CLKB)로부터 입력되는 신호 및 풀다운 노드 PD1에서의 신호에 따라 스위칭-오프 신호를 출력 단자(OUTPUT)로 출력한다.

[0037]

제2 풀다운 모듈은, 신호 입력 단자(INPUT)로부터 입력되는 신호가 로우 레벨이면, 클럭 신호 입력 단자(CLK)로부터 입력되는 신호에 따라 스위칭-오프 신호를 풀업 노드PU 및 출력 단자(OUTPUT)로 출력한다.

[0038]

풀다운 구동 모듈은 클럭 지연 신호 입력 단자(CLKB)로부터 입력되는 신호 및 풀업 노드 PU에서의 신호에 따라 제1 풀다운 모듈을 구동하도록 풀다운 노드PD1의 신호를 제어한다.

[0039]

리셋 모듈은 리셋 신호 입력 단자(RESET)로부터 입력되는 신호에 따라 스위칭-오프 신호를 풀업 노드 PU 및 출력 단자(OUTPUT)로 출력한다.

[0040]

본 실시예의 시프팅 레지스터 각 단에서의 구동 회로에서, 신호 입력 단자(INPUT)로부터 입력되는 신호가 하이 레벨이면, 클럭 신호 입력 단자(CLK)로부터 입력되는 신호 또한 하이 레벨이고, 클럭 신호 입력 단자(CLK)로부터 입력되는 신호 및 클럭 지연 신호 입력 단자(CLKB)로부터 입력되는 신호가 서로 반대되는 위상이다. 또한, 신호 입력 단자(INPUT)로부터 입력되는 신호는 이전 단에서의 출력 단자(OUTPUT)로부터 출력되는 신호이고, 리셋 신호 입력 단자(RESET)로부터 입력되는 신호는 다음 단에서의 출력 단자(OUTPUT)로부터 출력되는 신호이다.

[0041]

도 5에 도시된 바와 같이, 제2 풀다운 모듈은 제1 박막 트랜지스터(M14), 제2 박막 트랜지스터(M7), 제3 박막

트랜지스터(M15) 및 커패시터 C2를 더 포함하고, 제1 박막 트랜지스터(M14)는 풀업 노드 PU에 연결되는 게이트, 커패시터 C2의 일 면에 연결되는 드레인 및 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스를 갖고, 커패시터 C2의 타 면은 클럭 신호 입력 단자(CLK)에 연결되고, 제2 박막 트랜지스터(M7)는 제3 박막 트랜지스터(M15)의 게이트 및 노드 PD2에 연결되는 게이트, 풀업 노드 PU에 연결되는 드레인 및 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스를 갖고, 노드 PD2는 커패시터 C2의 상기의 면 및 제1 박막 트랜지스터(M14)의 드레인에 더 연결되고, 제3 박막 트랜지스터(M15)는 출력 단자(OUTPUT)에 연결되는 드레인 및 스위칭-오프 신호 입력 단자(VSS)에 연결되는 소스를 갖는다.

[0042] 제2 풀다운 모듈의 기능이 도 2에 도시된 시프팅 레지스터의 타이밍 순서도를 참조하여 더 설명된다.

[0043] (1) 신호 입력 단자(INPUT)로부터 입력되는 신호가 하이 레벨이면, 상기 하이 레벨 신호는 커패시터(C1)을 충전하고, 풀업 노드 PU의 전위가 상승하여, 제1 박막 트랜지스터(M14)가 턴온되고, 이후 노드 PD2의 전위가 스위칭-오프 신호 레벨까지 하강하여 제2 박막 트랜지스터(M7) 및 제3 박막 트랜지스터(M15)가 턴오프된다. 신호 입력 단자(INPUT)로부터 입력되는 신호가 다음 타이밍에 로우 레벨로 바뀌고 클럭 신호 입력 단자(CLK)로부터 입력되는 신호가 하이 레벨이 되면, 풀업 노드 PU는 하이 레벨로 계속 남아 제1 박막 트랜지스터(M14)가 턴온되고, 노드 PD2의 전위는 스위칭-오프 신호 레벨까지 하강하며, 따라서 제2 박막 트랜지스터(M7) 및 제3 박막 트랜지스터(M15)가 턴오프되어, 출력 구동 신호가 정확해지는 것이 보장된다.

[0044] (2) 상기(1)의 두 타이밍 이후에, 클럭 신호 입력 단자(CLK)에 하이 레벨 신호가 발생할 때마다, 클럭 신호 입력 단자(CLK)의 신호는 커패시터 C2를 통하여 노드 PD2의 전위를 상승시킬 수 있고, 제2 박막 트랜지스터(M7) 및 제3 박막 트랜지스터(M15)가 턴온되어 스위칭-오프 신호가 풀업 노드 PU 및 출력 단자(OUTPUT)로 전송되며, 이에 따라 클럭 신호 입력 단자(CLK)에서의 하이 레벨에 의하여 발생되는 커플링 노이즈가 방전되어 출력 구동 신호가 정확해지는 것이 보장된다. 한편, 이는 노드 PD1의 전위를 로우 레벨이 되게하여 박막 트랜지스터 M10 및 M11이 턴오프되고, 박막 트랜지스터 M10 및 M11에 바이어스 전압 스트레스가 적용되는 시간을 감소시키고, 이에 따라 박막 트랜지스터들의 수명이 연장되고 나아가 시프팅 레지스터의 단들의 수명이 연장된다.

[0045] 본 개시내용은 또한, 상술한 바와 같은 복수의 구동 회로를 포함하는 시프팅 레지스터를 포함하는 게이트 드라이버를 제공하고, 이때, 각 단에서의 구동 회로의 입력 신호는 그 이전 단의 출력 신호이며, 각 단의 리셋 신호는 그 다음 단의 출력 신호이다.

[0046] 상기 게이트 드라이버에서, 게이트 드라이버의 시프팅 레지스터의 각 단에서의 구동 회로에서, 구동 회로의 신호 입력 단자(INPUT)는 로우 레벨이고 클럭 신호 입력 단자(CLK)는 하이 레벨이면, 스위칭-오프 신호는 풀업 노드 PU와 신호 출력 단자(OUTPUT)로 전송된다.

[0047] 또한, 도 2에 도시된 바와 같이, 제1 단계에서, 신호 입력 단자(INPUT)가 하이 레벨이고, 클럭 지연 신호 입력 단자(CLKB)가 하이 레벨이고, 클럭 신호 입력 단자(CLK)가 로우 레벨이면, 출력 단자(OUTPUT)는 로우 레벨을 출력하고,

[0048] 제2 단계에서, 신호 입력 단자(INPUT)가 로우 레벨이고, 클럭 지연 신호 입력 단자(CLKB)는 로우 레벨이고, 클럭 신호 입력 단자(CLK)는 하이 레벨이면, 출력 단자(OUTPUT)는 하이 레벨을 출력하고,

[0049] 제3 단계에서, 신호 입력 단자(INPUT)는 로우 레벨이고, 클럭 지연 신호 입력 단자(CLKB)는 하이 레벨이고, 클럭 신호 입력 단자(CLK)는 로우 레벨이고, 리셋 신호 입력 단자(RESET)는 하이 레벨이면, 출력 단자(OUTPUT)는 로우 레벨을 출력하고,

[0050] 제4 단계에서, 신호 입력 단자(INPUT)가 로우 레벨이고, 클럭 지연 신호 입력 단자(CLKB)는 로우 레벨이고, 클럭 신호 입력 단자(CLK)는 하이 레벨이면, 출력 단자(OUTPUT)는 로우 레벨을 출력하고,

[0051] 제5 단계에서, 신호 입력 단자(INPUT)는 로우 레벨이고, 클럭 지연 신호 입력 단자(CLKB)는 하이 레벨이고, 클럭 신호 입력 단자(CLK)는 로우 레벨이면, 출력 단자(OUTPUT)는 로우 레벨을 출력한다.

[0052] 제1 단계 이후, 제2 단계, 제3 단계, 제4 단계 및 제5 단계는 순서대로 발생한다.

[0053] 제5 단계에 이후, 제1 단계가 다시 발생할 때까지 상기 제4 단계 및 상기 제5 단계가 반복된다.

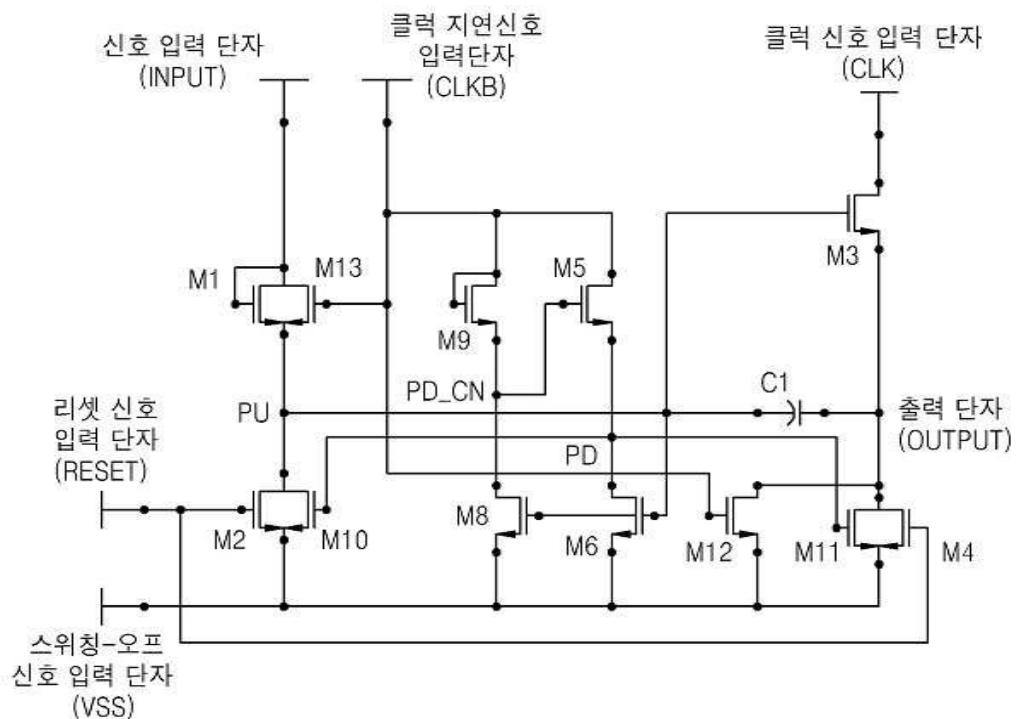
[0054] 개시내용은 또한 어레이 기판을 제공하며, 어레이 기판은 기판, 기판상의 디스플레이 영역에 배열된 엑티브 어레이 및 기판의 일 면에 배열된 상기 게이트 드라이버를 포함한다.

[0055] 개시내용은 또한 상기 어레이 기판을 포함하는 디스플레이 장치를 제공한다.

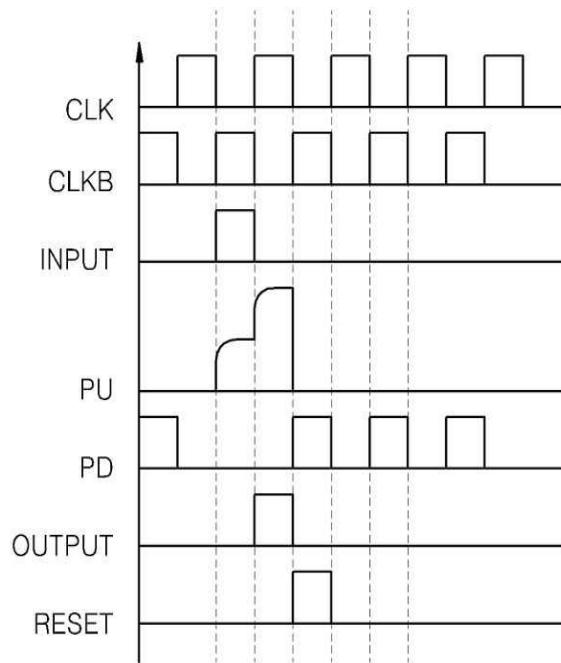
- [0056] 게이트 드라이버의 다른 부분으로서, 어레이 기판 및 디스플레이 장치는 본 기술 분야에서 잘 알려져 있으므로, 자세한 사항은 생략하며, 본 개시내용의 범위에서는 어떠한 제약도 없다.
- [0057] 개시내용은 액정 표시 장치를 예를 들어 설명하고 있으나, 개시내용은 액정 표시 장치뿐만 아니라 유기 발광 표시 장치(Organic Light-Emitting Diode display device; OLED display device) 또는 능동형 유기 발광 표시 장치(Active Matrix Driving display device; AMOLED display device)와 같이 화소 어레이를 포함하고 행 단위 또는 컬럼 단위로 구동되는, 다른 표시 장치에 적용될 수 있다는 것으로 이해되어야 한다.
- [0058] 상술한 실시예들은 단순히 개시내용을 설명할 뿐 개시내용에 어떠한 제한을 하는 것이 아니다. 본 기술 분야에서 통상의 지식을 가진 자라면, 개시내용의 기술적 사상 및 범위를 벗어나지 않으면서 다양한 변경 및 변형이 가능하다. 개시내용과 관련된 모든 균등한 기술적 해법들 및 보호가 강구되는 개시내용의 범위는 청구항들에 의해 정해져야 할 것이다.

도면

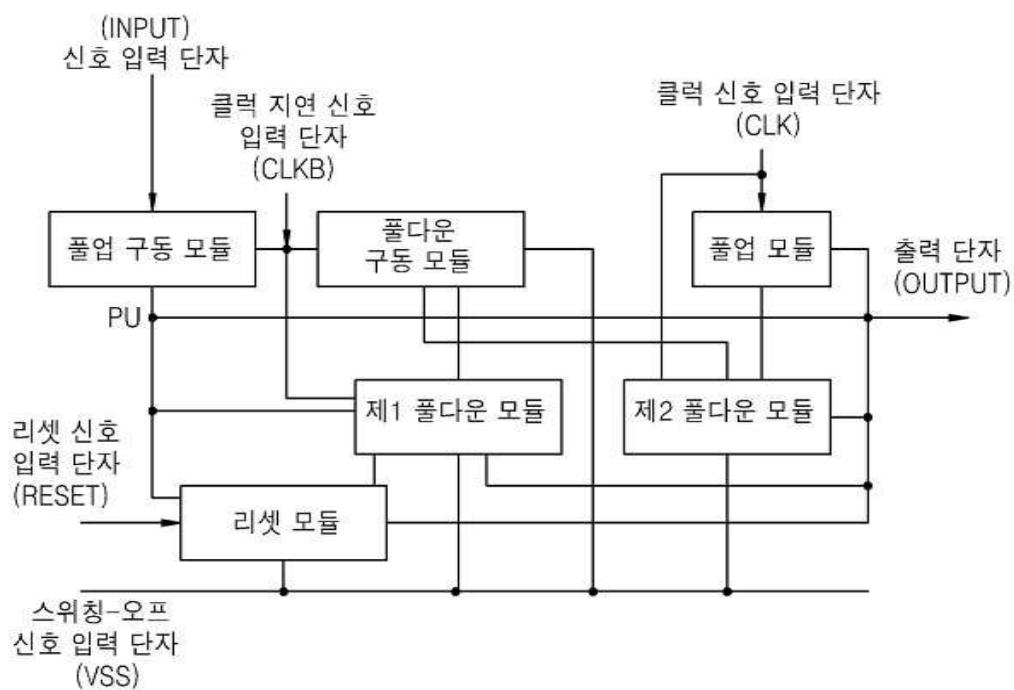
도면1



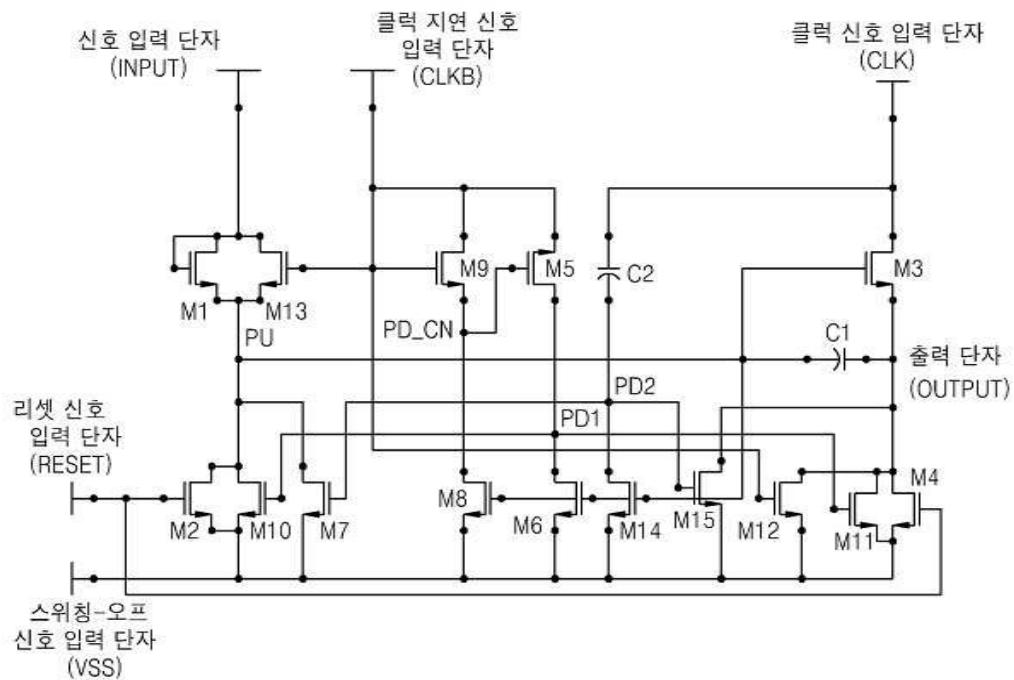
도면2



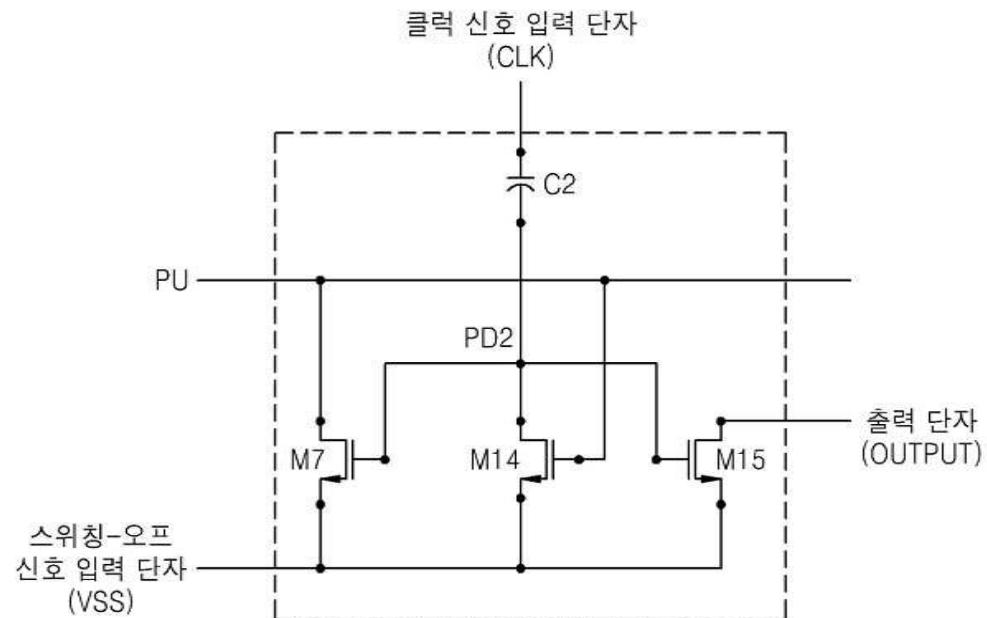
도면3



도면4



도면5



专利名称(译)	标题 : 驱动电路 , 移位电阻 , 栅极驱动器 , 阵列基板和显示装置		
公开(公告)号	KR1020130071438A	公开(公告)日	2013-06-28
申请号	KR1020127032640	申请日	2012-11-09
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	MA RUI 마루이 SHAO XIANJIE 샤오시엔지에 WANG GUOLEI 왕구오레이 HU MING 후밍 LIM BYUNG CHEON 임병천 TU ZHIZHONG 투즈종		
发明人	마루이 샤오시엔지에 왕구오레이 후밍 임병천 투즈종		
IPC分类号	G09G3/36 G11C19/00 G09G3/20		
CPC分类号	G11C19/28 H03K5/00		
优先权	201110381991.9 2011-11-25 CN		
其他公开文献	KR101443131B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器领域，提供一种驱动电路，移位电阻，栅极驱动器，阵列基板和显示装置。驱动电路上拉模块的信号时，第一下拉模块，第二下拉模块，上拉驱动器模块，所述下拉驱动模块和包括复位模块，所述第一下拉模块与时钟延迟信号输入端信号和下拉节点输入沿一个切换输出OFF信号输出到输出端，以及一第二下拉模块，当从信号输入端的低电平的信号输入时，切换根据从时钟信号输入端子输入的信号和一个上拉的关断信号节点，和被输出到输出端子，从在较高的水平，时钟延迟信号和输入信号的信号输入端子输入的信号也从端子输入高电平，从信号输入的信号和所述时钟延迟信号输入端子，是从时钟信号输入端子输入彼此同步。根据本发明驱动电路可以有效地消除阈值电压偏移的缺陷由于被施加到栅极的偏置电压应力，并且可以减小输出电压的噪声。

