



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0029568
(43) 공개일자 2013년03월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2011-0092904

(22) 출원일자 2011년09월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김민주

서울 영등포구 양평동3가 현대6차 APT 609동 1203호

유상희

경기도 파주시 금촌동 새꽃마을아파트 102동 1404호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 6 항

(54) 발명의 명칭 액정표시장치용 어레이기판의 제조방법

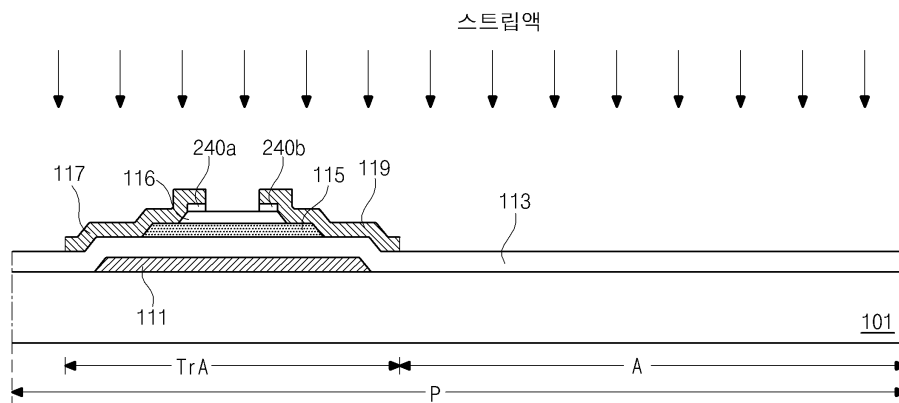
(57) 요약

본 발명은 액정표시장치용 어레이기판에 관한 것으로, 특히, 박막트랜지스터의 사이즈를 줄일 수 있는 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

본 발명의 특징은 어레이기판의 박막트랜지스터를 형성하는데 있어, 소스 및 드레인전극 사이의 이격간격을 리프트오프 공정을 통해 형성함으로써, 공정상의 안정성을 위해 설계되어야 했던, 소스 및 드레인전극의 일단과 에치스토퍼 일단 사이의 이격간격을 고려하지 않아도 되기 때문에, 박막트랜지스터의 사이즈를 기존에 비해 줄일 수 있다.

이와 같이 박막트랜지스터의 사이즈를 줄임으로써, 소스 및 드레인전극의 면적 또한 줄어들게 됨으로써, 소스 및 드레인전극과 게이트전극이 서로 중첩되는 면적을 줄일 수 있어, 게이트전극과 소스 및 드레인전극 사이에서 발생하는 기생용량에 의해 신호배선의 라인딜레이(Line delay) 및 박막트랜지스터의 특성저하가 발생하는 것을 방지할 수 있다.

대표도 - 도3j



특허청구의 범위

청구항 1

다수의 화소영역이 정의된 기판 상에 게이트배선, 게이트전극을 형성하는 단계와;

상기 게이트배선과 상기 게이트전극 상에 게이트절연막을 형성하는 단계와;

상기 게이트절연막 상에, 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 중앙부에 에치스토퍼와, 상기 에치스토퍼 상부의 가장자리를 따라 제 1 및 제 2 리프트오프패턴을 형성하는 단계와;

상기 산화물 반도체층과 상기 제 1 및 제 2 리프트오프패턴 상부로, 제 1 사이간격을 갖도록 이격되어 형성되는 소스 및 드레인전극 그리고 데이터배선을 형성하는 단계와;

상기 제 1 및 제 2 리프트오프패턴과 상기 제 1 및 제 2 리프트오프패턴 상부에 위치하는 상기 소스 및 드레인전극의 일부를 리프트 오프(lift-off) 공정을 통해 동시에 제거하여, 상기 소스 및 드레인전극은 상기 제 1 사이간격에 비해 넓은 제 2 사이간격을 갖도록 형성하는 단계와;

상기 소스 및 드레인전극을 포함하는 상기 기판의 전면에 보호층을 형성하는 단계와;

상기 화소영역 내에 상기 드레인전극과 전기적으로 연결되는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 리프트오프패턴은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어지는 액정표시장치용 어레이기판의 제조방법.

청구항 3

제 2 항에 있어서,

상기 리프트 오프 공정은, 상기 제 1 및 제 2 리프트오프패턴 만이 식각될 수 있는 스트립액을 사용하여 상기 제 1 및 제 2 리프트오프패턴과 중첩되어 있는 상기 소스 및 드레인전극의 일부를 제거하는 액정표시장치용 어레이기판의 제조방법.

청구항 4

제 1 항에 있어서,

상기 에치스토퍼의 폭은 상기 제 2 사이간격과 동일한 액정표시장치용 어레이기판의 제조방법.

청구항 5

제 1 항에 있어서,

상기 에치스토퍼와 상기 제 1 및 제 2 리프트오프패턴을 형성하는 단계는 1회의 하프톤 마스크공정을 통해 진행하는 액정표시장치용 어레이기판의 제조방법.

청구항 6

제 5 항에 있어서,

상기 산화물 반도체층 상부로 무기절연물질층과 금속물질층을 순차적으로 형성하는 단계와;

상기 금속물질층 상부로 제 1 두께의 제 1 포토레지스트패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트패턴 외부로 노출된 상기 금속물질층과 상기 무기절연물질층을 제거하여, 에치스토퍼를 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트패턴에 애싱(ashing)을 실시하여, 상기 제 2 포토레지스트패턴을 제거하는 동시에 상기 제 1 포토레지스트패턴의 외부로 노출되는 상기 금속물질층을 제거하여 제 1 및 제 2 리프트오프패턴을 형성하는

단계를 포함하는 액정표시장치용 어레이기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치용 어레이기판에 관한 것으로, 특히, 박막트랜지스터의 사이즈를 줄일 수 있는 액정표시장치용 어레이기판의 제조방법에 관한 것이다.

배경기술

[0002] 최근 정보화 사회로 시대가 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 디스플레이 장치의 필요성이 대두되었고, 이에 따라 평판표시장치(flat panel display)에 대한 연구가 활발히 이루어지고 있으며, 특히 액정표시장치(liquid crystal display)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 컴퓨터의 모니터에 활발하게 적용되고 있다.

[0003] 액정표시장치는 액정층을 사이에 두고 서로 마주보는 면으로 각각 전계생성전극이 형성된 한 쌍의 투명 절연기판을 대면 합착시킨 액정패널(liquid crystal panel)을 필수적인 구성요소로 하며, 두 전계생성전극 사이의 전기장 크기에 따라 그 사이로 개재된 액정분자의 배열방향을 인위적으로 조절하고 이에 따른 빛의 투과율 변화를 통해 여러 가지 화상을 나타낸다.

[0004] 이러한 액정표시장치는 각 화소별로 전압의 온/오프를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 어레이기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 주목받고 있다.

[0005] 여기서, 일반적으로 박막트랜지스터는 이동도, 누설전류 등과 같은 기본적인 박막트랜지스터의 특성뿐만 아니라, 오랜 수명을 유지할 수 있는 내구성 및 전기적 신뢰성이 매우 중요하다. 여기서, 박막트랜지스터의 반도체층은 주로 비정질실리콘 또는 다결정실리콘으로 형성되는데, 비정질실리콘은 성막 공정이 간단하고 생산 비용이 적게드는 장점이 있지만 전기적 신뢰성이 확보되지 못하는 문제가 있다. 또한 다결정실리콘은 높은 공정 온도로 인하여 대면적 응용이 매우 곤란하며, 결정화 방식에 따른 균일도가 확보되지 못하는 문제점이 있다.

[0006] 따라서, 최근에는 반도체층을 산화물로 형성하는 기술에 대한 연구가 활발히 진행되고 있는데, 산화물로 반도체층을 형성할 경우, 낮은 온도에서 성막하여도 높은 이동도를 얻을 수 있는 장점이 있다.

[0007] 도 1은 일반적인 산화물 반도체층을 포함하는 박막트랜지스터를 구비한 어레이기판의 하나의 화소영역에 대한 단면도이다.

[0008] 도시한 바와 같이, 어레이기판(1) 상에는 다수의 게이트배선(미도시)과 다수의 데이터배선(33)이 교차하여 정의되는 다수의 화소영역(P) 내의 스위칭 영역(TrA)에는 박막트랜지스터(T)가 형성되어 있다.

[0009] 여기서, 박막트랜지스터(T)는 게이트전극(11), 게이트절연막(13), 산화물 반도체층(15), 소스 및 드레인전극(17, 19)으로 이루어진다.

[0010] 그리고, 소스 및 드레인전극(17, 19)과 노출된 산화물 반도체층(15) 상부로 드레인전극(19)을 노출하는 드레인 콘택홀(23)을 포함하는 보호층(21)이 형성되어 있으며, 보호층(21) 상부에는 드레인콘택홀(23)을 통해 드레인전

극(19)과 접촉하며 각 화소영역(P) 별로 화소전극(25)이 형성되어 있다.

- [0011] 이때, 산화물 반도체층(15) 중앙부가 소스 및 드레인전극(17, 19) 형성을 위한 패터닝 시 식각액에 노출되지 않도록 하기 위하여, 산화물 반도체층(15) 중앙부 상부에 에치스토퍼(16)가 구비된다.
- [0012] 한편, 이러한 산화물 반도체층(15)을 포함하는 박막트랜지스터(T)는 에치스토퍼(16)의 구성을 포함함에 따라 박막트랜지스터(T)의 사이즈를 증가시키게 된다.
- [0013] 즉, 액정표시장치용 어레이기판(1)의 제조 공정 특성상, 노광공정을 이용하여 형성되는 패턴 또는 패턴간 이격 간격은 최소 4 μ m 이상이 되어야 하며, 그 이하의 크기를 갖는 패턴 또는 패턴간 간격을 갖도록 형성하는 것은 이를 반복적으로 구현해야 하는 제조 공정 특성상 그 오차범위가 커 안정적인 제조공정을 진행할 수 없는 실정이다.
- [0014] 따라서, 박막트랜지스터(T)의 각 층들은 패턴 간 이격간격이 4 μ m 이상 더욱 정확히는 그 공정상 안정성을 위해 5 ~ 6 μ m 정도가 되도록 형성하고 있다.
- [0015] 이에, 에치스토퍼(16)를 포함하는 박막트랜지스터(T)의 경우, 소스 및 드레인전극(17, 19) 사이의 이격간격(L1) 6 μ m, 에치스토퍼(16)의 일단과 소스 및 드레인전극(17, 19)의 일단 사이의 이격간격(L2) 5 μ m, 그리고, 산화물 반도체층(15)의 일단과 에치스토퍼(16)의 일단의 이격간격(L3) 6 μ m, 산화물 반도체층(15)의 일단과 소스전극(17)의 타단 사이의 이격간격(L4) 6 μ m를 갖도록 형성되어, 박막트랜지스터(T)의 총 폭(L')은 40 μ m를 갖도록 형성된다.
- [0016] 이렇게 박막트랜지스터(T)의 사이즈가 증가하게 됨으로써, 화소영역(P) 내에서 박막트랜지스터(T)가 차지하는 면적이 커, 이로 인한 개구율 및 휘도 저하의 문제를 야기하게 된다.
- [0017] 또한, 소스 및 드레인전극(17, 19)의 면적이 크게 형성됨에 따라, 소스 및 드레인전극(17, 19)과 게이트전극(11)이 서로 중첩되는 면적이 증가하게 되는데, 이와 같이, 게이트전극(11)과 소스 및 드레인전극(17, 19)이 중첩되는 면적이 증가할수록 기생용량(게이트전극(11)과 중첩하는 소스 및 드레인전극(17, 19)에 의해 발생하는 커패시턴스)이 증가하게 된다.
- [0018] 이를 통해, 신호배선의 라인딜레이(Line delay)가 발생하게 되며, 박막트랜지스터(T)의 특성저하가 발생하게 된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 박막트랜지스터의 사이즈를 작게 하고, 이를 통해 액정표시장치의 개구율 및 휘도특성을 향상시키는 것을 제 1 목적으로 한다.
- [0020] 또한, 박막트랜지스터의 특성을 향상시키는 동시에 박막트랜지스터의 구동전압을 낮추어 액정표시장치의 최종적인 소비전력을 저감시키고자 하는 것을 제 2 목적으로 한다.

과제의 해결 수단

- [0021] 전술한 바와 같은 목적을 달성하기 위해, 본 발명은 다수의 화소영역이 정의된 기판 상에 게이트배선, 게이트전극을 형성하는 단계와; 상기 게이트배선과 상기 게이트전극 상에 게이트절연막을 형성하는 단계와; 상기 게이트절연막 상에, 산화물 반도체층을 형성하는 단계와; 상기 산화물 반도체층 중앙부에 에치스토퍼와, 상기 에치스토퍼 상부의 가장자리를 따라 제 1 및 제 2 리프트오프패턴을 형성하는 단계와; 상기 산화물 반도체층과 상기 제 1 및 제 2 리프트오프패턴 상부로, 제 1 사이간격을 갖도록 이격되어 형성되는 소스 및 드레인전극 그리고 데이터배선을 형성하는 단계와; 상기 제 1 및 제 2 리프트오프패턴과 상기 제 1 및 제 2 리프트오프패턴 상부에 위치하는 상기 소스 및 드레인전극의 일부를 리프트 오프(lift-off) 공정을 통해 동시에 제거하여, 상기 소스 및 드레인전극은 상기 제 1 사이간격에 비해 넓은 제 2 사이간격을 갖도록 형성하는 단계와; 상기 소스 및 드레인전극을 포함하는 상기 기판의 전면에 보호층을 형성하는 단계와; 상기 화소영역 내에 상기 드레인전극과 전기적으로 연결되는 화소전극을 형성하는 단계 를 포함하는 액정표시장치용 어레이기판의 제조방법을 제공한다.

[0022] 이때, 상기 제 1 및 제 2 리프트오프패턴은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어지며, 상기 리프트 오프 공정은, 상기 제 1 및 제 2 리프트오프패턴 만이 식각될 수 있는 스트립액을 사용하여 상기 제 1 및 제 2 리프트오프패턴과 중첩되어 있는 상기 소스 및 드레인전극의 일부를 제거한다.

[0023] 그리고, 상기 에치스토퍼의 폭은 상기 제 2 사이간격과 동일하며, 상기 에치스토퍼와 상기 제 1 및 제 2 리프트 오프패턴을 형성하는 단계는 1회의 하프톤 마스크공정을 통해 진행한다.

[0024] 이때, 상기 산화물 반도체층 상부로 무기절연물질층과 금속물질층을 순차적으로 형성하는 단계와; 상기 금속물질층 상부로 제 1 두께의 제 1 포토레지스트패턴과 상기 제 1 두께보다 얇은 제 2 두께의 제 2 포토레지스트패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트패턴 외부로 노출된 상기 금속물질층과 상기 무기절연물질층을 제거하여, 에치스토퍼를 형성하는 단계와; 상기 제 1 및 제 2 포토레지스트패턴에 애싱(ashing)을 실시하여, 상기 제 2 포토레지스트패턴을 제거하는 동시에 상기 제 1 포토레지스트패턴의 외부로 노출되는 상기 금속물질층을 제거하여 제 1 및 제 2 리프트오프패턴을 형성하는 단계를 포함한다.

발명의 효과

[0025] 위에 상술한 바와 같이, 본 발명에 따라 박막트랜지스터를 형성하는데 있어, 소스 및 드레인전극 사이의 이격간격을 리프트오프 공정을 통해 형성함으로써, 공정상의 안정성을 위해 설계되어야 했던, 소스 및 드레인전극의 일단과 에치스토퍼 일단 사이의 이격간격을 고려하지 않아도 되기 때문에, 박막트랜지스터의 사이즈를 기존에 비해 줄일 수 있는 효과가 있다.

[0026] 이를 통해, 화소 개구율 및 휘도 특성을 향상시키는 효과가 있다.

[0027] 이와 같이 박막트랜지스터의 사이즈를 줄임으로써, 소스 및 드레인전극의 면적 또한 줄어들게 됨으로써, 소스 및 드레인전극과 게이트전극이 서로 중첩되는 면적을 줄일 수 있어, 게이트전극과 소스 및 드레인전극 사이에서 발생하는 기생용량에 의해 신호배선의 라인딜레이(Line delay) 및 박막트랜지스터의 특성저하가 발생하는 것을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0028] 도 1은 일반적인 산화물 반도체층을 포함하는 박막트랜지스터를 구비한 어레이기판의 하나의 화소영역에 대한 단면도.

도 2는 본 발명의 실시예에 따른 산화물 반도체층 및 에치스토퍼를 구비한 박막트랜지스터를 포함하는 어레이기판의 하나의 화소영역을 개략적으로 도시한 단면도.

도 3a ~ 3m는 본 발명의 실시예에 따른 산화물 반도체층 및 에치스토퍼를 구비한 박막트랜지스터를 포함하는 어레이기판의 하나의 화소영역 일부에 대한 제조 단계별 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

[0030] 도 2는 본 발명의 실시예에 따른 산화물 반도체층 및 에치스토퍼를 구비한 박막트랜지스터를 포함하는 어레이기판의 하나의 화소영역을 개략적으로 도시한 단면도이다.

[0031] 도시한 바와 같이, 어레이기판(101)은 소정간격 이격되어 평행하게 구성된 다수의 게이트배선(미도시)과 게이트배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터배선(133)을 포함한다.

[0032] 이때, 각 화소영역(P)의 게이트배선(미도시)과 데이터배선(133)의 교차지점인 스위칭영역(TrA)에는 박막트랜지스터(T)가 형성되며, 실질적으로 화상이 구현되는 표시영역(A)에는 화소전극(125)이 형성되어 있다.

[0033] 여기서, 박막트랜지스터(T)는 게이트전극(111), 게이트절연막(113), 산화물 반도체층(115), 소스 및 드레인전극(117, 119)으로 이루어진다.

[0034] 이때, 산화물 반도체층(115)의 상부에는 소스 및 드레인전극(117, 119)을 패터닝 하는 과정에서 식각액에 산화물 반도체층(115)이 노출되는 것을 방지하기 위하여, 산화물 반도체층(115) 중앙부 상부에 에치스토퍼(116)가

위치한다.

- [0035] 그리고, 박막트랜지스터(T)를 포함하는 어레이기판(101)의 전면에는 보호층(121)이 형성되어 있으며, 화소전극(125)은 보호층(121)의 드레인콘택홀(123)을 통해 박막트랜지스터(T)의 드레인전극(119)과 전기적으로 연결된다.
- [0036] 산화물 반도체층(115)을 포함하는 박막트랜지스터(T)는 비정질실리콘을 이용하여 제작된 박막트랜지스터에 비하여 전계 효과 이동도가 수 배 내지 수백 배 크다. 예를 들어, 비정질구조를 가진 In₂O₃, Ga₂O₃, ZnO 등이 혼합된 산화물 반도체를 사용하면, 비정질실리콘의 전계 효과 이동도와 비교하여, 전계 이동도가 20배 이상 향상될 수 있다.
- [0037] 그리고, 산화물 반도체층(115)은 낮은 온도에서 성막하여도 높은 이동도를 얻을 수 있어, 신뢰성 또한 우수하다.
- [0038] 특히, 본 발명의 박막트랜지스터(T)는 에치스토퍼(116)를 포함함에도, 기존의 일반적인 에치스토퍼(도 1의 16)를 포함하는 박막트랜지스터(도 1의 T)에 비해 작은 사이즈를 갖도록 형성할 수 있다.
- [0039] 또한, 소스 및 드레인전극(117, 119)과 게이트전극(111)이 서로 중첩되는 면적을 줄일 수 있어, 게이트전극(111)과 소스 및 드레인전극(117, 119) 사이에서 발생하는 기생용량에 의해 게이트 및 데이터배선(미도시, 133)의 라인딜레이(Line delay)와 박막트랜지스터(T)의 특성저하가 발생하는 것을 방지할 수 있다.
- [0040] 여기서, 박막트랜지스터(T)의 사이즈를 줄이는 것은, 본원발명의 박막트랜지스터(T)의 소스 및 드레인전극(117, 119)을 형성하는데 있어, 공정의 안정성을 위해 설계되어야 했던, 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116)일단 사이의 이격간격(도 1의 L2)을 고려하지 않아도 되기 때문이다.
- [0041] 일반적으로 박막트랜지스터(T)를 형성하는데 있어, 공정 특성상, 노광공정을 이용하여 형성되는 패턴 또는 패턴간 이격간격은 최소 4 μ m 이상이 되어야 하며, 그 이하의 크기를 갖는 패턴 또는 패턴간 간격을 갖도록 형성하는 것은 이를 반복적으로 구현해야 하는 제조 공정 특성상 그 오차범위가 커 안정적인 제조공정을 진행할 수 없는 실정이다.
- [0042] 따라서, 박막트랜지스터(T)의 각 층들은 패턴 간 이격간격이 4 μ m 이상 더욱 정확히는 그 공정상 안정성을 위해 5 ~ 6 μ m 정도가 되도록 형성해야 한다.
- [0043] 이에, 기존의 에치스토퍼(도 1의 16)를 포함하는 박막트랜지스터(도 1의 T)는 적어도 40 μ m의 폭(도 1의 L')을 갖도록 형성된다.
- [0044] 그러나, 본 발명의 박막트랜지스터(T)는 공정상 안정성을 확보하기 위한 패턴간 이격간격 중 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116)의 일단의 사이의 이격간격(L2)을 고려하지 않아도 됨으로써, 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116)의 일단 사이의 이격간격(L2)을 제거한 만큼의 폭(L')을 갖는 박막트랜지스터(T)를 형성할 수 있는 것이다.
- [0045] 즉, 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116)의 일단 사이의 이격간격(L2)이 양측으로 각각 5 μ m 일 경우, 본 발명의 박막트랜지스터(T)는 기존의 40 μ m의 폭(도 1의 L')을 갖는 박막트랜지스터(도 1의 T)에서 10 μ m 를 줄일 수 있다.
- [0046] 이는, 에치스토퍼(116)와 소스 및 드레인전극(117, 119)이 중첩되는 에치스토퍼(116)의 가장자리를 따라 리프트 오프패턴(240a, 240b, 도 3h참조)을 형성한 후, 리프트오프패턴(240a, 240b, 도 3h참조)의 상부에 형성되는 소스 및 드레인전극(117, 119)을 리프트오프 공정을 통해 제거함으로써 가능하다. 이에 대해 차후 좀더 자세히 살펴해보도록 하겠다.
- [0047] 그리고, 소스 및 드레인전극(117, 119)의 면적이 기존에 비해 줄어들게 됨으로써, 소스 및 드레인전극(117, 119)과 게이트전극(111)이 서로 중첩되는 면적을 줄일 수 있어, 게이트전극(111)과 소스 및 드레인전극(117, 119) 사이에서 발생하는 기생용량에 의해 게이트 및 데이터배선(미도시, 133)의 라인딜레이(Line delay)와 박막트랜지스터(T)의 특성저하가 발생하는 것을 방지할 수 있는 것이다.
- [0048] 이에 대해 본 발명의 액정표시장치용 어레이기판의 제조방법에 대해 설명하는 과정에서 좀더 자세히 살펴해보도록 하겠다.
- [0049] 도 3a ~ 3m은 본 발명의 실시예에 따른 산화물 반도체층 및 에치스토퍼를 구비한 박막트랜지스터를 포함하는 어

레이기판의 하나의 화소영역 일부에 대한 제조 단계별 공정 단면도이다.

- [0050] 이때, 설명의 편의를 위하여 각 화소영역(P) 내의 박막트랜지스터(도 2의 T)가 형성될 부분을 스위칭영역(TrA)이라 정의하도록 하겠다.
- [0051] 우선, 도 3a에 도시한 바와 같이, 투명한 기판(101) 상에 저저항 특성을 갖는 제 1 금속물질 예를 들면 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 중 선택된 물질을 전면 증착하여 제 1 금속층(미도시)을 형성한다.
- [0052] 이후 포토레지스트(미도시)의 도포, 포토 마스크(미도시)를 이용한 노광, 노광된 포토레지스트(미도시)의 현상, 제 1 금속층(미도시)의 식각 및 포토레지스트(미도시)의 스트립(strip) 등의 일련의 단위 공정을 포함하는 제 1 마스크 공정을 진행하여, 제 1 금속층(미도시)을 패터닝함으로써 제 1 방향으로 연장하는 다수의 게이트배선(미도시)을 형성하고, 동시에 스위칭영역(TrA)에 게이트배선(미도시)과 연결된 게이트전극(111)을 형성한다.
- [0053] 이때, 제 1 금속층(미도시)을 서로 다른 금속물질을 연속 증착하여 이중층 이상으로 형성하고 이를 패터닝함으로써, 이중층 또는 삼중층 구조의 게이트배선(미도시)과 게이트전극(111)을 형성할 수도 있다.
- [0054] 다음으로 도 3b에 도시한 바와 같이, 게이트배선(미도시)과 게이트전극(111) 상부에 무기절연물질 예를 들면 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)을 증착하여 기판(101) 전면에서 게이트절연막(113)을 형성한다.
- [0055] 다음으로 도 3c에 도시한 바와 같이, 게이트절연막(113) 위로 산화물 반도체 물질 예를 들면 비정질구조를 가진 In₂O₃, Ga₂O₃, ZnO를 스퍼터링(sputtering)을 통해 증착하고, 이를 마스크 공정을 진행하여 패터닝함으로써 스위칭영역(TrA)에 구비된 게이트전극(111)에 대응하여 이와 중첩하도록 아일랜드 형상의 산화물 반도체층(115)을 형성한다.
- [0056] 이때, 산화물 반도체층(115)의 폭은 제 1 폭(w₁)을 갖도록 형성할 수 있는데, 산화물 반도체층(115)의 제 1 폭(w₁)은 산화물 반도체층(115)의 상부에 형성될 에치스토퍼(도 2의 116)와 산화물 반도체층(115)의 이격간격(도 2의 L₃)을 고려해서 설계하는 것이 바람직하다.
- [0057] 다음, 도 3d에 도시한 바와 같이, 산화물 반도체층(115) 상부로 무기절연물질을 전면 증착하여 무기절연물질층(210)을 형성하고, 연속하여 무기절연물질층(210) 상부로 제 2 금속물질 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 증착하여 제 2 금속층(220)을 형성한다.
- [0058] 제 2 금속층(220) 상부로 포토레지스트층(미도시)을 형성한 후, 기판(101)의 상부에 빛의 투과영역(TmA)과 차단영역(BkA) 그리고 투과영역(TmA)의 투과율과 차단영역(BkA)의 투과율 사이의 투과율을 갖는 반투과영역(HTmA)으로 구성된 노광마스크(M)를 위치시킨 후, 노광마스크(M)를 통한 노광을 실시한다.
- [0059] 이때, 노광마스크(M)의 차단영역(BkA)은 산화물 반도체층(115) 중앙부의 상부에 형성될 에치스토퍼(도 2의 116)의 양측 가장자리에 대응되며, 반투과영역(HTmA)은 차단영역(BkA) 사이에 대응된다.
- [0060] 그리고 그 외의 영역에 대해서는 투과영역(TmA)이 대응되도록 한다.
- [0061] 이에 도 3e에 도시한 바와 같이 포토레지스트층(미도시)에 하프톤 노광 또는 회절노광을 실시하고 현상함으로써 산화물 반도체층(115)의 양측 가장자리에 대응해서 제 1 두께(t₁)를 가지는 제 1 포토레지스트패턴(P1)이 형성되며, 제 1 포토레지스트패턴(P1)의 사이에는 제 1 두께(t₁) 보다 낮은 제 2 두께(t₂)를 가지는 제 2 포토레지스트패턴(P2)이 형성된다.
- [0062] 그리고, 나머지 영역에서는 포토레지스트층(미도시)이 제거되어 제 2 금속층(220)을 노출시키게 된다.
- [0063] 다음으로 도 3f에 도시한 바와 같이, 제 1 및 제 2 포토레지스트패턴(P1, P2) 외부로 노출된 제 2 금속물질층(도 3e의 220)과 그 하부의 무기절연물질층(도 3e의 310)을 식각하여 제거함으로써, 최상부에 금속물질로서 금속패턴(220a)을 형성하고 그 하부로 에치스토퍼(116)를 형성한다.
- [0064] 이때, 에치스토퍼(116)의 폭은 산화물 반도체층(115)의 제 1 폭(도 3c의 w₁)에 비해 작은 제 2 폭(w₂)을 갖도록 형성함으로써, 에치스토퍼(116) 상부로 형성될 소스 및 드레인전극(도 2의 117, 119)과 산화물 반도체층(115)이 서로 접촉될 수 있는 영역(도 2의 L₃)을 제공하게 된다.
- [0065] 그리고, 에치스토퍼(116)의 제 2 폭(w₂)은 에치스토퍼(116)의 상부에 형성될 소스 및 드레인전극(도 2의 117, 119)과의 이격간격(도 1의 L₂)을 별도로 고려하지 않고 형성할 수 있다.
- [0066] 즉, 기존에는 에치스토퍼(116) 상부에 소스 및 드레인전극(도 2의 117, 119)을 형성하는 과정에서, 패턴 형성의

안정성을 확보하기 위하여 에치스토퍼(116)의 일단과 소스 및 드레인전극(도 2의 117, 119)의 일단이 적어도 5 ~ 6 μ m의 이격간격(도 1의 L2)을 갖도록 형성해야 하므로, 소스 및 드레인전극(도 2의 117, 119)과 에치스토퍼(116)의 일부는 서로 중첩되어 형성된다.

- [0067] 따라서, 에치스토퍼(116)의 제 2폭(w2)은 소스 및 드레인전극(도 2의 117, 119)과 중첩될 영역을 고려하여 설계되어야 한다. 즉, 기존의 에치스토퍼(116)의 폭은 소스 및 드레인전극(도 2의 117, 119) 사이의 이격간격(도 1의 L1)과 소스 및 드레인전극(도 2의 117, 119)과 에치스토퍼(116)의 이격간격(도 1의 L2)을 고려하여 적어도 16 μ m의 폭(도 1의 L1 + (2*L2))을 갖도록 형성되어야 한다.
- [0068] 이에 반해, 본 발명은 에치스토퍼(116)와 소스 및 드레인전극(도 2의 117, 119) 사이의 공정상 이격간격(도 1의 L2)을 고려하지 않아도 됨으로써, 에치스토퍼(116)의 제 2 폭(w2)은 에치스토퍼(116) 상부에 형성되는 소스 및 드레인전극(도 2의 117, 119) 사이의 이격간격(도 2의 L1) 만을 고려하여 6 ~ 8 μ m 로 형성할 수 있다. 이에 대해 차후 좀더 자세히 살펴보도록 하겠다.
- [0069] 다음으로 도 3g에 도시한 바와 같이, 애싱(ashing)을 진행함으로써, 제 2 두께(도 3f의 t2)의 제 2 포토레지스트패턴(도 3f의 P2)을 제거한다. 이 경우, 제 1 두께(t1)의 포토레지스트패턴(P1)은 그 두께가 줄어든 상태로 에치스토퍼(116)의 양측 가장자리에 대응하여 남아 있게 된다.
- [0070] 다음으로, 도 3h에 도시한 바와 같이, 제 1 포토레지스트패턴(도 3g의 P1) 외부로 노출된 금속패턴(도 3g의 220a)을 식각하여 제거함으로써, 에치스토퍼(116) 상부에 서로 이격하는 제 1 및 제 2 리프트오프패턴(240a, 240b)을 형성한다.
- [0071] 이때, 제 1 및 제 2 리프트오프패턴(240a, 240b)은 1 ~ 2 μ m의 폭(d1)을 갖도록 형성한다.
- [0072] 다음으로, 제 1 및 제 2 리프트오프패턴(240a, 240b)을 포함하는 기관(101)의 전면으로 제 3 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 크롬(Cr) 중 어느 하나 또는 둘 이상의 물질을 증착함으로써 제 3 금속층(미도시)을 형성한다.
- [0073] 다음, 제 3 금속층(미도시)을 마스크 공정을 실시하여 동시에 패터닝함으로써 도 3i에 도시한 바와 같이 게이트 절연막(113) 위로 게이트배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터배선(도 2의 133)을 형성하고, 동시에 스위칭영역(TrA)에는 에치스토퍼(116) 상부의 제 1 및 제 2 리프트오프패턴(240a, 240b)의 상부에서 서로 이격하는 소스 및 드레인전극(117, 119)을 형성한다.
- [0074] 이때, 소스 및 드레인전극(117, 119) 사이의 이격간격(d2)은 노광공정시 형성할 수 있는 최소 패턴간 이격간격을 갖도록 형성한다. 즉, 소스 및 드레인전극(117, 119) 사이의 이격간격(d2)은 4 μ m이하로 형성한다.
- [0075] 다음으로, 도 3j에 도시한 바와 같이 소스 및 드레인전극(117, 119)이 형성된 기관(101)을 스트립액에 노출시키는 스트립 공정을 포함하는 리프트 오프(lift-off) 공정을 진행하여, 도 3k에 도시한 바와 같이 제 1 및 제 2 리프트오프패턴(240a, 240b)과 그 상부에 형성된 소스 및 드레인전극(117, 119)의 일부가 기관(101)으로부터 떨어져 나가게 한다.
- [0076] 여기서, 리프트 오프 공정을 진행하기 위한 스트립액은 투명성 절연물질인 제 1 및 제 2 리프트오프패턴(240a, 240b)과 소스 및 드레인전극(117, 119)의 식각비가 다른 용액을 사용한다.
- [0077] 따라서, 리프트 오프 공정에 의해 제 1 및 제 2 리프트오프패턴(240a, 240b) 만이 제거되면서, 제 1 및 제 2 리프트오프패턴(240a, 240b)과 중첩되어 있는 소스 및 드레인전극(117, 119)의 일부분은 함께 제거된다.
- [0078] 따라서, 이러한 리프트 오프 공정에 의해 소스 및 드레인전극(117, 119) 사이의 간격(d2)은 공정의 안정성을 확보할 수 있는 간격(L1)을 유지하게 된다.
- [0079] 즉, 소스 및 드레인전극(117, 119) 사이의 이격간격(L1)은 6 ~ 8 μ m를 갖게 된다.
- [0080] 이를 통해, 본 발명의 액정표시장치용 어레이기관(101)의 스위칭 소자인 박막트랜지스터(T)를 형성하게 된다.
- [0081] 이때, 본 발명의 박막트랜지스터(T)는 소스 및 드레인전극(117, 119)을 형성하는데 있어, 공정의 안정성을 위해 설계되어야 했던, 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116) 일단 사이의 이격간격(도 1의 L2)을 고려하지 않아도 되기 때문에, 박막트랜지스터(T)의 사이즈(L')가 기존의 사이즈(L')에 비해 줄어들게 된다.
- [0082] 다음으로 도 3l에 도시한 바와 같이, 소스 및 드레인전극(117, 119)이 형성된 기관(101)의 전면에 무기절연물질 예를 들면, 산화실리콘(SiO2) 또는 질화실리콘(SiNx)을 증착하거나, 또는 유기절연물질 예를 들면 벤조사이클로

부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하여 보호층(121)을 형성하고, 이를 마스크 공정을 진행하여 패터닝함으로써 드레인전극(119)을 노출시키는 드레인콘택홀(123)을 형성한다.

[0083] 다음, 도 3m에 도시한 바와 같이, 드레인콘택홀(123)을 구비한 보호층(121) 위로 투명 도전성 물질 예를 들면 금속물질 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면 증착하여 투명 도전성 물질층(미도시)을 형성한다.

[0084] 이후, 투명 도전성 물질층(미도시)을 마스크 공정을 진행하여 패터닝함으로써 화소영역(P) 별로 드레인콘택홀(123)을 통해 드레인전극(119)과 접촉하는 화소전극(125)을 형성함으로써 본 발명의 실시예에 따른 어레이기관(101)을 완성한다.

[0085] 전술한 바와 같이, 본 발명의 액정표시장치용 어레이기관(101)은 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116) 사이에 별도의 이격간격(도 1의 L2)을 갖지 않도록 형성할 수 있어, 이를 통해 박막트랜지스터(T)의 사이즈(도 3k의 L'')를 줄일 수 있는 것이다.

[0086] 아래 표(1)은 박막트랜지스터(T)의 각 패턴 간의 사이간격을 일례로 표시하였는데, 이를 참조하면 기존의 에치스토퍼(도 1의 16)를 포함하는 박막트랜지스터(도 1의 T)는 40 μ m의 폭(도 3k의 L')을 갖도록 형성될 경우, 본 발명의 실시예에 따른 박막트랜지스터(T)는 에치스토퍼(116)를 포함함에도 30 μ m의 폭(도 3k의 L'')을 갖도록 형성할 수 있다.

표 1

항목	종래기술의 박막트랜지스터	본 발명의 실시예에 따른 박막트랜지스터
L1	6 μ m	6 μ m
L2	5 μ m $\times$ 2	-
L3	6 μ m $\times$ 2	6 μ m $\times$ 2
L4	6 μ m $\times$ 2	6 μ m $\times$ 2
총 폭(L1+L2+L3+L4)	40 μ m	30 μ m

[0088] 여기서, L1은 소스 및 드레인전극(117, 119) 사이의 이격간격을 나타내며, L2는 에치스토퍼(116)의 일단과 소스 및 드레인전극(117, 119)의 일단 사이의 이격간격, L3는 산화물 반도체층(115)의 일단과 에치스토퍼(116)의 일단의 이격간격, L4는 산화물 반도체층(115)의 타단과 소스 및 드레인전극(117, 119)의 타단 사이의 이격간격을 나타낸다.

[0089] 즉, 박막트랜지스터(T)는 공정 특성상, 노광공정을 이용하여 형성되는 패턴 또는 패턴간 이격간격은 최소 4 μ m 이상이 되어야 하며, 그 이하의 크기를 갖는 패턴 또는 패턴간 간격을 갖도록 형성하는 것은 이를 반복적으로 구현해야 하는 제조 공정 특성상 그 오차범위가 커 안정적인 제조공정을 진행할 수 없는 실정이다.

[0090] 따라서, 박막트랜지스터(T)의 각 층들은 패턴 간 이격간격이 4 μ m이상 더욱 정확히는 그 공정상 안정성을 위해 5 ~ 6 μ m 정도가 되도록 형성해야 한다.

[0091] 그러나, 본 발명의 박막트랜지스터(T)는 소스 및 드레인전극(117, 119)을 형성하는데 있어, 공정의 안정성을 위해 설계되어야 했던, 소스 및 드레인전극(117, 119)의 일단과 에치스토퍼(116) 일단 사이의 이격간격(도 1의 L2)을 고려하지 않아도 되기 때문에, 박막트랜지스터(T)의 사이즈(도 3k의 L'')를 기존의 사이즈(도 3k의 L')에 비해 줄일 수 있는 것이다.

[0092] 그리고, 이와 같이 박막트랜지스터(T)의 사이즈를 줄임으로써, 소스 및 드레인전극(117, 119)의 면적 또한 줄어들게 됨으로써, 소스 및 드레인전극(117, 119)과 게이트전극(111)이 서로 중첩되는 면적을 줄일 수 있어, 게이트 전극(111)과 소스 및 드레인전극(117, 119) 사이에서 발생하는 기생용량에 의해 게이트 및 데이터배선(미도시, 도 2의 133)의 라인딜레이(Line delay)와 박막트랜지스터(T)의 특성저하가 발생하는 것을 방지할 수 있다.

[0093] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

부호의 설명

[0094]

101 : 어레이기판, 111 : 게이트전극

113 : 게이트절연막, 115 : 산화물 반도체층, 116 : 에치스토퍼

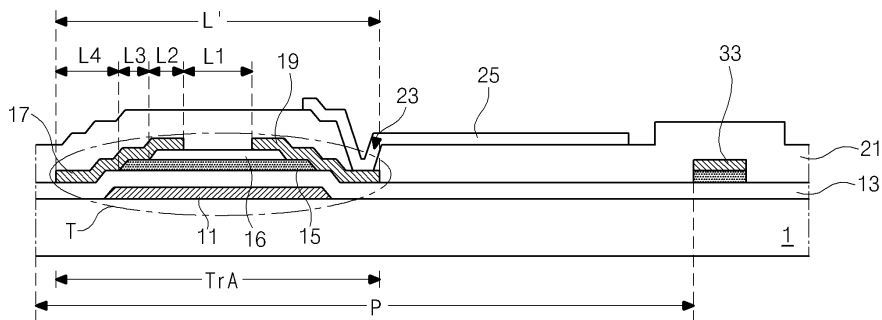
117 : 소스전극, 119 : 드레인전극, 121 : 보호층, 123 : 드레인콘택홀

125 : 화소전극, 240a, 240b : 제 1 및 제 2 리프트오프패턴

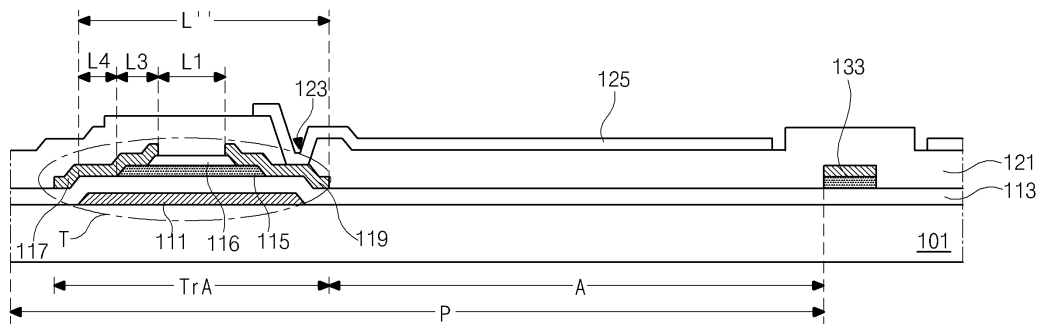
TrA : 스위칭영역, A : 표시영역, P : 화소영역

도면

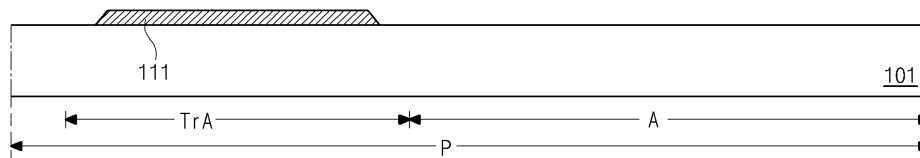
도면1



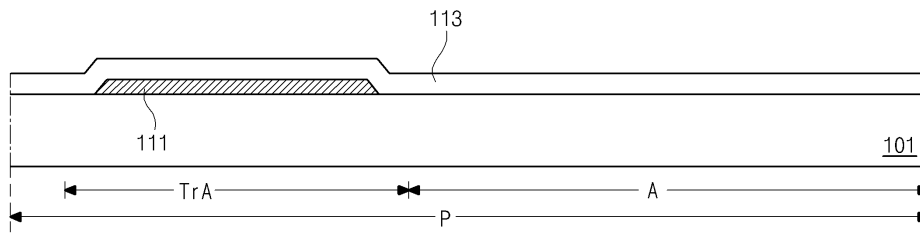
도면2



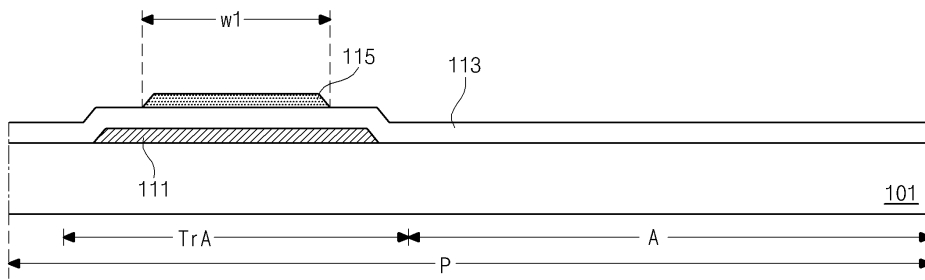
도면3a



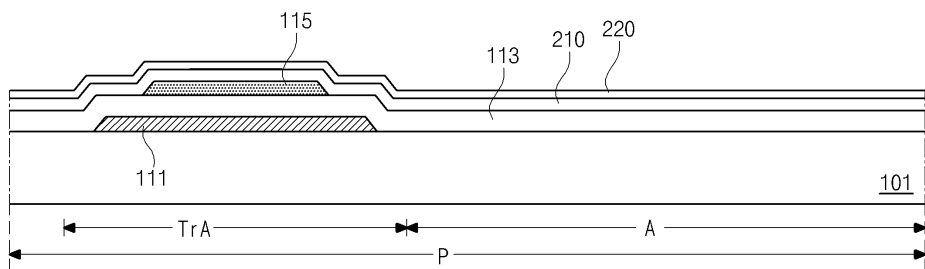
도면3b



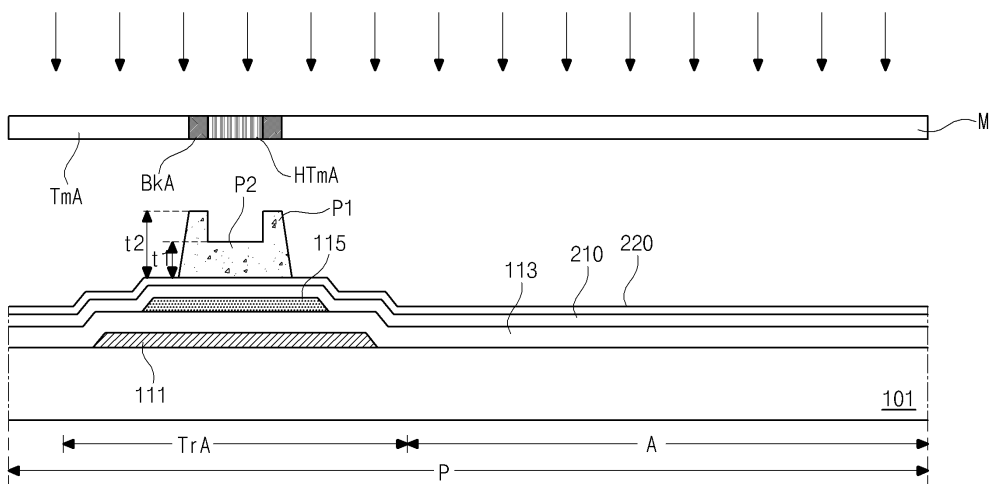
도면3c



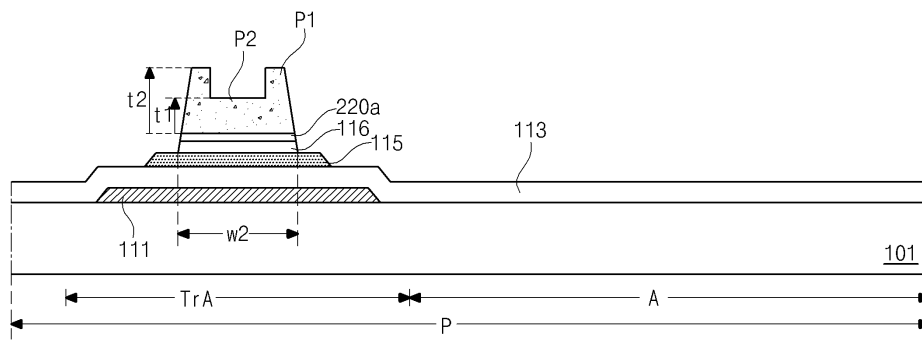
도면3d



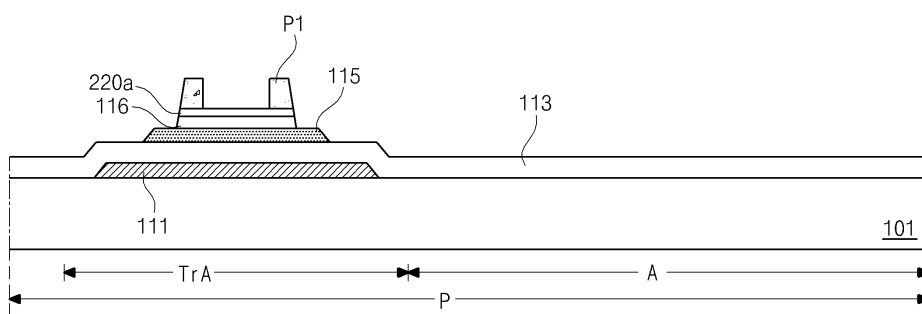
도면3e



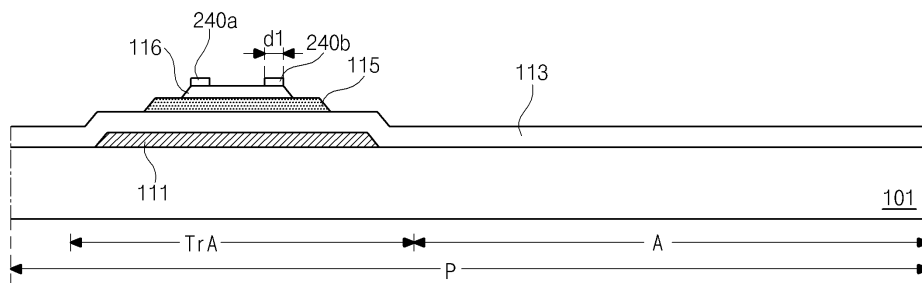
도면3f



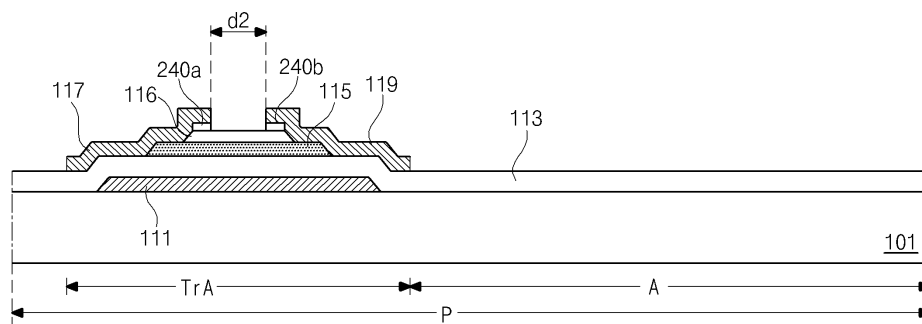
도면3g



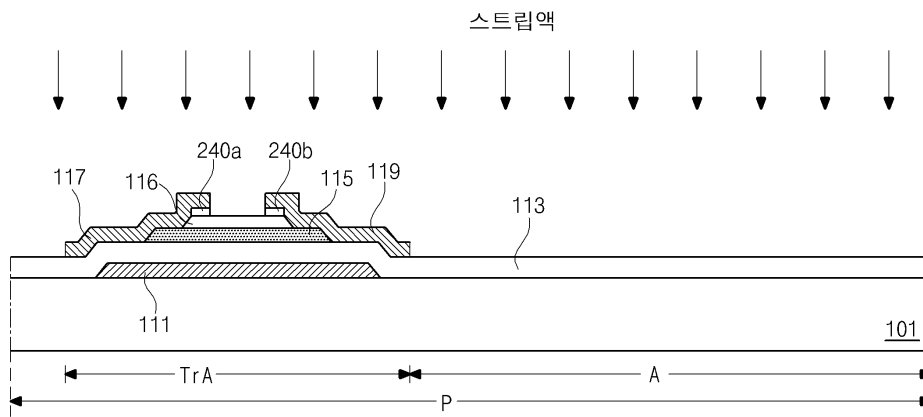
도면3h



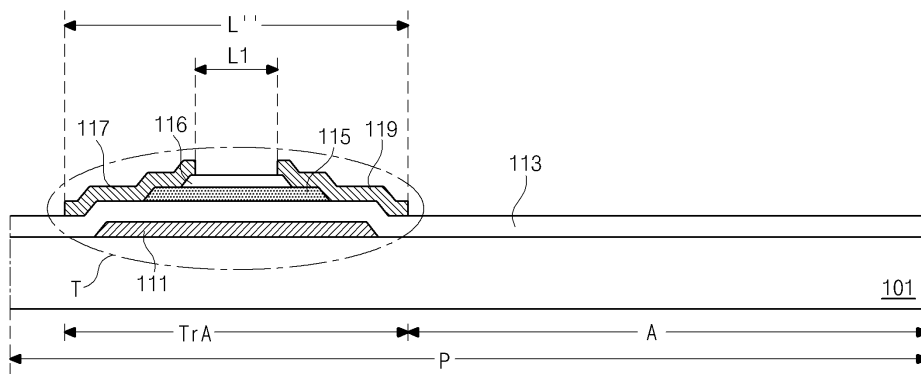
도면3i



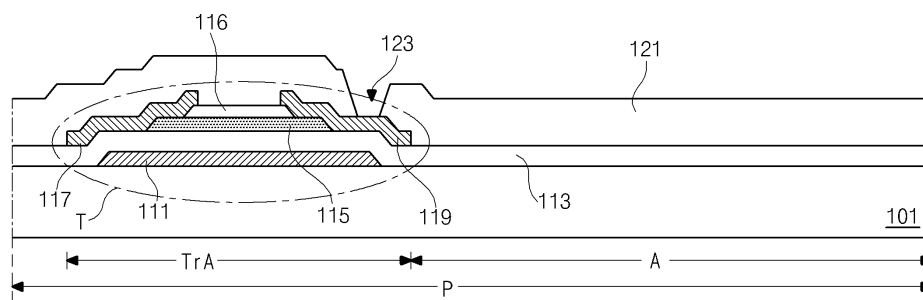
도면3j



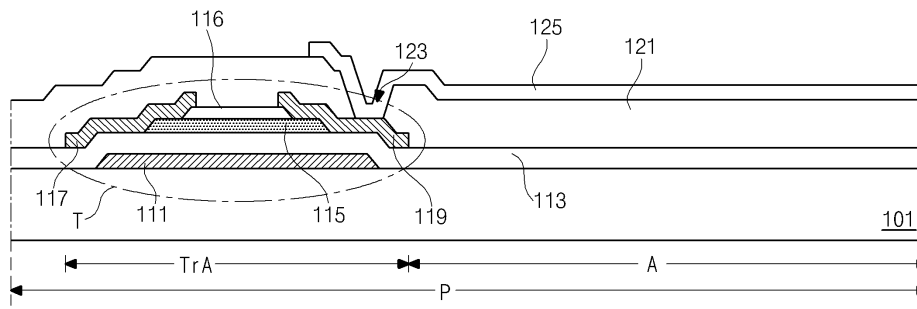
도면3k



도면3l



도면 3m



专利名称(译)	一种制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	KR1020130029568A	公开(公告)日	2013-03-25
申请号	KR1020110092904	申请日	2011-09-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN JOO 김민주 YU SANG HEE 유상희		
发明人	김민주 유상희		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136 G02F1/13439 G02F1/1368 G02F2001/13606 G02F2001/136236		
外部链接	Espacenet		

摘要(译)

本发明涉及制造液晶显示器件阵列基板的方法，特别是减小作为液晶显示器阵列基板的薄膜晶体管的尺寸。本发明的特征不需要考虑尖端之间的蚀刻阻挡层与源极和漏极的一端形成的间隔，并且通过剥离形成漏极和源极之间的间隔。这种方法必须设计成共晶相的稳定性而不是阵列板的薄膜晶体管。因此，与现有技术相比，可以减小薄膜晶体管的尺寸。以这种方式，减小了薄膜晶体管的尺寸。以这种方式，漏电极和源极的面积因此而下降。以这种方式，可以减小源极，漏极和栅极重叠的区域。下降：v特性可以防止信号布线的线延迟和下降：v栅极，源极和漏极之间产生的寄生电容发生的薄膜晶体管的特性。

