



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0008312
(43) 공개일자 2013년01월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2011-0068990

(22) 출원일자 2011년07월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이미경

경상북도 구미시 인동36길 23-31, 302동 1404호
(구평동, 부영아파트)

진현석

대구광역시 달서구 한들로 55, 103동 1206호 (장기동, 장기초록나라)

정은

전라북도 익산시 동서로61길 34, 205동 1304호 (어양동, 부영아파트)

(74) 대리인

박장원

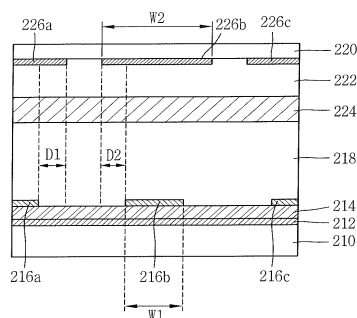
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정표시장치

(57) 요약

투과율을 개선할 수 있는 액정표시장치가 제공된다. 액정표시장치는 제1 절연 기판 상에 형성된 어레이층, 상기 어레이층 상에 형성된 보호막, 상기 보호막 상에 형성되며, 일정한 간격을 갖도록 형성된 제1 공통전극을 포함하는 어레이 기판, 상기 어레이 기판과 대향 배치되며, 제2 절연 기판 상에 일정한 간격을 갖도록 형성되며, 상기 제1 공통전극의 폭과 동일한 폭을 갖도록 형성되는 제2 공통전극, 상기 제2 공통전극을 포함한 상기 제2 절연 기판 상의 전면에 형성된 컬러필터, 상기 컬러필터 상에 형성된 오버코트층을 포함하는 컬러필터 기판 및 상기 어레이 기판 및 상기 컬러필터 기판 사이에 개재된 액정층을 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

제1 절연 기판 상에 형성된 어레이층, 상기 어레이층 상에 형성된 보호막, 상기 보호막 상에 형성되며, 일정한 간격을 갖도록 형성된 제1 공통전극을 포함하는 어레이 기판;

상기 어레이 기판과 대향 배치되며, 제2 절연 기판 상에 일정한 간격을 갖도록 형성되며, 상기 제1 공통전극의 폭과 동일한 폭을 갖도록 형성되는 제2 공통전극, 상기 제2 공통전극을 포함한 상기 제2 절연 기판 상의 전면에 형성된 컬러필터, 상기 컬러필터 상에 형성된 오버코트층을 포함하는 컬러필터 기판; 및

상기 어레이 기판 및 상기 컬러필터 기판 사이에 개재된 액정층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제2 공통전극을 상기 제1 공통전극보다 크게 형성하는 경우, 상기 제1 공통전극의 일측 끝단과 상기 제2 공통전극의 일측 끝단 사이의 간격은 상기 제1 공통전극의 폭의 0~30% 범위 내에서 설정되는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 제2 공통전극을 상기 제1 공통전극보다 크게 형성하는 경우, 상기 제1 공통전극의 일측 끝단과 상기 제2 공통전극의 일측 끝단 사이의 간격은 3~15 μm 의 범위 내에서 설정되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 제2 공통전극의 폭은 상기 제1 공통전극의 설계 조건에 따라 달라지는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 오버코트층의 두께는 3~4.5 μm 의 범위 내에서 설정되는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 오버코트층의 두께는 상기 컬러필터의 두께에 따라 달라지는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 액정층은 네거티브(negative) 액정을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 액정층의 두께는 2.5~4.0 μm 의 범위 내에서 설정되는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 제2 공통전극은 스트라이프(stripe) 구조로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,

상기 제2 공통전극은 5~20°의 기울기를 갖도록 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11

제1항에 있어서,

상기 제2 공통전극 상에 형성되는 블랙 매트릭스를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 블랙 매트릭스가 형성되는 상기 제2 공통전극은 상기 블랙 매트릭스가 형성되지 않는 상기 제2 공통전극의 폭보다 크게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 13

제11항에 있어서,

상기 블랙 매트릭스가 형성되지 않는 상기 제2 공통전극은 일정한 간격 및 폭을 갖도록 형성되는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 투과율을 개선할 수 있는 액정표시장치에 관한 것이다.

배경기술

[0002] 디스플레이장치는 시각정보 전달매체로서, 브라운관 면에 문자나 도형의 형식으로 데이터를 시각적으로 표시하는 것을 말한다.

[0003] 일반적으로 평판디스플레이(Flat Panel Display : FPD)장치는 TV 또는 컴퓨터 모니터 브라운관을 이용하여 보다 두께가 얇고 가벼운 영상표시장치로서, 그 종류에는 액정을 이용한 LCD(Liquid Crystal Display), 가스 방전을 이용한 PDP(Plasma Display Panel : PDP), 형광성 유기화합물에 전류가 흐르면 빛을 내는 발광현상을 이용하여 만든 유기물질인 OLED(Organic Light Emitting) 및 전기장내 하전된 입자가 양극 또는 음극쪽으로 이동하는 현상을 이용하는 EDP(Electric Paper Display) 등이 있다.

[0004] 평판디스플레이장치 중 가장 대표적인 LCD는 액티브 매트릭스(Active Matrix) 형태로 배열된 화소들에 화상정보에 따른 데이터신호를 개별적으로 공급하여 화소들의 광투과율을 조절함으로써 원하는 화상을 표시한다.

[0005] 도 1은 종래 액정표시장치를 나타내는 단면도이다.

[0006] 도 1을 참조하면, 제1 기판(10) 상에는 다수의 박막트랜지스터를 포함하는 어레이층(12)이 형성된다. 여기서, 도면에 도시하지 않았으나, 어레이층(12)은 제1 기판(10) 상에 형성되는 게이트 전극을 포함하는 게이트 라인(미도시)을 포함한다. 게이트 라인을 포함한 제1 기판(10) 전면에는 게이트 절연막이 형성되고, 게이트 절연막 상에는 반도체층이 형성되며, 반도체층 양측의 게이트 절연막 상에는 소스 전극 및 드레인 전극을 포함하는 데이터 라인이 형성된다. 이때, 소스 전극 및 드레인 전극은 게이트 라인과 교차되도록 형성되고, 소스 전극 및 드레인 전극을 포함한 제1 기판(10) 전면에는 절연막이 형성된다. 이때, 절연막에는 드레인 전극의 일부분을 노출시키는 콘택홀이 형성되며, 절연막 상에는 콘택홀을 통해 드레인 전극과 전기적으로 연결되는 화소 전극이 형성된다.

[0007] 화소 전극을 포함한 제1 기판(10)의 전면에는 보호막(14)이 형성된다. 보호막(14) 상에는 제1 공통 전극(16a,

16b, 16c)을 포함하는 공통전극 라인 (미도시)이 형성된다.

[0008] 한편, 제1 기관(10)과 대향 배치되는 제2 기관(20)의 하면에는 블랙 매트릭스(미도시)가 형성되며, 각각의 화소 영역에는 순차적으로 적색(R), 녹색(G), 청색(B)의 컬러필터(22)가 형성된다. 컬러필터(22)를 포함한 제2 기관(20)의 전면에 단차를 보상하기 위해 오버코트층(24)이 형성된다. 제2 기관(20)의 상면에는 제2 공통전극(26)이 형성된다. 오버코트층(24) 상에는 액정 분자들을 배향하는 배향막(미도시)이 도포된다.

[0009] 이와 같은 구조의 박막트랜지스터가 형성되어 있는 제1 기관(10)과 컬러필터가 형성되어 있는 제2 기관(20)을 결합하고 그 사이에 액정 분자로 이루어진 액정층(18)을 형성하여 액정표시장치가 이루어진다.

[0010] 상기와 같은 액정표시장치는 터치 패널에 적용될 수 있으며, 도 1에서와 같이, 외부로부터 제2 기관(20)의 상면에 유입되는 정전기를 방지하기 위해 제2 기관(20)의 상면에 제2 공통전극(26)을 형성한다. 이때, 제2 공통전극(26)은 정전기를 방지하기 위한 경로의 역할을 하며, 제1 기관(10)과 제2 기관(20)이 합착된 후, 제2 기관(20)의 상면에 형성되는데, 이때에 도포 불량으로 인해 제2 기관(20)의 상면에 일정한 두께로 형성되지 못하는 문제점이 있다.

[0011] 또한, 제2 공통전극(26)의 도포 불량으로 인해 수율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상기한 문제를 해결하기 위한 것으로, 투과율을 개선할 수 있는 액정표시장치를 제공함에 있다.

[0013] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0014] 상기한 목적들을 달성하기 위하여, 본 발명의 일실시예에 따른 액정표시장치는 제1 절연 기관 상에 형성된 어레이층, 상기 어레이층 상에 형성된 보호막, 상기 보호막 상에 형성되며, 일정한 간격을 갖도록 형성된 제1 공통전극을 포함하는 어레이 기관, 상기 어레이 기관과 대향 배치되며, 제2 절연 기관 상에 일정한 간격을 갖도록 형성되며, 상기 제1 공통전극의 폭과 동일한 폭을 갖도록 형성되는 제2 공통전극, 상기 제2 공통전극을 포함한 상기 제2 절연 기관 상의 전면에 형성된 컬러필터, 상기 컬러필터 상에 형성된 오버코트층을 포함하는 컬러필터 기관 및 상기 어레이 기관 및 상기 컬러필터 기관 사이에 개재된 액정층을 포함한다.

[0015] 상기 제2 공통전극을 상기 제1 공통전극보다 크게 형성하는 경우, 상기 제1 공통전극의 일측 끝단과 상기 제2 공통전극의 일측 끝단 사이의 간격은 상기 제1 공통전극의 폭의 0~30% 범위 내에서 설정된다.

[0016] 상기 제2 공통전극을 상기 제1 공통전극보다 크게 형성하는 경우, 상기 제1 공통전극의 일측 끝단과 상기 제2 공통전극의 일측 끝단 사이의 간격은 3~15 μm 의 범위 내에서 설정된다.

[0017] 상기 제2 공통전극의 폭은 상기 제1 공통전극의 설계 조건에 따라 달라진다.

[0018] 상기 오버코트층의 두께는 3~4.5 μm 의 범위 내에서 설정된다.

[0019] 상기 오버코트층의 두께는 상기 컬러필터의 두께에 따라 달라진다.

[0020] 상기 액정층은 네거티브(negative) 액정을 포함한다.

[0021] 상기 액정층의 두께는 2.5~4.0 μm 의 범위 내에서 설정된다.

[0022] 상기 제2 공통전극은 스트라이프(stripe) 구조로 형성된다.

[0023] 상기 제2 공통전극은 5~20°의 기울기를 갖도록 형성된다.

[0024] 상기 제2 공통전극 상에 형성되는 블랙 매트릭스를 포함한다.

[0025] 상기 블랙 매트릭스가 형성되는 상기 제2 공통전극은 상기 블랙 매트릭스가 형성되지 않는 상기 제2 공통전극의 폭보다 크게 형성된다.

[0026] 상기 블랙 매트릭스가 형성되지 않는 상기 제2 공통전극은 일정한 간격 및 폭을 갖도록 형성된다.

발명의 효과

[0027] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 투과율을 개선할 수 있는 효과를 제공한다.

도면의 간단한 설명

[0028] 도 1은 종래 액정표시장치를 나타내는 단면도.

도 2는 본 발명의 일 실시예에 따른 액정표시장치의 평면도.

도 3은 도 2의 박막트랜지스터의 단면도.

도 4는 본 발명의 일 실시예에 따른 액정표시장치의 단면도.

도 5는 본 발명의 일 실시예에 따른 제2 공통전극에 따른 액정표시장치의 투과율을 나타내는 도면.

도 6은 본 발명의 일 실시예에 따른 셀 내의 깊이에 따른 액정 분자의 트위스트 된 상태를 나타내는 도면.

도 7은 본 발명의 일 실시예에 따른 셀 내의 깊이에 따른 액정 분자의 틸트 된 상태를 나타내는 도면.

도 8은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도.

도 9는 본 발명의 다른 실시예에 따른 제2 공통전극의 패터닝에 따른 액정표시장치의 투과율을 나타내는 도면.

도 10은 본 발명의 다른 실시예에 따른 오버코트층 두께에 따른 액정표시장치의 투과율을 나타내는 도면.

도 11은 네거티브 액정의 분자 구조를 나타내는 도면.

도 12a 내지 도 12b는 네거티브 액정의 움직임을 나타내는 도면.

도 13은 과지티브 액정과 네거티브 액정의 투과율을 나타내는 도면.

도 14는 본 발명의 다른 실시예에 따른 네거티브 액정에 따른 액정표시장치의 투과율을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0030] 도 2는 본 발명의 일 실시예에 따른 액정표시장치의 평면도이고, 도 3은 도 2의 박막트랜지스터(TFT)의 단면도이고, 도 4는 본 발명의 일 실시예에 따른 액정표시장치의 단면도이고, 도 5는 본 발명의 일 실시예에 따른 제2 공통전극에 따른 액정표시장치의 투과율을 나타내는 도면이고, 도 6은 본 발명의 일 실시예에 따른 셀 내의 깊이에 따른 액정 분자의 트위스트 된 상태를 나타내는 도면이고, 도 7은 본 발명의 일 실시예에 따른 셀 내의 깊이에 따른 액정 분자의 틸트 된 상태를 나타내는 도면이다.

[0031] 도 2 내지 도 4를 참조하면, 제1 기판(110) 상에는 복수의 게이트 라인(132) 및 데이터 라인(138)이 형성되어 있으며, 복수의 게이트 라인(132) 및 데이터 라인(138)에 의해 정의되는 복수의 화소를 포함한다.

[0032] 게이트 라인(132)과 데이터 라인(138)이 교차하는 화소 영역에는 도 3에서와 같이, 게이트 전극(132a)이 형성되어 있으며, 게이트 전극(132a) 위에는 게이트 절연막(134)이 형성되고, 게이트 신호가 인가됨에 따라 활성화되어 채널층을 형성하는 반도체층(136)과 반도체층(136) 위에 형성된 소스전극(138a) 및 드레인전극(138b)으로 이루어진 박막트랜지스터(TFT)가 형성된다.

[0033] 소스전극(138a) 및 드레인전극(138b)을 포함하는 제1 기판(110)의 전면에는 절연막(142)이 형성되어 있다. 절연막(142) 상에는 드레인전극(138b)의 일부분이 노출되는 콘택홀(144)이 형성되어 있다.

[0034] 화소 영역에는 데이터 라인(138)과 평행하게 배열되며, 콘택홀(144)을 통해 드레인전극(138b)과 전기적으로 연결되는 화소전극(146)이 형성되어 있다. 화소전극(146) 위에는 화소전극(146)을 보호하기 위한 보호막(114)이 형성되어 있다.

[0035] 또한, 화소 영역에 해당하는 보호막(114)의 상부에는 공통전극(116a, 116b, 116c, 116d)과 접속되는 제1 공통전극 라인(116)이 형성되어 있다. 이때, 제1 공통전극 라인(116)과 화소 전극(146) 사이에 스토리지 캐패시터가 형성된다.

[0036] 제1 기판(110)과 대향 배치되는 제2 기판(120)의 하면에는 제2 공통 전극(126)이 형성되며, 제2 공통 전극(126)

상에 블랙 매트릭스(미도시)가 형성된다. 블랙 매트릭스를 제외한 각각의 화소 영역에는 순차적으로 적색(R), 녹색(G), 청색(B)의 컬러필터(122)가 형성되며, 컬러필터(122)를 포함한 제2 기관(120)의 전면에 단차를 보상하기 위해 오버코트층(124)이 형성된다. 오버코트층(124) 상에는 액정 분자들을 배향하는 배향막(미도시)이 도포된다.

[0037] 이와 같은 구조의 박막트랜지스터가 형성되어 있는 제1 기관(110)과 컬러필터가 형성되어 있는 제2 기관(120)을 결합하고 그 사이에 액정 분자로 이루어진 액정층(118)을 형성하여 액정표시장치가 이루어진다. 여기서, 액정층(118)은 파지티브(positive) 액정을 포함할 수 있다.

[0038] 본 발명의 일 실시예에서는 도 1에서와 같이 제1 기관(10)과 제2 기관(20)을 합착한 후, 제2 기관(20)의 상면에 제2 공통전극(26)을 형성하게 되는데, 이때에 도포 불량으로 인해 제2 기관(20)의 상면에 제2 공통전극(26)이 일정한 두께로 형성되지 못하는 문제점을 해결하기 위해 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한다. 이렇게 제2 기관(120)의 하면에 제2 공통전극(126)을 형성하게 되면, 제2 기관(120)의 상면에 제2 공통전극을 형성할 경우에 발생하는 도포불량에 의해 저하되는 수율을 개선할 수 있다. 또한, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성하는 경우, 제2 공통전극(126)과 연성 인쇄회로기판(Flexible Printed Circuit: FPC)의 접지전압(GND) 사이에 정전기 방지를 위한 경로를 형성하여 정전기 방지 기능을 유지할 수 있다.

[0039] 그러나, 상기와 같이 제2 기관(120)의 하면에 제2 공통전극(126)을 형성하게 되면, 액정표시장치에 전압을 인가했을 경우, 제2 공통전극(126)이 액정층(118)에 영향을 주게 되어 액정 분자들의 트위스트(twist)와 틸트(tilt)에 영향을 미치게 된다.

[0040] 이에 따라 도 5에서와 같이, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제1 공통전극(116a)과 제1 공통전극(116b)의 사이와, 제1 공통전극(116b)과 제1 공통전극(116c) 사이에서 투과율이 급격하게 감소하여 전반적으로 화이트(white)의 휘도가 감소되는 문제점이 있다.

[0041] 도 5에서 점선(a1)으로 표시한 부분이 제2 기관(20)의 상면에 제2 공통전극(26)을 형성한 경우, 제1 공통전극(16a)과 제1 공통전극(16b)의 사이와, 제1 공통전극(16b)과 제1 공통전극(16c) 사이에서 투과율(B)이 감소한 것을 나타낸 것이며, 실선(b1)으로 표시한 부분이 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제1 공통전극(116a)과 제1 공통전극(116b)의 사이와, 제1 공통전극(116b)과 제1 공통전극(116c) 사이에서 투과율이 급격하게 감소한 것을 확인할 수 있다.

[0042] 도 6에서 점선(a2)으로 표시한 부분이 제2 기관(20)의 상면에 제2 공통전극(26)을 형성한 경우, 제2 공통전극(26)이 액정층(18)에 영향을 주어 액정 분자들의 트위스트(twist) 된 상태를 나타낸 것이고, 실선(b2)으로 표시한 부분이 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제2 공통전극(126)이 액정층(118)에 영향을 주어 액정 분자들의 트위스트(twist)를 된 상태를 나타낸 것이다. 즉, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우 액정 분자들의 트위스트가 더 작게 일어난 것을 확인할 수 있다.

[0043] 도 7에서 점선(a3)으로 표시한 부분이 제2 기관(20)의 상면에 제2 공통전극(26)을 형성한 경우, 제2 공통전극(26)이 액정층(18)에 영향을 주어 액정 분자들의 틸트(tilt) 된 상태를 나타낸 것이고, 실선(b3)으로 표시한 부분이 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제2 공통전극(126)이 액정층(118)에 영향을 주어 액정 분자들의 틸트(tilt) 된 상태를 나타낸 것이다. 즉, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우 액정 분자들의 틸트가 더 많이 일어난 것을 확인할 수 있다.

[0044] 따라서, 본 발명의 다른 실시예에서는 도 4에서와 같이, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제1 공통전극(116a)과 제1 공통전극(116b)의 사이와, 제1 공통전극(116b)과 제1 공통전극(116c) 사이에서 투과율이 급격하게 감소하는 것을 해결하기 위해 제2 기관의 하면에 형성되는 제2 공통 전극(126)이 소정 간격을 갖도록 패터닝 한다. 이에 대한 자세한 설명은 도 8 내지 도 14를 참조하여 설명하기로 한다.

[0045] 도 8은 본 발명의 다른 실시예에 따른 액정표시장치의 단면도이고, 도 9는 본 발명의 다른 실시예에 따른 제2 공통전극의 패터닝에 따른 액정표시장치의 투과율을 나타내는 도면이고, 도 10은 본 발명의 다른 실시예에 따른 오버코트층 두께에 따른 액정표시장치의 투과율을 나타내는 도면이고, 도 11은 네거티브 액정의 분자 구조를 나타내는 도면이고, 도 12a 내지 도 12b는 네거티브 액정의 움직임을 나타내는 도면이고, 도 13은 파지티브 액정과 네거티브 액정의 투과율을 나타내는 도면이고, 도 14는 본 발명의 다른 실시예에 따른 네거티브 액정에 따른 액정표시장치의 투과율을 나타내는 도면이다. 여기서, 본 발명의 다른 실시예에 따른 액정표시장치의 평면도는 본 발명의 일 실시예에 따른 액정표시장치의 평면도와 동일하므로, 이에 대한 설명은 생략하기로 한다.

[0046] 도 8을 참조하면, 제1 기관(210) 상에는 다수의 박막트랜지스터를 포함하는 어레이층(212)이 형성된다. 도 3에

서와 같이, 어레이층(212)은 제1 기관(210) 상에 형성된 게이트 전극(132a)을 포함하는 게이트 라인(미도시)을 포함한다. 게이트 라인을 포함한 제1 기관(210) 전면에는 게이트 절연막(134)이 형성되며, 게이트 절연막(134) 상에는 반도체층(136)이 형성되며, 반도체층(136) 양측의 게이트 절연막(134) 상에는 소스 전극(138a) 및 드레인 전극(138b)을 포함하는 데이터 라인(미도시)이 형성된다. 이때, 소스 전극(138a) 및 드레인 전극(138b)은 게이트 라인과 교차되도록 형성된다. 또한, 소스 전극(138a) 및 드레인 전극(138b)을 포함한 제1 기관(210) 전면에는 절연막(142)이 형성되며, 이때에 절연막(142)에는 드레인 전극(138b)의 일부분을 노출시키는 콘택홀(144)이 형성된다. 절연막(142) 상에는 콘택홀(144)을 통해 드레인 전극(138b)과 전기적으로 연결되는 화소 전극(146)이 형성된다.

[0047] 화소 전극(146)을 포함한 제1 기관(210)의 전면에는 보호막(214)이 형성된다. 보호막(214) 상에는 제1 공통 전극(216a, 216b, 216c)을 포함하는 공통전극 라인(미도시)이 형성된다.

[0048] 한편, 제1 기관(210)과 대향 배치되는 제2 기관(220)의 하면에는 제2 공통전극(226a, 226b, 226c)이 소정 간격을 갖도록 형성된다.

[0049] 여기서, 제2 공통전극(226a, 226b, 226c)의 폭(W2)은 제1 기관(210)의 최상위층에 형성된 제1 공통전극(216a, 216b, 216c)의 폭(W1)과 동일하게 형성될 수 있다. 제2 공통전극(226a, 226b, 226c)을 제1 공통전극(216a, 216b, 216c) 보다 크게 형성하는 경우, 제1 공통전극(216a, 216b, 216c)의 일측 끝단과 제2 공통전극(226a, 226b, 226c)의 일측 끝단 사이의 간격(D1, D2)은 제1 공통전극(216a, 216b, 216c)의 폭(W1)의 0~30% 범위 내에서 설정될 수 있다. 예를 들면, 제1 공통전극(216a, 216b, 216c)의 일측 끝단과 제2 공통전극(226a, 226b, 226c)의 일측 끝단 사이의 간격(D1, D2)은 3~15 μ m의 범위 내에서 설정될 수 있다. 또한, 제2 공통전극(226a, 226b, 226c)의 폭(W2)은 제1 공통전극(216a, 216b, 216c)의 설계 조건에 따라 달라질 수 있다.

[0050] 이때, 제2 공통전극(226a, 226b, 226c)은 스트라이프(stripe) 구조를 갖도록 형성될 수 있으며, 5~20°의 기울기를 갖는 구조로 형성될 수 있다.

[0051] 도 9는 본 발명의 다른 실시예에 따른 제2 공통전극의 패턴링에 따른 액정표시장치의 투과율을 보여주고 있으며, 점선(a4)으로 표시한 부분이 도 1에서와 같이, 제2 기관(20)의 상면에 제2 공통전극(26)을 형성한 경우, 제1 공통전극(16a)과 제1 공통전극(16b), 제1 공통전극(16b)과 제1 공통전극(16c) 사이에서의 투과율을 나타낸 것이며, 실선(b4)으로 표시한 부분이 도 4에서와 같이, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제1 공통전극(116a)과 제1 공통전극(116b), 제1 공통전극(116b)과 제1 공통전극(116c) 사이에서의 투과율을 나타낸 것이다.

[0052] 또한, 일점쇄선(b4')으로 표시한 부분이 도 8에서와 같이, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제2 공통전극(226a, 226b, 226c)의 폭(W2)과 제1 기관(210)의 최상위층에 형성된 제1 공통전극(216a, 216b, 216c)의 폭(W1)을 동일하게 형성한 경우 액정표시장치의 투과율을 나타낸 것이다.

[0053] 그리고, 이점쇄선(b4'')으로 표시한 부분이 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제2 공통전극(226a, 226b, 226c)의 폭(W2)을 제1 공통전극(216a, 216b, 216c)의 폭(W1)보다 크게 형성하는 경우의 액정표시장치의 투과율을 나타낸 것이다.

[0054] 즉, 제2 기관(120)의 하면에 제2 공통전극(126)을 형성한 경우, 제2 공통전극(226a, 226b, 226c)의 폭(W2)과 제1 공통전극(216a, 216b, 216c)의 폭(W1)을 제1 공통전극(216a, 216b, 216c)의 폭(W1)보다 크게 형성하는 경우 액정표시장치의 투과율이 1% 향상됨을 알 수 있다.

[0055] 제2 공통전극(226a, 226b, 226c) 상에 블랙 매트릭스(미도시)가 형성되며. 이때에 블랙 매트릭스가 형성되는 제2 공통전극 예를 들면, 제2 공통전극(226b)은 제2 공통전극(226a, 226c)의 폭보다 크게 형성될 수 있다. 또한, 블랙 매트릭스가 형성되지 않는 제2 공통전극 예를 들면, 제2 공통전극(226a, 226c)의 폭은 제2 공통전극(226b)보다 작게 형성되며, 일정한 간격 및 폭을 갖도록 형성될 수 있다.

[0056] 각각의 화소 영역에는 순차적으로 적색(R), 녹색(G), 청색(B)의 컬러필터(222)가 형성된다.

[0057] 컬러필터(222)를 포함한 제2 기관(220)의 전면에는 단차를 보상하기 위해 오버코트층(224)이 형성된다. 여기서, 오버코트층(224)은 공정 설계 마진을 고려하여 3~4.5 μ m의 범위 내에서 설정될 수 있으며, 컬러필터(222)의 두께에 따라 오버코트층(224)의 두께가 달라질 수 있다.

[0058] 도 10은 본 발명의 다른 실시예에 따른 오버코트층 두께에 따른 액정표시장치의 투과율을 보여주고 있으며, 점선(a5)으로 표시한 부분이 도 1에서와 같이, 제2 기관(20)의 상면에 제2 공통전극(26)을 형성하고, 오버코트층

(24)의 두께를 1.5 μm 로 형성한 경우, 제1 공통전극(16a)과 제1 공통전극(16b), 제1 공통전극(16b)과 제1 공통전극(16c) 사이에서의 투과율을 나타낸 것이다.

[0059] 또한, 실선(b5)으로 표시한 부분이 도 8에서와 같이, 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 오버코트층(224)의 두께를 1.5 μm 로 형성한 경우, 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서의 투과율을 나타낸 것이다.

[0060] 그리고, 일점쇄선(b5')으로 표시한 부분이 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 오버코트층(224)의 두께를 3.0 μm 로 형성한 경우, 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서의 투과율을 나타낸 것이다.

[0061] 아울러, 이점쇄선(b5'')으로 표시한 부분이 제2 기관(120)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 오버코트층(224)의 두께를 4.5 μm 로 형성한 경우, 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서의 투과율을 나타낸 것이다.

[0062] 즉, 제2 기관(120)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 오버코트층(224)의 두께를 4.5 μm 로 형성한 경우, 액정표시장치의 투과율이 3% 이상 향상됨을 알 수 있으며, 오버코트층(224)의 두께 증가에 따라 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서 필드(field)의 세기를 낮춰주어 액정 분자의 트위스트 증가 및 틸트 감소 효과를 가져와 액정표시장치의 투과율을 향상시킬 수 있다.

[0063] 오버코트층(224) 상에는 액정 분자들을 배향하는 배향막(미도시)이 도포된다.

[0064] 이와 같은 구조의 박막트랜지스터가 형성되어 있는 제1 기관(210)과 컬러필터가 형성되어 있는 제2 기관(220)을 결합하고 그 사이에 액정 분자로 이루어진 액정층(218)을 형성하여 액정표시장치가 이루어진다. 이때, 액정층(218)의 두께(G)는 2.5~4.0 μm 의 범위 내에서 설정될 수 있다.

[0065] 여기서, 액정층(218)은 네거티브(negative) 액정을 포함한다. 액정은 분자의 장축 방향과 단축 방향에서 물리적 성질이 다른데 도 11에서와 같이 네거티브 액정은 분자의 단축 방향에 극성기가 도입되며, 유전율($\Delta \epsilon$)은 수학적 식 1과 같이 표현할 수 있다.

[0066] [수학적 식 1]

$$\Delta \epsilon = \epsilon_{||} - \epsilon_{\perp} < 0$$

[0068] 이때, $\epsilon_{||}$ 은 장축 방향의 유전율, $\epsilon_{\perp}$ 은 단축 방향의 유전율을 나타낸다. 또한, 네거티브 액정의 유전율($\Delta \epsilon$)은 -3.5~-5의 범위 내에서 설정될 수 있으며, 회전 점도는 135~170의 범위 내에서 설정될 수 있다.

[0069] 도 12에서와 같이, 네거티브 액정(118a)은 전계(electric field, E)를 가하지 않았을 경우, 장축 방향으로 배열되어 있으며, 전계를 가했을 경우, 네거티브 액정(118a)은 장축 방향에 대해 수직한 방향 즉, 단축 방향으로 배열된다. 네거티브 액정(118a)은 전계를 가하지 않은 경우, 장축 방향으로 배열되어 있어 수직 전계에 영향을 받지 않아 파지티브(positive) 액정 대비 투과율을 향상시킬 수 있다.

[0070] 도 13은 파지티브 액정과 네거티브 액정의 투과율을 보여주고 있으며, 점선(a7)으로 표시한 부분이 도 8에서와 같이, 제1 기관(210)의 최상위층에 제1 공통전극(216a, 216b, 216c)을 형성하고, 파지티브 액정을 사용한 경우, 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c)의 상부에서의 투과율을 나타낸 것이다.

[0071] 또한, 실선(b7)으로 표시한 부분이 제1 기관(210)의 최상위층에 제1 공통전극(216a, 216b, 216c)을 형성하고, 네거티브 액정을 사용한 경우, 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c)의 상부에서의 투과율을 나타낸 것이다.

[0072] 즉, 네거티브 액정을 사용한 경우, 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c)의 상부에서 액정표시장치의 투과율이 향상됨을 알 수 있다.

[0073] 도 14는 본 발명의 다른 실시예에 따른 네거티브 액정에 따른 액정표시장치의 투과율을 보여주고 있으며, 점선

(a8)으로 표시한 부분이 도 1에서와 같이, 제2 기관(20)의 상면에 제2 공통전극(26)을 형성하고, 파지티브 액정을 사용한 경우, 제1 공통전극(16a, 16b, 16c) 사이와 제1 공통전극(16a, 16b, 16c) 상부에서의 투과율을 나타낸 것이다.

[0074] 또한, 실선(b8)으로 표시한 부분이 도 8에서와 같이, 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 파지티브 액정을 사용한 경우, 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c) 상부에서의 투과율을 나타낸 것이다.

[0075] 그리고, 일점쇄선(b8')으로 표시한 부분이 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 네거티브 액정을 사용한 경우, 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c) 상부에서의 투과율을 나타낸 것이다.

[0076] 즉, 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 네거티브 액정을 사용한 경우, 액정 표시장치의 투과율이 점선(a8) 대비 7% 정도 향상됨을 알 수 있으며, 액정층(218)에 네거티브 액정을 적용함에 따라 액정 분자의 트위스트 증가 및 틸트 감소 효과를 가져와 액정표시장치의 투과율을 향상시킬 수 있다.

[0077] 상기와 같이, 본 발명의 다른 실시예에서는 제2 기관(120)의 하면에 형성되는 제2 공통전극(226a, 226b, 226c)의 소정 폭을 갖도록 패터닝하여 형성함으로써 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서 전계의 세기를 낮춰주어 액정 분자의 트위스트 증가 및 틸트 감소 효과를 가져와 액정표시장치의 투과율을 향상시킬 수 있다.

[0078] 또한, 본 발명의 다른 실시예에서는 공정 설계 마진과 컬러필터(222)의 두께를 고려하여 제2 기관(120)의 하면에 형성되는 오버코트층(224)의 두께를 두껍게 설정함으로써 제1 공통전극(216a)과 제1 공통전극(216b), 제1 공통전극(216b)과 제1 공통전극(216c) 사이에서 전계의 세기를 낮춰주어 액정 분자의 트위스트 증가 및 틸트 감소 효과를 가져와 액정표시장치의 투과율을 향상시킬 수 있다.

[0079] 아울러, 본 발명의 다른 실시예에서는 제2 기관(220)의 하면에 제2 공통전극(226a, 226b, 226c)을 형성하고, 네거티브 액정을 사용함으로써 제1 공통전극(216a, 216b, 216c) 사이와 제1 공통전극(216a, 216b, 216c) 상부에서의 전계의 세기를 낮추어 액정 분자의 트위스트 증가 및 틸트 감소 효과를 가져와 액정표시장치의 투과율을 향상시킬 수 있다.

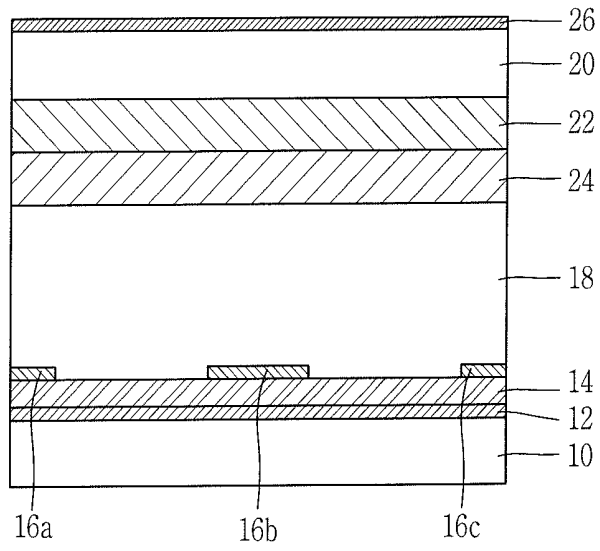
[0080] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

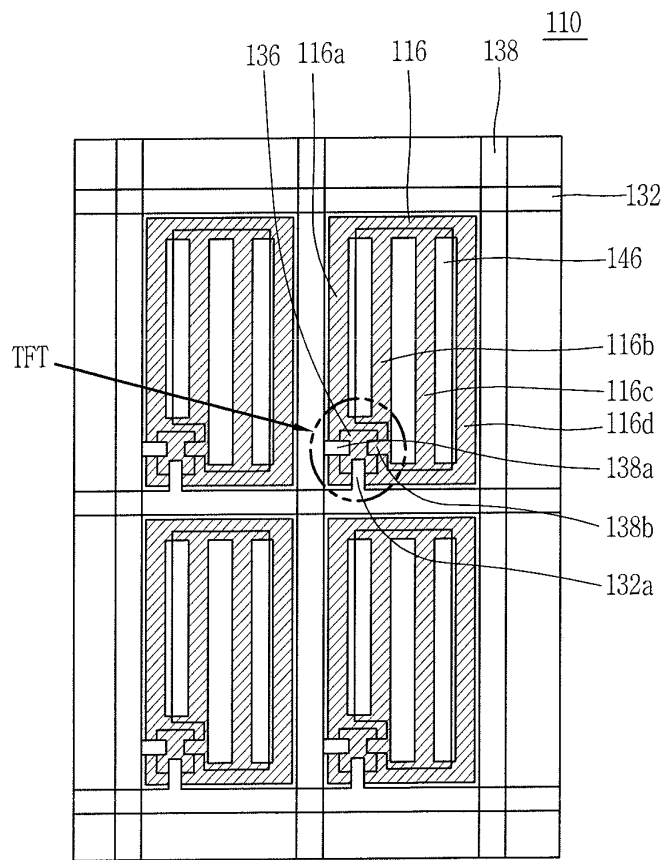
[0081]	110, 210: 제1 기관	112, 212: 어레이층
	114, 214: 보호막	116: 제1 공통전극 라인
	116a 내지 116d: 제1 공통전극	
	118, 218: 액정층	120, 220: 제2 기관
	122, 222: 컬러필터	124, 224: 오버코트층
	126: 제2 공통전극	132: 게이트 라인
	132a: 게이트 전극	134: 게이트 절연막
	136: 반도체층	138: 데이터 라인
	138a: 소스 전극	138b: 드레인 전극
	142: 절연막	144: 콘택홀
	146: 화소전극	216a 내지 216c: 제2 공통전극
	226a 내지 226c: 제2 공통전극	

도면

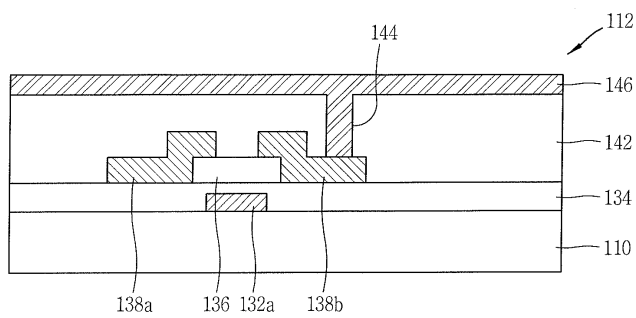
도면1



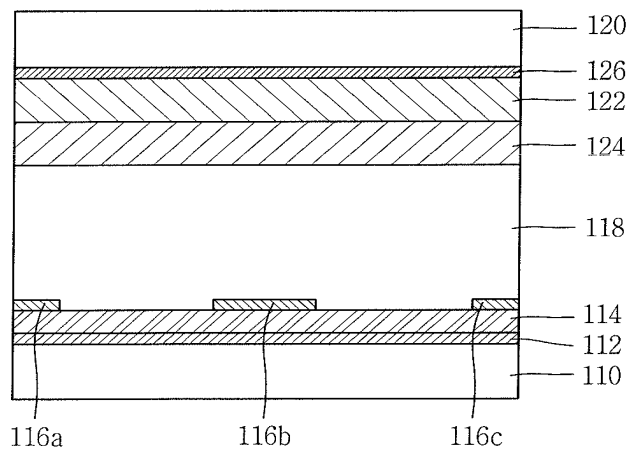
도면2



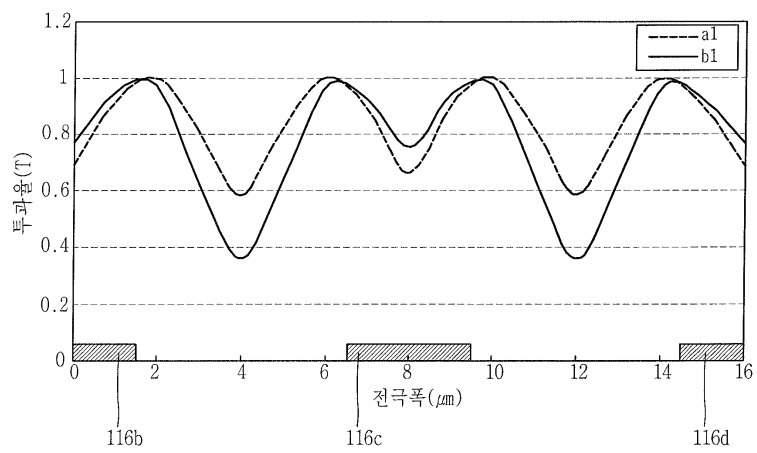
도면3



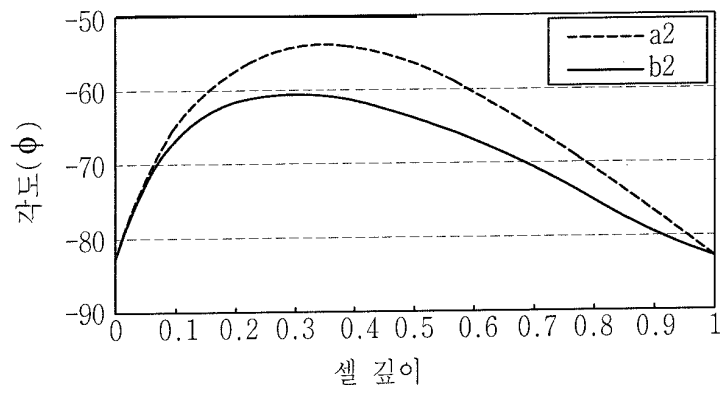
도면4



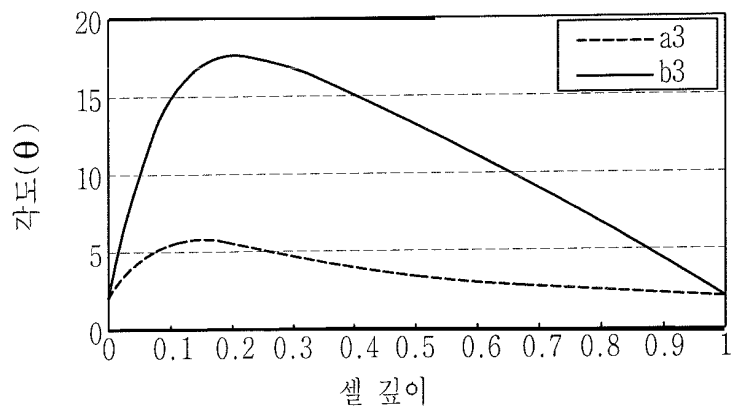
도면5



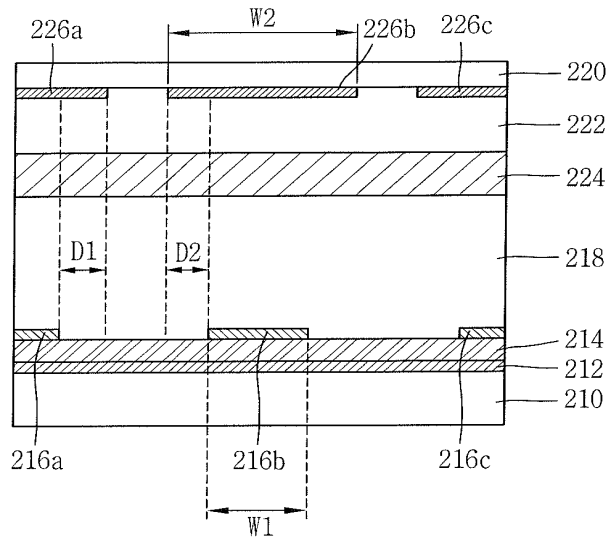
도면6



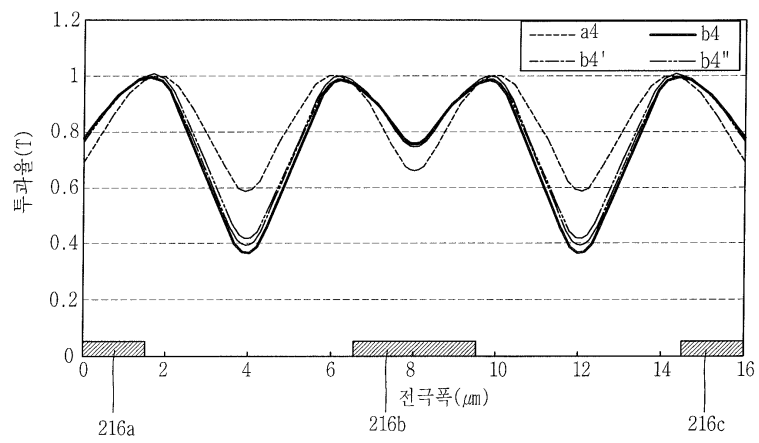
도면7



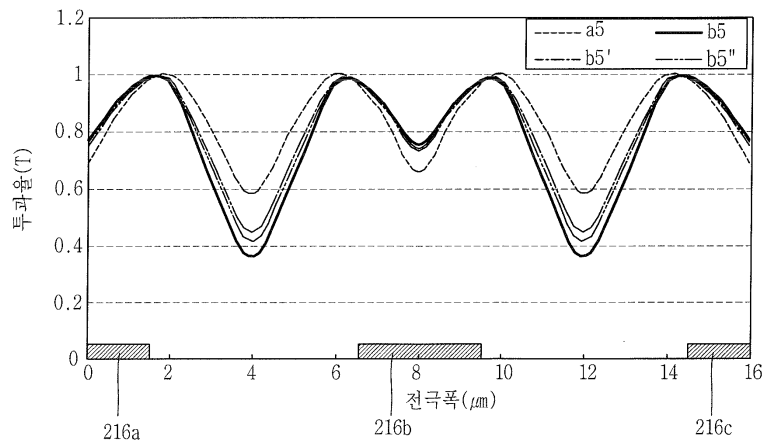
도면8



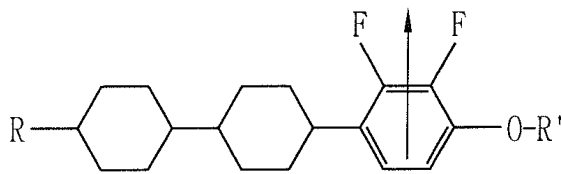
도면9



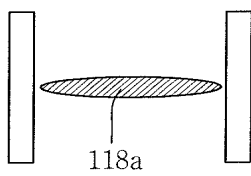
도면10



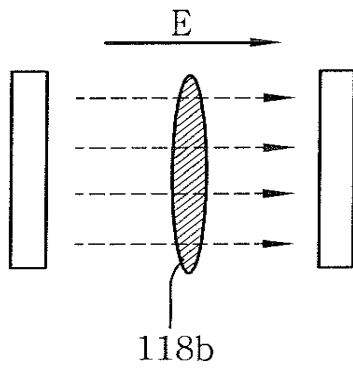
도면11



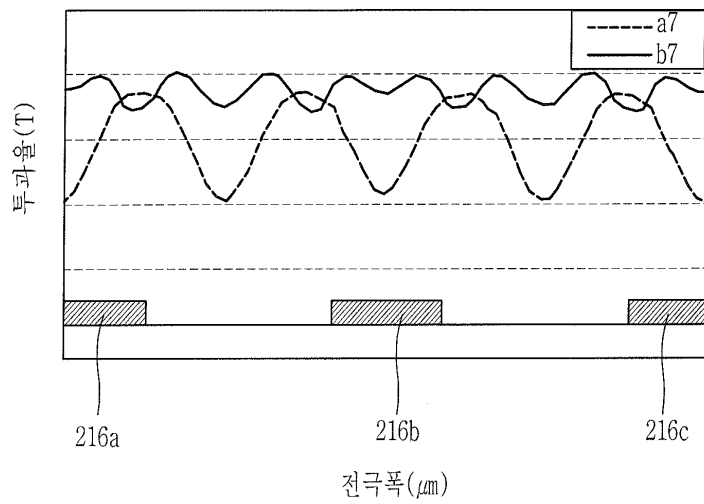
도면12a



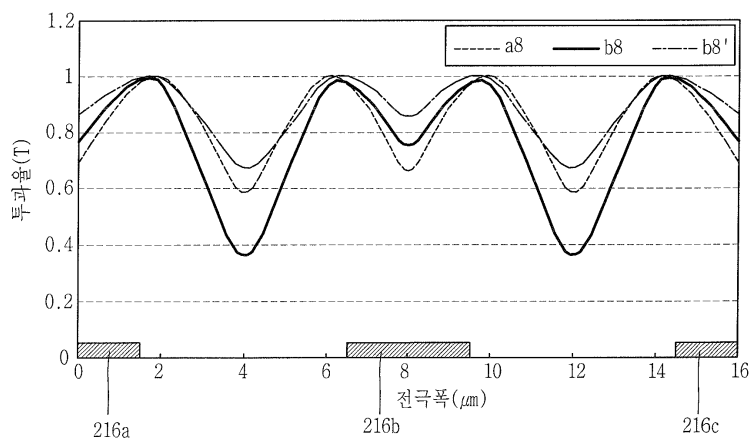
도면12b



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130008312A	公开(公告)日	2013-01-22
申请号	KR1020110068990	申请日	2011-07-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MI KYUNG 이미경 JIN HYUN SUK 진현석 JEONG EUN 정은		
发明人	이미경 진현석 정은		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1362		
CPC分类号	G02F1/13439 G02F1/133512 G02F1/1362		
代理人(译)	Bakyoungbok		
其他公开文献	KR101908493B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，用于对具有宽度的第二公共电极进行图案化，并提高液晶显示装置的透射率。结构：在第一基板（210）上形成阵列层（212）。在第一基板上形成钝化膜（214）。在第一基板和第二基板（220）之间形成液晶层（218）。在第二基板上形成外涂层（224）。在钝化膜上形成包括第一公共电极（216a~216c）的公共电极线。第二公共电极（226a-226c）形成在第二基板的下侧。

