



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0130854
(43) 공개일자 2011년12월06일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0050385

(22) 출원일자 2010년05월28일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김준영

충청남도 천안시 서북구 성성동 508번지

한신정

충청남도 천안시 서북구 성성동 508번지

고경민

충청남도 천안시 서북구 성성동 508번지

(74) 대리인

신영무

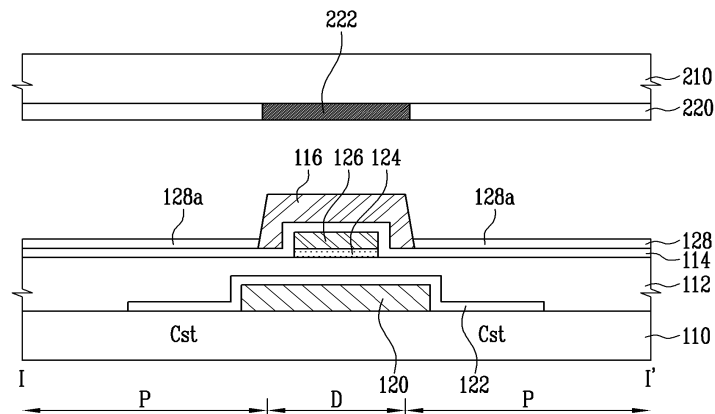
전체 청구항 수 : 총 20 항

(54) 액정 표시 장치 및 그의 제조 방법

(57) 요약

본 발명은 개구율을 향상하고 공정을 단순화할 수 있는 액정 표시 장치 및 그의 제조 방법에 관한 것이다. 본 발명의 실시예에 따른 액정 표시 장치는 화소 영역, 데이터 라인 영역으로 정의된 하부 기판의 상기 데이터 라인 영역 상에 위치하는 차폐층과, 게이트 절연막을 사이에 두고 상기 차폐층과 중첩되도록 상기 하부 기판의 상기 데이터 라인 영역에 위치하는 데이터 라인과, 상기 데이터 라인을 덮도록 상기 하부 기판의 상기 데이터 라인 영역에 위치하는 유기 절연막과, 상기 데이터 라인과 이격되어 상기 화소 영역에 위치하는 화소 전극 및 제 1 투명 도전 물질로 이루어지는 하부 전극과, 상기 유기 절연막을 사이에 두고 상기 데이터 라인과 절연되며 제 2 투명 도전 물질로 이루어지는 상부 전극을 포함하여 상기 화소 영역에 위치하는 캐패시터를 포함한다.

대표도 - 도2b



특허청구의 범위

청구항 1

화소 영역, 데이터 라인 영역으로 정의된 하부 기관의 상기 데이터 라인 영역 상에 위치하는 차폐층;

게이트 절연막을 사이에 두고 상기 차폐층과 중첩되도록 상기 하부 기관의 상기 데이터 라인 영역에 위치하는 데이터 라인;

상기 데이터 라인을 덮도록 상기 하부 기관의 상기 데이터 라인 영역에 위치하는 유기 절연막;

상기 데이터 라인과 이격되어 상기 화소 영역에 위치하는 화소 전극; 및

제 1 투명 도전 물질로 이루어지는 하부 전극과, 상기 유기 절연막을 사이에 두고 상기 데이터 라인과 절연되며 제 2 투명 도전 물질로 이루어지는 상부 전극을 포함하여 상기 화소 영역에 위치하는 캐패시터를 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 데이터 라인이 형성된 상기 게이트 절연막의 전면에 형성되는 층간 절연막; 및

상기 화소 영역에 대응하여 위치하는 컬러필터층과 상기 데이터 라인 영역에 대응하여 위치하는 블랙 매트릭스를 포함하는 상부 기관을 더 포함하는 액정 표시 장치.

청구항 3

제 1 항에 있어서, 상기 유기 절연막은 캡핑 구조로 형성되는 액정 표시 장치.

청구항 4

제 1 항에 있어서, 상기 유기 절연막의 너비는 상기 차폐층의 너비와 동일하거나 상기 차폐층의 너비보다 작은 액정 표시 장치.

청구항 5

제 1 항에 있어서, 상기 유기 절연막은 컬럼 스페이서인 액정 표시 장치.

청구항 6

제 1 항에 있어서, 상기 유기 절연막은 상기 데이터 라인을 사이에 두고 인접하는 상기 화소 영역의 상기 화소 전극들 사이에 형성되는 액정 표시 장치.

청구항 7

제 1 항에 있어서, 상기 하부 전극은 상기 데이터 라인 영역의 상기 차폐층을 덮으며 인접하는 화소 영역까지 일체로 연장되어 형성되는 액정 표시 장치.

청구항 8

제 1 항에 있어서, 상기 상부 전극은 상기 화소 전극과 일체로 연장되어 형성되어 액정 표시 장치.

청구항 9

제 1 항에 있어서, 상기 제 1 투명 도전 물질 및 상기 제 2 투명 도전 물질은 ITO 또는 IZO인 액정 표시 장치.

청구항 10

제 1 항에 있어서, 상기 캐패시터는 상기 데이터 라인의 양 측부에 형성되는 액정 표시 장치.

청구항 11

화소 영역, 데이터 라인 영역으로 정의된 하부 기관의 상기 데이터 라인 영역 상에 차폐층을 형성하는 단계;

상기 차폐층이 형성된 상기 하부 기관의 상기 화소 영역에 제 1 투명 도전 물질로 이루어지는 하부 전극을 형성하는 단계;

상기 하부 전극이 형성된 상기 하부 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 두고 상기 차폐층과 중첩되도록 상기 하부 기관의 상기 데이터 라인 영역에 데이터 라인을 형성하는 단계;

상기 데이터 라인을 덮도록 상기 하부 기관의 상기 데이터 라인 영역에 유기 절연막을 형성하는 단계; 및

상기 유기 절연막에 의해 상기 데이터 라인과 이격되도록 상기 화소 영역에 제 2 투명 도전 물질로 이루어지는 화소 전극 및 상부 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 12

제 11 항에 있어서, 상기 유기 절연막을 캡핑 구조로 형성하는 액정 표시 장치의 제조 방법.

청구항 13

제 11 항에 있어서, 상기 유기 절연막의 너비를 상기 차폐층의 너비와 동일하게 하거나 상기 차폐층의 너비보다 작게 형성하는 액정 표시 장치의 제조 방법.

청구항 14

제 11 항에 있어서, 상기 유기 절연막을 상기 데이터 라인을 사이에 두고 인접하는 상기 화소 전극들 사이에 형성하는 액정 표시 장치의 제조 방법.

청구항 15

제 11 항에 있어서, 상기 하부 전극을 상기 차폐층을 덮으며 인접하는 화소 영역까지 연장되도록 일체로 형성하는 액정 표시 장치의 제조 방법.

청구항 16

제 11 항에 있어서, 상기 상부 전극을 상기 화소 전극과 일체로 형성하는 액정 표시 장치의 제조 방법.

청구항 17

제 11 항에 있어서, 상기 제 1 투명 도전 물질 및 상기 제 2 투명 도전 물질을 ITO 또는 IZO로 형성하는 액정 표시 장치의 제조 방법.

청구항 18

제 11 항에 있어서, 상기 게이트 절연막을 사이에 두고 상기 하부 전극과 상기 상부 전극으로 이루어지는 캐패시터를 형성하는 액정 표시 장치의 제조 방법.

청구항 19

제 18 항에 있어서, 상기 캐패시터를 상기 데이터 라인의 양 측부의 상기 화소 영역에 형성하는 액정 표시 장치의 제조 방법.

청구항 20

제 11 항에 있어서, 상기 데이터 라인이 형성된 상기 게이트 절연막의 전면에 층간 절연막을 형성하는 단계; 및 상기 화소 영역에 대응하여 위치하는 컬러필터층과 상기 데이터 라인 영역에 대응하여 위치하는 블랙 매트릭스를 포함하는 상부 기관을 상기 하부 기관에 합착하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명의 실시예들은 액정 표시 장치 및 그의 제조 방법에 관한 것으로, 보다 상세하게는 개구율을 향상하고 공정을 단순화할 수 있는 액정 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 근래 정보화 사회의 발전과 더불어, 표시 장치에 대한 다양한 형태의 요구가 증대되면서, 액정 표시 장치(Liquid Crystal Display Device; LCD), 플라즈마 디스플레이 패널(Plasma Display Panel; PDP), 전계 방출 장치(Field Emission Display Device; FED), 전기 영동 표시 장치(Electrophoretic Display Device; EPD), 유기 발광 표시 장치(Organic light emitting device; OLED) 등 표시 장치에 대한 연구가 활발히 진행되고 있다.

[0003] 액정 표시 장치는 화소들에 화상 정보에 따른 데이터 신호를 개별적으로 공급하여, 화소별로 광 투과율을 조절함으로써 원하는 화상을 표시할 수 있도록 한 표시 소자이다. 액정 표시 장치는 주로 액티브 매트릭스(Active Matrix; AM) 방식에 의해 구동되며, 액티브 매트릭스 방식은 각각의 화소에 트랜지스터(TFT)와 같은 스위칭 소자를 부가하여, 이것을 통하여 화소의 액정에 전압을 인가하고, 액정을 구동하는 방식이다.

[0004] 이러한 액정 표시 장치는 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다. 액정 패널은 액정을 구동시키는 트랜지스터 및 캐패시터가 형성된 어레이 기판과, 컬러 필터가 형성된 컬러 필터 기판 및 두 기판 사이에 형성된 액정을 포함한다.

[0005] 트랜지스터는 게이트 라인과 데이터 라인의 교차점에 위치하며, 캐패시터는 트랜지스터의 불투명한 게이트 전극, 소스 전극 및 드레인 전극으로부터 연장된 전극들에 의해 트랜지스터의 측부에 넓게 위치한다. 트랜지스터와 캐패시터가 형성되는 영역에 대응되는 컬러 필터 기판에는 블랙 매트릭스가 형성되는데, 트랜지스터의 측부에 넓게 위치하는 캐패시터에 연동하여 블랙 매트릭스도 넓게 형성된다.

[0006] 불투명한 전극들로 형성되어 넓게 분포하는 캐패시터 및 캐패시터에 연동하여 컬러 필터 기판에 넓게 형성된 블랙 매트릭스는 액정 표시 장치의 개구율을 저하시킨다. 한편, 화소 전극과 소스/드레인 전극 간의 일정 거리를 유지하기 위하여 유기 절연막이 형성되는데, 유기 절연막의 두께로 인하여 투과율이 저하된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예들은 개구율 저하를 방지하고 공정을 단순화시킬 수 있는 액정 표시 장치를 제공한다.

[0008] 본 발명의 실시예들은 상기 액정 표시 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0009] 본 발명의 실시예들에 따르면, 액정 표시 장치는 화소 영역, 데이터 라인 영역으로 정의된 하부 기판의 상기 데이터 라인 영역 상에 위치하는 차폐층과, 게이트 절연막을 사이에 두고 상기 차폐층과 중첩되도록 상기 하부 기판의 상기 데이터 라인 영역에 위치하는 데이터 라인과, 상기 데이터 라인을 덮도록 상기 하부 기판의 상기 데이터 라인 영역에 위치하는 유기 절연막을 포함한다.

[0010] 액정 표시 장치는 상기 데이터 라인과 이격되어 상기 화소 영역에 위치하는 화소 전극 및 제 1 투명 도전 물질로 이루어지는 하부 전극과, 상기 유기 절연막을 사이에 두고 상기 데이터 라인과 절연되며 제 2 투명 도전 물질로 이루어지는 상부 전극을 포함하여 상기 화소 영역에 위치하는 캐패시터를 포함한다.

[0011] 액정 표시 장치는 상기 데이터 라인이 형성된 상기 게이트 절연막의 전면에 형성되는 층간 절연막 및 상기 화소 영역에 대응하여 위치하는 컬러필터층과 상기 데이터 라인 영역에 대응하여 위치하는 블랙 매트릭스를 포함하는 상부 기판을 더 포함할 수 있다. 상기 유기 절연막은 컬럼 스페이서일 수 있다.

[0012] 본 발명의 실시예에 따르면, 액정 표시 장치를 제조하기 위하여 화소 영역, 데이터 라인 영역으로 정의된 하부 기판의 상기 데이터 라인 영역 상에 차폐층을 형성한다. 상기 차폐층이 형성된 상기 하부 기판의 상기 화소 영역에 제 1 투명 도전 물질로 이루어지는 하부 전극을 형성한다. 상기 하부 전극이 형성된 상기 하부 기판 전면에서 게이트 절연막을 형성한다.

[0013] 상기 게이트 절연막을 사이에 두고 상기 차폐층과 중첩되도록 상기 하부 기판의 상기 데이터 라인 영역에 데이

터 라인을 형성한다. 상기 데이터 라인을 덮도록 상기 하부 기판의 상기 데이터 라인 영역에 유기 절연막을 형성한다. 상기 유기 절연막에 의해 상기 데이터 라인과 이격되도록 상기 화소 영역에 제 2 투명 도전 물질로 이루어지는 화소 전극 및 상부 전극을 형성한다.

[0014] 액정 표시 장치의 제조 방법은 상기 데이터 라인이 형성된 상기 게이트 절연막의 전면에 층간 절연막을 형성하는 단계 및 상기 화소 영역에 대응하여 위치하는 컬러필터층과 상기 데이터 라인 영역에 대응하여 위치하는 블랙 매트릭스를 포함하는 상부 기판을 상기 하부 기판에 합착하는 단계를 더 포함할 수 있다.

[0015] 여기서, 상기 유기 절연막은 캡핑 구조이다. 상기 유기 절연막의 너비는 상기 차폐층의 너비와 동일하거나 상기 차폐층의 너비보다 작을 수 있다. 상기 유기 절연막은 상기 데이터 라인을 사이에 두고 인접하는 상기 화소 전극들 사이에 형성될 수 있다. 상기 제 1 투명 도전 물질 및 상기 제 2 투명 도전 물질은 ITO 또는 IZO로 형성될 수 있다.

[0016] 상기 게이트 절연막을 사이에 두고 상기 하부 전극과 상기 상부 전극으로 이루어진 캐패시터가 형성될 수 있다. 상기 캐패시터는 상기 데이터 라인의 양 측부의 상기 화소 영역에 형성될 수 있다.

발명의 효과

[0017] 본 발명의 실시예들은 캐패시터를 데이터 라인의 양 측면에 형성함으로써, 트랜지스터 측부에 캐패시터를 형성하거나 이에 대응하는 블랙 매트릭스를 트랜지스터의 측부에 별도로 형성할 필요가 없으므로 개구율을 향상시킬 수 있다.

[0018] 더욱이, 본 발명의 실시예들은 캐패시터의 전극으로 투명 도전 물질을 사용하므로, 액정 표시 장치의 개구율을 더욱 향상시킬 수 있다.

[0019] 아울러, 본 발명의 실시예들은 유기 절연막을 이용하여 캐패시터의 상부 전극과 데이터 라인 간의 일정 거리를 유지하여 데이터 라인의 딜레이 현상을 방지할 수 있다. 더욱이, 본 발명의 실시예들은 유기 절연막을 데이터 라인 상에만 형성함으로써, 액정 표시 장치의 투과율을 향상시킬 수 있다.

[0020] 또한, 본 발명의 실시예들은 데이터 라인 상에만 형성되는 유기 절연막의 두께를 조절하여 컬럼 스페이서로 이용할 수 있으므로 컬러 필터 기판에 컬럼 스페이서를 별도로 형성할 필요가 없으므로 공정을 단순화시키고 마스크 수를 줄여 제조 비용을 저하시킬 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명에 따른 액정 표시 장치의 실시예를 설명하기 위한 분해 사시도이다.

도 2a는 도 1에 도시된 실시예에 따른 액정 표시 장치의 'A' 확대도이다.

도 2b는 도 1a에 도시된 실시예에 따른 액정 표시 장치를 I-I'로 자른 단면도이다.

도 3a 내지 도 3g는 도 2b에 도시된 실시예에 따른 액정 표시 장치의 제조 공정을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 통해 본 발명의 일 실시예에 따른 액정 표시 장치 및 그의 제조 방법을 상세히 설명하도록 한다.

[0023] 여기서 i) 첨부된 도면들에 도시된 형상, 크기, 비율, 각도, 개수 등은 개략적인 것으로 다소 변경될 수 있다. ii) 도면은 관찰자의 시선으로 도시되기 때문에 도면을 설명하는 방향이나 위치는 관찰자의 위치에 따라 다양하게 변경될 수 있다. iii) 도면 번호가 다르더라도 동일한 부분에 대해서는 동일한 도면 부호가 사용될 수 있다.

[0024] iv) '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. v) 단수로 설명되는 경우 다수로도 해석될 수 있다. vi) 형상, 크기의 비교, 위치 관계 등이 '약', '실질적' 등으로 설명되지 않아도 통상의 오차 범위가 포함되도록 해석된다.

[0025] vii) '~후', '~전', '이어서', '그리고', '여기서', '후속하여', '이 때' 등의 용어가 사용되더라도 시간적 위치를 한정하는 의미로 사용되지는 않는다. viii) '제 1', '제 2', '제 3' 등의 용어는 단순히 구분의 편의를 위해 선택적, 교환적 또는 반복적으로 사용되며 한정적 의미로 해석되지 않는다.

- [0026] ix) '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우 '바로'가 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. x)부분들이 '~또는'으로 연결되는 경우 부분들 단독뿐만 아니라 조합도 포함되게 해석되나 '~또는 ~중 하나'로 연결되는 경우 부분들 단독으로만 해석된다.
- [0027] 액정 표시 장치
- [0028] 도 1은 본 발명에 따른 액정 표시 장치의 실시예를 설명하기 위한 분해 사시도이다. 본 발명의 실시예는 TN, IPS 모드 등으로 구현되는 액정 표시 장치를 그 예로 한다.
- [0029] 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치는 일정 공간을 갖고 합착된 하부 기판(110) 및 상부 기판(210)과, 하부 기판(110)과 상부 기판(210) 사이에 주입된 액정층(130)을 포함한다.
- [0030] 상부 기판(210)에는 컬러 색상을 표현하기 위한 R, G, B 컬러 필터층(220)과, 컬러 필터층(220)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스(222)가 형성된다. 컬러 필터층(220)은 하부 기판(110)의 화소 영역(P)에 대응하여 위치한다. 블랙 매트릭스(222)는 화소 영역(P)들 사이의 데이터 라인 영역(D) 및 게이트 라인(GL)에 대응하여 위치한다.
- [0031] 본 발명의 실시예에 따른 블랙 매트릭스(222)는 캐패시터가 형성되는 영역 또는 트랜지스터의 측부가 아닌 데이터 라인(126)이 형성된 영역인 데이터 라인 영역(D) 및 게이트 라인(GL) 상에만 형성되므로 개구율을 더욱 향상시킬 수 있다.
- [0032] 하부 기판(110)은 일정한 간격을 갖고 일방향으로 배열된 복수개의 데이터 라인(DL; 126)이 형성되는 데이터 라인 영역(D)과, 데이터 라인(DL; 126)에 수직한 방향으로 일정한 간격을 갖고 배열된 복수개의 게이트 라인(GL)의 교차에 의하고 화소 전극(128)이 형성되는 복수개의 화소 영역(P)으로 정의될 수 있다.
- [0033] 도 2a는 도 1에 도시된 실시예에 따른 액정 표시 장치의 'A' 확대도이고, 도 2b는 도 2a에 도시된 실시예에 따른 액정 표시 장치를 I-I'로 자른 단면도이다.
- [0034] 도 2a 및 도 2b를 참조하여 보다 구체적으로 설명하면, 화소 영역(P)들 사이에 데이터 라인(126)이 형성되는 영역으로 정의되는 데이터 라인 영역(D)의 하부 기판(110) 상에는 차폐층(120)과, 게이트 절연막(112)과, 데이터 라인(126) 및 유기 절연막(116)이 위치한다. 데이터 라인 영역(D)의 데이터 라인(126) 하부에는 반도체층(124)이 더 위치할 수 있고, 데이터 라인(126)과 유기 절연막(116) 사이에는 층간 절연막(114)이 더 위치할 수 있다.
- [0035] 차폐층(120)은 빛샘을 방지하기 위한 층으로, 데이터 라인(126)의 너비보다 넓은 너비를 갖도록 게이트 절연막(112)을 사이에 두고 데이터 라인(126) 하부에 위치한다. 차폐층(120)의 너비를 데이터 라인(126)의 너비보다 넓게 형성함으로써, 데이터 라인(126) 측면을 통해 백라이트 유닛으로부터의 광이 새는 것을 차단할 수 있다.
- [0036] 차폐층(120)은 게이트 라인(GL)과 동일한 층에 위치하며, 게이트 라인(GL)을 이루는 물질과 동일한 물질로 형성될 수 있다. 예로는 알루미늄(aluminum; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전 물질을 사용하는 단층 구조로 형성될 수 있다. 또는, 차폐층(120)은 저저항 도전 물질이 두 가지 이상 적층된 다층 구조로 형성될 수 있다.
- [0037] 게이트 절연막(112)은 차폐층(120)을 덮도록 하부 기판(110) 전면에 위치하며, 층간 절연막(114)은 데이터 라인(126)을 덮도록 게이트 절연막(112) 전면에 위치한다. 게이트 절연막(112) 및 층간 절연막(114)은 무기 절연 물질로 이루어질 수 있다.
- [0038] 데이터 라인(126)은 화소 전극(128)에 데이터 신호를 인가하는 것으로 소스/드레인 전극과 동일한 층에 위치하며, 소스/드레인 전극을 이루는 물질과 동일한 물질로 형성될 수 있다. 데이터 라인(126)은 트랜지스터의 드레인 전극을 통해 화소 전극(128)과 전기적으로 연결되며, 데이터 라인 영역(D)의 양 측면에 위치하는 화소 전극(128)과는 유기 절연막(116)을 통해 절연된다.
- [0039] 유기 절연막(116)은 데이터 라인(126)을 덮는 캡핑(Capping) 구조로 데이터 라인(126) 상에 형성되는 게이트 절연막(112) 및/또는 층간 절연막(114) 상에 위치한다. 유기 절연막 없이 층간 절연막으로 데이터 라인과 화소

전극 간을 절연시키는 경우 충분한 이격거리가 형성되지 않아 데이터 라인과 화소 전극 간 기생 캐패시턴스가 발생할 수 있다.

- [0040] 데이터 라인과 화소 전극 간 기생 캐패시턴스는 데이터 라인의 딜레이 원인이 되는데, 본 발명의 실시예에서 유기 절연막(116)은 데이터 라인(126)을 덮도록 인접하는 화소 전극(128) 사이에 형성되어 데이터 라인(126)과 화소 전극(128) 또는 상부 전극(128a) 사이의 거리가 멀어지게 하므로 기생 캐패시턴스의 발생을 감소시켜 데이터 라인(126)의 딜레이 현상을 방지할 수 있다.
- [0041] 한편, 데이터 라인과 화소 전극 간의 거리를 유지하기 위해 유기 절연막을 층간 절연막 전면, 즉 화소 영역(P)에 까지 형성하는 경우 두꺼운 유기 절연막의 두께로 인하여 개구율이 저하될 뿐만 아니라 캐패시터의 용량이 감소될 수 있다. 그러나, 본 발명의 실시예에서 유기 절연막(116)은 캡핑 구조로 데이터 라인 영역(D)에만 위치하므로 개구율 저하 및 캐패시터(Cst)의 용량이 감소하는 것을 방지할 수 있다.
- [0042] 유기 절연막(116)은 차폐층(120)과 중첩되도록 위치한다. 이때, 유기 절연막(116)의 너비는 차폐층(120)의 너비보다 같거나 작게 형성되어 데이터 라인(126)과 화소 전극(128) 간의 기생 캐패시턴스 발생을 방지할 수 있을 정도의 거리를 유지함과 동시에 개구율을 향상시킬 수 있다.
- [0043] 유기 절연막(116)의 두께는 2 μm 이상일 수 있다. 본 발명의 실시예에서는 유기 절연막(116)의 두께를 조절하여 유기 절연막(116)을 컬럼 스페이서로 이용할 수 있다. 이때, 컬럼 스페이서는 생략될 수 있다.
- [0044] 각 화소 영역(P) 내의 하부 기관(110) 상에는 트랜지스터(TFT)의 드레인 전극과 전기적으로 연결되어 전계를 발생시키는 화소 전극(128)과 전계를 유지 및 저장하는 캐패시터(Cst)가 형성될 수 있다.
- [0045] 화소 전극(128)은 투명 도전 물질로 화소 영역(P) 내의 층간 절연막(114) 상에 위치한다. 투명 도전 물질로는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)가 사용될 수 있다. 화소 전극(128)은 유기 절연막(116)에 의해 데이터 라인(126)과 이격된다.
- [0046] 캐패시터(Cst)는 게이트 절연막(112) 및 층간 절연막(114)을 사이에 둔 하부 전극(122)과 상부 전극(128a)을 포함하며 데이터 라인(126)을 사이에 두고 인접하는 화소 영역(P) 내에 위치할 수 있다.
- [0047] 캐패시터(Cst)의 하부 전극(122)은 투명 도전 물질로 형성되어 차폐층(120)을 사이에 둔 인접한 화소 영역(P)까지 일체로 연장되어 형성될 수 있다. 하부 전극(122)을 이루는 투명 도전 물질은 게이트 전극에 이용되는 물질과 동일할 수 있다.
- [0048] 상부 전극(128a)은 유기 절연막(116)을 사이에 두고 데이터 라인(126)과 절연되어 화소 영역(P) 내에 위치한다. 상부 전극(128a)은 화소 전극(128)과 일체로 형성되므로 투명 도전 물질로 이루어진다. 투명 도전 물질로는 ITO 또는 IZO가 사용될 수 있다.
- [0049] 본 발명의 실시예에서 캐패시터(Cst)의 하부 전극(122)은 불투명한 차폐층 또는 게이트 전극을 연장 형성하는 것이 아니라 별도의 투명 도전 물질로 형성함으로써, 화소 영역(P)의 개구 면적이 증가하므로 개구율을 향상시킬 수 있다.
- [0050] 아울러, 본 발명의 실시예에 따른 캐패시터(Cst)는 트랜지스터 측부가 아닌 데이터 라인(126)의 측부에 위치함으로써 이에 대응하는 블랙 매트릭스를 트랜지스터의 측부에 별도로 형성할 필요가 없으므로 개구율을 더욱 향상시킬 수 있다.
- [0051] 액정 표시 장치의 제조 방법
- [0052] 이하, 도 3a 내지 도 3g를 통해 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 설명하기로 한다. 도 3a 내지 도 3g는 도 2b에 도시된 실시예에 따른 액정 표시 장치의 제조 공정을 나타내는 단면도이다.
- [0053] 도 3a를 참조하면, 화소 영역(P) 및 데이터 라인 영역(D)으로 정의된 하부 기관(110)의 데이터 라인 영역(D) 상에 차폐층(120)을 형성한다.
- [0054] 구체적으로, 투명한 하부 기관(110)상에 제 1 불투명 도전 물질을 증착한 후 마스크를 이용한 사진 및 식각 공정으로 패터닝하여 차폐층(120)을 형성한다. 제 1 불투명 도전 물질로는 알루미늄(aluminum; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전 물질을 사용할 수 있다. 또한, 저저항 불투명 도전 물질이 두 가지 이상 적층된 다층

구조로 형성할 수도 있다.

- [0055] 도 3b를 참조하면, 하부 기판(110) 상에 차폐층(120)을 덮으며 인접한 화소 영역(P)까지 일체로 연장된 하부 전극(122)을 데이터 라인 영역(D)의 측부의 화소 영역(P) 내에 형성한다.
- [0056] 구체적으로, 제 1 투명 도전 물질을 차폐층(120)이 형성된 하부 기판(110) 상에 형성한 후 마스크를 이용한 사진 및 식각 공정으로 패터닝하여 제 1 투명 도전 물질로 이루어진 하부 전극(122)을 형성한다. 제 1 투명 도전 물질로는 ITO 또는 IZO가 사용될 수 있다.
- [0057] 도 3c를 참조하면, 하부 전극(122)이 형성된 하부 기판(110) 전면에 게이트 절연막(112)을 형성한다. 게이트 절연막(112)으로는 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막(silicon oxynitride)이 이용될 수 있다.
- [0058] 도 3d를 참조하면, 차폐층(120)과 중첩되도록 데이터 라인 영역(D)의 게이트 절연막(112) 상에 데이터 라인(126)을 형성한다.
- [0059] 구체적으로, 게이트 절연막(112)이 전면 형성된 하부 기판(110) 상에 제 2 불투명 도전 물질을 증착한 후 마스크를 이용한 사진 및 식각 공정으로 패터닝하여 데이터 라인 영역(D)의 게이트 절연막(112) 상에 데이터 라인(126)을 형성한다. 데이터 라인(126)은 화소 전극(128)에 데이터 신호를 인가하는 것으로 소스/드레인 전극과 동일한 층에 위치하며, 소스/드레인 전극을 이루는 물질과 동일한 물질로 형성될 수 있다.
- [0060] 이때, 데이터 라인(126) 하부 측, 데이터 라인(126)과 게이트 절연막(112) 사이에는 반도체층(124)을 더 형성할 수 있다.
- [0061] 도 3e를 참조하면, 하부 기판(110) 전면에 층간 절연막(114)을 형성하고, 데이터 라인 영역(D)의 층간 절연막(114) 상에 유기 절연막(116)을 형성한다.
- [0062] 구체적으로, 데이터 라인(126)이 형성된 하부 기판(110)의 데이터 라인 영역(D) 및 화소 영역(P) 상에 층간 절연막(114)을 형성한다. 층간 절연막(114)은 무기 절연 물질로 형성될 수 있다. 무기 절연 물질로는 실리콘 질화막, 실리콘 산화막 또는 실리콘 산질화막을 포함하여 공지된 무기 절연 물질이 이용될 수 있다.
- [0063] 이어서, 층간 절연막(114)이 형성된 하부 기판(110) 전면에 유기 절연 물질을 증착한 후 마스크를 이용한 사진 및 식각 공정으로 패터닝하여 데이터 라인 영역(D) 상에 데이터 라인(126)을 덮는 캡핑 구조의 유기 절연막(116)을 형성한다.
- [0064] 유기 절연막(116)은 데이터 라인(126)을 덮는 캡핑(Capping) 구조로 데이터 라인(126) 상에 형성되는 층간 절연막(114) 상에 위치하여 데이터 라인(126)과 추후 형성될 화소 전극(128)을 서로 절연시킨다. 유기 절연막 없이 층간 절연막으로 데이터 라인과 화소 전극 간을 절연시키는 경우 충분한 이격거리가 형성되지 않아 데이터 라인과 화소 전극간 기생 캐패시턴스가 발생할 수 있다.
- [0065] 데이터 라인과 화소 전극 간 기생 캐패시턴스는 데이터 라인의 딜레이 원인이 되는데, 본 발명의 실시예에서 유기 절연막(116)은 데이터 라인(126)을 덮도록 층간 절연막(114) 상에 형성되어 데이터 라인(126)과 화소 전극(128) 사이의 거리가 멀어지게 하므로 기생 캐패시턴스의 발생을 감소시켜 데이터 라인(126)의 딜레이 현상을 방지할 수 있다.
- [0066] 한편, 데이터 라인과 화소 전극 간의 거리를 유지하기 위해 유기 절연막을 층간 절연막 전면, 즉 화소 영역(P)에 까지 형성하는 경우 두꺼운 유기 절연막의 두께로 인하여 투과율 및 개구율이 저하될 뿐만 아니라 캐패시터의 용량이 감소할 수 있다. 그러나, 본 발명의 실시예에서 유기 절연막(116)은 데이터 라인(126)을 덮는 캡핑 구조로 데이터 라인 영역(D)에만 위치하므로 개구율 저하 및 캐패시터(Cst)의 용량이 감소하는 것을 방지할 수 있다.
- [0067] 유기 절연막(116)은 차폐층(120)과 중첩되도록 위치한다. 이때, 유기 절연막(116)의 너비는 차폐층(120)의 너비보다 같거나 작게 형성되어 데이터 라인(126)과 화소 전극(128) 간의 기생 캐패시턴스 발생을 방지할 수 있을 정도의 거리를 유지함과 동시에 개구율을 향상시킬 수 있다.
- [0068] 유기 절연막(116)의 두께는 2 μm 이상일 수 있다. 본 발명의 실시예에서는 유기 절연막(116)의 두께를 조절하여 컬럼 스페이스의 형성 공정을 생략할 수 있으므로 제조 단가를 절감하고 공정을 단순화시킬 수 있다.
- [0069] 도 3f를 참조하면, 화소 영역(P) 내에 화소 전극(128) 및 상부 전극(128a)을 형성하여 데이터 라인(126)의 양

측부에 캐패시터(Cst)를 완성한다.

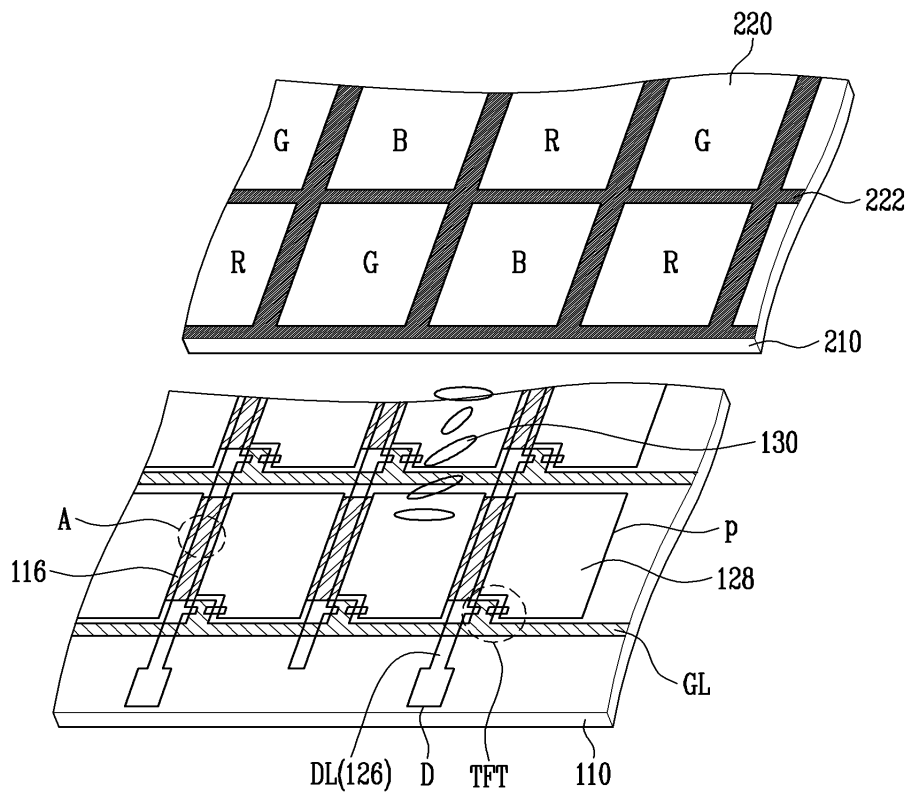
- [0070] 구체적으로, 하부 기판(110) 전면에 제 2 투명 도전 물질을 증착한 후 마스크를 이용한 사진 및 식각 공정으로 패터닝하여 화소 영역(P) 내에 화소 전극(128)과 일체로 연장된 상부 전극(128a)을 형성한다. 상부 전극(128a)은 층간 절연막(114) 및 게이트 절연막(112)을 사이에 두고 하부 전극(122)과 중첩된다.
- [0071] 상부 전극(128a)은 유기 절연막(116) 및 층간 절연막(114)을 사이에 두고 데이터 라인(126)과 절연되어 화소 영역(P) 내에 위치할 수 있다. 제 2 투명 도전 물질로는 ITO 또는 IZO가 사용될 수 있다. 캐패시터(Cst)는 데이터 라인(126)을 사이에 두고 인접하는 화소 영역(P)에 형성된다.
- [0072] 도 3g를 참조하면, 캐패시터(Cst)가 완성된 하부 기판(110)에 상부 기판(210)을 합착하여 액정 표시 장치를 완성한다. 이때, 컬러필터층(220)은 화소 영역(P)에 대응하여 위치하고, 상부 기판(210)의 블랙 매트릭스(222)는 데이터 라인 영역(D)에 대응하여 위치한다. 블랙 매트릭스(222)는 게이트 라인(미도시)에 대응하여 위치할 수 있다.
- [0073] 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에 따르면, 캐패시터(Cst)가 투명 도전 물질로 이루어지므로 블랙 매트릭스(222)를 캐패시터(Cst)가 형성되는 영역에 대응하여 형성할 필요가 없다. 즉 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법에서 블랙 매트릭스(222)는 캐패시터가 형성되는 영역 또는 트랜지스터의 측부가 아닌 데이터 라인(126)이 형성된 영역 및 게이트 라인 상에만 대응하여 형성되므로 개구율을 더욱 향상시킬 수 있다.
- [0074] 이상에서와 같이 상세한 설명과 도면을 통해 본 발명의 실시예들을 개시하였다. 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

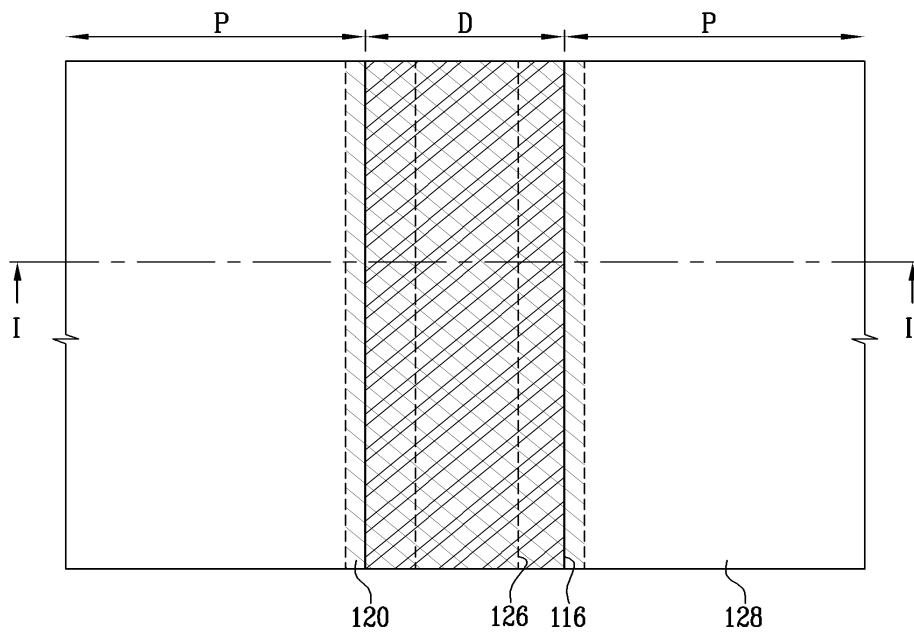
- [0075]
- | | |
|--------------|--------------|
| 110: 하부 기판 | 112: 게이트 절연막 |
| 114: 층간 절연막 | 116: 유기 절연막 |
| 120: 차폐층 | 122: 하부 전극 |
| 126: 데이터 라인 | 128: 화소 전극 |
| 128a: 상부 전극 | 210: 상부 기판 |
| 222: 블랙 매트릭스 | |

도면

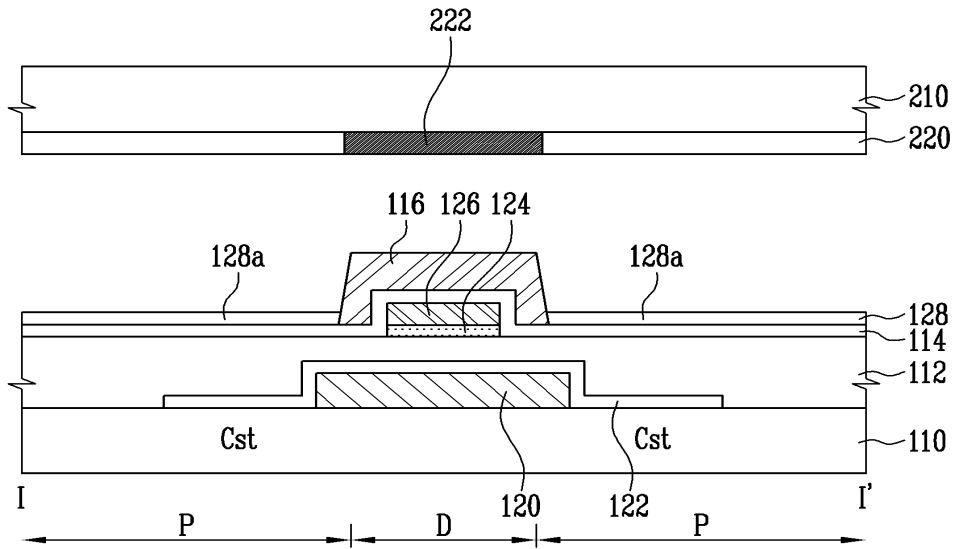
도면1



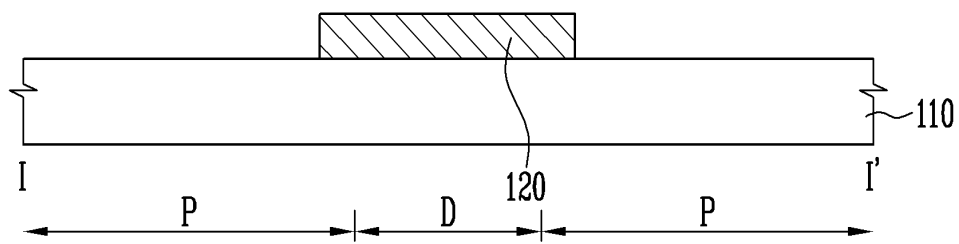
도면2a



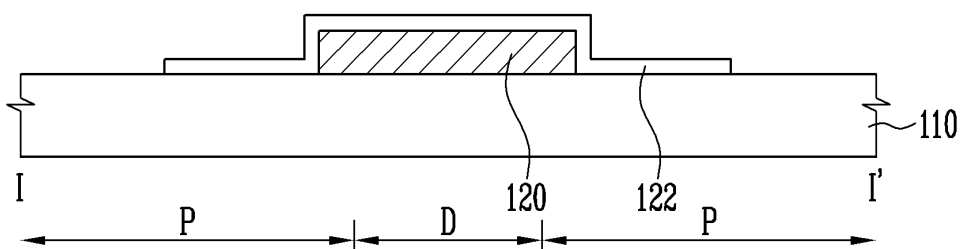
도면2b



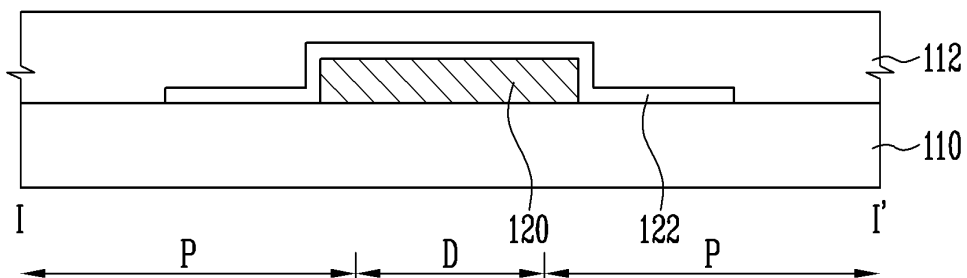
도면3a



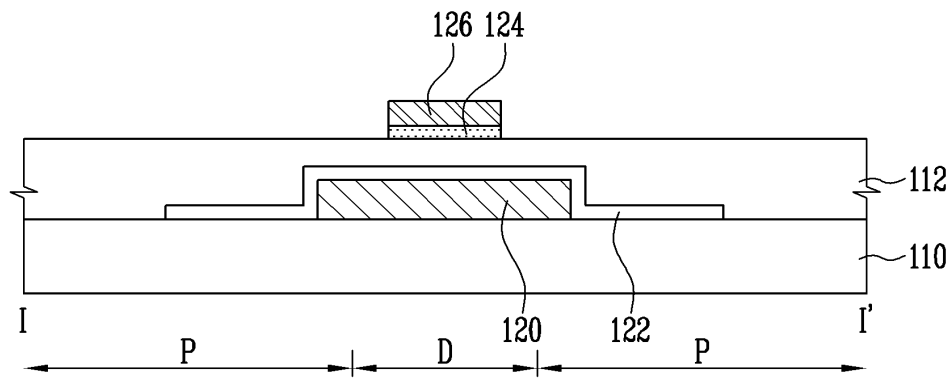
도면3b



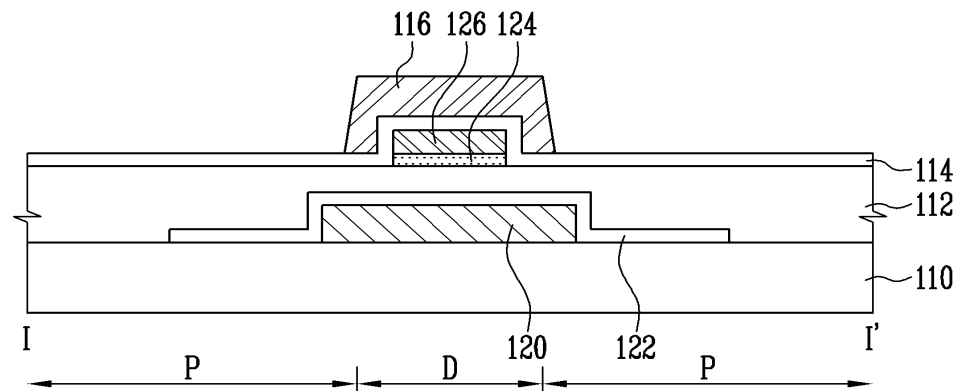
도면3c



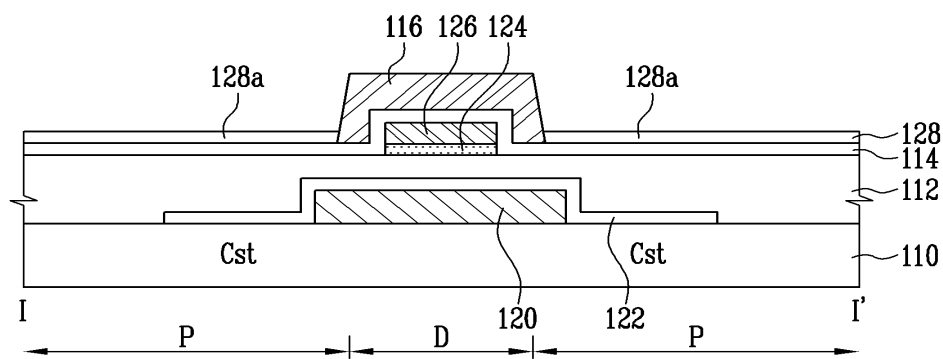
도면3d



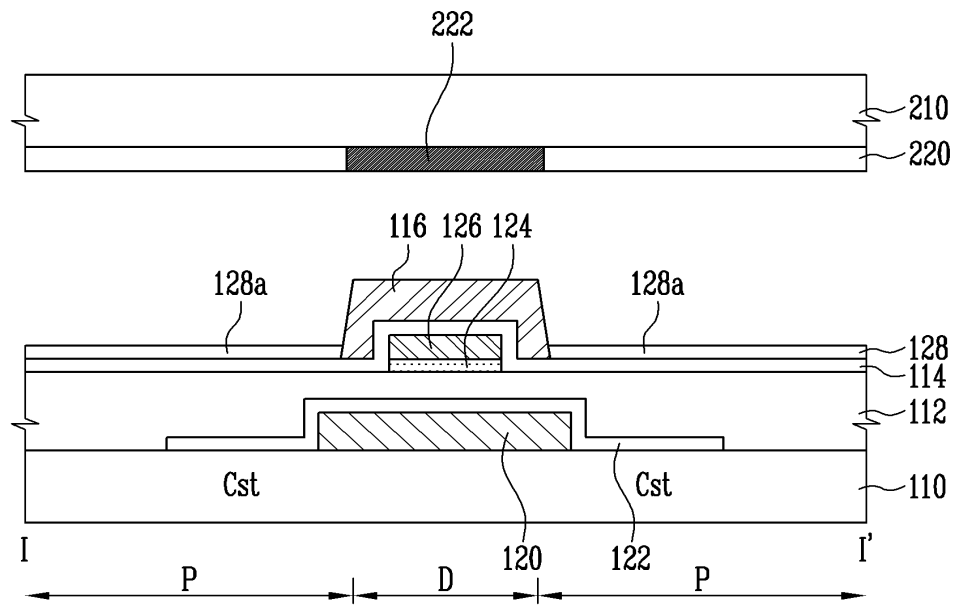
도면3e



도면3f



도면3g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020110130854A	公开(公告)日	2011-12-06
申请号	KR1020100050385	申请日	2010-05-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNYOUNG KIM 김준영 SHINJEONG HAN 한신정 GYUNGMIN KO 고경민		
发明人	김준영 한신정 고경민		
IPC分类号	G02F1/136 G02F1/1362 G02F1/1335 G02F1/1339		
CPC分类号	G02F1/136209 G02F1/136286 G02F1/136227 G02F1/136213 G02F1/133512 G02F1/133514 G02F1/13394		
代理人(译)	강신섭 Munyongho Yiyongwoo		
其他公开文献	KR101739801B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，以提高开口率并简化制造工艺。结构：屏蔽层（120）放置在下基板（110）的数据线（126）上。下基板被限定为像素区域和数据线区域。数据线放置在下基板的数据线区域上，以便插入在中间具有栅极绝缘层（112）的屏蔽层。有机绝缘层（116）放置在下基板的数据线区域上，以覆盖数据线。

COPYRIGHT KIPO 2012

