



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0070094
(43) 공개일자 2011년06월24일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2009-0126780

(22) 출원일자 2009년12월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

김민규

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 101동 110호

(74) 대리인

박영복, 김용인

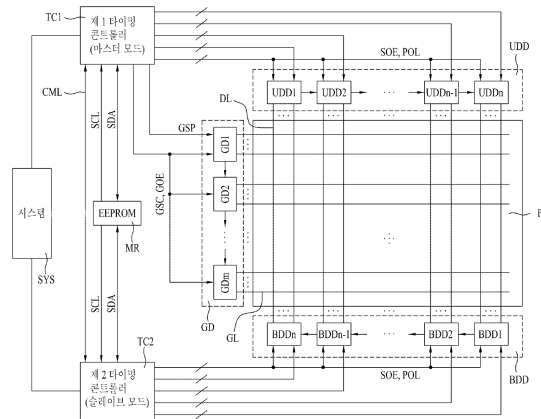
전체 청구항 수 : 총 9 항

(54) 액정표시장치

(57) 요약

본 발명은 화소의 충전속도를 향상시킬 수 있는 액정표시장치에 관한 것으로, 서로 교차하는 다수의 게이트 라인들 및 다수의 데이터 라인들에 의해 정의된 다수의 화소들을 갖는 표시패널과, 게이트 라인들(GL1 내지 GLn)을 순차적으로 구동하기 위한 스캔펄스들을 차례로 출력하는 다수의 게이트 드라이브 집적회로들과, 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들과, 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들과, 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러와, 그리고 상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함한다.

대표도



특허청구의 범위

청구항 1

화상을 표시하기 위한 표시패널;

상기 표시패널의 게이트 라인들을 구동하기 스캔펄스들을 차례로 출력하는 다수의 게이트 드라이브 집적회로들;

상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들;

상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들;

상기 상부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및,

상기 하부 데이터 드라이브 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함함을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 타이밍 컨트롤러는 시스템으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 상부 데이터 드라이브 집적회로들로 공급하며;

상기 상부 데이터 드라이브 집적회로들은 상기 제 1 타이밍 컨트롤러로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성하며;

상기 제 2 타이밍 컨트롤러는 상기 시스템으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 하부 데이터 드라이브 집적회로들로 공급하며; 그리고,

상기 하부 데이터 드라이브 집적회로들은 상기 제 2 타이밍 컨트롤러로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성함을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 타이밍 컨트롤러는 상기 표시패널의 일측 가장자리에 위치한 상부 데이터 드라이브 집적회로부터 상기 표시패널의 타측 가장자리에 위치한 상부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급하며; 그리고,

상기 제 2 타이밍 컨트롤러는 상기 표시패널의 타측 가장자리에 위치한 하부 데이터 드라이브 집적회로부터 상기 표시패널의 일측 가장자리에 위치한 하부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급함을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제 1 및 제 2 타이밍 컨트롤러는 외부로부터의 모드제어신호에 따라 각각 마스터 모드 및 슬레이브 모드 중 어느 하나의 모드로 동작 가능하며;

상기 제 1 타이밍 컨트롤러는 마스터 모드로 구동시, 상기 화상 데이터들 및 상부 데이터 제어신호외에 상기 게이트 드라이브 집적회로들의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들로 출력하며;

상기 제 2 타이밍 컨트롤러는 마스터 모드로 구동시, 상기 화상 데이터들 및 하부 데이터 제어신호외에 상기 게이트 드라이브 집적회로들의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들로 출력하며;

상기 제 1 타이밍 컨트롤러는 슬레이브 모드로 구동시, 상기 화상 데이터 및 상부 데이터 제어신호를 상기 상부 데이터 드라이브 집적회로들로 출력하며; 그리고,

상기 제 2 타이밍 컨트롤러는 슬레이브 모드로 구동시, 상기 화상 데이터 및 하부 데이터 제어신호를 상기 하부 데이터 드라이브 집적회로들로 출력함을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 2 타이밍 컨트롤러는 서로 상반된 모드로 구동됨을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 타이밍 컨트롤러와 제 2 타이밍 컨트롤러 사이에 접속된 적어도 하나의 통신 라인을 더 포함하며;

마스터 모드의 타이밍 컨트롤러는 상기 통신 라인을 통해 슬레이브 모드의 타이밍 컨트롤러의 일부 동작을 제어함을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

마스터 모드의 타이밍 컨트롤러는 자신의 화소 전압들을 데이터 라인들로 출력하는 출력 타이밍을 제어함과 아울러, 상기 통신 라인을 통해 슬레이브 모드의 타이밍 컨트롤러의 화소 전압들을 상기 데이터 라인들로 출력하는 출력 타이밍을 제어함을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제 1 및 제 2 타이밍 컨트롤러로부터의 화상 데이터들을 보정하기 위해 각종 보정 데이터들이 저장된 메모리를 더 포함하며;

마스터 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 컨트롤러 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다르며;

상기 마스터 모드의 타이밍 컨트롤러가 자신이 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간을 제어함과 아울러, 상기 통신 라인을 통해 상기 슬레이브 모드의 타이밍 컨트롤러의 읽기 시간을 제어함을 특징으로 하는 액정표시장치.

청구항 9

제 5 항에 있어서,

상기 제 1 및 제 2 타이밍 컨트롤러로부터의 화상 데이터들을 보정하기 위해 각종 보정 데이터들이 저장된 메모리를 더 포함하며; 그리고,

마스터 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 컨트롤러 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다름을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

본 발명은 액정표시장치에 관한 것으로, 특히 화소의 충전속도를 향상시킬 수 있는 액정표시장치에 대한 것이다.

[0001]

배경 기술

[0002] 표시장치가 대형화됨에 따라 이 표시장치의 게이트 라인들 및 데이터 라인들의 길이도 상대적으로 증가하게 된다. 데이터 라인의 길이가 길어질 수록 이 데이터 라인의 저항 및 커패시터의 용량이 증가하기 때문에 데이터 드라이버의 출력단자로부터 멀리 위치한 데이터 라인 부분은 다른 부분에 비하여 상대적으로 왜곡이 큰 화소 전압을 공급받기 때문에 이 데이터 라인 부분에 접속된 화소의 충전율이 떨어질 수밖에 없다. 이로 인해 화질이 저하되는 문제점이 발생하였다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 데이터 라인들의 일측에 상부 데이터 드라이버 집적회로들로부터의 화상 데이터들을 공급하고, 이 데이터 라인들의 타측에 하부 데이터 드라이버 집적회로들로부터의 화상 데이터들을 공급함으로써 데이터 라인 및 화소의 충전속도를 높여 화질을 향상시킬 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

과제 해결수단

[0004] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 화상을 표시하기 위한 표시패널; 상기 표시패널의 게이트 라인들을 구동하기 스캔펄스들을 차례로 출력하는 다수의 게이트 드라이버 집적회로들; 상기 표시패널의 데이터 라인들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이버 집적회로들; 상기 데이터 라인들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이버 집적회로들; 상기 상부 데이터 드라이버 집적회로들의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이버 집적회로들로 공급하는 제 1 타이밍 컨트롤러; 및, 상기 하부 데이터 드라이버 집적회로들의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이버 집적회로들로 공급하는 제 2 타이밍 컨트롤러를 포함함을 특징으로 한다.

[0005] 상기 제 1 타이밍 컨트롤러는 시스템으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 상부 데이터 드라이버 집적회로들로 공급하며; 상기 상부 데이터 드라이버 집적회로들은 상기 제 1 타이밍 컨트롤러로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성하며; 상기 제 2 타이밍 컨트롤러는 상기 시스템으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 하부 데이터 드라이버 집적회로들로 공급하며; 그리고, 상기 하부 데이터 드라이버 집적회로들은 상기 제 2 타이밍 컨트롤러로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성함을 특징으로 한다.

[0006] 상기 제 1 타이밍 컨트롤러는 상기 표시패널의 일측 가장자리에 위치한 상부 데이터 드라이버 집적회로부터 상기 표시패널의 타측 가장자리에 위치한 상부 데이터 드라이버 집적회로까지 순차적으로 화상 데이터들을 공급하며; 그리고, 상기 제 2 타이밍 컨트롤러는 상기 표시패널의 타측 가장자리에 위치한 하부 데이터 드라이버 집적회로부터 상기 표시패널의 일측 가장자리에 위치한 하부 데이터 드라이버 집적회로까지 순차적으로 화상 데이터들을 공급함을 특징으로 한다.

[0007] 상기 제 1 및 제 2 타이밍 컨트롤러는 외부로부터의 모드제어신호에 따라 각각 마스터 모드 및 슬레이브 모드 중 어느 하나의 모드로 동작 가능하며; 상기 제 1 타이밍 컨트롤러는 마스터 모드로 구동시, 상기 화상 데이터들 및 상부 데이터 제어신호외에 상기 게이트 드라이버 집적회로들의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이버 집적회로들로 출력하며; 상기 제 2 타이밍 컨트롤러는 마스터 모드로 구동시, 상기 화상 데이터들 및 하부 데이터 제어신호외에 상기 게이트 드라이버 집적회로들의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이버 집적회로들로 출력하며; 상기 제 1 타이밍 컨트롤러는 슬레이브 모드로 구동시, 상기 화상 데이터 및 상부 데이터 제어신호를 상기 상부 데이터 드라이버 집적회로들로 출력하며; 그리고, 상기 제 2 타이밍 컨트롤러는 슬레이브 모드로 구동시, 상기 화상 데이터 및 하부 데이터 제어신호를 상기 하부 데이터 드라이버 집적회로들로 출력함을 특징으로 한다.

[0008] 상기 제 1 및 제 2 타이밍 컨트롤러는 서로 상반된 모드로 구동됨을 특징으로 한다.

[0009] 상기 제 1 타이밍 컨트롤러와 제 2 타이밍 컨트롤러 사이에 접속된 적어도 하나의 통신 라인을 더 포함하며; 마스터 모드의 타이밍 컨트롤러는 상기 통신 라인을 통해 슬레이브 모드의 타이밍 컨트롤러의 일부 동작을 제어함

을 특징으로 한다.

- [0010] 마스터 모드의 타이밍 컨트롤러는 자신의 화소 전압들을 데이터 라인들로 출력하는 출력 타이밍을 제어함과 아울러, 상기 통신 라인을 통해 슬레이브 모드의 타이밍 컨트롤러의 화소 전압들을 상기 데이터 라인들로 출력하는 출력 타이밍을 제어함을 특징으로 한다.
- [0011] 상기 제 1 및 제 2 타이밍 컨트롤러로부터의 화상 데이터들을 보정하기 위해 각종 보정 데이터들이 저장된 메모리를 더 포함하며; 마스터 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다르며; 상기 마스터 모드의 타이밍 컨트롤러가 자신이 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간을 제어함과 아울러, 상기 통신 라인을 통해 상기 슬레이브 모드의 타이밍 컨트롤러의 읽기 시간을 제어함을 특징으로 한다.
- [0012] 상기 제 1 및 제 2 타이밍 컨트롤러로부터의 화상 데이터들을 보정하기 위해 각종 보정 데이터들이 저장된 메모리를 더 포함하며; 그리고, 마스터 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 컨트롤러가 상기 메모리로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다를 것을 특징으로 한다.

효과

- [0013] 본 발명에 따른 액정표시장치에는 다음과 같은 효과가 있다.
- [0014] 첫째, 데이터 라인들을 양측에 동일한 화소 전압들을 공급함으로써 데이터 라인들 및 이에 접속된 화소들의 충전속도를 향상시킬 수 있다.
- [0015] 둘째, 제 1 타이밍 컨트롤러와 제 2 타이밍 컨트롤러를 마스터 모드와 슬레이브 모드 중 어느 하나로 구동시킴으로써 상부 데이터 드라이브 집적회로들과 하부 데이터 드라이브 집적회로들을 원활하게 구동시킬 수 있다.
- [0016] 셋째, 제 1 타이밍 컨트롤러와 제 2 타이밍 컨트롤러가 통신 라인을 통해 서로간의 출력 타이밍을 동기시킬 수 있다.
- [0017] 넷째, 제 1 타이밍 컨트롤러와 제 2 타이밍 컨트롤러의 읽기시간을 서로 다르게 설정함으로써 하나의 메모리만을 사용하여 두 개의 타이밍 컨트롤러가 각각 필요한 데이터를 취할 수 있도록 할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.
- [0019] 본 발명의 실시예에 따른 액정표시장치는, 도 1에 도시된 바와 같이, 서로 교차하는 다수의 게이트 라인(GL)들 및 다수의 데이터 라인(DL)들에 의해 정의된 다수의 화소들을 갖는 표시패널(PN)과, 게이트 라인(GL)들을 순차적으로 구동하기 위한 스캔펄스들을 차례로 출력하는 다수의 게이트 드라이브 집적회로들(GD1 내지 GDm)과, 표시패널(PN)의 데이터 라인(DL)들의 각 일측에 화소 전압들을 공급하는 다수의 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)과, 데이터 라인(DL)들의 각 타측에 화소 전압들을 공급하는 다수의 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)과, 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)의 동작을 제어하기 위한 상부 데이터 제어신호를 생성하여 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급하는 제 1 타이밍 컨트롤러(TC1)와, 그리고 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)의 동작을 제어하기 위한 하부 데이터 제어신호를 생성하여 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급하는 제 2 타이밍 컨트롤러(TC2)를 포함한다.
- [0020] 도 2는 도 1의 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 구성된 상부 데이터 드라이버(DD)의 상세 구성도로서, 이 데이터 드라이버(DD)는 쉬프트 레지스터 어레이(101), 래치 어레이, MUX 어레이, 디지털/아날로그 변환기 어레이(이하, DAC 어레이) 및 버퍼 어레이를 포함한다.
- [0021] 쉬프트 레지스터 어레이(101)는 제 1 타이밍 컨트롤러(TC1)로부터의 소스스타트펄스를 소스쉬프트클럭에 따라 순차적으로 쉬프트시켜 샘플링 클럭을 발생한다.
- [0022] 래치 어레이(102)는 쉬프트 레지스터 어레이(101)로부터의 샘플링클럭에 응답하여 제 1 타이밍 컨트롤러(TC1)(18)로부터 입력되는 화상 데이터들을 샘플링한 후에 샘플링된 1 수평라인분의 화상 데이터들을 래치한다. 그리고 래치 어레이(102)는 제 1 타이밍 컨트롤러(TC1)(18)로부터의 소스출력인에이블신호(SOE)에 응답하여 래

치된 1 수평라인분의 화상 데이터들을 동시에 출력한다.

- [0023] MUX 어레이(103)는 래치 어레이(102)로부터 공급되는 화상 데이터들을 수평기간 단위로 그대로 출력하거나 출력 라인을 하나씩 오른쪽으로 쉬프트시켜 출력하게 된다. 래치 어레이(102)로부터의 화상 데이터들이 기수 수평기간의 데이터인 경우에, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 화상 데이터들을 그대로 출력하게 된다. 이와 달리, 래치 어레이(102)로부터의 화상 데이터들이 우수 수평기간의 데이터이면, MUX 어레이(103)는 래치 어레이(102)로부터 입력되는 1 수평라인분의 화상 데이터들을 우측의 출력라인으로 하나씩 쉬프트시켜 출력하게 된다.
- [0024] DAC 어레이(104)는 MUX 어레이(103)로부터 입력되는 화상 데이터들을 아날로그 값으로 디코딩하고, 디코딩된 아날로그값을 제 1 타이밍 컨트롤러(TC1)(18)로부터의 극성제어신호(POL)에 응답하여 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)을 선택하게 된다. 다시 말하여, DAC 어레이(104)는 MUX 어레이(103)로부터의 디지털 데이터를 정극성 감마보상전압(GH)이나 부극성 감마보상전압(GL)으로 변환한 다음, MUX 어레이(103)에 의해 출력라인이 쉬프트된 디지털 데이터를 부극성 감마보상전압(GL)이나 정극성 감마보상전압(GH)으로 변환하게 된다.
- [0025] MUX 어레이(103)와 DAC 어레이(104)에 의해 매 수평기간마다 출력라인이 쉬프트되고 극성이 반전되는 데이터는 버퍼 어레이(105)를 통하여 각 데이터라인들(DL1 내지 DLi)에 공급된다.
- [0026] 한편, 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 구성된 하부 데이터 드라이버(DD) 역시 상술된 상부 데이터 드라이버(DD)와 동일한 구성을 갖는다. 단, 이 하부 데이터 드라이버(DD)는 제 1 타이밍 컨트롤러(TC1) 대신에 제 2 타이밍 컨트롤러(TC2)로부터의 제어를 받는다.
- [0027] 다수의 게이트 드라이브 집적회로들(GD1 내지 GDm)로 구성된 게이트 드라이버(GD)는 타이밍 컨트롤러로부터의 게이트스타트펄스(GSP), 게이트쉬프트클럭(GSC) 및 게이트출력인에이블(GOE)을 이용하여 게이트 라인(GL)들에 순차적으로 스캔펄스를 공급한다.
- [0028] 제 1 타이밍 컨트롤러(TC1)는 시스템(SYS)으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 공급하며, 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)은 상기 제 1 타이밍 컨트롤러(TC1)로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성한다. 또한, 제 1 타이밍 컨트롤러(TC1)는 각각 시스템(SYS)으로부터 자신에게 입력되는 수평동기신호(Hsync), 수직동기신호(Vsync), 및 클럭신호(CLK)를 이용하여 상부 데이터 제어신호와 게이트 제어신호를 생성한다.
- [0029] 상부 데이터 제어신호는 도트클럭, 소스스타트펄스, 소스쉬프트클럭, 소스인에이블 및 극성반전신호(POL) 등을 포함한다. 그리고, 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE) 등을 포함한다.
- [0030] 제 2 타이밍 컨트롤러(TC2)는 상기 시스템(SYS)으로부터의 화상 데이터들을 재정렬하고 이들을 타이밍에 맞추어 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급하며, 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)은 상기 제 2 타이밍 컨트롤러(TC2)로부터의 화상 데이터들에 근거하여 상기 화소 전압들을 생성한다. 또한, 제 2 타이밍 컨트롤러(TC2)는 각각 시스템(SYS)으로부터 자신에게 입력되는 수평동기신호(Hsync), 수직동기신호(Vsync), 및 클럭신호(CLK)를 이용하여 하부 데이터 제어신호와 게이트 제어신호를 생성한다.
- [0031] 하부 데이터 제어신호는 도트클럭, 소스스타트펄스, 소스쉬프트클럭, 소스인에이블 및 극성반전신호(POL) 등을 포함한다. 그리고, 게이트 제어신호는 게이트 스타트 펄스(GSP), 게이트쉬프트클럭(GSC), 게이트출력인에이블(GOE) 등을 포함한다.
- [0032] 제 1 타이밍 컨트롤러(TC1)는 상기 표시패널(PN)의 일측 가장자리에 위치한 상부 데이터 드라이브 집적회로부터 상기 표시패널(PN)의 타측 가장자리에 위치한 상부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 반면, 제 2 타이밍 컨트롤러(TC2)는 상기 표시패널(PN)의 타측 가장자리에 위치한 하부 데이터 드라이브 집적회로부터 상기 표시패널(PN)의 일측 가장자리에 위치한 하부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 예를 들어, 제 1 타이밍 컨트롤러(TC1)는 제 1 상부 데이터 드라이브 집적회로부터 제 n 상부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급하며, 제 2 타이밍 컨트롤러(TC2)는 제 1 하부 데이터 드라이브 집적회로부터 제 n 하부 데이터 드라이브 집적회로까지 순차적으로 화상 데이터들을 공급한다. 이때, 제 1 타이밍 컨트롤러(TC1)와 제 2 타이밍 컨트롤러(TC2)는 서로 반대의 순서로 화상 데이터들을 출력한다. 즉, 제 1 타이밍 컨트롤러(TC1)는 제 1 상부 드라이브 집적회로에 해당하는 화상 데이터

부터 제 n 상부 데이터 드라이브 집적회로에 해당하는 화상 데이터까지 순차적으로 출력하며, 제 2 타이밍 콘트롤러(TC2)는 제 1 하부 드라이브 집적회로에 해당하는 화상 데이터부터 제 n 하부 데이터 드라이브 집적회로에 해당하는 화상 데이터까지 순차적으로 출력한다. 다른 실시예로서, 제 2 타이밍 콘트롤러(TC2)가 제 n 하부 데이터 드라이브 집적회로부터 제 1 하부 데이터 드라이브 집적회로까지 역순으로 구동하도록 하고, 이 제 2 타이밍 콘트롤러(TC2)가 제 1 타이밍 콘트롤러(TC1)와 동일한 순서로 화상 데이터들을 출력하도록 변경할 수도 있다.

- [0033] 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 외부로부터의 모드제어신호에 따라 각각 마스터 모드(master mode) 및 슬레이브 모드(slave mode) 중 어느 하나의 모드로 동작한다.
- [0034] 구체적으로, 제 1 타이밍 콘트롤러(TC1)는 마스터 모드로 구동시, 상기 화상 데이터들 및 상부 데이터 제어신호 외에 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)로 출력한다. 반면, 제 1 타이밍 콘트롤러(TC1)는 슬레이브 모드로 구동시, 상기 화상 데이터 및 상부 데이터 제어신호를 상기 상부 데이터 드라이브 집적회로들(UDD1 내지 UDDn)로 출력한다.
- [0035] 마찬가지로 제 2 타이밍 콘트롤러(TC2)는 마스터 모드로 구동시, 상기 화상 데이터들 및 하부 데이터 제어신호 외에 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)의 동작을 제어하기 위한 게이트 제어신호를 더 생성하여 상기 게이트 드라이브 집적회로들(GD1 내지 GDm)로 출력한다. 반면, 제 2 타이밍 콘트롤러(TC2)는 슬레이브 모드로 구동시, 상기 화상 데이터 및 하부 데이터 제어신호를 상기 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 출력함을 특징으로 한다.
- [0036] 다시 말하여, 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 마스터 모드로 구동시, 화상 데이터들, 데이터 제어신호 및 게이트 제어신호를 출력한다. 그러나, 슬레이브 모드로 구동시, 게이트 제어신호를 제외한 나머지 신호들, 즉 화상 데이터들 및 데이터 제어신호들을 출력한다.
- [0037] 이때, 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)는 서로 상반된 모드로 구동된다. 즉, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동시, 제 2 타이밍 콘트롤러(TC2)는 슬레이브 모드로 구동되며, 반대로 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동시 제 2 타이밍 콘트롤러(TC2)는 마스터 모드로 구동된다.
- [0038] 제 1 타이밍 콘트롤러(TC1)와 제 2 타이밍 콘트롤러(TC2) 사이에는 적어도 하나의 통신 라인(CML)이 접속되어 있다. 이 통신 라인(CML)을 통해 제 1 타이밍 콘트롤러(TC1)와 제 2 타이밍 콘트롤러(TC2)가 서로 통신함으로써 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)간의 출력이 동기될 수 있다.
- [0039] 즉, 마스터 모드의 타이밍 콘트롤러는 통신 라인(CML)을 통해 슬레이브 모드의 타이밍 콘트롤러의 일부 동작을 제어할 수 있다. 예를 들어, 마스터 모드의 타이밍 콘트롤러는 자신의 화소 전압들을 데이터 라인(DL)들로 출력하는 출력 타이밍을 제어함과 아울러, 상기 통신 라인(CML)을 통해 슬레이브 모드의 타이밍 콘트롤러의 화소 전압들을 상기 데이터 라인(DL)들로 출력하는 출력 타이밍을 제어한다. 이를 위해, 마스터 모드의 타이밍 콘트롤러는 슬레이브 모드의 타이밍 콘트롤러를 제어하여 이 두 타이밍 콘트롤러가 동시에 소스아웃풋인에이블을 상부 및 하부 데이터 드라이브 집적회로들(BDD1 내지 BDDn)로 공급하도록 한다.
- [0040] 도 1은 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동되고, 제 2 타이밍 콘트롤러(TC2)가 슬레이브 모드로 구동되는 하나의 예를 나타낸 것으로, 반대로 제 1 타이밍 콘트롤러(TC1)가 슬레이브 모드로 구동되고, 제 1 타이밍 콘트롤러(TC2)가 마스터 모드로 구동될 수도 있다,
- [0041] 또한, 본 발명의 실시예에 따른 액정표시장치는 제 1 및 제 2 타이밍 콘트롤러(TC1, TC2)로부터의 화상 데이터들을 보정하기 위한 각종 보정 데이터들이 저장된 메모리(MR)를 더 포함할 수 있다. 이때, 마스터 모드의 타이밍 콘트롤러가 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는 읽기 시간과 슬레이브 모드의 타이밍 콘트롤러가 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는 읽기 시간이 서로 다르다.
- [0042] 메모리(MR)는 EEPROM(Electrically Erasable Programmable Read-Only Memory)이 사용될 수 있다.
- [0043] 도 3은 타이밍 콘트롤러에 공급되는 읽기제어신호의 타이밍도를 나타낸 도면이다.
- [0044] 도 3에 도시된 바와 같이, 타이밍 콘트롤러가 마스터 모드로 구동시, t1 기간 이후에 활성화되는 제 1 읽기제어신호(RS1)에 응답하여 t1 기간 이후부터 메모리(MR)로부터 보정 데이터를 읽어들이는다. 반면, 이 타이밍 콘트롤러가 슬레이브 모드로 구성시, t2 기간 이후에 활성화되는 제 2 읽기제어신호(RS2)에 응답하여 t2 기간 이후부터 메모리(MR)로부터 보정 데이터를 읽어들이는다. 예를 들어, 제 1 타이밍 콘트롤러(TC1)가 마스터 모드로 구동

되고, 제 2 타이밍 컨트롤러(TC2)가 슬레이브 모드로 구동시 제 1 타이밍 컨트롤러(TC1)는 외부로부터 공급되는 제 1 읽기제어신호(RS1)에 응답하여 t1 기간 이후의 읽기기간동안 I²C통신 방식으로 메모리(MR)와 통신한다. 반면, 제 2 타이밍 컨트롤러(TC2)는 외부로부터 공급되는 제 2 읽기제어신호(RS2)에 응답하여 t2 기간 이후의 읽기기간동안 I²C통신 방식으로 메모리(MR)와 통신한다. 이때, 제 1 타이밍 컨트롤러(TC1)의 읽기기간과 제 2 타이밍 컨트롤러(TC2)의 읽기기간은 중첩되지 않는다. SCL은 소스클럭신호이고 SDA는 소스데이터신호이다. 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)는 소스클럭신호에 따라 메모리(MR)로부터 보정 데이터에 해당하는 소스데이터신호를 읽어들이는다.

[0045] 다른 방식으로, 마스터 모드의 타이밍 컨트롤러가 자신이 상기 메모리(MR)로부터의 보정 데이터를 읽어들이는 읽기 시간을 제어함과 아울러, 상기 통신 라인(CML)을 통해 상기 슬레이브 모드의 타이밍 컨트롤러의 읽기 시간을 제어할 수도 있다.

[0046] 한편, 도 3의 도면 reset은 리셋 신호로서, 이 리셋 신호(reset)가 로우에서 하이로 그 논리가 변화하는 순간 제 1 및 제 2 타이밍 컨트롤러(TC1, TC2)가 메모리(MR)를 읽기 위한 준비 상태가 된다.

[0047] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

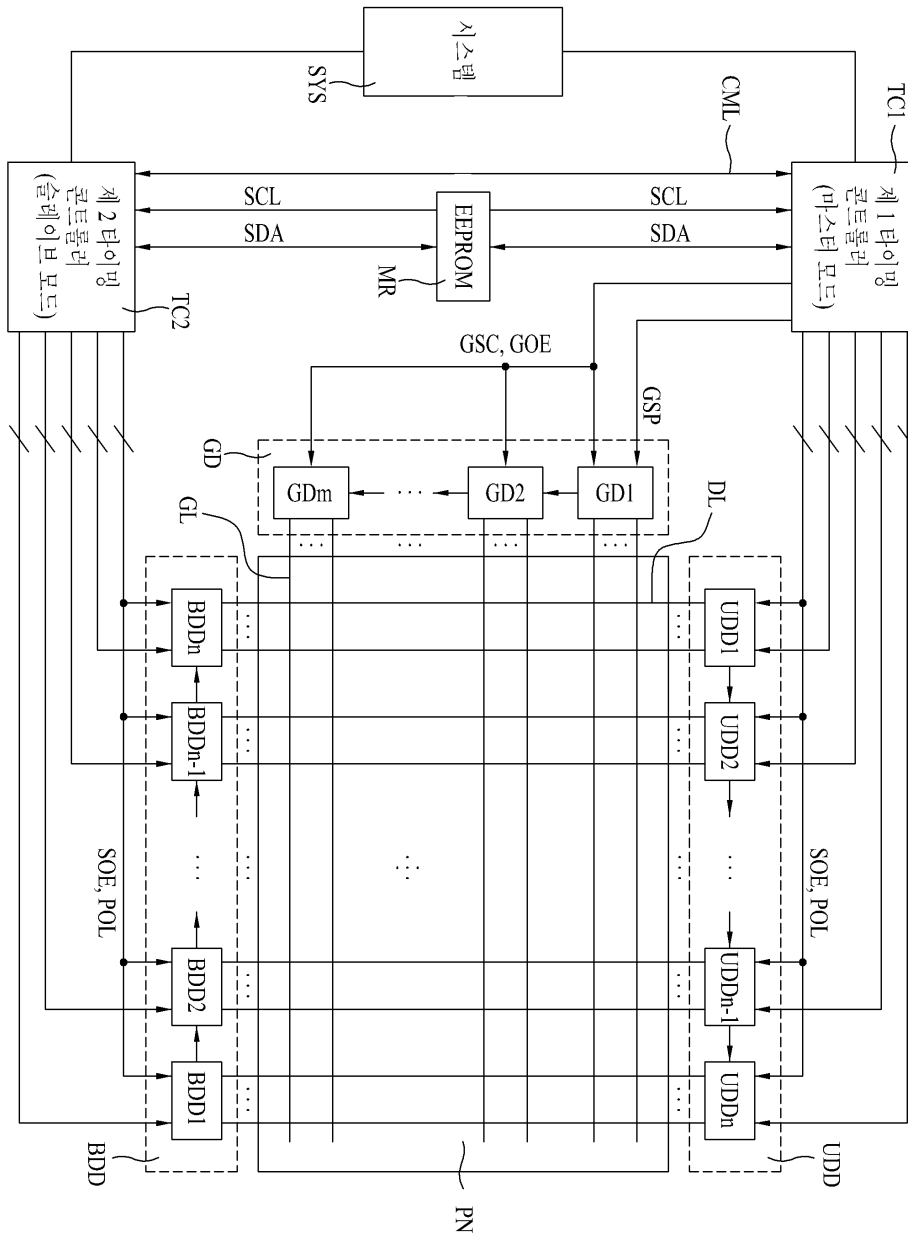
[0048] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면

[0049] 도 2는 도 1의 상부 데이터 드라이브 집적회로들로 구성된 상부 데이터 드라이버의 상세 구성도

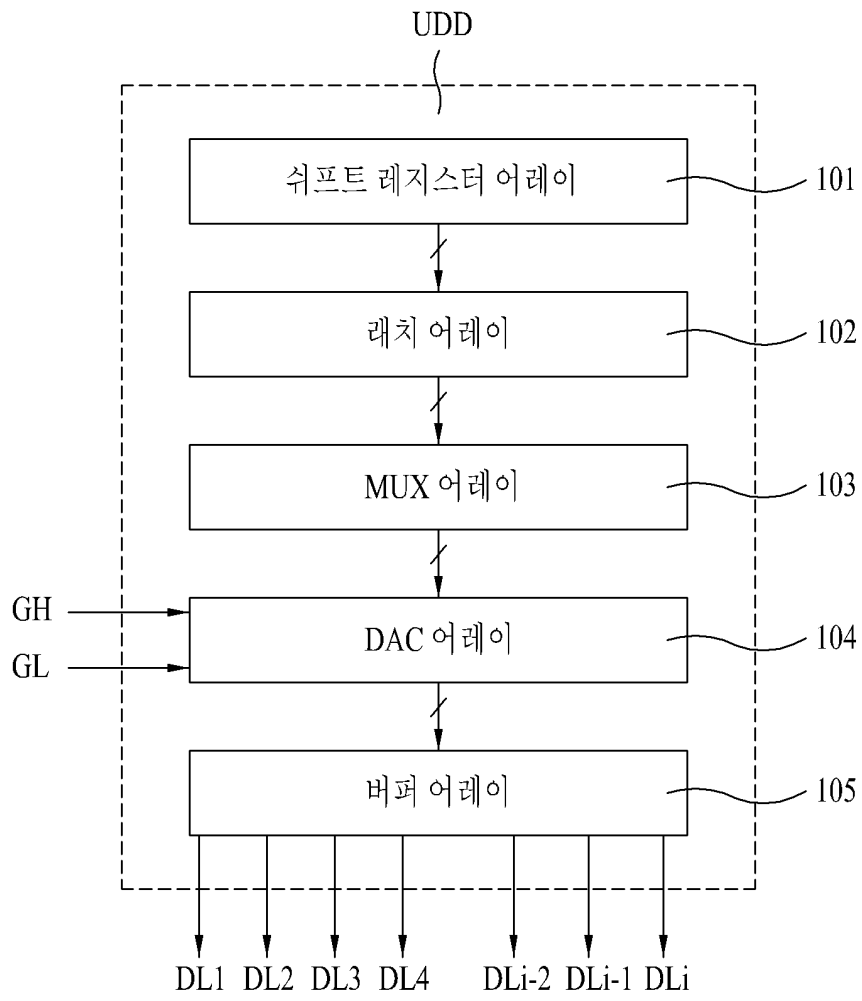
[0050] 도 3은 타이밍 컨트롤러에 공급되는 읽기제어신호의 타이밍도를 나타낸 도면

도면

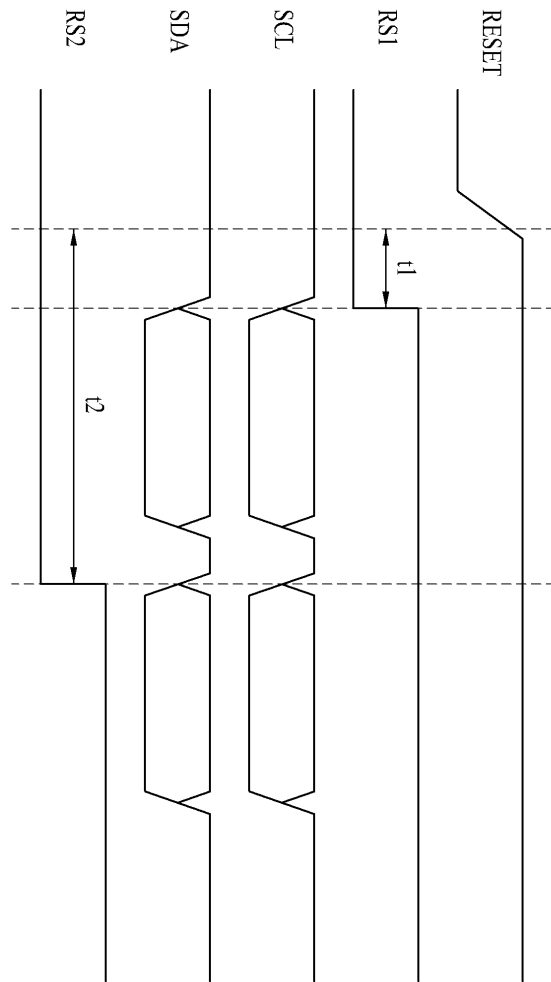
도면1



도면2



도면3



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110070094A	公开(公告)日	2011-06-24
申请号	KR1020090126780	申请日	2009-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN KYU 김민규		
发明人	김민규		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3685 G09G2320/0252 G09G2310/027 G09G3/20 G09G2320/0223 G09G2370/08		
代理人(译)	Gimyongin Bakyoungbok		
其他公开文献	KR101319350B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，通过从上下数据驱动IC向数据线的任一侧提供图像数据，提高数据线和像素的充电速度。组成：在液晶显示设备中，显示面板 (PN) 显示图像。多个栅极驱动集成电路 (GD1~GDm) 连续输出扫描脉冲。扫描脉冲驱动栅极线。多个上数据驱动器IC (UDD1~UDDn) 将像素电压提供给数据线的每一侧。多个下数据驱动器IC (BDD1~BDDn) 将像素电压提供给数据线的每一侧。第一时序控制器 (TC1) 产生上部数据控制信号。第二时序控制器 (TC2) 产生较低的数据控制信号。

